

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和3年3月25日(2021.3.25)

【公表番号】特表2021-504936(P2021-504936A)

【公表日】令和3年2月15日(2021.2.15)

【年通号数】公開・登録公報2021-007

【出願番号】特願2020-526133(P2020-526133)

【国際特許分類】

H 01 L	39/22	(2006.01)
H 01 L	21/3205	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	23/522	(2006.01)
G 06 N	10/00	(2019.01)
G 06 F	7/38	(2006.01)
H 01 L	29/06	(2006.01)

【F I】

H 01 L	39/22	A
H 01 L	21/88	J
G 06 N	10/00	
G 06 F	7/38	5 1 0
H 01 L	29/06	6 0 1 Q

【手続補正書】

【提出日】令和2年12月24日(2020.12.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

容量結合デバイス(超電導Cカプラ)であって、

基板の後面から、前記基板の前面の製造平面に対して実質的に直角に基板内に延び、前記基板の厚さよりも浅い前記基板内の1つの深さまで達するトレンチと、

前記トレンチの中にバイア層として堆積させた超電導材料と

を備え、前記トレンチの中の前記バイア層の表面間の空間が前記後面からアクセス可能なままであり、前記容量結合デバイス(超電導Cカプラ)がさらに、

前記前面の超電導パッドであり、前記前面に製造された量子論理回路要素と結合する前記超電導パッドと、

前記後面の前記バイア層の延長部分であり、前記後面に製造された量子読み出し回路要素に結合する前記延長部分と

を備える容量結合デバイス(超電導Cカプラ)。

【請求項2】

前記バイア層の前記表面間の前記空間に前記後面から充填された誘電体材料

をさらに備える、請求項1に記載の超電導Cカプラ。

【請求項3】

前記誘電体材料が酸化シリコン(SiO<sub>2</sub>)である、請求項2に記載の超電導Cカプラ

。

【請求項4】

前記誘電体材料が除去され、前記空間が空気によって占められるように、前記誘電体材料がエッチングされた、

請求項 2 に記載の超電導 C カプラ。

【請求項 5】

前記前面に第 2 の超電導材料の層を堆積させ、

前記第 2 の超電導材料の前記層をマスキングおよびエッチングして、前記前面に前記超電導パッドを形成した、

請求項 1 に記載の超電導 C カプラ。

【請求項 6】

前記トレンチを形成する前に前記第 2 の超電導材料の前記層を堆積させ、

前記第 2 の超電導材料の前記層が犠牲層によって保護された、

請求項 5 に記載の超電導 C カプラ。

【請求項 7】

前記バイア層の前記延長部分が前記量子読出し回路要素に電気的に結合された、請求項 1 に記載の超電導 C カプラ。

【請求項 8】

前記バイア層の前記延長部分が前記量子読出し回路要素に直接に電気的に結合された、請求項 1 に記載の超電導 C カプラ。

【請求項 9】

前記バイア層の前記延長部分が前記後面の第 2 の超電導パッドに電気的に結合されており、前記第 2 の超電導パッドが前記量子読出し回路要素に結合する、請求項 1 に記載の超電導 C カプラ。

【請求項 10】

前記量子読出し回路要素が回路の接地面を含み、前記 C カプラがさらに、前記回路に結合する他の C カプラの接地遮蔽として機能する、請求項 1 に記載の超電導 C カプラ。

【請求項 11】

方法であって、

基板の後面から、前記基板の前面の製造平面に対して実質的に直角に基板内に延び、前記基板の厚さよりも浅い前記基板内の 1 つの深さまで達するトレンチを、容量結合デバイス（超電導 C カプラ）内に形成すること、および

前記トレンチの中に超電導材料をバイア層として堆積させること

を含み、前記トレンチの中の前記バイア層の表面間の空間が前記後面からアクセス可能なままであり、前記方法がさらに、

前記前面に製造された量子論理回路要素と結合する超電導パッドを、前記前面に形成すること、および

前記後面に製造された量子読出し回路要素に結合する前記バイア層の延長部分を、前記後面に形成すること

を含む方法。

【請求項 12】

リソグラフィ構成要素を備える超電導体製造システムであって、超電導デバイスを製造するように動作させたときに、前記超電導体製造システムが、

基板の後面から、前記基板の前面の製造平面に対して実質的に直角に基板内に延び、前記基板の厚さよりも浅い前記基板内の 1 つの深さまで達するトレンチを、容量結合デバイス（超電導 C カプラ）内に形成すること、および

前記トレンチの中に超電導材料をバイア層として堆積させること

を含み、前記トレンチの中の前記バイア層の表面間の空間が前記後面からアクセス可能なままであり、前記超電導体製造システムがさらに、

前記前面に製造された量子論理回路要素と結合する超電導パッドを、前記前面に形成すること、および

前記後面に製造された量子読出し回路要素に結合する前記バイア層の延長部分を、前記

後面に形成すること  
を含む動作を実行する、超電導体製造システム。