

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6007796号  
(P6007796)

(45) 発行日 平成28年10月12日 (2016.10.12)

(24) 登録日 平成28年9月23日 (2016.9.23)

(51) Int.Cl.

H 0 1 L 21/60 (2006.01)

F I

H 0 1 L 21/60 3 1 1 Q

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2013-1853 (P2013-1853)	(73) 特許権者	000002185
(22) 出願日	平成25年1月9日 (2013.1.9)		ソニー株式会社
(65) 公開番号	特開2014-135354 (P2014-135354A)		東京都港区港南1丁目7番1号
(43) 公開日	平成26年7月24日 (2014.7.24)	(74) 代理人	100082131
審査請求日	平成27年1月29日 (2015.1.29)		弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	浅見 博
			東京都港区港南1丁目7番1号 ソニー株 式会社内
		審査官	堀江 義隆

最終頁に続く

(54) 【発明の名称】 回路基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

所定のチップが実装される実装領域のパターン及び絶縁膜の表面を平坦化する第1の工程と、

前記実装領域をレジストで覆う第2の工程と、

前記パターン上の前記チップの各端子が接続される接続位置に合わせて同じ形状の開口を前記レジストにそれぞれ形成する第3の工程と、

前記開口より径が小さいはんだ粒子を前記開口に充填する第4の工程と、

前記はんだ粒子を溶かし、前記開口内にはんだバンプを形成する第5の工程と、

前記レジストを除去し、前記パターン及び前記絶縁膜の表面が平坦化されている前記実装領域を露出する第6の工程と

を含む回路基板の製造方法。

【請求項 2】

前記はんだ粒子の表面がフラックスによりコーティングされており、

前記第5の工程を窒素雰囲気中で行う

請求項1に記載の回路基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、回路基板の製造方法に関し、特に、フリップチップ実装を行う場合に用いて

10

20

好適な回路基板の製造方法に関する。

【背景技術】

【0002】

従来、LSI等のチップを回路基板に実装する方法の1つとして、フリップチップ実装が用いられている。また、従来、フリップチップ実装の方法の1つとして、回路基板側にはんだバンプを形成し、チップ側の端子と接続する方法が用いられている（例えば、特許文献1、2参照）。回路基板にはんだバンプを形成することにより、チップの端子の先端にはんだバンプを形成する場合と比較して、回路基板のパターンの高さバラツキが発生しても、チップを回路基板に低荷重で実装することが可能になる。

【0003】

10

また、特許文献1、2に記載の発明では、回路基板に形成するはんだバンプの位置や形状の精度を高める工夫がなされている。具体的には、特許文献1では、配線パターン上に他の部分より幅を広くした接続パッドを形成し、接続パッド上にはんだバンプを形成することが提案されている。また、特許文献2では、回路基板のパターンに粘着性皮膜を形成し、そこにはんだ粉末を付着させ、加熱することによりはんだバンプを形成することが提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特許3420076号公報

20

【特許文献2】特許3362079号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1、2に記載の発明では、接続パッド又はパターンの形状に合わせてはんだバンプが形成されるため、それらの形状が異なると、はんだバンプの形状にバラツキが生じ、高さが均一にならない。そのため、フリップチップ実装時にチップの端子の一部をはんだバンプに接続することが困難になり、フリップチップ実装により製造される電子部品の品質が低下する。

【0006】

30

そこで、本技術は、フリップチップ実装により製造される電子部品の品質を向上させるようにするものである。

【課題を解決するための手段】

【0010】

本技術の一側面の回路基板の製造方法は、所定のチップが実装される実装領域のパターン及び絶縁膜の表面を平坦化する第1の工程と、前記実装領域をレジストで覆う第2の工程と、前記パターン上の前記チップの各端子が接続される接続位置に合わせて同じ形状の開口を前記レジストにそれぞれ形成する第3の工程と、前記開口より径が小さいはんだ粒子を前記開口に充填する第4の工程と、前記はんだ粒子を溶かし、前記開口内にはんだバンプを形成する第5の工程と、前記レジストを除去し、前記パターン及び前記絶縁膜の表面が平坦化されている前記実装領域を露出する第6の工程とを含む。

40

【0011】

前記はんだ粒子の表面がフラックスによりコーティングし、前記第5の工程を窒素雰囲気中で行うようにすることができる。

【0015】

本技術の一側面においては、所定のチップが実装される実装領域のパターン及び絶縁膜の表面が平坦化され、前記実装領域がレジストで覆われ、前記実装領域に形成されているパターン上の前記チップの各端子が接続される接続位置に合わせて同じ形状の開口が前記レジストにそれぞれ形成され、前記開口より径が小さいはんだ粒子が前記開口に充填され、前記はんだ粒子が溶かされ、前記開口内にはんだバンプが形成され、前記レジストが除

50

去され、前記パターン及び前記絶縁膜の表面が平坦化されている前記実装領域が露出される。

【発明の効果】

【0018】

本技術の一側面によれば、回路基板が製造される。また、製造された回路基板を用いることにより、フリップチップ実装により製造される電子部品の品質を向上させることができる。

【図面の簡単な説明】

【0019】

【図1】チップの裏面を模式的に示す図である。

10

【図2】エリア端子又はペリフェラル端子を横から見た図である。

【図3】回路基板の構成例を示す模式図である。

【図4】回路基板のランド近傍の拡大図である。

【図5】回路基板のパッド近傍の拡大図である。

【図6】チップと回路基板の接続位置を示す図である。

【図7】電子部品の構成例を示す模式図である。

【図8】回路基板の製造工程を示す図である。

【図9】回路基板の製造工程を示す図である。

【図10】前処理工程後の回路基板を上から見た模式図である。

【図11】露光・現像工程後の回路基板を上から見た模式図である。

20

【図12】はんだ粒子の断面を示す模式図である。

【発明を実施するための形態】

【0020】

以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1．本技術を適用した電子部品の実施の形態

2．回路基板の製造方法

3．変形例

【0021】

< 1．本技術を適用した電子部品の実施の形態 >

30

まず、図1乃至図7を参照して、本技術を適用した電子部品の一実施の形態について説明する。

【0022】

[ 1 - 1．チップ100の構成例 ]

図1は、本技術を適用した電子部品を構成するチップ100の裏面を模式的に示す図である。なお、図を分かりやすくするために、図中、エリア端子111a及びペリフェラル端子111bの符号の図示を一部省略している。

【0023】

チップ100の裏面は、中央の正方形のエリア部100A、及び、その周囲を囲むペリフェラル部100Bの2つの領域に大きく分かれる。

40

【0024】

エリア部100Aには、エリア端子111aが等間隔に格子状に設けられている。各エリア端子111a間のピッチは、例えば130μmとされる。

【0025】

ペリフェラル部100Bには、ペリフェラル端子111bが、チップ100の各辺に沿って等間隔に一行に並ぶように設けられている。各ペリフェラル端子111bのピッチは、例えば100μmとされる。

【0026】

図2は、エリア端子111a又はペリフェラル端子111bを横から見た図である。エリア端子111a及びペリフェラル端子111bは、同一の形状及び材質の円柱状の金属

50

バンブにより構成される。エリア端子 1 1 1 a 及びペリフェラル端子 1 1 1 b の径  $a$  は、例えば  $30\ \mu\text{m}$  とされ、高さ  $h$  は、例えば  $15\ \mu\text{m}$  とされる。

【0027】

なお、以下、エリア端子 1 1 1 a 及びペリフェラル端子 1 1 1 b を個々に区別する必要がない場合、単に端子 1 1 1 と称する。

【0028】

[ 1 - 2 . 回路基板 2 0 0 の構成例 ]

図 3 は、本技術を適用した電子部品を構成し、チップ 1 0 0 が実装される回路基板 2 0 0 の構成例を示している。図 3 の上の図は、回路基板 2 0 0 を上から見た模式図であり、下の図は、回路基板 2 0 0 の断面の模式図である。なお、図を分かりやすくするために、図中、ランド 2 1 2、パッド 2 1 3、はんだバンブ 2 1 4 a、及び、はんだバンブ 2 1 4 b の符号の図示を一部省略している。

10

【0029】

回路基板 2 0 0 のチップ 1 0 0 が実装される実装面は、中央の正方形のエリア部 2 0 0 A、その周囲を囲むペリフェラル部 2 0 0 B、及び、そのさらに外側の周縁部 2 0 0 C の 3 つの領域に大きく分類される。なお、エリア部 2 0 0 A は、チップ 1 0 0 のエリア部 1 0 0 A に対応する領域であり、エリア部 1 0 0 A と同じ面積である。ペリフェラル部 2 0 0 B は、チップ 1 0 0 のペリフェラル部 1 0 0 B に対応する領域であり、ペリフェラル部 1 0 0 B より広い面積を有する。また、図内の実装面の二点鎖線で示される実装領域 2 0 0 D に、チップ 1 0 0 が実装される。従って、実装領域 2 0 0 D は、チップ 1 0 0 のサイズとほぼ等しくなる。

20

【0030】

エリア部 2 0 0 A には、ベース基板 2 1 1 の上に複数の円形のランド 2 1 2 が形成されている。各ランド 2 1 2 は、それぞれチップ 1 0 0 の各エリア端子 1 1 1 a の位置に合わせて格子状に並ぶように配置されている。各ランド 2 1 2 間のピッチは、例えば  $130\ \mu\text{m}$  とされる。

【0031】

また、各ランド 2 1 2 の表面の中央には、略同じ形状のはんだバンブ 2 1 4 a がそれぞれ形成されており、各はんだバンブ 2 1 4 a は、チップ 1 0 0 の各エリア端子 1 1 1 a を接続する接続位置に、格子状に並ぶように配置されている。

30

【0032】

さらに、ペリフェラル部 2 0 0 B には、ベース基板 2 1 1 の上に複数の矩形のパッド 2 1 3 が形成されている。各パッド 2 1 3 は、それぞれチップ 1 0 0 の各ペリフェラル端子 1 1 1 b の位置に合わせて、ペリフェラル部 2 0 0 B の各辺に沿って等間隔に平行に並べられている。

【0033】

また、各パッド 2 1 3 の表面のそれぞれ同じ位置に、略同じ形状のはんだバンブ 2 1 4 b が形成されており、各はんだバンブ 2 1 4 b は、それぞれチップ 1 0 0 の各ペリフェラル端子 1 1 1 b を接続する接続位置に配置されている。

40

【0034】

さらに、回路基板 2 0 0 の実装面のランド 2 1 2 及びパッド 2 1 3 以外の部分には、絶縁膜 2 1 5 が形成されている。また、ランド 2 1 2、パッド 2 1 3、及び、絶縁膜 2 1 5 の表面が平坦になるように、平坦化処理が施されている。

【0035】

さらに、実装面の周縁には、実装領域 2 0 0 D の少し外側に、実装領域 2 0 0 D の周囲を囲むようにソルダレジスト 2 1 6 が形成されている。そして、各パッド 2 1 3 の外周側の端部が、ソルダレジスト 2 1 6 により覆われている。

【0036】

図 4 は、ランド 2 1 2 近傍の拡大図である。具体的には、図 4 の上の図は、ランド 2 1 2 を上から見た模式図であり、下の図はランド 2 1 2 付近の断面の模式図である。

50

## 【 0 0 3 7 】

ランド 2 1 2 の径  $b$  は、例えば  $160\ \mu\text{m}$  とされる。また、はんだバンプ 2 1 4 a は、略半球状の形状を有しており、その径  $c$  は、例えば  $30\ \mu\text{m}$  とされる。

## 【 0 0 3 8 】

各ランド 2 1 2 の下部にはビアホール 2 1 7 が設けられている。そして、各ランド 2 1 2 は、ビアホール 2 1 7 を介して、ベース基板 2 1 1 の裏面に形成されている配線パターン 2 1 8 に接続されている。

## 【 0 0 3 9 】

図 5 は、パッド 2 1 3 近傍の拡大図である。具体的には、図 5 の上の図は、パッド 2 1 3 を上から見た模式図であり、下の図はパッド 2 1 3 付近の断面の模式図である。

10

## 【 0 0 4 0 】

パッド 2 1 3 の長辺のソルダレジスト 2 1 6 に覆われていない部分の長さ  $L$  は、例えば  $130\ \mu\text{m}$  とされる。パッド 2 1 3 の短辺の幅  $W$  は、例えば  $35\ \mu\text{m}$  とされる。また、はんだバンプ 2 1 4 b は、ランド 2 1 2 のはんだバンプ 2 1 4 a と同様の形状を有しており、その径  $d$  は、例えば  $30\ \mu\text{m}$  とされる。

## 【 0 0 4 1 】

なお、以下、はんだバンプ 2 1 4 a 及びはんだバンプ 2 1 4 b を個々に区別する必要がある場合、単に、はんだバンプ 2 1 4 と称する。

## 【 0 0 4 2 】

## [ 1 - 3 . 電子部品 3 0 0 の構成例 ]

20

本技術を適用した電子部品 3 0 0 は、回路基板 2 0 0 上にチップ 1 0 0 を実装することにより製造される。

## 【 0 0 4 3 】

具体的には、図 6 に示されるように、チップ 1 0 0 の各端子 1 1 1 が、回路基板 2 0 0 の各はんだバンプ 2 1 4 の位置に合わせて、回路基板 2 0 0 に実装される。これにより、図 7 に示されるように、チップ 1 0 0 の各端子 1 1 1 と回路基板 2 0 0 のはんだバンプ 2 1 4 が接続される。

## 【 0 0 4 4 】

このとき、例えば、チップ 1 0 0 を実装する前に回路基板 2 0 0 の実装領域 2 0 0 D にアンダーフィル 3 1 1 が塗布され、フリップチップボンダによりチップ 1 0 0 が回路基板 2 0 0 に実装される。これにより、チップ 1 0 0 と回路基板 2 0 0 の隙間がアンダーフィル 3 1 1 により充たされ、封止される。アンダーフィル 3 1 1 は、例えば、フラックス機能付の活性化エポキシ樹脂により構成される。

30

## 【 0 0 4 5 】

## &lt; 2 . 回路基板 2 0 0 の製造方法 &gt;

次に、図 8 乃至図 1 2 を参照して、回路基板 2 0 0 の製造方法について説明する。

## 【 0 0 4 6 】

図 8 及び図 9 は、回路基板 2 0 0 の製造工程を示している。なお、図 8 及び図 9 では、図をわかりやすくするために、回路基板 2 0 0 を図 3 と比べてさらに模式化して示している。また、パッド 2 1 3 上のはんだバンプ 2 1 4 b の形成工程の図示を省略しているが、実際には後述するランド 2 1 2 上のはんだバンプ 2 1 4 a と同じ工程により形成される。

40

## 【 0 0 4 7 】

## ( 1 ) 前処理工程

まず、ベース基板 2 1 1 のランド 2 1 2 、パッド 2 1 3 、及び、絶縁膜 2 1 5 の表面が平坦になるように平坦化処理が行われる。これにより、ランド 2 1 2 、パッド 2 1 3 、及び、絶縁膜 2 1 5 の高さが均一になり、実装領域 2 0 0 D の表面が平坦になる。

## 【 0 0 4 8 】

次に、実装領域 2 0 0 D の少し外側に、実装領域 2 0 0 D の周囲を囲むように、実装面の周縁にソルダレジスト 2 1 6 が形成される。

## 【 0 0 4 9 】

50

図 1 0 は、前処理工程が行われた後の回路基板 2 0 0 を上から見た模式図である。なお、図を分かりやすくするために、図中、ランド 2 1 2 及びパッド 2 1 3 の符号の図示を一部省略している。

【 0 0 5 0 】

( 2 ) レジスト工程

次に、回路基板 2 0 0 の実装面全体にレジスト 4 0 1 が塗布又はラミネートされる。これにより、実装領域 2 0 0 D の表面がレジスト 4 0 1 により覆われる。なお、レジスト 4 0 1 は、例えば感光性樹脂により構成され、その厚さは、例えば 3 0  $\mu\text{m}$  とされる。

【 0 0 5 1 】

( 3 ) 露光・現像工程

次に、露光及び現像を行うことにより、レジスト 4 0 1 に開口 4 0 1 A 及び開口 4 0 1 B ( 図 1 1 ) が形成される。

【 0 0 5 2 】

図 1 1 は、露光・現像工程が行われた後の回路基板 2 0 0 を上から見た模式図である。なお、図を分かりやすくするために、図中、開口 4 0 1 A 及び開口 4 0 1 B の符号の図示を一部省略している。

【 0 0 5 3 】

開口 4 0 1 A 及び開口 4 0 1 B は、同じ形状の円形の開口であり、その径は例えば 3 0  $\mu\text{m}$  とされる。これは、はんだバンプ 2 1 4 a 及びはんだバンプ 2 1 4 b と同じ径である。

【 0 0 5 4 】

開口 4 0 1 A は、各ランド 2 1 2 上のチップ 1 0 0 の各エリア端子 1 1 1 a が接続される接続位置に合わせて形成される。これにより、各ランド 2 1 2 の各エリア端子 1 1 1 a が接続される部分、換言すれば、はんだバンプ 2 1 4 a が形成される部分が露出する。

【 0 0 5 5 】

開口 4 0 1 B は、各パッド 2 1 3 上のチップ 1 0 0 の各ペリフェラル端子 1 1 1 b が接続される接続位置に合わせて形成される。これにより、各パッド 2 1 3 の各ペリフェラル端子 1 1 1 b が接続される部分、換言すれば、はんだバンプ 2 1 4 b が形成される部分が露出する。

【 0 0 5 6 】

( 4 ) はんだ粒子充填工程

次に、レジスト 4 0 1 の開口 4 0 1 A 及び開口 4 0 1 B に、それぞれ略同量の粉状のはんだ粒子が充填される。

【 0 0 5 7 】

図 1 2 は、はんだ粒子 4 2 1 の断面を模式的に示している。はんだ粒子 4 2 1 は、略球状のはんだ (  $\text{Sn3Ag0.5Cu}$  ) 4 3 1 の表面をフラックス ( 例えば、ロジン ) によりコーティングしたものである。はんだ粒子 4 2 1 の径は、開口 4 0 1 A 及び開口 4 0 1 B の径より小さく、例えば、はんだ 4 3 1 の径は 1 0  $\mu\text{m}$  とされ、コート 4 3 2 の厚みは 2  $\mu\text{m}$  とされる。また、はんだ 4 3 1 は、常温で固体のモノマーであり、はんだ粒子 4 2 1 は、常温でタックフリーである。

【 0 0 5 8 】

( 5 ) リフロー工程

次に、窒素雰囲気中においてリフローが行われる。これにより、回路基板 2 0 0 全体が加熱され、開口 4 0 1 A 内及び開口 4 0 1 B 内のはんだ粒子 4 2 1 が溶け、開口 4 0 1 A 及び開口 4 0 1 B 内において、略同じ形状のはんだバンプ 2 1 4 a 及びはんだバンプ 2 1 4 b がそれぞれ形成される。

【 0 0 5 9 】

( 6 ) レジスト除去洗浄工程

次に、レジスト 4 0 1 が全て除去される。レジスト 4 0 1 の除去には、例えば、アミン系剥離液が用いられる。これにより、実装領域 2 0 0 D が全て露出する。また、はんだ粒

10

20

30

40

50

子 4 2 1 から生じるフラックスの残渣等の洗浄が行われる。

【 0 0 6 0 】

このようにして、上述した図 3 に示される回路基板 2 0 0 が製造され、回路基板 2 0 0 の形状が異なるパターン（ランド 2 1 2 及びパッド 2 1 3 ）に略同じ形状のはんだバンプ 2 1 4 を形成することができる。また、回路基板 2 0 0 の実装領域 2 0 0 D の表面が平坦化されているため、各はんだバンプ 2 1 4 の高さを合わせることができる。

【 0 0 6 1 】

さらに、従来のソルダレジストをレーザ加工により開口し、クリームはんだを印刷する方法等と比較して、はんだバンプ 2 1 4 を形成する位置の精度が向上し、各はんだバンプ 2 1 4 の位置を、チップ 1 0 0 の各端子 1 1 1 の接続位置に正確に合わせることができる。また、従来の方法で発生していたはんだバンプの脱落や、隣接するはんだバンプの短絡等の不良の発生を抑制することができる。

10

【 0 0 6 2 】

従って、チップ 1 0 0 を回路基板 2 0 0 にフリップチップ実装する場合に、チップ 1 0 0 の各端子 1 1 1 と回路基板 2 0 0 のはんだバンプ 2 1 4 を確実に接続することができる。また、低荷重でチップ 1 0 0 を回路基板 2 0 0 に実装することができ、ランド 2 1 2 の下にビアホール 2 1 7 が形成されていても、ベース基板 2 1 1 等にダメージを与えることが防止される。その結果、電子部品 3 0 0 の不良の発生を抑制し、品質を向上させることができる。

【 0 0 6 3 】

20

< 3 . 変形例 >

以下、上述した本技術の実施の形態の変形例について説明する。

【 0 0 6 4 】

[ 3 - 1 . 製造工程の変形例 ]

例えば、回路基板 2 0 0 の製造時に、水素や蟻酸等で満たされた還元雰囲気中でリフロー工程を行うようにしてもよい。これにより、はんだ粒子の表面をフラックスによりコーティングする必要がなくなる。

【 0 0 6 5 】

[ 3 - 2 . はんだバンプを形成するパターンの変形例 ]

また、以上に示した回路基板 2 0 0 のパターン（ランド 2 1 2 及びパッド 2 1 3 ）の形状は、その一例であり、この例に限定されるものではない。パターンの形状の種類も上述した 2 種類に限定されるものではなく、1 種類、或いは、3 種類以上の場合にも本技術を適用することができる。しかも、本技術によれば、回路基板上に露出しているパターンによらずに、略同一形状のはんだバンプを、所定の位置に高精度に形成することができる。

30

【 0 0 6 6 】

[ 3 - 3 . 端子 1 1 1、はんだバンプ 2 1 4 等の形状、寸法の変形例 ]

さらに、上述したチップ 1 0 0 の端子 1 1 1、はんだバンプ 2 1 4、レジスト 4 0 1 の開口 4 0 1 A、4 0 1 B、及び、はんだ粒子 4 2 1 等の形状や寸法は、その一例であり、必要に応じて変更することが可能である。例えば、以上の説明では、チップ 1 0 0 の端子 1 1 1 の径を、はんだバンプ 2 1 4 の径と同じにする例を示したが、はんだバンプ 2 1 4 の径より大きくしたり、又は、小さくしたりすることが可能である。

40

【 0 0 6 7 】

また、例えば、本技術は以下のような構成も取ることができる。

【 0 0 6 8 】

( 1 )

所定のチップが実装される実装領域の表面が平坦化され、かつ、露出しており、

前記実装領域に形成されているパターン上の前記チップの各端子が接続される接続位置にそれぞれ略同じ形状のはんだバンプが形成されている

回路基板。

( 2 )

50

前記実装領域の表面を平坦化する第 1 の工程と、  
 前記実装領域をレジストで覆う第 2 の工程と、  
 前記パターン上の各前記接続位置に合わせて同じ形状の開口を前記レジストにそれぞれ形成する第 3 の工程と、  
 前記開口より径が小さいはんだ粒子を前記開口に充填する第 4 の工程と、  
 前記はんだ粒子を溶かし、前記開口内に前記はんだバンプを形成する第 5 の工程と、  
 前記レジストを除去する第 6 の工程と  
 を含む工程により製造される前記 ( 1 ) に記載の回路基板。

( 3 )

前記実装領域の周囲を囲むように前記回路基板の実装面の周縁にソルダレジストが形成されている 10

前記 ( 1 ) 又は ( 2 ) に記載の回路基板。

( 4 )

所定のチップが実装される実装領域の表面を平坦化する第 1 の工程と、  
 前記実装領域をレジストで覆う第 2 の工程と、  
 前記実装領域に形成されているパターン上の前記チップの各端子が接続される接続位置に合わせて同じ形状の開口を前記レジストにそれぞれ形成する第 3 の工程と、  
 前記開口より径が小さいはんだ粒子を前記開口に充填する第 4 の工程と、  
 前記はんだ粒子を溶かし、前記開口内にはんだバンプを形成する第 5 の工程と、  
 前記レジストを除去する第 6 の工程と 20  
 を含む回路基板の製造方法。

( 5 )

前記はんだ粒子の表面がフラックスによりコーティングされており、  
 前記第 5 の工程を窒素雰囲気中で行う  
 前記 ( 4 ) に記載の回路基板の製造方法。

( 6 )

チップと、  
 前記チップを実装する回路基板と  
 を備え、  
 前記回路基板は、 30  
 前記チップが実装される実装領域の表面が平坦化され、かつ、露出しており、  
 前記実装領域に形成されているパターン上の前記チップの各端子が接続される接続位置にそれぞれ略同じ形状のはんだバンプが形成されている  
 電子部品。

( 7 )

前記回路基板は、  
 前記実装領域の表面を平坦化する第 1 の工程と、  
 前記実装領域をレジストで覆う第 2 の工程と、  
 前記パターン上の各前記接続位置に合わせて同じ形状の開口を前記レジストにそれぞれ形成する第 3 の工程と、 40  
 前記開口より径が小さいはんだ粒子を前記開口に充填する第 4 の工程と、  
 前記はんだ粒子を溶かし、前記開口内に前記はんだバンプを形成する第 5 の工程と、  
 前記レジストを除去する第 6 の工程と  
 を含む工程により製造される  
 前記 ( 6 ) に記載の電子部品。

【符号の説明】

【 0 0 6 9 】

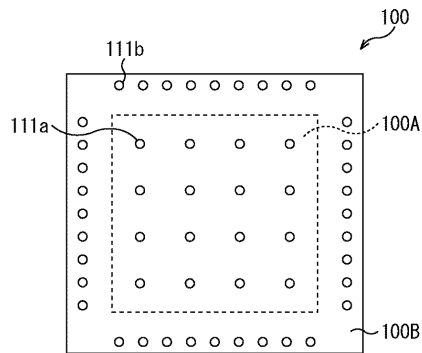
1 0 0 チップ, 1 0 0 A エリア部, 1 0 0 B ペリフェラル部, 1 1 1 a  
 エリア端子, 1 1 1 b ペリフェラル端子, 2 0 0 回路基板, 2 0 0 A エリア  
 部, 2 0 0 B ペリフェラル部, 2 0 0 D 実装領域, 2 1 1 ベース基板, 2 50



1 2 ランド, 2 1 3 パッド, 2 1 4 a, 2 1 4 b はんだバンプ, 2 1 5 絶縁膜, 2 1 6 ソルダレジスト, 3 0 0 電子部品, 3 1 1 アンダーフィル, 4 0 1 レジスト, 4 0 1 A, 4 0 1 B 開口, 4 2 1 はんだ粒子, 4 3 1 はんだ, 4 3 2 コート

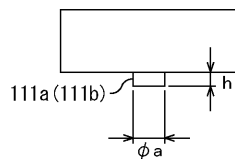
【図 1】

図1



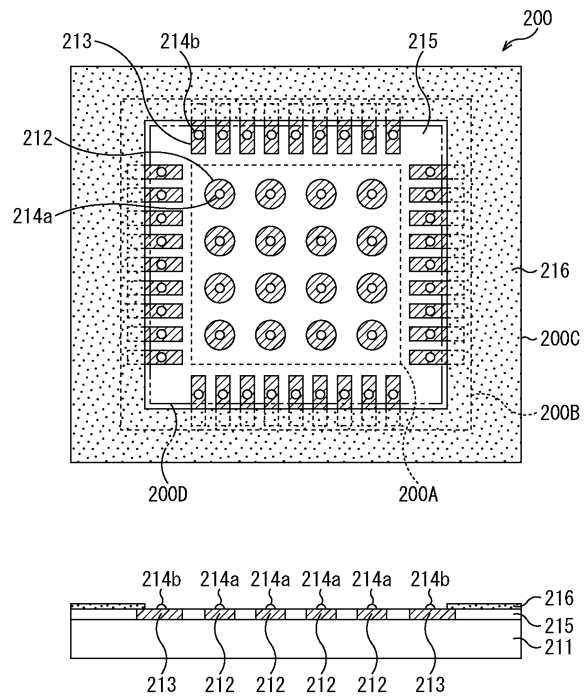
【図 2】

図2



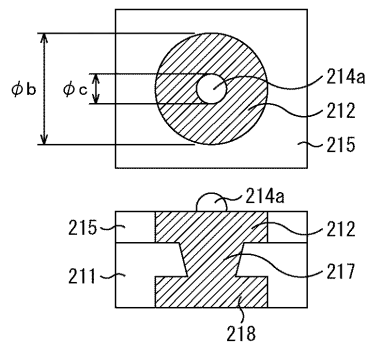
【図 3】

図3



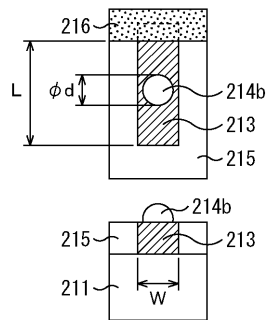
【図 4】

図4



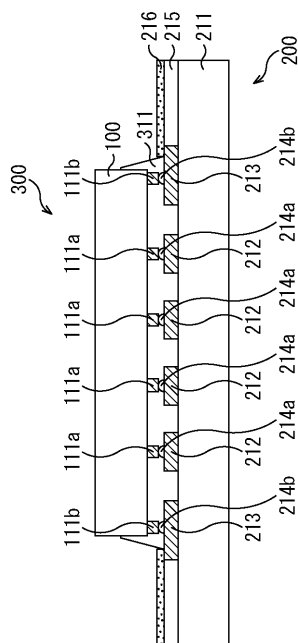
【図 5】

図5



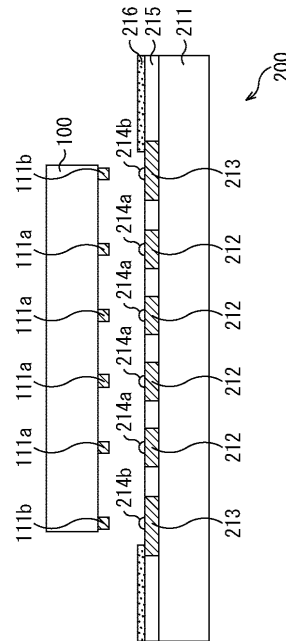
【図 7】

図7



【図 6】

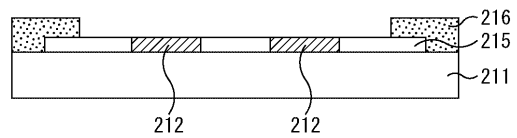
図6



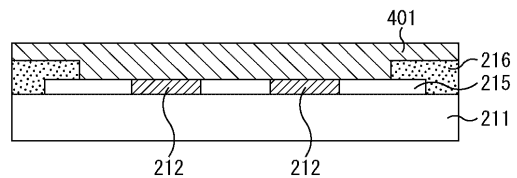
【図 8】

図8

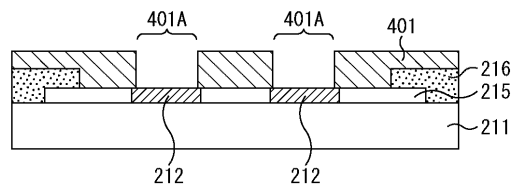
(1) 前処理



(2) レジスト処理



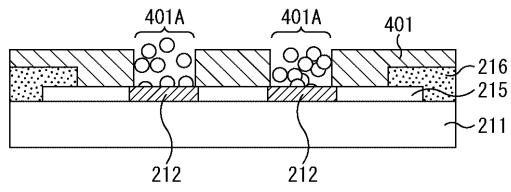
(3) 露光・現像



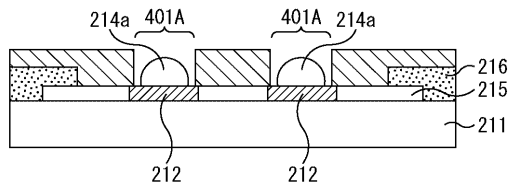
【図 9】

図9

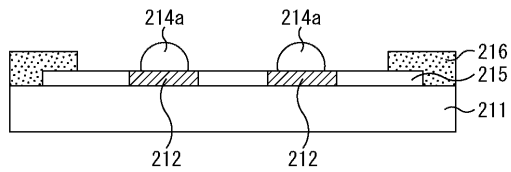
(4) はんだ粒子充填



(5) リフロー処理

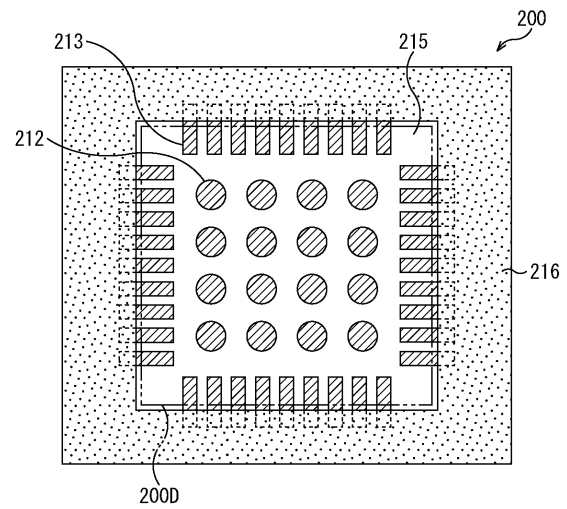


(6) レジスト除去、洗浄



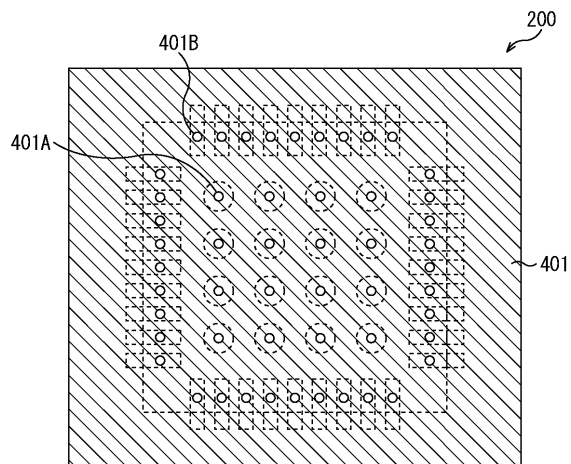
【図 10】

図10



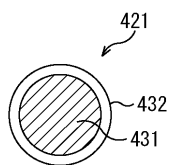
【図 11】

図11



【図 12】

図12



---

フロントページの続き

(56)参考文献 特開平 1 1 - 1 9 1 5 6 5 ( J P , A )  
特開 2 0 0 9 - 2 3 9 1 4 2 ( J P , A )  
特開 2 0 0 6 - 1 7 3 6 5 4 ( J P , A )  
特開昭 6 4 - 0 4 0 1 7 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 6 0

H 0 5 K 3 / 1 0 - 3 / 3 8