

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)



(10) 国際公開番号

WO 2025/013465 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) *H03K 19/003* (2006.01)
G09G 3/36 (2006.01) *H03K 19/0175* (2006.01)
- (21) 国際出願番号: PCT/JP2024/020372
- (22) 国際出願日: 2024年6月4日(04.06.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-115473 2023年7月13日(13.07.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

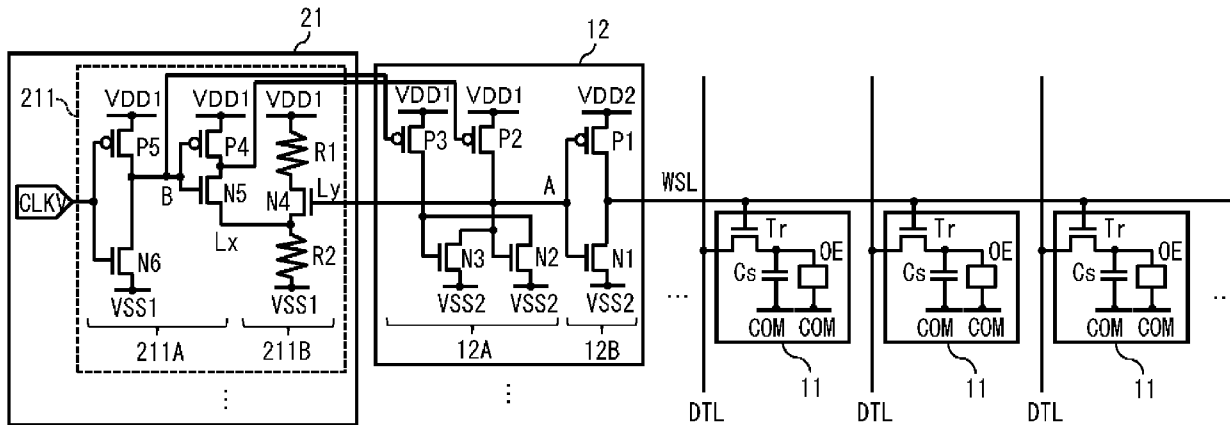
(72) 発明者: 小田 雅彦(ODA, Masahiko); 〒8691102
熊本県菊池郡菊陽町大字原水4000番地1
ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A display device according to one embodiment of the present disclosure comprises: a plurality of scanning lines; and a driver electrically connected to each of the scanning lines via a first buffer circuit. The driver has a second buffer circuit and a voltage adjustment circuit. In the second buffer circuit, a vertical clock signal is inputted to an input terminal, and an output terminal is connected to a gate of a third transistor that is one of a plurality of second transistors included in the first buffer circuit. The voltage adjustment circuit can change voltage at the output terminal such that the absolute value of a third gate-source voltage decreases after the third transistor has changed from OFF to ON.

[続葉有]

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
-

(57) 要約: 本開示の一実施の形態に係る表示装置は、複数の走査線と、第1のバッファ回路を介して各走査線に電気的に接続されたドライバとを備えている。ドライバは、第2のバッファ回路と、電圧調整回路とを有している。第2のバッファ回路では、入力端に垂直クロック信号が入力され、出力端が第1のバッファ回路に含まれる複数の第2のトランジスタのうちの1つである第3のトランジスタのゲートに接続されている。電圧調整回路は、第3のトランジスタがオフからオンに変化した後に第3のゲートソース間電圧の絶対値が小さくなるように出力端の電圧を変化させることが可能となっている。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 表示装置では、ドライバに多数のトランジスタが用いられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-134459号公報

特許文献2：特開2015-195383号公報

発明の概要

[0004] ところで、表示装置の分野では、ドライバに用いられるトランジスタにおいて、BTI (Bias Temperature Instability) による特性変動が生じ、それにより、トランジスタの寿命が短くなるリスクがある。BTIによる特性変動リスクを低減することの可能な表示装置を提供することが望ましい。

[0005] 本開示の一実施の形態に係る表示装置は、複数の表示画素と、複数の走査線と、各走査線に接続された第1のバッファ回路とを備えている。この表示装置は、さらに、第1のバッファ回路を介して各走査線に電氣的に接続され、複数の走査線を介して複数の表示画素を単位画素行ごとに順次選択することの可能なドライバを備えている。第1のバッファ回路は、複数の第1のトランジスタと、複数の第2のトランジスタとを有している。複数の第1のトランジスタは、走査線を選択する選択期間から走査線を非選択する非選択期間に移行する際にオンからオフに変化することが可能となっている。複数の第2のトランジスタは、選択期間から非選択期間に移行する際にオフからオンに変化することが可能となっている。ドライバは、第2のバッファ回路と、電圧調整回路とを有している。第2のバッファ回路では、入力端に垂直クロック信号が入力され、出力端が複数の第2のトランジスタのうちの1つで

ある第3のトランジスタのゲートに接続されている。電圧調整回路は、選択期間から非選択期間に移行する際に第3のトランジスタがオフからオンに変化した後に第3のトランジスタのゲートソース間電圧の絶対値が小さくなるように出力端の電圧を変化させることが可能となっている。

図面の簡単な説明

[0006] [図1]図1は、本開示の一実施の形態に係る表示装置1の概略構成の一例を表す図である。

[図2]図2は、図1の表示装置1における任意の走査線WSLに接続された3つの表示画素11ならびにゲートドライバ21およびバッファ回路12の回路構成の一例を表す図である。

[図3]図3(A)は、垂直同期信号VSTおよび垂直クロック信号CLKVの時間変化の一例を表したものである。図3(B)は、バッファ回路12内のP型MOSトランジスタP2のオン期間およびオフ期間の一例を表したものである。

[図4]図4は、図2のゲートドライバ21およびバッファ回路12によって構成される論理回路の真理値表の一例を表す図である。

[図5]図5は、図4の真理値表において入力「H」のときの論理回路の動作の一例を表す図である。

[図6]図6は、図4の真理値表において入力「L」のときの論理回路の動作の一例を表す図である。

[図7]図7は、トランジスタのゲートソース間電圧 V_{gs} と、トランジスタに流れるON電流が初期状態から50%に減少するのに要する通電時間との関係をlogスケールで表す図である。

[図8]図8は、図1の表示装置1において選択期間T1から非選択期間T2に移行する際の各種波形の一例を表す図である。

[図9]図9は、比較例に係る表示装置における任意の走査線WSLに接続された3つの表示画素11ならびにゲートドライバ121およびバッファ回路112の回路構成の一例を表す図である。

[図10]図10は、図9に記載の回路を備えた表示装置において選択期間T1から非選択期間T2に移行する際の各種波形の一例を表す図である。

[図11]図11は、図2のゲートドライバ21およびバッファ回路12の回路構成の一変形例を表す図である。

[図12]図12は、図2のゲートドライバ21およびバッファ回路12の回路構成の一変形例を表す図である。

[図13]図13は、図1の表示装置1の概略構成の一変形例を表す図である。

発明を実施するための形態

[0007] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。

[0008] <1. 背景>

表示装置の分野では、ドライバに用いられるトランジスタにおいて、BTI (Bias Temperature Instability) による特性変動の影響により、長期間の連続稼働において動作不具合が生じ得る。光による特性変動の加速もあるが、これに対してはトランジスタを遮光する策が採られ得る。電界による特性変動に対しては、酸化膜の膜質を改善し界面準位を減らすなどプロセス面で対応することが可能である。しかし、酸化膜の膜質改善では、より一層の改善は容易ではない。ドライバの動作周波数上昇に対応するために、酸化膜として高誘電率膜を採用することが考えられる。しかし、そのようにした場合には、高誘電率膜の界面に起因する特性変化が問題となる。また、プロジェクタの分野では、固体光源化、材料の長寿命化が進み、長期間連続稼働されるユース・ケースも想定されており、BTIによる特性変動の改善が求められている。本出願人は、このような問題に鑑みて、表示品質を悪化させることなく、ドライバに用いられるトランジスタの駆動時間を削減することで、BTIによる特性変動を改善することを想起した。以下では、BTIによる特性変動を抑制する方策について詳細に説明する。

[0009] <2. 実施の形態>

[構成]

本開示の一実施の形態に係る表示装置1について説明する。図1は、表示

装置 1 の概略構成の一例を表したものである。表示装置 1 は、例えば、図 1 に示したように、表示パネル 10 と、ロジック IC (Integrated Circuit) 20 とを備えている。

[0010] 表示パネル 10 は、例えば、行方向および列方向に 2 次元配置された複数の表示画素 11 が設けられた画素アレイ領域 10A を有している。画素アレイ領域 10A は、表示パネル 10 における映像表示領域に相当する。表示パネル 10 は、さらに、例えば、複数のバッファ回路 12 が設けられた周辺領域 10B を有している。周辺領域 10B は、平面視において画素アレイ領域 10A を囲む領域であり、表示パネル 10 における額縁領域に相当する。表示パネル 10 は、例えば、複数の表示画素 11 がロジック IC 20 によってアクティブ駆動されることにより、表示装置 1 の外部から入力された映像信号に基づく映像を表示することが可能となっている。

[0011] 表示パネル 10 は、例えば、行方向に延在する複数の走査線 WSL と、列方向に延在する複数の信号線 DTL とを有している。表示パネル 10 において、信号線 DTL と走査線 WSL との交差部分に対応して、表示画素 11 が設けられている。各走査線 WSL は、バッファ回路 12 を介して後述のゲートドライバ 21 の出力端に電氣的に接続されている。各信号線 DTL は、後述のデータドライバ 22 の出力端に接続されている。

[0012] 図 2 は、表示装置 1 における任意の走査線 WSL に接続された 3 つの表示画素 11 ならびにゲートドライバ 21 およびバッファ回路 12 の回路構成の一例を表したものである。各表示画素 11 は、例えば、図 2 に示したように、表示画素 11 に信号電圧を書き込むトランジスタ Tr と、表示画素 11 に書き込んだ電圧を保持する保持容量 Cs と、保持容量 Cs と並列に接続された光学素子 OE とを有している。光学素子 OE には、保持容量 Cs に保持された電圧が印加される。光学素子 OE は、保持容量 Cs に保持された電圧の大きさ、または、保持容量 Cs に保持された電圧によって光学素子 OE に流れる電流の大きさに応じて光変調もしくは発光を行うことの可能な素子であり、例えば、液晶層、有機 EL (Electro Luminescence) 層または電気泳動

層等によって構成されている。保持容量 C_s および光学素子 OE の一端が走査線 WSL に接続されており、保持容量 C_s および光学素子 OE の他端が、例えば、共通電位線 COM に接続されている。

[0013] ゲートドライバ21およびバッファ回路12からなる回路ブロックは、表示制御回路23から入力された垂直同期信号 VST 、または、垂直同期信号 VST に基づいて生成した垂直クロック信号 $CLKV$ を選択パルスとして走査線 WSL に出力することが可能となっている。

[0014] ゲートドライバ21は、表示制御回路23から入力された垂直同期信号 VST に基づいて垂直クロック信号 $CLKV$ を生成することが可能となっている。ゲートドライバ21は、垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ に対して所定の波形変形を行い、波形変形により得られた信号（波形変形信号）をバッファ回路12に出力することが可能となっている。ゲートドライバ21は、垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ の反転信号を生成し、バッファ回路12に出力することが可能となっている。ゲートドライバ21は、バッファ回路12から入力されるフィードバック信号に基づいて、上述の波形変形を行うことが可能となっている。

[0015] バッファ回路12は、ゲートドライバ21から入力された波形変形信号および反転信号に基づいて、垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ に対応する信号を生成し、走査線 WSL に出力することが可能となっている。バッファ回路12は、さらに、上述のフィードバック信号を生成し、ゲートドライバ21に出力することが可能となっている。

[0016] バッファ回路12は、走査線 WSL の一端に接続されており、ゲートドライバ21の出力端と走査線 WSL との間に配置されている。バッファ回路12は、例えば、図2に示したように、電圧変換回路12Aと、インバータ回路12Bとを含んで構成されている。

[0017] 電圧変換回路12Aは、ゲートドライバ21から入力される波形変形信号および反転信号に基づいて、垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ の反転信号に対応する信号（以下、「反転信号 V_a 」と称する。）

を生成することが可能となっている。電圧変換回路12Aは、インバータ回路12Bの入力端（ノードA）に反転信号Vaを出力することが可能となっている。ノードAは、ゲートドライバ21内の電圧調整回路211B（後述）に接続されている。従って、電圧変換回路12Aは、反転信号Vaをインバータ回路12Bの入力端に出力することが可能となっている。また、電圧変換回路12Aは、反転信号Vaを上述のフィードバック信号として、電圧調整回路211Bに出力することが可能となっている。

[0018] 電圧変換回路12Aは、例えば、p型MOSトランジスタP2、P3およびn型MOSトランジスタN2、N3を含んで構成されている。電圧変換回路12Aは、例えば、電源電位線VDD1と電源電位線VSS2との間に、直列接続されたp型MOSトランジスタP2およびn型MOSトランジスタN3と、直列接続されたp型MOSトランジスタP3およびn型MOSトランジスタN2とを有している。

[0019] p型MOSトランジスタP2において、ゲートが後述のバッファ回路211Aの出力端に接続され、ソースが電源電位線VDD1に接続され、ドレインがn型MOSトランジスタN2のゲートと、n型MOSトランジスタN3のソースとに接続されている。p型MOSトランジスタP2のドレインは、さらに、ノードAに接続されている。p型MOSトランジスタP3において、ゲートがバッファ回路211A内のノードBに接続され、ソースが電源電位線VDD1に接続され、ドレインがn型MOSトランジスタN3のゲートと、n型MOSトランジスタN2のソースとに接続されている。

[0020] n型MOSトランジスタN2において、ゲートがp型MOSトランジスタP2のドレインと、n型MOSトランジスタN3のドレインとに接続され、ドレインがp型MOSトランジスタP3のドレインと、n型MOSトランジスタN3のゲートとに接続されている。n型MOSトランジスタN2において、ソースが電源電位線VSS2に接続されている。n型MOSトランジスタN2のゲートは、さらに、ノードAにも接続されている。n型MOSトランジスタN3において、ゲートがp型MOSトランジスタP3のドレインと

、 n 型MOSトランジスタ $N2$ のドレインとに接続され、ドレインが p 型MOSトランジスタ $P2$ のドレインと、 n 型MOSトランジスタ $N2$ のゲートとに接続されている。 n 型MOSトランジスタ $N3$ において、ソースが電源電位線 $VSS2$ に接続されている。 n 型MOSトランジスタ $N3$ のドレインは、さらに、ノード A にも接続されている。

[0021] インバータ回路 $12B$ は、電圧変換回路 $12A$ の出力（反転信号 Va ）の反転信号（選択パルス）を生成することが可能となっている。インバータ回路 $12B$ は、生成した選択パルスを走査線 WSL に出力することが可能となっている。インバータ回路 $12B$ は、例えば、 p 型MOSトランジスタ $P1$ および n 型MOSトランジスタ $N1$ が直列接続されたインバータ回路である。インバータ回路 $12B$ において、入力端は電圧変換回路 $12A$ の出力端に接続され、出力端が走査線 WSL に接続されている。インバータ回路 $12B$ は、例えば、電源電位線 $VDD2$ と電源電位線 $VSS2$ との間に、直列接続された p 型MOSトランジスタ $P1$ および n 型MOSトランジスタ $N1$ を有している。

[0022] p 型MOSトランジスタ $P1$ において、ゲートがノード A と、 n 型MOSトランジスタ $N1$ のゲートとに接続され、ソースが電源電位線 $VDD2$ に接続され、ドレインが n 型MOSトランジスタ $N1$ のドレインと、走査線 WSL とに接続されている。 n 型MOSトランジスタ $N1$ において、ゲートがノード A と、 p 型MOSトランジスタ $P1$ のゲートとに接続され、ドレインが p 型MOSトランジスタ $P1$ のドレインと、走査線 WSL とに接続され、ソースが電源電位線 $VSS2$ に接続されている。

[0023] ゲートドライバ 21 は、バッファ回路 $211A$ および電圧調整回路 $211B$ を有している。

[0024] バッファ回路 $211A$ は、2つのインバータ回路によって構成されている。バッファ回路 $211A$ において、前段のインバータ回路の入力端が、垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ が入力される端子に接続され、前段のインバータ回路の出力端が後段のインバータ回路の入力端に接

続されている。バッファ回路211Aにおいて、後段のインバータ回路の出力端が電圧変換回路12A内のp型トランジスタP2のゲートに接続され、前段のインバータ回路の出力端と後段のインバータ回路の入力端との接続ノード（ノードB）が電圧変換回路12A内のp型トランジスタP3のゲートに接続されている。

[0025] バッファ回路211Aにおいて、前段のインバータ回路は、例えば、電源電位線VDD1と電源電位線VSS1との間に、直列接続されたp型MOSトランジスタP5およびn型MOSトランジスタN6を有している。バッファ回路211Aにおいて、後段のインバータ回路は、例えば、電源電位線VDD1と接続配線Lxとの間に、直列接続されたp型MOSトランジスタP4およびn型MOSトランジスタN5を有している。

[0026] p型MOSトランジスタP4において、ゲートがn型MOSトランジスタN5のゲートに接続され、ソースが電源電位線VDD1に接続され、ドレインがn型MOSトランジスタN5のドレインに接続されている。p型MOSトランジスタP5において、ゲートがn型MOSトランジスタN6のゲートに接続され、ソースが電源電位線VDD1に接続され、ドレインがn型MOSトランジスタN6のドレインに接続されている。n型MOSトランジスタN5において、ゲートがp型MOSトランジスタP4のゲートに接続され、ドレインがp型MOSトランジスタP4のドレインに接続され、ソースが接続配線Lxに接続されている。n型MOSトランジスタN6において、ゲートがp型MOSトランジスタP5のゲートに接続され、ドレインがp型MOSトランジスタP5のドレインに接続され、ソースが電源電位線VSS1に接続されている。

[0027] p型MOSトランジスタP5のゲートと、n型MOSトランジスタN6のゲートとが、垂直同期信号VSTもしくは垂直クロック信号CLKVが入力される端子に接続されている。p型MOSトランジスタP5のドレインと、n型MOSトランジスタN6のドレインとがノードBに接続されている。p型MOSトランジスタP4のゲートと、n型MOSトランジスタN5のゲートとが、

トとが、ノードBに接続されている。ノードBが電圧変換回路12A内のp型トランジスタP3のゲートに接続されている。p型MOSトランジスタP4のドレインと、n型MOSトランジスタN5のドレインとが、電圧変換回路12A内のp型トランジスタP2のゲートに接続されている。

[0028] 電圧調整回路211Bは、選択期間T1から非選択期間T2に移行する際にp型トランジスタP2がオフからオンに変化した後にp型トランジスタP2のゲートソース間電圧 V_{gs} の絶対値が小さくなるように、バッファ回路211Aの出力端の電圧を変化させることが可能となっている。電圧調整回路211Bは、後述のノードAの電圧に基づいて、選択期間T1から非選択期間T2に移行する際にp型トランジスタP2がオフからオンに変化した後にp型トランジスタP2のゲートソース間電圧 V_{gs} の絶対値が小さくなるように、バッファ回路211Aの出力端の電圧を変化させることが可能となっている。

[0029] ここで、p型トランジスタP2がオフからオンに変化した瞬間のp型トランジスタP2のゲートソース間電圧 V_{gs} の絶対値を V_{gs1} とする。p型トランジスタP2がオフからオンに変化した後のp型トランジスタP2のゲートソース間電圧 V_{gs} の絶対値を V_{gs2} とする。このとき、電圧調整回路211Bは、 V_{gs2} が V_{gs1} よりも小さくなるように、バッファ回路211Aの出力端の電圧を変化させることが可能となっている。電圧調整回路211Bは、バッファ回路211Aの出力端の電圧を、バッファ回路211Aの基準電圧である電源電位線 V_{SS1} の電圧よりも高い値に変化させることが可能となっている。

[0030] 選択期間T1は、ゲートドライバ21およびバッファ回路12からなる回路ブロックによって走査線WSLが選択される期間を指している。選択期間T1は、例えば、図3(A)に示したように、走査線WSLに対して選択パルス(Hレベル信号)が印加される期間を指している。非選択期間T2は、ゲートドライバ21およびバッファ回路12からなる回路ブロックによって走査線WSLが非選択される期間、つまり、選択期間T1ではない期間を指

している。非選択期間T 2は、例えば、図3（A）に示したように、走査線WSLに対して非選択パルス（Lレベル信号）が印加される期間を指している。

[0031] 図3（B）に示したように、選択期間T 1において、バッファ回路1 2に含まれるp型トランジスタP 2およびn型トランジスタN 1, N 2はオフしている。バッファ回路1 2に含まれるp型トランジスタP 2およびn型トランジスタN 1, N 2は、選択期間T 1から非選択期間T 2に移行する際に、オフからオンに変化する。また、図3（C）に示したように、選択期間T 1において、バッファ回路1 2に含まれるp型トランジスタP 1, P 3およびn型トランジスタN 3はオンしている。バッファ回路1 2に含まれるp型トランジスタP 1, P 3およびn型トランジスタN 3は、選択期間T 1から非選択期間T 2に移行する際に、オンからオフに変化する。

[0032] 電圧調整回路2 1 1 Bは、例えば、図2に示したように、n型トランジスタN 4と、n型トランジスタN 4を介して直列に接続された2つの抵抗素子R 1, R 2とを含んで構成されている。電圧調整回路2 1 1 Bは、3つ以上の抵抗素子を含んで構成されていてもよい。

[0033] 電圧調整回路2 1 1 Bは、電源電位線VDD 1と電源電位線VSS 1との間に設けられている。n型トランジスタN 4において、ゲートはノードAに接続され、ドレインは抵抗素子R 1を介して電源電位線VDD 1に接続され、ソースは抵抗素子R 2を介して電源電位線VSS 1に接続されている。電圧調整回路2 1 1 Bは、n型トランジスタN 4のドレイン側に、抵抗素子R 1を含み、n型トランジスタN 4のドレインと電源電位線VDD 1とを接続する配線を有している。電圧調整回路2 1 1 Bは、n型トランジスタN 4のソース側に、抵抗素子R 2を含み、n型トランジスタN 4のソースと電源電位線VSS 1とを接続する配線を有している。電圧調整回路2 1 1 Bは、n型トランジスタN 4のゲートと、バッファ回路1 2内のノードAとを接続する配線L yを有している。

[0034] 電圧調整回路2 1 1 Bは、さらに、例えば、図2に示したように、電圧調

整回路 2 1 1 B のうち、 n 型トランジスタ $N 4$ のソース側に接続された接続配線 $L x$ を有している。接続配線 $L x$ は、例えば、 n 型トランジスタ $N 4$ のソースと、バッファ回路 2 1 1 A の後段のインバータ回路（具体的には、 n 型トランジスタ $N 5$ のソース）とに接続されている。接続配線 $L x$ は、抵抗素子 $R 2$ を介して電源電位線 $V S S 1$ に接続されているため、接続配線 $L x$ の電圧は、電源電位線 $V S S 1$ の電圧よりも高い電圧となっている。

[0035] ロジック IC 2 0 は、例えば、1 または複数の IC を含んで構成されている。ロジック IC 2 0 は、例えば、表示パネル 1 0 の周辺領域 1 0 B に設けられている。なお、ロジック IC 2 0 は、例えば、FPC (Flexible printed circuits) を介して、表示パネル 1 0 と電氣的に接続されていてもよい。ロジック IC 2 0 は、例えば、図 1 に示したように、ゲートドライバ 2 1 と、データドライバ 2 2 と、表示制御回路 2 3 とを有している。ロジック IC 2 0 は、例えば、表示パネル 1 0 の複数の表示画素 1 1 をアクティブ駆動することにより、表示装置 1 の外部から入力された映像信号に基づく映像を表示パネル 1 0 に表示させることが可能となっている。

[0036] 表示制御回路 2 3 は、例えば、入力された映像信号を 1 画面ごと（1 フレームの表示ごと）にフレームメモリに格納して保持することが可能となっている。表示制御回路 2 3 は、また、例えば、表示パネル 1 0 を駆動するゲートドライバ 2 1 およびデータドライバ 2 2 が連動して動作するように制御することが可能となっている。具体的には、データドライバ 2 2 は、例えば、ゲートドライバ 2 1 に走査タイミング制御信号（例えば、同期信号 $V S T$ およびクロック信号）を供給し、データドライバ 2 2 に、フレームメモリに保持されている映像信号に基づいた単位画素行分の映像信号と、表示タイミング制御信号を供給することが可能となっている。

[0037] データドライバ 2 2 は、例えば、表示制御回路 2 3 から供給される単位画素行分の映像信号を、各表示画素 1 1 に信号電圧として供給することが可能となっている。具体的には、データドライバ 2 2 は、例えば、単位画素行分の映像信号に対応する信号電圧を、データドライバ 2 2 により選択された単

位画素行の各表示画素 1 1 に、信号線 D T L を介してそれぞれ供給することが可能となっている。

[0038] ゲートドライバ 2 1 は、バッファ回路 1 2 を介して、複数の走査線 W S L に接続されている。ゲートドライバ 2 1 は、例えば、表示制御回路 2 3 から供給される走査タイミング制御信号（例えば、垂直同期信号 V S T およびクロック信号）に基づいて、駆動対象の表示画素 1 1 を選択することが可能となっている。具体的には、ゲートドライバ 2 1 は、例えば、走査線 W S L を介して、選択パルスを表示画素 1 1 のトランジスタのゲートに印加することにより、画素アレイ領域 1 0 A に二次元配置された複数の表示画素 1 1 のうちの単位画素行の各表示画素 1 1 を駆動対象として選択することが可能となっている。そして、これらの表示画素 1 1 では、データドライバ 2 2 から供給される信号電圧に応じて、単位画素行の表示がなされる。このようにして、ゲートドライバ 2 1 は、例えば、時分割的に単位画素行ずつ順次走査を行い、表示領域全体に亘った表示を表示パネル 1 0 に行わせることが可能となっている。

[0039] ゲートドライバ 2 1 は、例えば、シフトレジスタ回路を有している。シフトレジスタ回路は、表示制御回路 2 3 から供給される走査タイミング制御信号（例えば、垂直同期信号 V S T およびクロック信号）に基づいて、選択する単位画素行を、走査方向に順次シフトする垂直クロック信号 C L K V を生成することが可能となっている。

[0040] ゲートドライバ 2 1 は、シフトレジスタ回路の後段に、例えば、図 2 に示したように、単位画素行ごとに出力回路 2 1 1 を有している。出力回路 2 1 1 は、例えば、図 2 に示したように、バッファ回路 2 1 1 A および電圧調整回路 2 1 1 B を有している。

[0041] 図 4 は、出力回路 2 1 1 およびバッファ回路 1 2 によって構成される論理回路の真理値表の一例を表したものである。図 5 は、図 4 の真理値表において入力「H」のときの論理回路の動作の一例を表したものである。図 6 は、図 4 の真理値表において入力「L」のときの論理回路の動作の一例を表

したものである。

[0042] 図4、図5に示したように、垂直クロック信号CLKVとして、Hレベルの信号が入力されたとき、p型MOSトランジスタP5およびn型MOSトランジスタN5がOFFし、p型MOSトランジスタP4およびn型MOSトランジスタN6がONする。これにより、バッファ回路211Aの出力端がHレベルとなり、Hレベルの信号が電圧変換回路12Aのp型トランジスタP2のゲートに入力される。また、ノードBがLレベルとなり、Lレベルの信号が電圧変換回路12Aのp型トランジスタP3のゲートに入力される。

[0043] Hレベルの信号が電圧変換回路12Aのp型トランジスタP2のゲートに入力されると、p型トランジスタP2はOFFのままである。その一方で、Lレベルの信号が電圧変換回路12Aのp型トランジスタP3のゲートに入力されると、p型トランジスタP3がONする。これにより、n型MOSトランジスタN3がONし、n型MOSトランジスタN2がOFFするので、ノードAにはLレベルの信号が印加される。ノードAにLレベルの信号が印加されると、p型トランジスタP1がONし、n型MOSトランジスタN1がOFFするので、インバータ回路12Bからは、Hレベルの信号（つまり、選択信号）が走査線WSLに出力される。従って、垂直クロック信号CLKVとして、Hレベルの信号が入力されると、走査線WSLにHレベルの信号が出力される。

[0044] 図4、図6に示したように、垂直クロック信号CLKVとして、Lレベルの信号が入力されたとき、p型MOSトランジスタP5およびn型MOSトランジスタN5がONし、p型MOSトランジスタP4およびn型MOSトランジスタN6がOFFする。これにより、バッファ回路211Aの出力端がLレベルとなり、Lレベルの信号が電圧変換回路12Aのp型トランジスタP2のゲートに入力される。また、ノードBがHレベルとなり、Hレベルの信号が電圧変換回路12Aのp型トランジスタP3のゲートに入力される。

[0045] Lレベルの信号が電圧変換回路12Aのp型トランジスタP2のゲートに入力されると、p型トランジスタP2はONする。その一方で、Hレベルの信号が電圧変換回路12Aのp型トランジスタP3のゲートに入力されると、p型トランジスタP3がOFFしたままとなる。これにより、n型MOSトランジスタN3がOFFし、n型MOSトランジスタN2がONするので、ノードAにはHレベルの信号が印加される。ノードAにHレベルの信号が印加されると、p型トランジスタP1がOFFし、n型MOSトランジスタN1がONするので、インバータ回路12Bからは、Lレベルの信号（つまり、非選択信号）が走査線WSLに出力される。従って、垂直クロック信号CLKVとして、Lレベルの信号が入力されると、走査線WSLにLレベルの信号が出力される。

[0046] ところで、走査線WSLにLレベルの信号が出力される非選択期間T2は、例えば、図3に示したように、1フレーム期間1Fにおいて概ね99.9%を占めている。そのため、バッファ回路12に含まれるp型トランジスタP2およびn型トランジスタN1、N2は、1フレーム期間1F内の概ね99.9%の期間においてオンし続けていることになる。ここで、トランジスタには、長時間の連続稼働において、BTIによる特性変動による動作不具合が生じることが知られている。例えば、図3に示したように、バッファ回路12に含まれるp型トランジスタP2およびn型トランジスタN1、N2は、1フレーム期間1F内の概ね99.9%の期間においてオンし続けている。そのため、p型トランジスタP2およびn型トランジスタN1、N2において、BTIによる特性変動による動作不具合が生じやすい。このような動作不具合は、例えば、図7に示したように、トランジスタのゲートソース間電圧 V_{gs} の大きさに反比例して短くなる傾向にある。また、n型トランジスタN1、N2よりも、p型トランジスタP2の方が、BTIによる特性変動による動作不具合が生じやすい。

[0047] そこで、本実施の形態では、ゲートドライバ21の各出力回路21内に、非選択期間T2において、p型トランジスタP2のゲート電圧 V_g を、各出

力回路 2 1 内の基準電圧である電源電位線 V S S 1 の電圧 V s s 1 よりも高い電圧 V b に変更する電圧調整回路 2 1 1 B が設けられている。

[0048] 図 8 は、表示装置 1 において選択期間 T 1 から非選択期間 T 2 に移行する際の各種波形の一例を表したものである。図 8 において、V d d 1 は電源電位線 V D D 1 の電圧であり、V d d 2 は電源電位線 V D D 2 の電圧であり、V s s 1 は電源電位線 V S S 1 の電圧であり、V s s 2 は電源電位線 V S S 2 の電圧である。図 8 において、V g は p 型トランジスタ P 2 のゲート電圧であり、V w s l は走査線 W S L の電圧であり、V g s は p 型トランジスタ P 2 のゲートソース間電圧であり、V a はノード A の電圧であり、V o n は n 型トランジスタ N 4 のオン電圧である。

[0049] 垂直同期信号 V S T もしくは垂直クロック信号 C L K V が H レベルから L レベルに変化すると、バッファ回路 2 1 1 A の出力端の電圧も H レベルから L レベルに変化し、p 型トランジスタ P 2 のゲート電圧 V g も H レベルから L レベルに変化する。このとき、p 型トランジスタ P 2 のゲートソース間電圧 V g s に大きな負バイアスがかかり、p 型トランジスタ P 2 のソースドレイン間に十分大きな電流が流れる。その結果、ノード A の電圧 V a が瞬時に上がる。ノード A の電圧 V a が n 型トランジスタ N 4 のオン電圧 V o n を超えると、n 型トランジスタ N 4 が O N し、電圧調整回路 2 1 1 B によって分圧された電圧が接続配線 L x を介してバッファ回路 2 1 1 A の後段のインバータ回路に入力される。これにより、p 型トランジスタ P 2 のゲートソース間には、以下の式 (1) で示される電圧が印加される。

$$\begin{aligned}
 [0050] \quad V_{gs} &= - (V_{dd1} - (r_2 / (r_1 + r_{on} + r_2)) \times V_{dd1}) \\
 &= ((r_2 / (r_1 + r_{on} + r_2)) - 1) \times V_{dd1} \\
 &= ((-r_1 - r_{on}) / (r_1 + r_{on} + r_2)) \times V_{dd1} \dots
 \end{aligned}$$

式 (1)

r 1 : 抵抗素子 R 1 の抵抗値

r 2 : 抵抗素子 R 2 の抵抗値

r o n : n 型トランジスタ N 4 のオン抵抗

[0051] その結果、 p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値は、例えば、図8に示したように、時間の経過とともに徐々に小さくなっていき、一定値となる。ノード A の電圧 V_a が上昇するにつれて、 p 型トランジスタ $P2$ のゲート電圧 V_g も上昇し、 p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値が減少するという帰還が形成される。

[0052] 図9は、比較例に係る表示装置における任意の走査線 WSL に接続された3つの表示画素 11 ならびにゲートドライバ 121 およびバッファ回路 112 の回路構成の一例を表したものである。比較例に係る表示装置では、電圧調整回路 $211B$ が設けられた出力回路 211 の代わりに、電圧調整回路 $211B$ が省略された出力回路 212 が設けられている。そのため、例えば、図10に示したように、非選択期間 $T2$ において、 p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値が大きいままとなっている。その結果、 p 型トランジスタ $P2$ において、 BTI による特性変動リスクが高い。

[0053] 一方、本実施の形態では、例えば、図8に示したように、非選択期間 $T2$ において、 p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値が、比較例の場合と比べて小さくなっている。その結果、 p 型トランジスタ $P2$ において、 BTI による特性変動リスクが小さくなっている。

[0054] [効果]

次に、表示装置1の効果について説明する。

[0055] 本実施の形態では、走査線 WSL には、バッファ回路 12 を介してゲートドライバ 21 が接続されている。そして、ゲートドライバ 21 には、入力端に垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ が入力され、出力端がバッファ回路 12 内の p 型トランジスタ $P2$ のゲートに接続されたバッファ回路 $211A$ が設けられている。ゲートドライバ 21 には、さらに、ゲートドライバ 21 には、選択期間 $T1$ から非選択期間 $T2$ に移行する際に p 型トランジスタ $P2$ がオフからオンに変化した後に p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値が小さくなるようにバッファ回路 $211A$ の出力端の電圧を変化させることの可能な電圧調整回路 $211B$ が設けら

れている。これにより、 p 型トランジスタ $P2$ において、 $BT1$ による特性変動リスクを小さくすることができる。

[0056] 本実施の形態では、ノード A の電圧に基づいて、選択期間 $T1$ から非選択期間 $T2$ に移行する際に p 型トランジスタ $P2$ がオフからオンに変化した後に p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値が小さくなるようにバッファ回路 $211A$ の出力端の電圧を変化させることの可能な電圧調整回路 $211B$ が設けられている。これにより、 p 型トランジスタ $P2$ において、 $BT1$ による特性変動リスクを小さくすることができる。

[0057] 本実施の形態では、ゲートがノード A に接続された n 型トランジスタ $N4$ と、 n 型トランジスタ $N4$ を介して直列に接続された抵抗素子 $R1$ 、 $R2$ とを含んで構成された電圧調整回路 $211B$ が設けられている。さらに、電圧調整回路 $211B$ のうち、 n 型トランジスタ $N4$ のソース側の配線とバッファ回路 $211A$ 内の後段のインバータ回路とに接続された接続配線 Lx が設けられている。これにより、選択期間 $T1$ から非選択期間 $T2$ に移行する際に p 型トランジスタ $P2$ がオフからオンに変化した後に p 型トランジスタ $P2$ のゲートソース間電圧 V_{gs} の絶対値が小さくなるようにバッファ回路 $211A$ の出力端の電圧を変化させることができる。その結果、 p 型トランジスタ $P2$ において、 $BT1$ による特性変動リスクを小さくすることができる。

[0058] 本実施の形態では、バッファ回路 $211A$ から得られる波形変形信号および反転信号に基づいて、垂直同期信号 VST もしくは垂直クロック信号 $CLKV$ の反転信号に対応する信号を生成し、ノード A に出力することの可能な電圧変換回路 $12A$ が設けられている。さらに、電圧変換回路 $12A$ から入力された信号の反転信号を選択パルスとして走査線 WSL に出力することの可能なインバータ回路 $12B$ が設けられている。これにより、電流駆動力の高いバッファ回路 12 を提供することができる。

[0059] <3. 変形例>

次に、上記実施の形態に係る表示装置1の変形例について説明する。

[0060] [変形例 A]

上記実施の形態に係るゲートドライバ21において、出力回路211は、例えば、図11に示したように、電圧調整回路211Bの代わりに、電圧調整回路211Cを有していてもよい。電圧調整回路211Cは、例えば、図11に示したように、n型トランジスタN4と、n型トランジスタN4を介して直列に接続されたp型トランジスタP6およびn型トランジスタN7とを含んで構成されている。電圧調整回路211Cは、p型トランジスタP6およびn型トランジスタN7以外に更にトランジスタを含んでいてもよい。

[0061] 電圧調整回路211Cは、電源電位線VDD1と電源電位線VSS1との間に設けられている。n型トランジスタN4において、ゲートはノードAに接続され、ドレインはp型トランジスタP6を介して電源電位線VDD1に接続され、ソースはn型トランジスタN7を介して電源電位線VSS1に接続されている。p型トランジスタP6において、ゲートは電源電位線VSS1に接続され、ソースは電源電位線VDD1に接続され、ドレインはn型トランジスタN4のドレインに接続されている。つまり、p型トランジスタP6は、常時オンしている。n型トランジスタN7において、ゲートは電源電位線VDD1に接続され、ドレインはn型トランジスタN4のソースに接続され、ソースは電源電位線VSS1に接続されている。つまり、n型トランジスタN7は、常時オンしている。

[0062] 電圧調整回路211Cは、さらに、例えば、図11に示したように、電圧調整回路211Cのうち、n型トランジスタN4のソース側に接続された接続配線Lxを有している。接続配線Lxは、例えば、n型トランジスタN4のソースと、バッファ回路211Aの後段のインバータ回路（具体的には、n型トランジスタN5のソース）とに接続されている。接続配線Lxは、n型トランジスタN7を介して電源電位線VSS1に接続されているため、接続配線Lxの電圧は、電源電位線VSS1の電圧よりも高い電圧となっている。

[0063] 本変形例では、電圧調整回路211Cが設けられている。このようにした

場合であっても、上記の実施の形態と同様の効果を得ることができる。

[0064] [変形例B]

上記実施の形態に係るバッファ回路12は、例えば、図12に示したように、電圧変換回路12Aの代わりに、バッファ回路12Cを有していてもよい。このとき、バッファ回路12Cは、例えば、図12に示したように、電源電位線VDD1と電源電位線VSS1との間に設けられている。つまり、バッファ回路12には、選択パルスの電圧値（波高値）を変更する機能を有していない。

[0065] バッファ回路12Cは、例えば、図12に示したように、電源電位線VDD1と電源電位線VSS1との間に、直列接続されたp型MOSトランジスタP3およびn型MOSトランジスタN3からなる前段のインバータ回路と、直列接続されたp型MOSトランジスタP2およびn型MOSトランジスタN2からなる後段のインバータ回路とを有している。バッファ回路12Cにおいて、前段のインバータ回路の入力端がバッファ回路211A内のノードBに接続されており、前段のインバータ回路の出力端が後段のインバータ回路の入力端に接続されている。さらに、バッファ回路12Cにおいて、後段のインバータ回路の入力端がバッファ回路211Aの出力端にも接続されており、後段のインバータ回路の出力端がインバータ回路12Bの入力端（ノードA）に接続されている。

[0066] 本変形例では、バッファ回路12Cが設けられており、バッファ回路12Cが電源電位線VDD1と電源電位線VSS1との間に設けられている。これにより、バッファ回路12には、選択パルスの電圧値（波高値）を変更する機能が無い点を除いて、上記の実施の形態と同様の効果を得ることができる。

[0067] [変形例C]

上記実施の形態およびその変形例において、表示装置1は、例えば、図13に示したように、各走査線WSLの両端のそれぞれに、バッファ回路12を有していてもよい。表示装置1は、さらに、例えば、図13に示したよう

に、各走査線WSLの一方の端縁に設けられたバッファ回路12を介して各走査線WSLに接続されたゲートドライバ21を備えており、各走査線WSLの他方の端縁に設けられたバッファ回路12を介して各走査線WSLに接続されたゲートドライバ21を備えていてもよい。このとき、各ゲートドライバ21は、バッファ回路12を介して、複数の走査線WSLを単位画素行ごとに走査することが可能となっている。このようにした場合であっても、上記の実施の形態と同様の効果を得ることができる。

[0068] 以上、実施の形態およびその変形例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0069] また、例えば、本開示は以下のような構成を取ることができる。

(1)

複数の表示画素と、

複数の走査線と、

各前記走査線に接続された第1のバッファ回路と、

前記第1のバッファ回路を介して各前記走査線に電氣的に接続され、前記複数の走査線を介して前記複数の表示画素を単位画素行ごとに順次選択することの可能なドライバと

を備え、

前記第1のバッファ回路は、

前記走査線を選択する選択期間から前記走査線を非選択する非選択期間に移行する際にオンからオフに変化することの可能な複数の第1のトランジスタと、

前記選択期間から前記非選択期間に移行する際にオフからオンに変化することの可能な複数の第2のトランジスタと

を有し、

前記ドライバは、

入力端に垂直クロック信号が入力され、出力端が前記複数の第2のトランジスタのうちの1つである第3のトランジスタのゲートに接続された第2のバッファ回路と、

前記選択期間から前記非選択期間に移行する際に前記第3のトランジスタがオフからオンに変化した後に前記第3のトランジスタのゲートソース間電圧の絶対値が小さくなるように前記出力端の電圧を変化させることの可能な電圧調整回路と

を有する

表示装置。

(2)

前記電圧調整回路は、前記第1のバッファ回路内の後段のインバータ回路の入力端の電圧に基づいて、前記選択期間から前記非選択期間に移行する際に前記第3のトランジスタがオフからオンに変化した後に前記第3のトランジスタのゲートソース間電圧の絶対値が小さくなるように前記出力端の電圧を変化させることが可能となっている

(1)に記載の表示装置。

(3)

前記電圧調整回路は、

ゲートが前記第1のバッファ回路内の後段のインバータ回路の入力端に接続された第4のトランジスタと、

前記第4のトランジスタを介して直列に接続された複数の抵抗素子と、

当該電圧調整回路のうち、前記第4のトランジスタのソース側の配線と前記第2のバッファ回路内の後段のインバータ回路とに接続された接続配線と

を有する

(2)に記載の表示装置。

(4)

前記電圧調整回路は、

ゲートが前記第1のバッファ回路内の後段のインバータ回路の入力端に接続された第4のトランジスタと、

前記第4のトランジスタを介して直列に接続された複数の第5のトランジスタと、

当該電圧調整回路のうち、前記第4のトランジスタのソース側の配線と前記第2のバッファ回路内の後段のインバータ回路とに接続された接続配線とを有する

(2)に記載の表示装置。

(5)

前記第1のバッファ回路は、

前記第3のトランジスタを含み、前記第2のバッファ回路から得られる複数の制御信号に基づいて、前記垂直クロック信号の反転信号に対応する信号を生成し、後段のインバータ回路の入力端に出力することの可能な第1の電圧変換回路と、

前記後段のインバータ回路として、前記複数の第1のトランジスタのうちの1つである第5のトランジスタと、前記複数の第2のトランジスタのうちの1つである第6のトランジスタとにより構成され、前記第1の電圧変換回路から入力された信号の反転信号を選択パルスとして前記走査線に出力することの可能な第2のインバータ回路と

を有する

(3)または(4)に記載の表示装置。

(6)

前記第3のトランジスタは、p型MOSトランジスタである

(1)ないし(5)のいずれか1つに記載の表示装置。

[0070] 本出願は、日本国特許庁において2023年7月13日に出願された日本特許出願番号第2023-115473号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0071] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ

ネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1]

複数の表示画素と、
複数の走査線と、
各前記走査線に接続された第1のバッファ回路と、
前記第1のバッファ回路を介して各前記走査線に電氣的に接続され、前記複数の走査線を介して前記複数の表示画素を単位画素行ごとに順次選択することの可能なドライバと
を備え、
前記第1のバッファ回路は、
前記走査線を選択する選択期間から前記走査線を非選択する非選択期間に移行する際にオンからオフに変化することの可能な複数の第1のトランジスタと、
前記選択期間から前記非選択期間に移行する際にオフからオンに変化することの可能な複数の第2のトランジスタと
を有し、
前記ドライバは、
入力端に垂直クロック信号が入力され、出力端が前記複数の第2のトランジスタのうちの1つである第3のトランジスタのゲートに接続された第2のバッファ回路と、
前記選択期間から前記非選択期間に移行する際に前記第3のトランジスタがオフからオンに変化した後に前記第3のトランジスタのゲートソース間電圧の絶対値が小さくなるように前記出力端の電圧を変化させることの可能な電圧調整回路と
を有する
表示装置。

[請求項2]

前記電圧調整回路は、前記第1のバッファ回路内の後段のインバータ回路の入力端の電圧に基づいて、前記選択期間から前記非選択期間に移行する際に前記第3のトランジスタがオフからオンに変化した後

に前記第3のトランジスタのゲートソース間電圧の絶対値が小さくなるように前記出力端の電圧を変化させることが可能となっている

請求項1に記載の表示装置。

[請求項3]

前記電圧調整回路は、

ゲートが前記第1のバッファ回路内の後段のインバータ回路の入力端に接続された第4のトランジスタと、

前記第4のトランジスタを介して直列に接続された複数の抵抗素子と、

当該電圧調整回路のうち、前記第4のトランジスタのソース側の配線と前記第2のバッファ回路内の後段のインバータ回路とに接続された接続配線と

を有する

請求項2に記載の表示装置。

[請求項4]

前記電圧調整回路は、

ゲートが前記第1のバッファ回路内の後段のインバータ回路の入力端に接続された第4のトランジスタと、

前記第4のトランジスタを介して直列に接続された複数の第5のトランジスタと、

当該電圧調整回路のうち、前記第4のトランジスタのソース側の配線と前記第2のバッファ回路内の後段のインバータ回路とに接続された接続配線と

を有する

請求項2に記載の表示装置。

[請求項5]

前記第1のバッファ回路は、

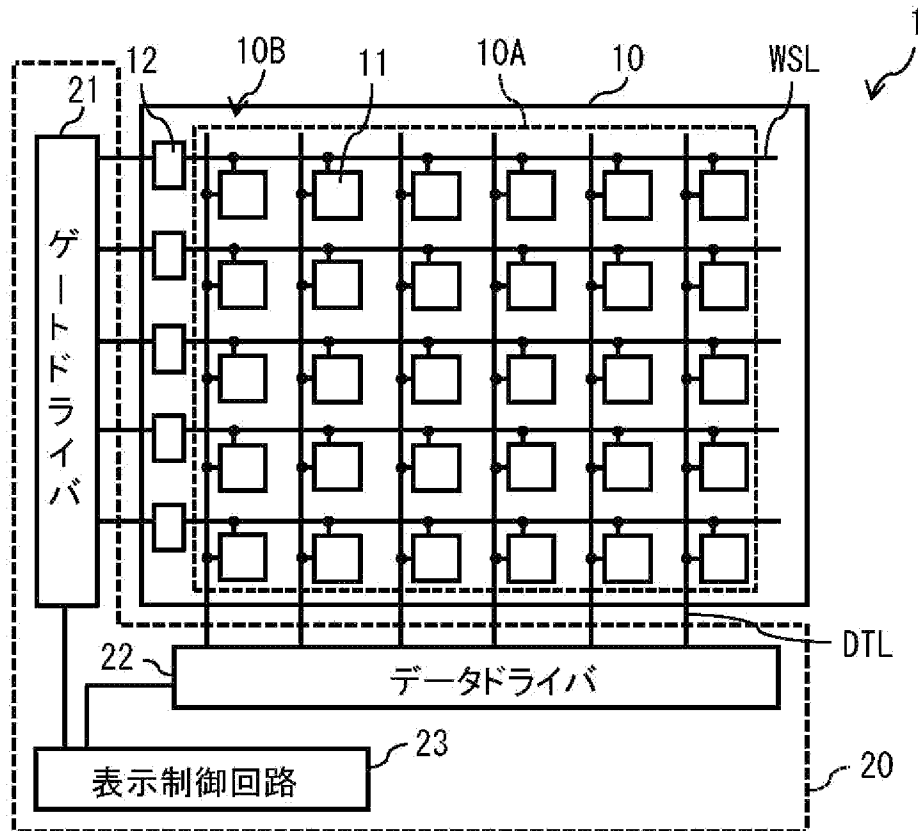
前記第3のトランジスタを含み、前記第2のバッファ回路から得られる複数の制御信号に基づいて、前記垂直クロック信号の反転信号に対応する信号を生成し、後段のインバータ回路の入力端に出力することの可能な第1の電圧変換回路と、

前記後段のインバータ回路として、前記複数の第1のトランジスタのうちの1つである第5のトランジスタと、前記複数の第2のトランジスタのうちの1つである第6のトランジスタとにより構成され、前記第1の電圧変換回路から入力された信号の反転信号を選択パルスとして前記走査線に出力することの可能な第2のインバータ回路とを有する

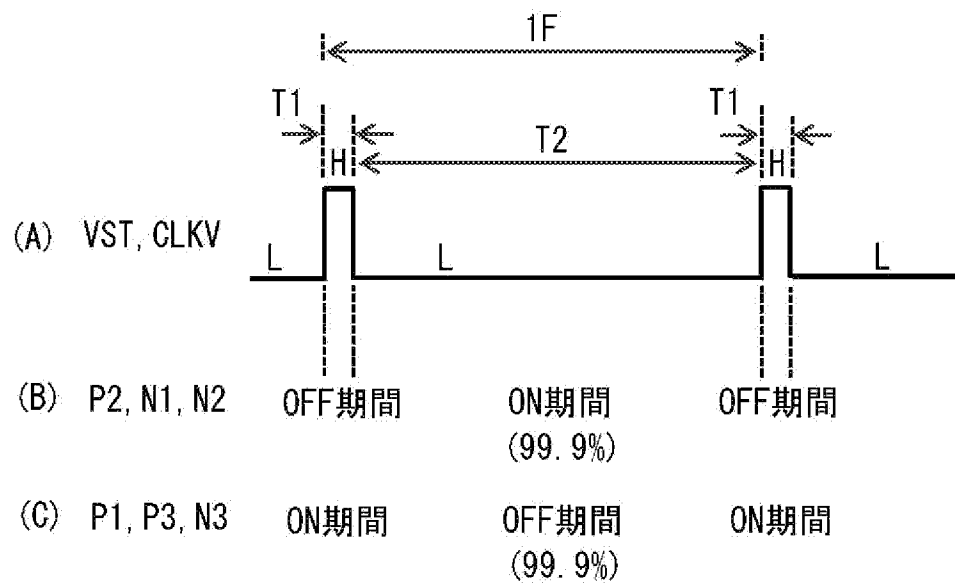
請求項3または請求項4に記載の表示装置。

[請求項6] 前記第3のトランジスタは、p型MOSトランジスタである
請求項1に記載の表示装置。

[図1]



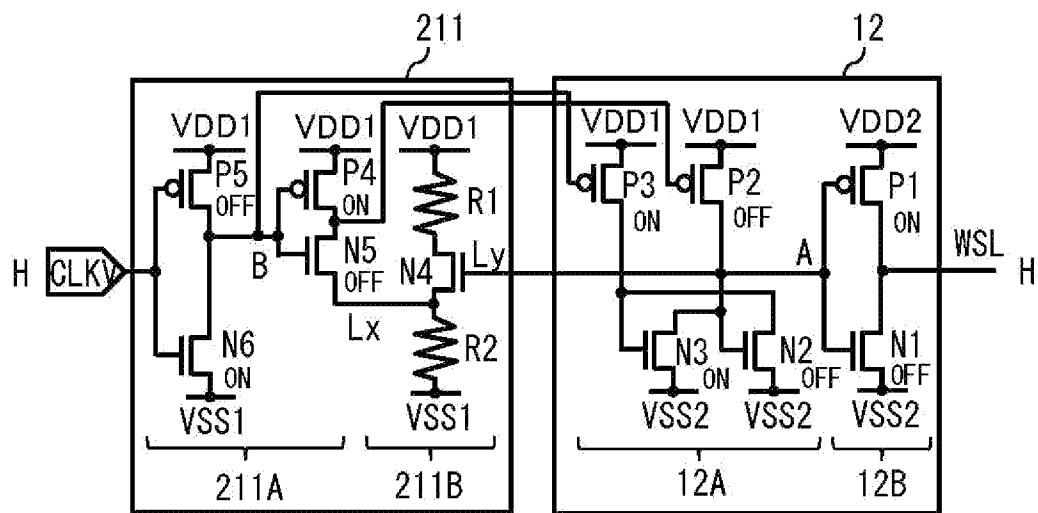
[図3]



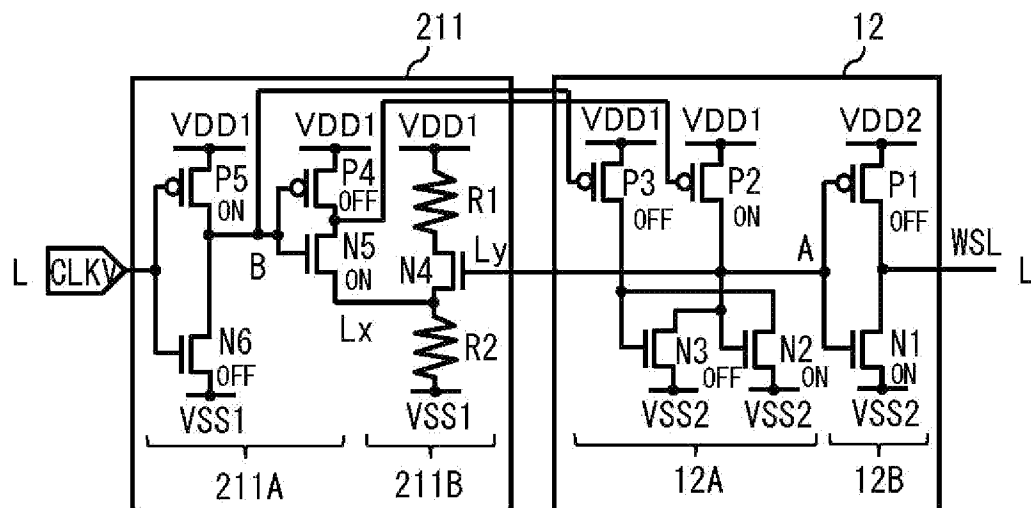
[図4]

VST, CLKV	WSL	P2, N1, N2
L	L	ON
H	H	OFF

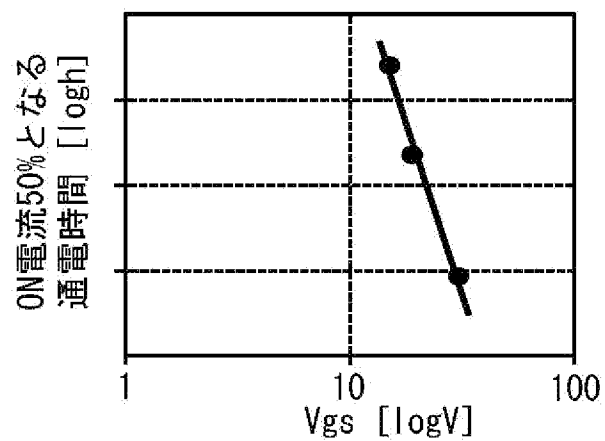
[図5]



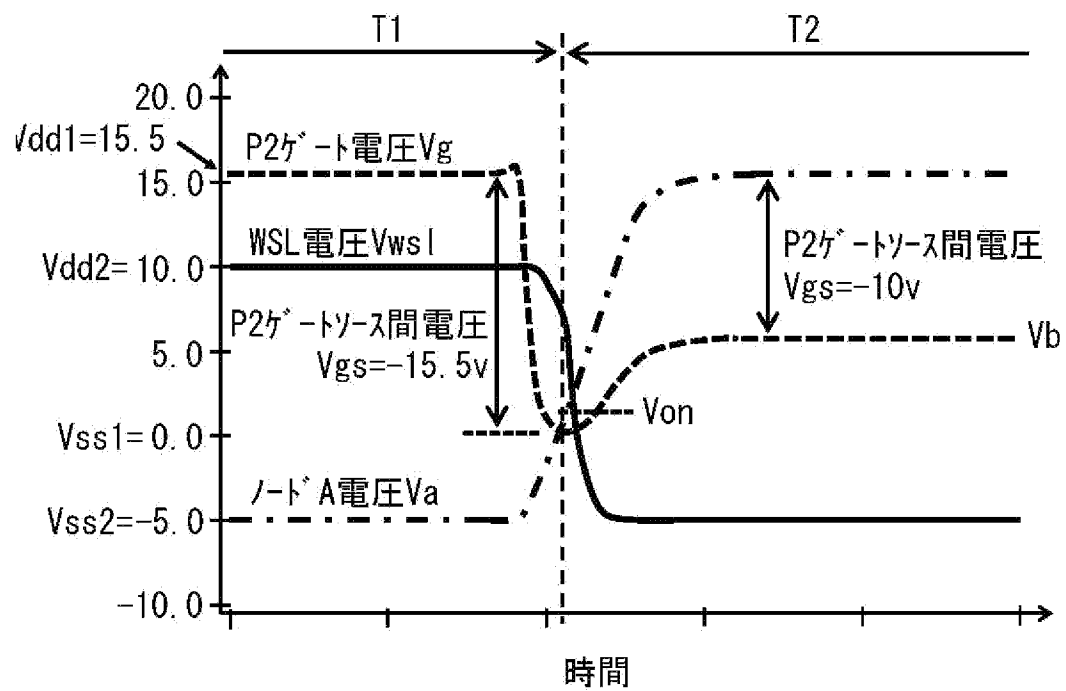
[図6]



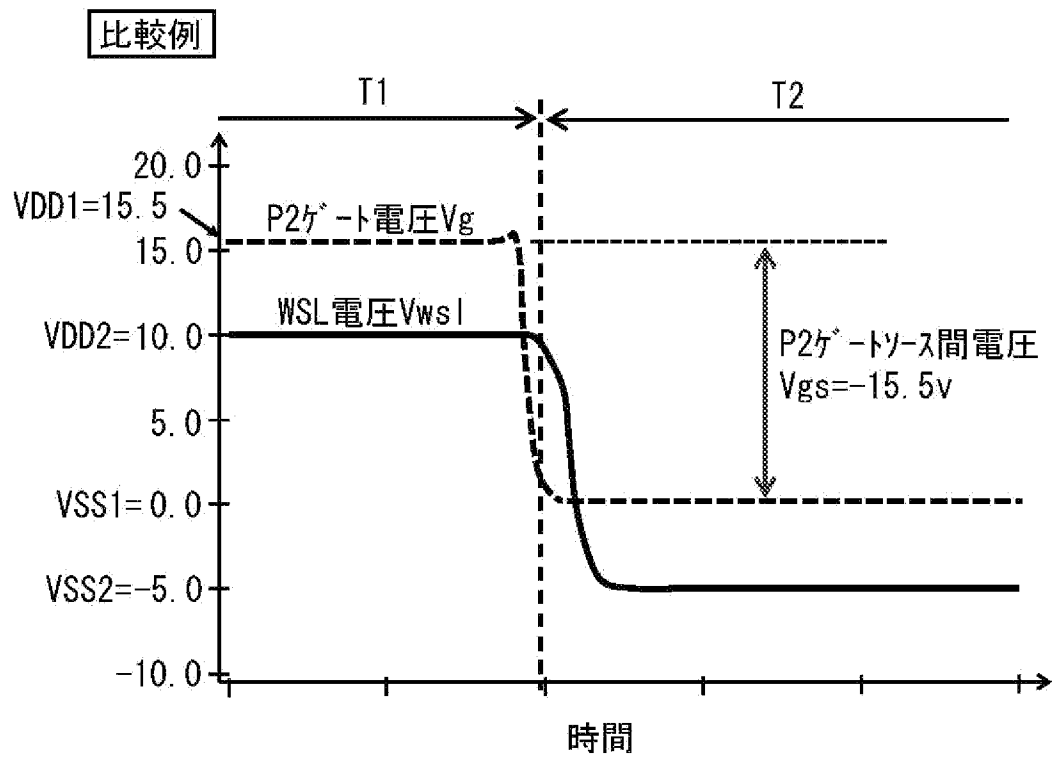
[図7]

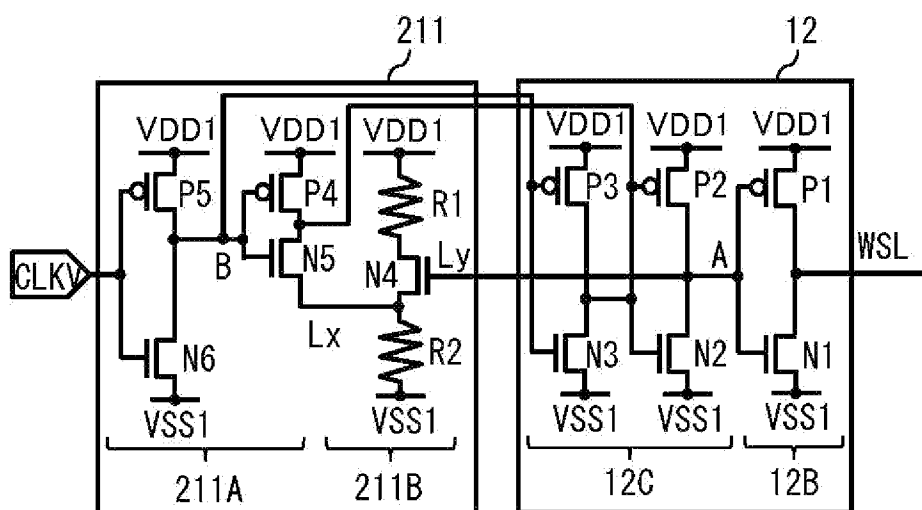


[図8]

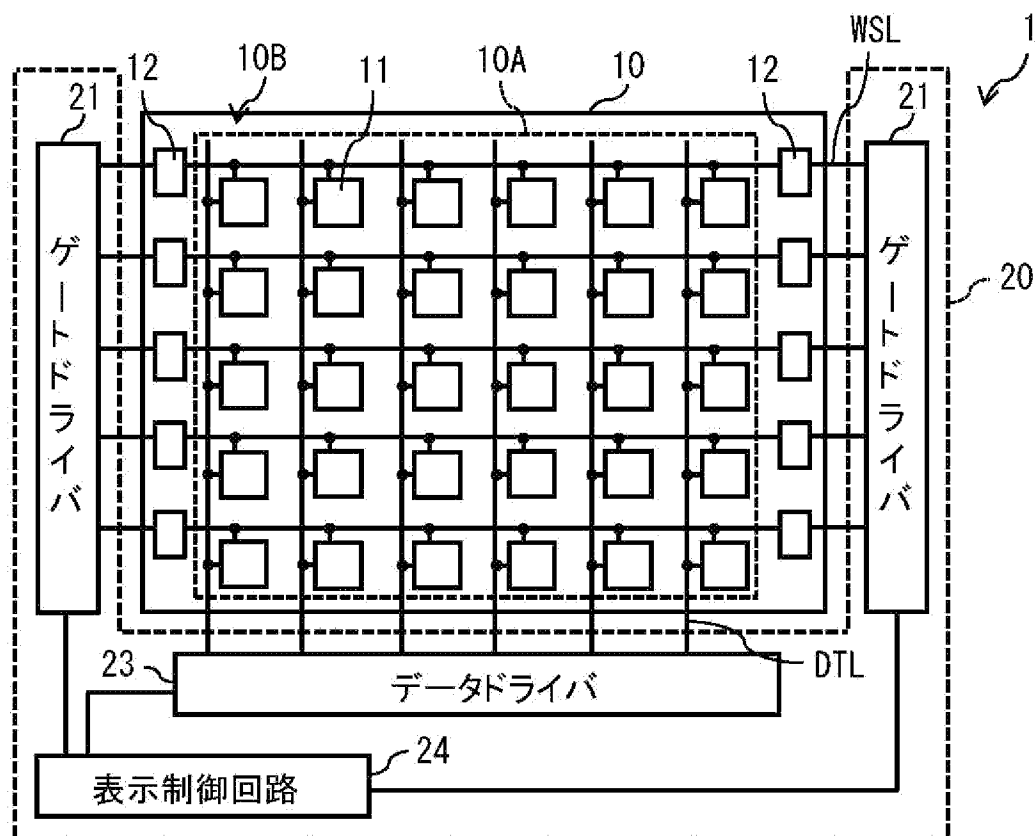


[図10]





[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020372

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; **G09G 3/36**(2006.01)i; **H03K 19/003**(2006.01)i; **H03K 19/0175**(2006.01)i
FI: G09G3/20 622B; H03K19/0175 220; H03K19/003; G09G3/20 622G; G09G3/20 670J; G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20; G09G3/36; H03K19/003; H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-242204 A (SONY CORPORATION) 07 September 1999 (1999-09-07) entire text, all drawings	1-6
A	JP 2013-106120 A (SONY CORPORATION) 30 May 2013 (2013-05-30) entire text, all drawings	1-6
A	JP 2014-085648 A (JAPAN DISPLAY INC.) 12 May 2014 (2014-05-12) entire text, all drawings	1-6
A	JP 2009-222802 A (SANYO ELECTRIC CO., LTD.) 01 October 2009 (2009-10-01) entire text, all drawings	1-6
A	JP 2013-150182 A (RENESAS ELECTRONICS CORPORATION) 01 August 2013 (2013-08-01) entire text, all drawings	1-6
A	US 2012/0182079 A1 (KIM, J.) 19 July 2012 (2012-07-19) entire text, all drawings	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 July 2024

Date of mailing of the international search report

16 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020372

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0247892 A1 (INTERNATIONAL BUSINESS MACHINES CORP.) 03 September 2015 (2015-09-03) entire text, all drawings	1-6
A	CN 103576067 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 12 February 2014 (2014-02-12) entire text, all drawings	1-6
A	CN 103792475 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 14 May 2014 (2014-05-14) entire text, all drawings	1-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020372

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	11-242204	A	07 September 1999	US 6392627 B1 entire text, all drawings KR 1999-0072558 A	
JP	2013-106120	A	30 May 2013	US 2013/0120339 A1 entire text, all drawings CN 103106870 A	
JP	2014-085648	A	12 May 2014	(Family: none)	
JP	2009-222802	A	01 October 2009	US 2009/0231258 A1 entire text, all drawings CN 101533624 A TW 200939199 A	
JP	2013-150182	A	01 August 2013	(Family: none)	
US	2012/0182079	A1	19 July 2012	(Family: none)	
US	2015/0247892	A1	03 September 2015	US 2016/0223606 A1 entire text, all drawings US 2017/0067958 A1 US 2019/0285690 A1 US 2019/0353695 A1	
CN	103576067	A	12 February 2014	(Family: none)	
CN	103792475	A	14 May 2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

G09G 3/20(2006.01)i; G09G 3/36(2006.01)i; H03K 19/003(2006.01)i; H03K 19/0175(2006.01)i
FI: G09G3/20 622B; H03K19/0175 220; H03K19/003; G09G3/20 622G; G09G3/20 670J; G09G3/36

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G09G3/20; G09G3/36; H03K19/003; H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922 - 1996年
日本国公開実用新案公報 1971 - 2024年
日本国実用新案登録公報 1996 - 2024年
日本国登録実用新案公報 1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-242204 A（ソニー株式会社）07.09.1999（1999 - 09 - 07） 全文、全図	1-6
A	JP 2013-106120 A（ソニー株式会社）30.05.2013（2013 - 05 - 30） 全文、全図	1-6
A	JP 2014-085648 A（株式会社ジャパンディスプレイ）12.05.2014（2014 - 05 - 12） 全文、全図	1-6
A	JP 2009-222802 A（三洋電機株式会社）01.10.2009（2009 - 10 - 01） 全文、全図	1-6
A	JP 2013-150182 A（ルネサスエレクトロニクス株式会社）01.08.2013（2013 - 08 - 01） 全文、全図	1-6
A	US 2012/0182079 A1（KIM, Jae-Joon）19.07.2012（2012 - 07 - 19） 全文、全図	1-6

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
02.07.2024

国際調査報告の発送日
16.07.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

小野 博之 2I 4072

電話番号 03-3581-1101 内線 3272

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2015/0247892 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 03.09.2015 (2015 - 09 - 03) 全文、全図	1-6
A	CN 103576067 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 12.02.2014 (2014 - 02 - 12) 全文、全図	1-6
A	CN 103792475 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CO., LTD.) 14.05.2014 (2014 - 05 - 14) 全文、全図	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/020372

引用文献			公表日	パテントファミリー文献			公表日
JP	11-242204	A	07.09.1999	US	6392627	B1	
				全文、全図			
				KR	1999-0072558	A	
JP	2013-106120	A	30.05.2013	US	2013/0120339	A1	
				全文、全図			
				CN	103106870	A	
JP	2014-085648	A	12.05.2014	(ファミリーなし)			
JP	2009-222802	A	01.10.2009	US	2009/0231258	A1	
				全文、全図			
				CN	101533624	A	
				TW	200939199	A	
JP	2013-150182	A	01.08.2013	(ファミリーなし)			
US	2012/0182079	A1	19.07.2012	(ファミリーなし)			
US	2015/0247892	A1	03.09.2015	US	2016/0223606	A1	
				全文、全図			
				US	2017/0067958	A1	
				US	2019/0285690	A1	
				US	2019/0353695	A1	
CN	103576067	A	12.02.2014	(ファミリーなし)			
CN	103792475	A	14.05.2014	(ファミリーなし)			