

案號 91123641

年 月 日

修正

## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2002/06/04	10/163,259	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。

## 五、發明說明 (1)

## 〔發明背景〕

## 發明領域

本發明係關於電子零件，尤其是電感器。

## 相關技術說明

尺寸更小且電子特性更佳的電子零件之需求永不衰退，在設計這些零件時往往失去一些，例如當尺寸縮小時會對一或多項電子特性產生負面影響。

電感器最需要降至最低甚至消除者為電磁干擾 (EMI)，EMI 為會降低電子設備性能之不想要的電磁信號，為了減低電感器造成的 EMI 效應，在電感器周圍會放置屏蔽件，因此屏蔽電感器比其他未屏蔽者需要更大的空間，此外屏蔽件需要固定。

## 〔發明概述〕

一感器包括一芯，繞芯設置的一線圈，以及一屏蔽件。屏蔽件及芯彼此連接以形成一迴路，芯可為單一構件或由一對芯段所組成。屏蔽件可包括兩半或兩部分或可包括一蓋子和一基部。芯一端或兩端可與屏蔽件為一體。在屏蔽件包括兩部分之實施例中，該二部分可有大致上相同的形狀和維度。

給定能量貯存容量之下，本發明的電感器相對於傳統電感器有大幅改良，例如本發明的電感器可在體積比傳統環形電感器小 10 倍下貯存等量能量。另外，本發明的電感器之寬度對長度之比率為 1 : 1，而傳統環形電感器為 2 : 1。

在配合下文並參照所附圖式之下習於此技人士將



## 五、發明說明 (2)

了解本發明的其他特徵和優點。

## 〔圖式簡介〕

圖 1 為一屏蔽電感器立體圖。

圖 2 為一屏蔽電感器立體分解圖。

圖 3 為一屏蔽電感器側視分解圖。

圖 4 為一屏蔽件和一電感器之芯的封閉磁迴路圖。

圖 5 為一屏蔽電感器立體分解圖。

圖 6 A 和 6 B 為為圖 5 中屏蔽電感器側視圖。

圖 7 為一屏蔽電感器立體分解圖。

圖 7 A 為圖 7 中電感器立體圖。

圖 8 為一屏蔽電感器立體分解圖。

圖 8 A 為圖 8 中電感器立體圖。

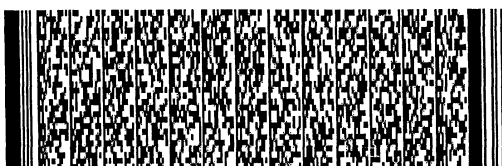
圖 9 為一屏蔽電感器立體尺寸圖。

## 〔發明詳細說明〕

請詳閱圖 1 和圖 2，一電感器 10 包括一線圈 12 和一屏蔽芯 14，線圈 12 可有一對端子 16，而屏蔽芯 14 可有一第一部分 18a 和一第二部分 18b。

如圖 2 所示，各部分 18 可包括有一端壁 22 和一側壁 24 的一罩框 20，在所示實施例中，各罩框 20 可有一結合緣 26，如圖 3 所示，另外，側壁 24 可形成一對孔口 28 來容納線圈 12 的一端子 16。

芯 14 之各部分 18 的罩框亦可包括一芯段 30，如圖 3 清楚所示，芯段 30 可設置在端壁 22 的一內表面 32，各芯段 30 亦可有一端面 34。在多個實施



## 五、發明說明 (3)

例中，可在各部分 1 8 內形成一座 3 6，例如在側壁 2 4 與芯段 3 0 之間來容納線圈 1 2。

請另參閱圖 4，當第一及第二部分 1 8 a 和 1 8 b 與容納在座 3 6 裡面的線圈 1 2 結合在一時，罩框 2 0 側壁 2 4 的結合緣 2 6 彼此結合如標號 A 所指之虛線所示，以形成一磁連續屏蔽件 4 0。另外，芯段 3 0 端面 3 4 彼此接觸如標號 B 所指之虛線所示，以形成一磁連續芯 4 2。因此屏蔽件 4 0 和芯 4 2 一起形成一封閉磁迴路，如磁通線 C 所示。當裝在一電子電路中時，屏蔽件 4 0 不需固定。

如圖 1 所示，當部分 1 8 結合，第一部分 1 8 a 的罩框 2 0 之孔口 2 8 分別對齊第二部分 1 8 b 的罩框 2 0 之孔口 2 8，以在屏蔽件 4 0 內形成一對小孔 4 4 (圖 1 中僅示出其中一小孔)，因此，藉由容納在座 3 6 內的線圈 1 2 圍繞芯 4 2，端子 1 6 可分別經由屏蔽物 4 0 的小孔 4 4 伸出。

在許多實施例中，例如圖 5 所示，各部分 1 8 側壁 2 4 可形成單一孔口 2 8，因此當部分 1 8 如圖 6 A 和 6 B 所示地結合，屏蔽件 4 0 內形成一對小孔 4 4 以分別容納線圈 1 2 端子 1 6。

在其他實施例中，諸如圖 7 所示，屏蔽芯 1 4 可包括諸如一基部 5 0 的一第一部分以及諸如一蓋子 5 2 的一第二部分，基部 5 0 可包括一側壁 5 4 和一芯 5 6，且側 5 4 與芯 5 6 之間形成一座 5 8 來容納一線圈 6 0。蓋子 5 2 可包括一對小孔 6 4 以在線圈 6 0 容納在座 5 8 內



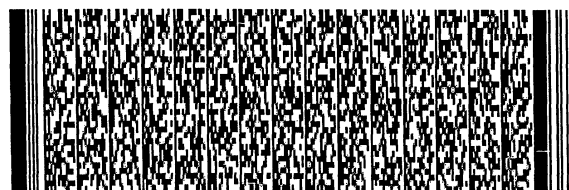
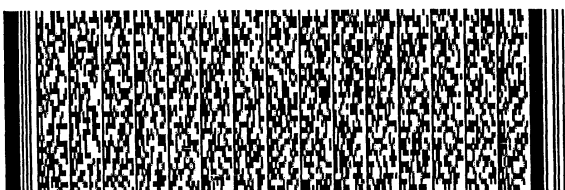
## 五、發明說明 (4)

之時來分別容納線圈 60 端子 64。當蓋子 52 如圖 7A 中所示地結合基部 50 及芯 56 時，基部 50、蓋子 52、及芯 56 一起形成一封閉磁迴路，而端子 64 伸出小孔 64 之外。

在另一實施例中可使用單一小孔，例如圖 8 所示，屏蔽芯 14 可包括諸如一基部 70 的一第一部分以及諸如一蓋子 72 的一第二部分，基部 70 可包括具一小孔 76 的一側壁 74，基部 70 或蓋子 72 上提供或設置一芯 78；在所示實施例中，芯 78 係組裝在蓋子 72 上。當蓋子 72 結合基部 70，且所容納線圈 80 繞芯 78 如圖 8 所示時，形成了一小孔 82，且基部 70、蓋子 72、及芯 78 一起形成一封閉磁迴路，而線圈 80 端子 84 伸出小孔 82 之外。

在許多實施例中，電感器 10 維度最小化，但仍保持所要的電子特性，舉例言之，如圖 9 所示，屏蔽芯 40 總高度  $H$  可小於約 10 mm，各罩框側壁 24 高度  $h$  小於約 5 mm，另外屏蔽芯 40 長度  $L$  可小於約 10 mm，寬度  $W$  小於約 10 mm。因此，在維度幾乎相等的實施例中，寬度  $W$  對長度  $L$  之比率為 1 : 1，在其他實施例中，寬度對長度之比率為小於 1.5 : 1。

另一例為電感器其一項電子性質為貯存能量，其係由方程式  $E = 1/2 LI^2$  所決定，其中  $L$  為電感， $I$  為直流電流。電感器所要的一項特性為體積對貯存能量，若電感器 10 的各維度（亦即高度  $H$ ，長度  $L$ ，和寬度  $W$ ）約為 6.8 mm，則屏蔽芯 40 之體積約為 310 mm<sup>3</sup>，在這



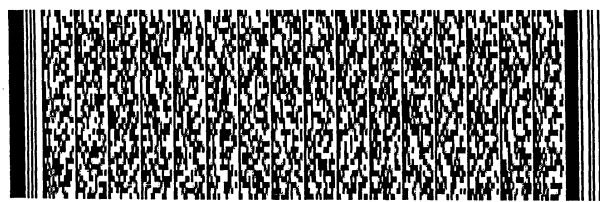
## 五、發明說明 (5)

些維度下，電感器 10 之電感在約 100 kHz 頻率及電流約 20 安培 DC 下約為 400 毫微亨利 (nanohenrys)，所貯存能量為 80 微焦耳。比較之下，能貯存等量能量的傳統環電感器長度需約 20 mm，寬度約 20 mm，高度約 8 mm，體積約 3200 mm<sup>3</sup>，因此具柱狀芯 42 且有封閉磁迴路之本發明電感器 10 在相同能量貯存能力下體積縮小了 10 倍以上。

在許多實施例中，諸如圖 1，2 和 3 所示者，屏蔽芯 14 的第一及第二部分 18 a 和 18 b 形狀大致相同，維度大致相等，因此在生產時僅需單一沖模，模具或鑄件（視生產程序而定）利用例如鐵粉來生產屏蔽芯 14 的部分 18。此外，各部分 18 的單框 20 的芯段 30，特別是內壁 22，可一體構造以簡化生產分開的芯以及將芯組裝在屏蔽件之製程，換言之，芯段 78 一端 86（圖 3，7 和 8）或芯段 30 可與屏蔽件 40 一體。

至於生產，為製造電感器 10，線圈 12 可定位在其中一部分 18 的單框 20 之座 36 內，而端子對齊孔口 28。之後另一部分可定位在其上，使結合緣 26 和端面 35 彼此接觸。部分 18 a 和 18 b 可在側壁 24 結合緣 26 處以例如諸如環氧樹脂之黏劑固定在一起。雖然，線圈 12 可纏繞在芯上面，線圈 12 可用例如自動纏繞器預先製造，以降低製造成本。

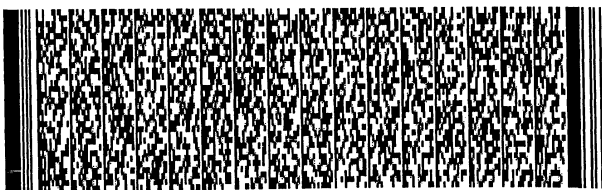
習於此技人士應了解前述範例實施例提供無數替代及修改之基礎，這些修改仍在本發明之範圍內，因此本發明不限於文中所示及所述者。



## 圖式簡單說明

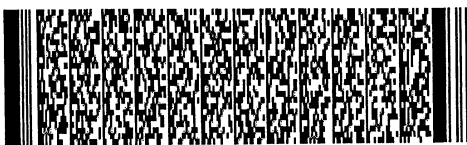
元 件 對 照 表

1 0	inductor	電 感 器
1 2	coil	線 圈
1 4	shielded core	屏 蔽 芯
1 6	terminal	端 子
1 8 a	first portion	第 一 部 分
1 8 b	second portion	第 二 部 分
2 0	housing	罩 框
2 2	end wall	端 壁
2 4	side wall	側 壁
2 6	mating edge	結 合 緣
2 8	notch	孔 口
3 0	core segment	芯 段
3 2	inner surface	內 表 面
3 4	end face	端 面
3 6	seat	座
4 0	shield	屏 蔽 件
4 2	core	芯
4 4	aperture	小 孔
5 0	base	基 部
5 2	cover	蓋 子
5 4	side wall	側 壁
5 6	core	芯
5 8	seat	座



## 圖式簡單說明

6 0	coil	芯
6 4	aperture	小孔
7 0	base	基部
7 2	cover	蓋子
7 4	side wall	側壁
7 6	notch	孔口
7 8	core	芯
8 0	coil	線圈
8 2	aperture	小孔
8 4	terminal	端子

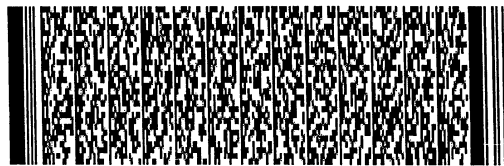


## 四、中文發明摘要 (發明名稱：屏蔽電感器)

一 感器包括一芯，繞芯設置的一線圈，以及一屏蔽件。屏蔽件及芯彼此連接以形成一迴路，芯可為單一構件或由一對芯段所組成。屏蔽件可包括兩半或兩部分或可包括一蓋子和一基部。芯一端或兩端可與屏蔽件為一體。在屏蔽件包括兩部分之實施例中，該二部分可有大致上相同的形狀和維度。

## 五、英文發明摘要 (發明名稱：Shielded Inductors)

An inductor includes a core, a coil disposed about the core, and a shield. The shield and the core are connected to each other so that a closed magnetic loop is formed. The core may be a single piece or made up of a pair of core segments. The shield may include two halves or portions or may include a cover with a base. The core may be unitary with the shield at one or both ends



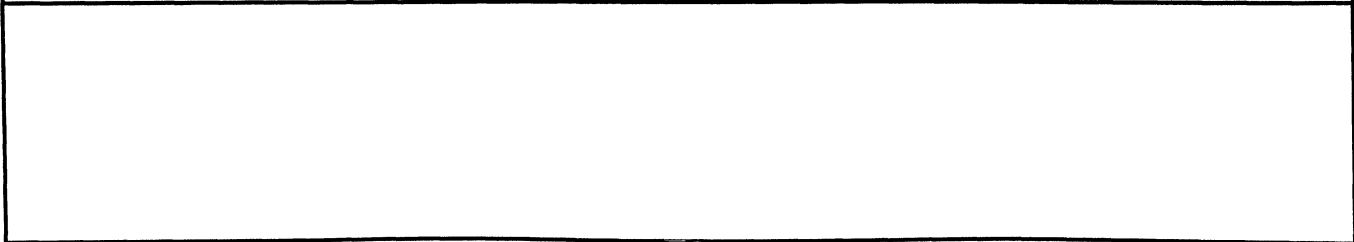
## 四、中文發明摘要 (發明名稱：屏蔽電感器)

## 五、英文發明摘要 (發明名稱：Shielded Inductors)

thereof. In embodiments where the shield includes two portions, the portions may have substantially identical geometry and dimensions.



六、指定代表圖



## 六、申請專利範圍

1 0 0 KHz 頻率下之電感 4 0 0 毫微亨利。

6 · 依據申請專利範圍第 1 項之電感器，其中屏蔽芯的第一及第二部分形狀大致相同。

7 · 依據申請專利範圍第 1 項之電感器，其中各部分的罩框和芯段為一體構造。

8 · 一種電感器，包括：

一芯；

一線圈，其繞芯設置；以及

一屏蔽件，其連接到芯以形成一封閉磁迴路。

9 · 依據申請專利範圍第 8 項之電感器，其中芯有一對端部，至少其中一端部與罩框一體。

1 0 · 依據申請專利範圍第 8 項之電感器，其中芯包括與屏蔽件一體的至一芯段。

1 1 · 依據申請專利範圍第 8 項之電感器，其中芯包括二芯段，且屏蔽件包括二罩框；

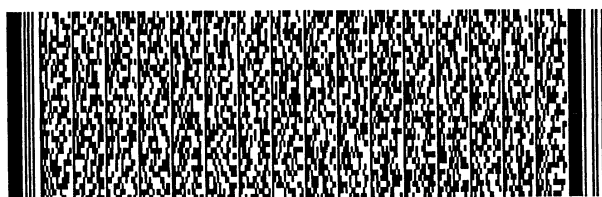
芯段分別與罩框一體。

1 2 · 依據申請專利範圍第 1 0 項之電感器，其中各芯段有一端面，且各罩框有一結合緣；

當罩框結合形成屏蔽件時，端面彼此接觸且結合緣彼此接觸。

1 3 · 依據申請專利範圍第 1 0 項之電感器，其中罩框形狀大致相同。

1 4 · 依據申請專利範圍第 1 0 項之電感器，其中罩框維度大致相同。



## 六、申請專利範圍

15 · 依據申請專利範圍第10項之電感器，其中各單框有一孔口；

當二單框固定在一起時，其中一單框的孔口對齊另一單框的孔口，以形成一對小孔來容納線圈端子。

16 · 依據申請專利範圍第8項之電感器，其中線圈有一對端子，屏蔽件有一對小孔容納線圈端子。

17 · 依據申請專利範圍第8項之電感器，其中屏蔽件高小於約10約10mm，長度小於約8mm，寬度小於約8mm。

18 · 一種製造電感器之方法，包括：

提供多個單框，各單框包括：

一端壁以及具一結合緣和一對孔口的一側壁；

一芯段，其設在端壁一內表面上，且有一端面；

以及

一座，其形成於單框與芯段之間；

將具一對端子的線圈固定在其中一單框的座內，而且端子固定在孔口內；以及

將另一單框與上面有線圈的單框結合，使得側壁的結合緣以及芯段端面分別呈磁性接觸，因而形成一封閉磁迴路。

19 · 依據申請專利範圍第18項之方法，其中各單框之芯段和端壁為一體。

20 · 依據申請專利範圍第18項之方法，其中各單框形狀大致相同。



圖式

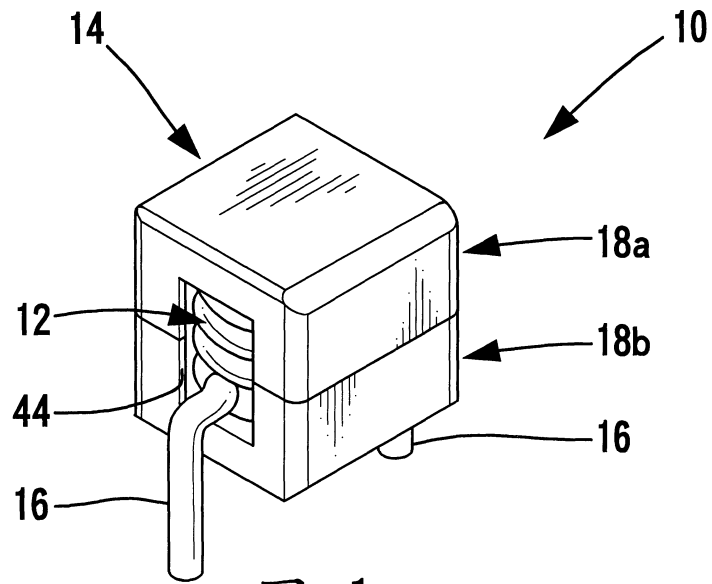


圖 1

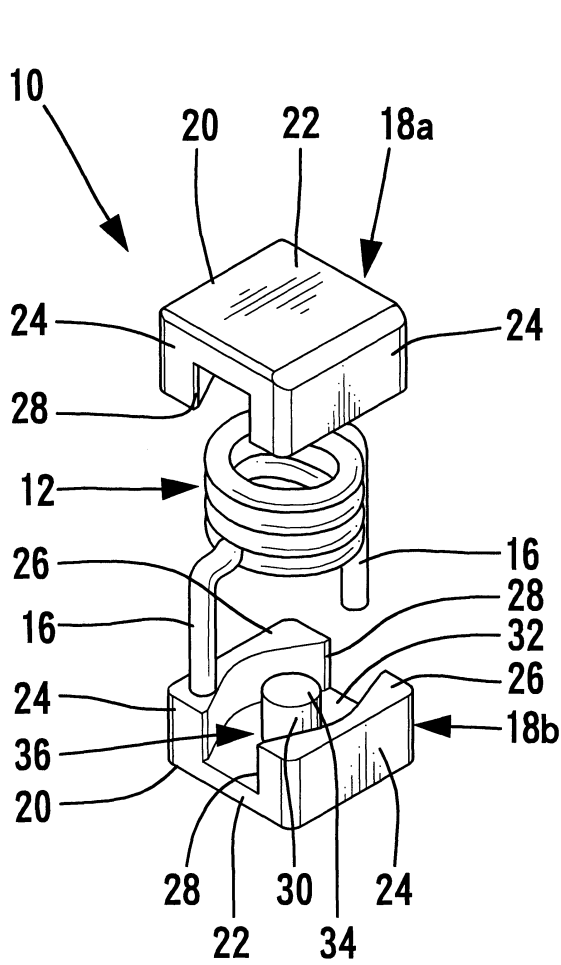


圖 2

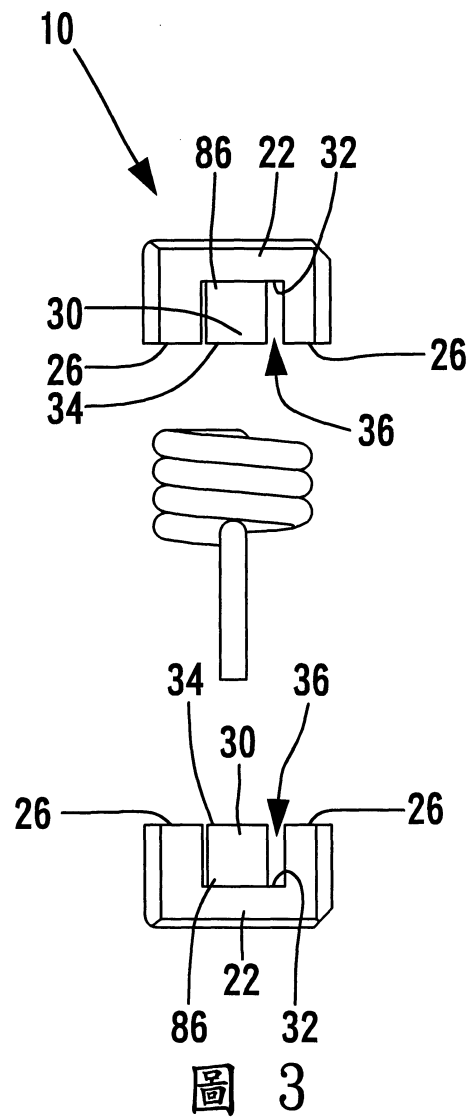


圖 3

圖式

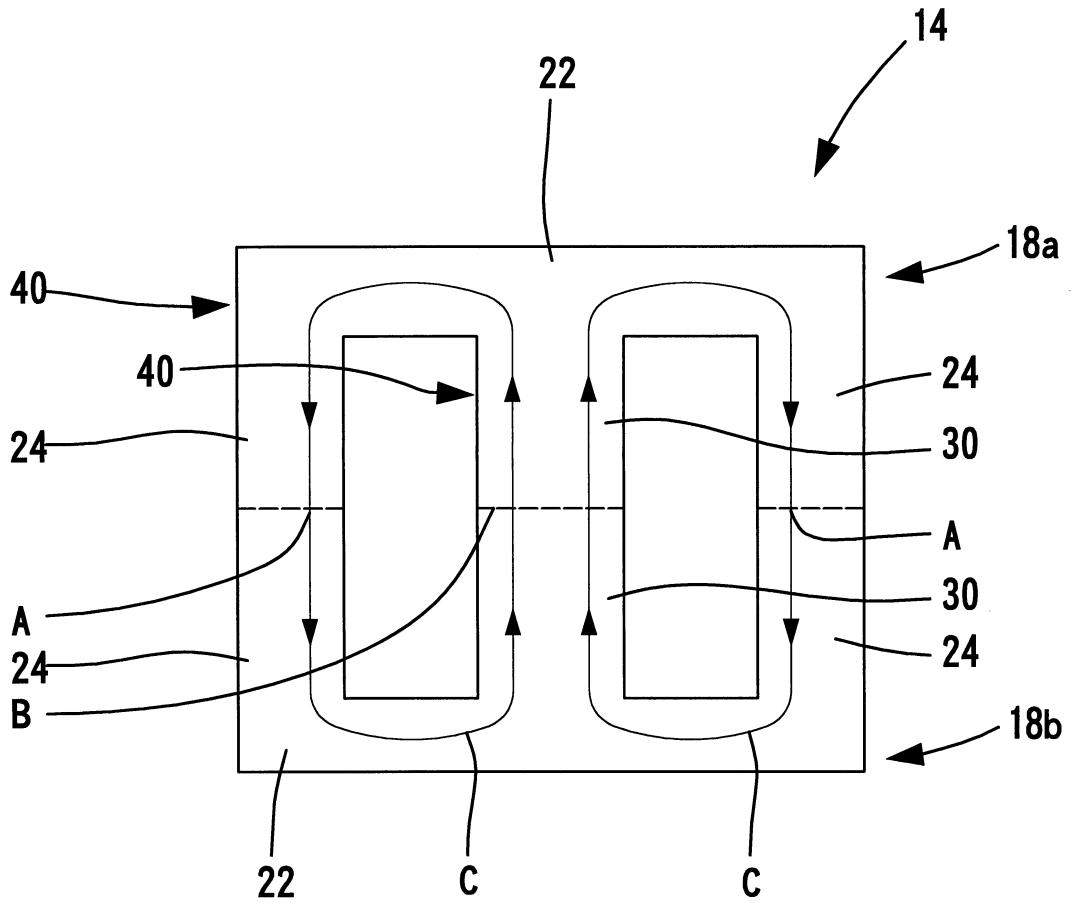


圖 4

圖式

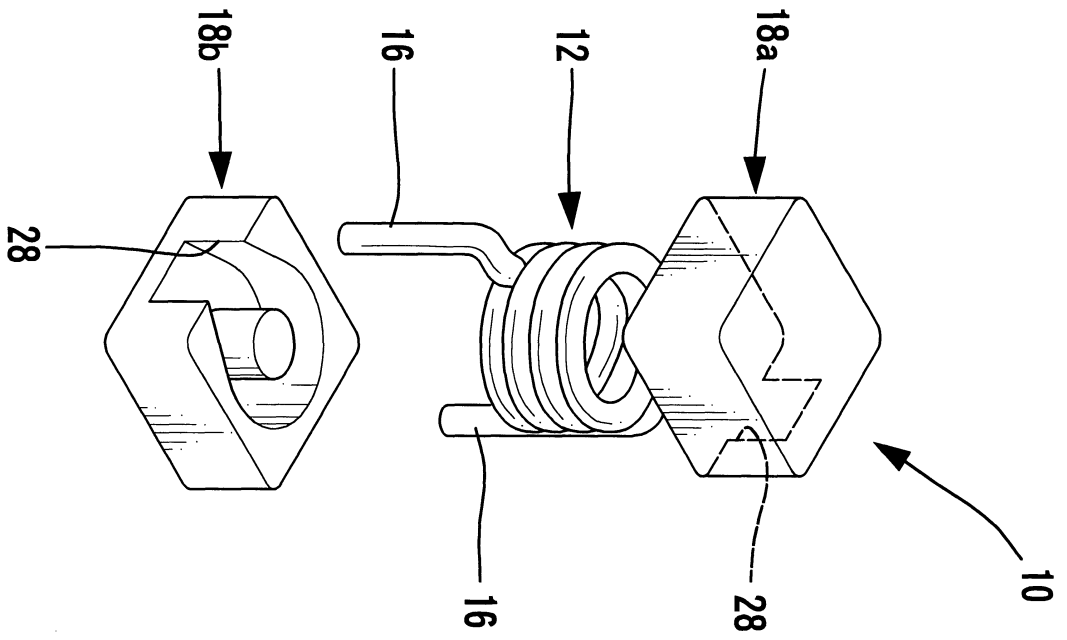


圖 5

圖 6A

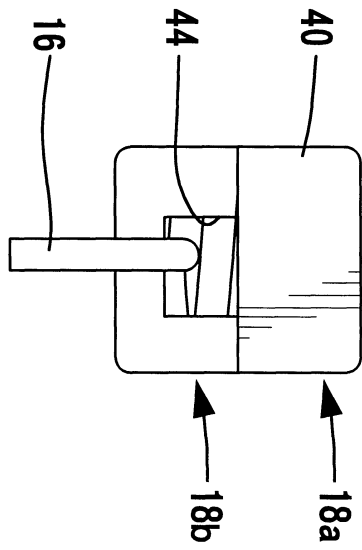
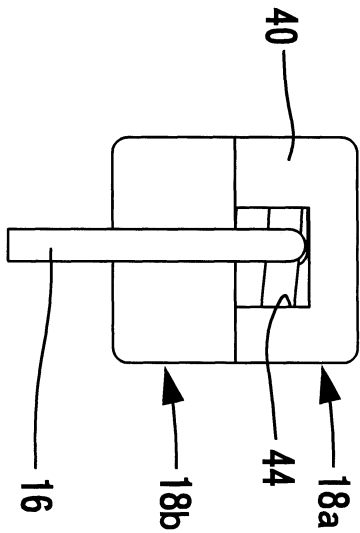


圖 6B



圖式

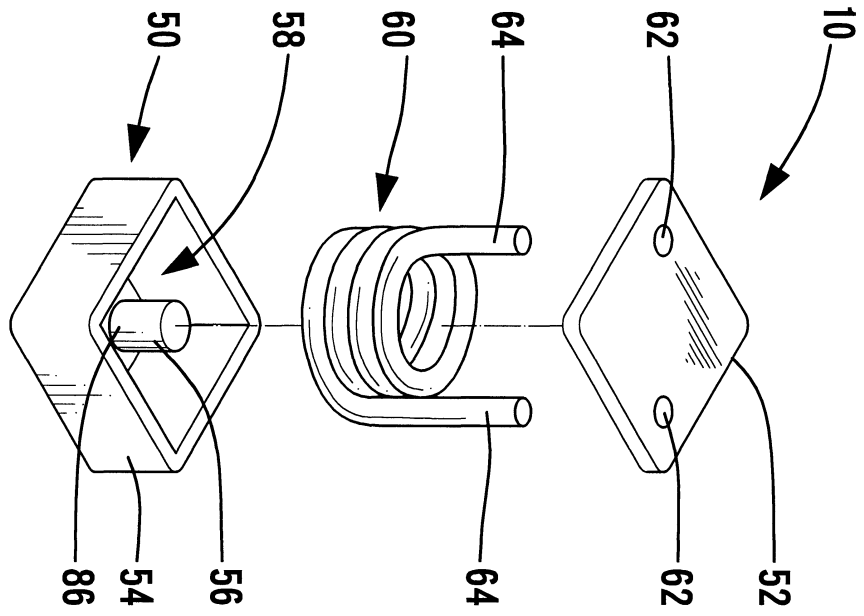


圖 7

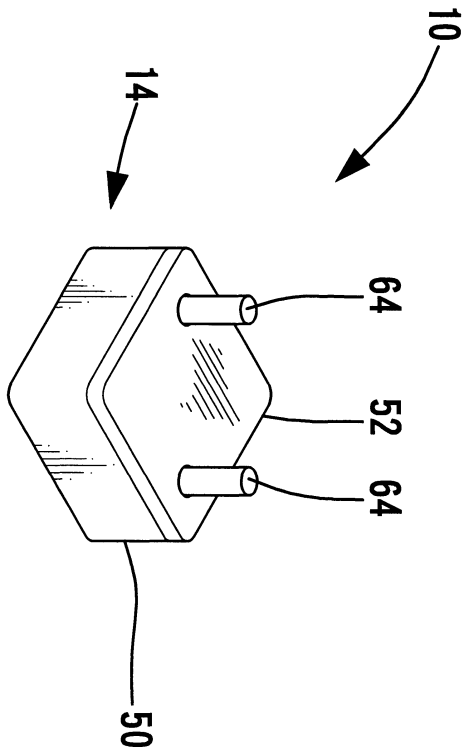


圖 7A

圖式

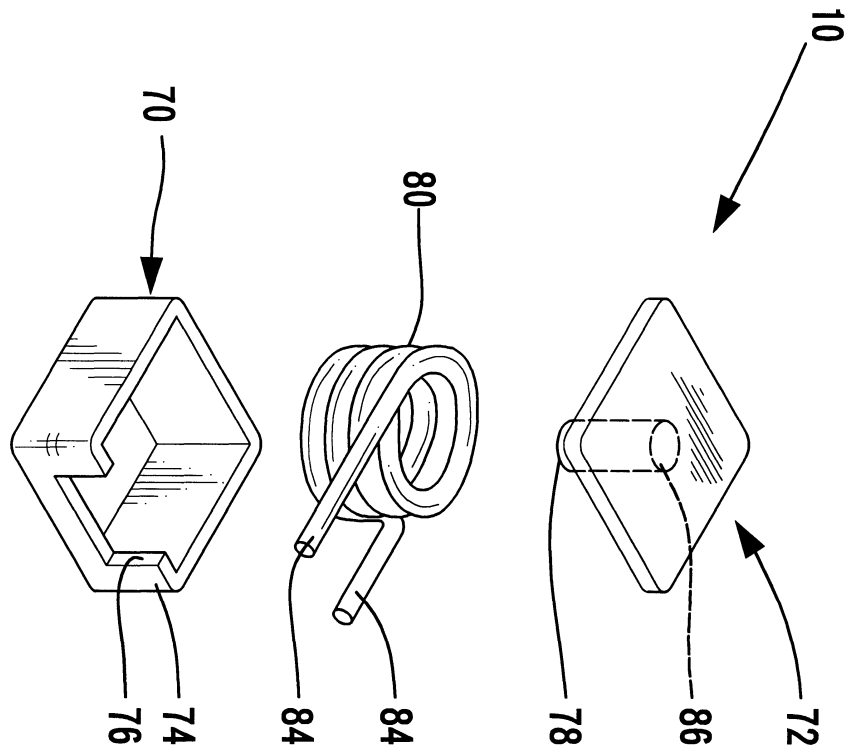


圖 8

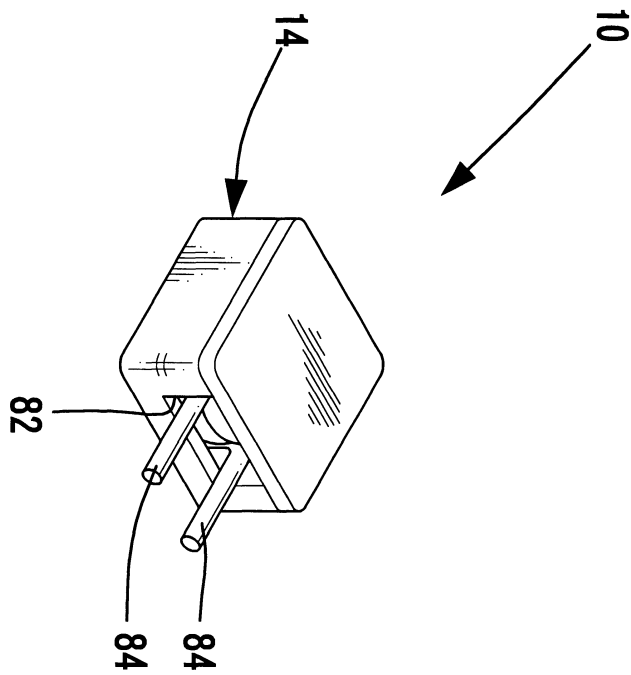


圖 8A

圖式

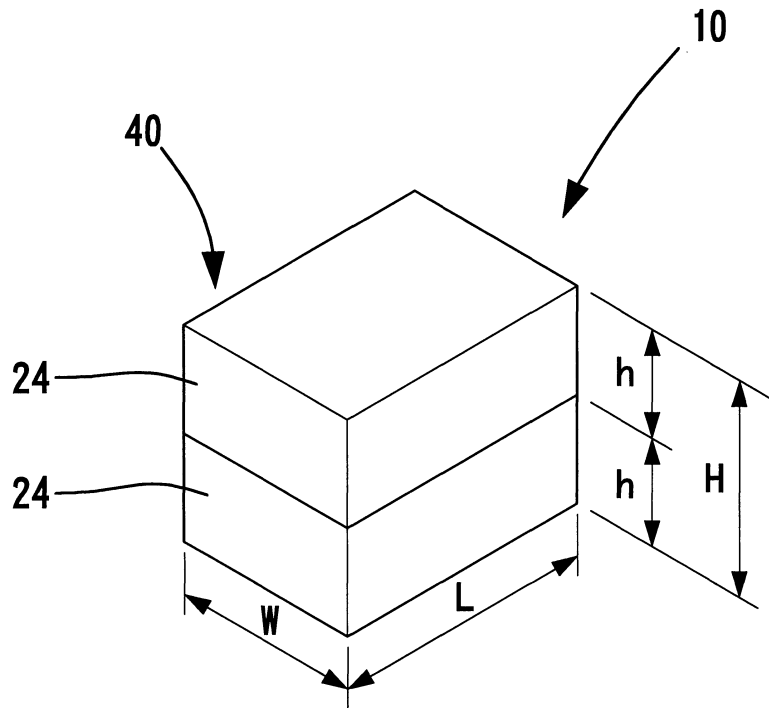


圖 9

# 公告本

年 月 日

修正 91年2月10日

修正  
補充

申請日期： 91.10.11	IPC分類	589647
申請案號： 91123641	1401238	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	屏蔽電感器
	英文	Shielded Inductors
二、 發明人 (共1人)	姓名 (中文)	1. 山米爾·龔
	姓名 (英文)	1. Samuel Kung
	國籍 (中英文)	1. 美國 US
	住居所 (中文)	1. 美國92833加利福尼亞州福爾登郡貝爾夏爾路1958號
	住居所 (英文)	1.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. BI 科技有限公司
	名稱或 姓名 (英文)	1. BI Technologies Corporation
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國92835加利福尼亞州福爾登郡伯尼它鎮4200號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 大衛·W·史瓦松
代表人 (英文)	1. David W Swanson	



## 六、申請專利範圍

1. 一種電感器，包括：

一線圈，其有一對端子；以及

一屏蔽芯，其有一第一部分和一第二部分；

各部分包括：

一罩框，其有一端壁和一側壁，側壁有一結合緣和一對孔口；

一芯段，其設在端壁一內表面上，且有一端面；

以及

一座，其形成於罩框與芯段之間以容納線圈；

其中當第一和第二部分結合在一起且座容納線圈時：

罩框側壁的結合緣彼此結合形成一磁連續屏蔽件；

芯段端面彼此接觸形成一磁連續芯，使得屏蔽件和芯形成一封閉磁迴路；

第一部分的罩框之孔口分別對齊第二部分的罩框之孔口，以在屏蔽件內形成一對小孔；以及

線圈由座容納且環繞芯，其端子分別經由屏蔽件之小孔伸出。

2. 依據申請專利範圍第1項之電感器，其中屏蔽件之寬度和長度之比率小於約1.5 : 1。

3. 依據申請專利範圍第1項之電感器，其中各罩框側壁高度約小於5 mm，使得屏蔽件高度小於約10 mm。

4. 依據申請專利範圍第3項之電感器，其中屏蔽件之長度小於約10 mm，寬度小於約10 mm。

5. 依據申請專利範圍第4項之電感器，其中電感器在約

