

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3636321号

(P3636321)

(45) 発行日 平成17年4月6日(2005.4.6)

(24) 登録日 平成17年1月14日(2005.1.14)

(51) Int. Cl.⁷

H02M 3/155

F I

H02M 3/155

H

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2002-122534 (P2002-122534)	(73) 特許権者	000116024 ローム株式会社
(22) 出願日	平成14年4月24日(2002.4.24)		京都府京都市右京区西院溝崎町2 1 番地
(65) 公開番号	特開2003-319643 (P2003-319643A)	(74) 代理人	100083231 弁理士 紋田 誠
(43) 公開日	平成15年11月7日(2003.11.7)	(74) 代理人	100112287 弁理士 逸見 輝雄
審査請求日	平成16年9月15日(2004.9.15)	(72) 発明者	梅本 清貴 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		(72) 発明者	竹村 興 京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		審査官	川端 修

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項 1】

入力電圧を指令信号に応じてスイッチングするスイッチ回路部と、このスイッチ回路部のスイッチング出力を平滑するための平滑コイルと、この平滑コイルの出力側に設けられ、出力電圧に充電される出力コンデンサと、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値に基づいたデューティ比のパルス信号を発生するパルス発生部と、このパルス発生部の出力であるパルス信号と軽負荷判定信号を受けて、軽負荷時でないときには前記パルス信号を前記指令信号として出力し、軽負荷時には前記パルス信号の時間幅を広げてから前記指令信号として出力する遅延部とを備えていることを特徴とするスイッチング電源装置。

【請求項 2】

前記パルス発生部は、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値と、前記平滑コイルに流れる電流に応じた値との比較に基づいたデューティ比のパルス信号を発生することを特徴とする、請求項1記載のスイッチング電源装置。

【請求項 3】

前記スイッチ回路部は、前記指令信号にしたがって駆動される直列接続されたトランジスタスイッチを有し、その直列接続点から前記スイッチング出力が出力されるものであり、

前記遅延部と前記スイッチ回路部との間に設けられ、前記遅延部から出力される前記指令信号に基づいて、直列接続された前記トランジスタスイッチを駆動するドライバ部と、

前記平滑コイルに流れる電流の極性を判別し、逆流検出信号を前記ドライバ部に供給する比較器とを備え、前記逆流検出信号により前記トランジスタスイッチのうちの逆流電流を流すトランジスタスイッチをオフさせることを特徴とする、請求項 2、3 記載のスイッチング電源装置。

【請求項 4】

前記パルス発生部は、前記出力電圧に応じた帰還電圧と前記基準電圧とが入力され、その 2 入力の差を増幅する相互コンダクタンス増幅器と、この相互コンダクタンス増幅器の出力に応じた電圧と前記平滑コイルに流れる電流に応じた電圧とを比較する比較器と、一定周期のセット信号と前記比較器の出力とが入力され、前記比較器出力が所定状態にある時のセット信号でセットされ、比較器出力が前記所定状態から他の状態への変化でリセットされ、前記パルス信号を発生するフリップフロップとを有することを特徴とする、請求項 2、3 記載のスイッチング電源装置。

10

【請求項 5】

前記軽負荷判定信号は、前記平滑コイルに流れる電流に応じた値に基づいて発生されることを特徴とする、請求項 1～4 記載のスイッチング電源装置。

【請求項 6】

前記軽負荷判定信号は、前記相互コンダクタンス増幅器の出力に応じた値に基づいて発生されることを特徴とする、請求項 4 記載のスイッチング電源装置。

【請求項 7】

前記遅延部での前記パルス信号の時間幅の拡大は、一定時間であることを特徴とする、請求項 1～6 記載のスイッチング電源装置。

20

【請求項 8】

前記遅延部での前記パルス信号の時間幅の拡大は、前記相互コンダクタンス増幅器の出力に応じた値に逆比例して設定されることを特徴とする、請求項 4～6 記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、軽負荷時の損失を低減して効率を改善するスイッチング電源装置に関する。

【0002】

30

【従来の技術】

スイッチング電源装置は、負荷に直列または並列に接続されたスイッチ（例えば、パワートランジスタ）を用い、負荷への電力の流れを制御するためにスイッチのターンオンおよびターンオフを制御し、スイッチングする。スイッチング制御された電流を安定負荷電流に変換するために、平滑コイル及び出力用コンデンサを用いている。

【0003】

負荷への電力の流れを制御するスイッチのデューティサイクルは、例えば、パルス周波数を固定し、各パルスのオンまたはオフ時間を変化させることにより変化させる。

【0004】

スイッチング電源装置は、一般に、シリーズ電源装置よりもより効率的である。しかし、効率は、一般に、出力電流の関数であり、通常、軽負荷を駆動する場合、即ち、低出力電流で減少する。この効率低下は、一般に、スイッチング電源装置の動作に伴うスイッチング損失などに起因している。

40

【0005】

そこで、従来から、スイッチング電源装置の軽負荷時の損失を低減するために、バーストモード制御やスキップモード制御が行われている。

【0006】

バーストモード制御は、例えば特開平 06 - 303766 号公報に示されているように、出力電流が十分に低いことを検出し、出力コンデンサの電圧が、実質的に制御された出力電圧を維持できる期間に亘って、スイッチをオフ状態に維持する。即ち、スイッチをオン

50

・オフ制御する期間と、オフ状態の期間は、バースト状になる。このオフ状態の期間はスイッチング損失が発生しないから、効率が改善される。

【0007】

また、スキップモード制御は、出力電圧に所定電圧幅のウインドコンパレータをかけて、その電圧下限から電圧上限に向けて、固定デューティのパルスオン・オフし、電圧上限から下限に向けては出力電圧が低下するに任せる。この電圧上限から下限の期間はスイッチング損失が発生しないから、効率が改善される。

【0008】

【発明が解決しようとする課題】

しかし、これら従来のバーストモード制御を行うスイッチング電源装置では、スイッチング周波数が不連続になるため、バーストノイズが発生してしまう。このバーストノイズは、周辺の電子機器に悪影響を与えたり、相互干渉が発生する等の問題がある。

【0009】

また、スキップモード制御を行うスイッチング電源装置では、やはりスイッチング周波数が電圧下限から上限への間のみスイッチングされるから、バースト状になる。また、この他、出力電圧が変動するから、そのリップル電圧がおおきくなる。この出力電圧の大きいリップルは、負荷にとって好ましくない。

【0010】

そこで、本発明は、軽負荷時のスイッチング周波数を、ほぼ一定である低い周波数に制御することにより、バースト状に不連続になることがなく、またリップル電圧を大きくすることなく、軽負荷時の損失を低減して効率を改善するスイッチング電源装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

請求項1のスイッチング電源装置は、入力電圧を指令信号に応じてスイッチングするスイッチ回路部と、このスイッチ回路部のスイッチング出力を平滑するための平滑コイルと、この平滑コイルの出力側に設けられ、出力電圧に充電される出力コンデンサと、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値に基づいたデューティ比のパルス信号を発生するパルス発生部と、このパルス発生部の出力であるパルス信号と軽負荷判定信号を受けて、軽負荷時でないときには前記パルス信号を前記指令信号として出力し、軽負荷時には前記パルス信号の時間幅を広げてから前記指令信号として出力する遅延部とを備えていることを特徴とする。

【0012】

請求項2のスイッチング電源装置は、請求項1記載のスイッチング電源装置において、前記パルス発生部は、前記出力電圧に応じた帰還電圧と基準電圧との差に応じた値と、前記平滑コイルに流れる電流に応じた値との比較に基づいたデューティ比のパルス信号を発生することを特徴とする。

【0013】

請求項3のスイッチング電源装置は、請求項1、2記載のスイッチング電源装置において、前記スイッチ回路部は、前記指令信号にしたがって駆動される直列接続されたトランジスタスイッチを有し、その直列接続点から前記スイッチング出力が出力されるものであり、さらに前記遅延部と前記スイッチ回路部との間に設けられ、前記遅延部から出力される前記指令信号に基づいて、直列接続された前記トランジスタスイッチを駆動するドライバ部と、前記平滑コイルに流れる電流の極性を判別し、逆流検出信号を前記ドライバ部に供給する比較器とを備え、前記逆流検出信号により前記トランジスタスイッチのうちの逆流電流を流すトランジスタスイッチをオフさせることを特徴とする。

【0014】

請求項4のスイッチング電源装置は、請求項2、3記載のスイッチング電源装置において、前記パルス発生部は、前記出力電圧に応じた帰還電圧と前記基準電圧とが入力され、その2入力の差を増幅する相互コンダクタンス増幅器と、この相互コンダクタンス増幅器の

10

20

30

40

50

出力に応じた電圧と前記平滑コイルに流れる電流に応じた電圧とを比較する比較器と、一定周期のセット信号と前記比較器の出力とが入力され、前記比較器出力が所定状態にある時のセット信号でセットされ、比較器出力が前記所定状態から他の状態への変化でリセットされ、前記パルス信号を発生するフリップフロップとを有することを特徴とする。

【0015】

請求項5のスイッチング電源装置は、請求項1～4記載のスイッチング電源装置において、前記軽負荷判定信号は、前記平滑コイルに流れる電流に応じた値に基づいて発生されることを特徴とする。

【0016】

請求項6のスイッチング電源装置は、請求項4記載のスイッチング電源装置において、前記軽負荷判定信号は、前記相互コンダクタンス増幅器の出力に応じた値に基づいて発生されることを特徴とする。

10

【0017】

請求項7のスイッチング電源装置は、請求項1～6記載のスイッチング電源装置において、前記遅延部での前記パルス信号の時間幅の拡大は、一定時間であることを特徴とする。

【0018】

請求項8のスイッチング電源装置は、請求項1～6記載のスイッチング電源装置において、前記遅延部での前記パルス信号の時間幅の拡大は、前記相互コンダクタンス増幅器の出力に応じた値に逆比例して設定されることを特徴とする。

【0020】

20

【発明の実施の形態】

以下、図面を参照して、本発明のスイッチング電源装置の実施の形態について説明する。

【0021】

図1は、本発明の第1の実施の形態に係るスイッチング電源装置の全体構成図である。また、図2は、遅延回路18の構成図であり、図3はその動作説明用のタイミングチャートである。また、図4及び図5は、図1のスイッチング電源装置の動作を説明するためのタイミングチャートである。

【0022】

図1において、この電源装置はカレントモード制御のスイッチング電源装置として構成されている。入力電圧 V_{in} の電源とグランドとの間にN型MOSトランジスタ（以下、N型トランジスタ）11とN型トランジスタ12とが直列に接続されてスイッチ回路が構成されている。このスイッチ回路にドライバ13から駆動パルスが供給され、N型トランジスタ11, 12が通常は相補的にオン・オフされる。平滑コイル L_o は、スイッチ回路の出力を平滑し、出力コンデンサ C_o は平滑コイル L_o とともに平滑作用を行う。出力コンデンサ C_o には、入力電圧 V_{in} が駆動パルスの幅に応じて降圧された出力電圧 V_o に充電される。この出力電圧 V_o が負荷14に給電される。抵抗15は平滑コイル L_o に流れる電流 I_o を検出するもので、その電流に応じた電圧降下を検出電圧 V_{rd} として取り出す。

30

【0023】

相互コンダクタンス増幅器（以下、 g_m アンプ）16は、出力電圧 V_o と基準電圧 V_{ref} とが入力され、その差に応じた電流を発生する。 g_m アンプ出力源17は、 g_m アンプ16の出力電流に応じた g_m 出力電圧 V_{gm} を発生する。比較器CP1は、 g_m 出力電圧 V_{gm} と検出電圧 V_{rd} とを比較し、その比較出力を発生する。

40

【0024】

フリップフロップFFは、一定周期のセット信号Sがセット端子sに入力され、比較器CP1の比較出力がリセット信号Rとしてリセット端子rに入力される。このフリップフロップFFでは、リセットはリセット信号Rの立ち下がりで行われ、セットはセット信号Sの立ち下がりがかつりセット信号Rが立ち上がっているときに行われる。そのセット及びリセットに対応して、出力Qがパルス信号として出力される。

【0025】

50

遅延回路 18 は、フリップフロップ FF からのパルス信号 Q が入力され、軽負荷判定信号 LL の有無にしたがって、パルス信号 Q をそのままの幅で出力するか、或いは所定時間だけ遅延させて幅を拡大した遅延パルス信号 Q d を出力する。軽負荷である場合には遅延パルス信号 Q d を出力し、そうでない場合にはそのままのパルス信号 Q を出力する。この遅延回路 18 の出力がドライバ 13 への指令信号となる。

【 0026 】

この遅延回路 18 の一例が、図 2 の構成例及び、図 3 のタイミングチャートに示されている。図 2 で、P 型トランジスタ 21、抵抗 23、N 型トランジスタ 22 は直列接続されている。この N 型トランジスタ 22 に並列にコンデンサ 24 が接続され、このコンデンサ 24 の充電電圧がインバータ 25 の入力閾値 V_{th} で閾値判定される。このインバータ 25 の出力と軽負荷判定信号 LL の論理積がアンド回路 26 でとられ、さらにこのアンド回路 26 の出力とパルス信号 Q との論理和がオア回路 27 でとられて、ドライバ 13 への指令信号となる。

10

【 0027 】

パルス信号 Q が P 型 MOS トランジスタ（以下、P 型トランジスタ）21 及び N 型トランジスタ 22 のゲートに印加される。このパルス信号 Q が H レベルから L レベルになると、コンデンサ 24 は電源電圧 V_{dd} により充電される。その充電電圧は、図 3 のように、抵抗 23 とコンデンサ 24 の値に応じた時定数で上昇する。その充電電圧がインバータ 25 の入力閾値 V_{th} に達した時点で、インバータ 25 は反転する。これにより、パルス信号 Q を遅延させて、その幅を時間 T_d だけ拡大した遅延パルス信号 Q d がインバータ 25 の出力に得られる。したがって、軽負荷判定信号 LL の有無に応じて、パルス信号 Q または遅延パルス信号 Q d のどちらかが出力される。

20

【 0028 】

また、図 1 に戻って、比較器 CP 2 は、平滑コイル L_o に流れる電流 I_o に比例した検出電圧 V_{rd} が入力され、電流 I_o の極性（即ち、電流方向）を判別し、逆流検出信号をドライバ 13 に供給する。ドライバ 13 は、電流 I_o の逆流が検出された場合には、逆流電流を流す N 型トランジスタ 12 をオフさせる。

【 0029 】

軽負荷判定信号 LL は、平滑コイル L_o に流れる電流 I_o に応じた値、即ち検出電圧 V_{rd} 、例えばその平均値、が所定レベル以下の時に発生させることができる。また、比較器 CP 2 で電流 I_o の逆流が検出された時、例えば逆流信号が所定回数発生したことを検出して、軽負荷判定信号 LL を発生させても良い。さらに、gm アンプ 16 の出力はほぼ電流 I_o を示すから、その出力に応じた値、例えば gm 出力電圧 V_{gm} 、が所定レベル以下の時に軽負荷判定信号 LL を発生させることもできる。いずれの方法を採用しても、軽負荷判定信号 LL を容易に形成することができる。

30

【 0030 】

さて、この図 1 のスイッチング電源装置の動作を、まず、軽負荷判定信号 LL が発生されていない通常動作時について、図 4 のタイミングチャートも参照して説明する。

【 0031 】

セット信号 S が図 4 (a) に、フリップフロップ FF の出力即ちパルス信号 Q が同図 (b) に、遅延パルス信号 Q d が同図 (c) に、gm 出力電圧 V_{gm} 及び検出電圧 V_{rd} が同図 (d) に、比較器 CP 1 の出力即ちリセット信号 R が同図 (e) に、それぞれ示されている。

40

【 0032 】

セット信号 S が一定周期 T 毎に立ち下がる。フリップフロップ FF は立ち下がりトリガ型に構成されているので、セット信号 S の立ち下がり（図中矢印で表示）でリセット信号 R が H レベルにあることを条件としてパルス信号 Q が H レベルになる。

【 0033 】

パルス信号 Q が H レベルになると、ドライバ 13 を介して、N 型トランジスタ 11 がオン、N 型トランジスタ 12 がオフするから電流 I_o は増加を始める。検出電圧 V_{rd} は電流

50

I_o に比例するから、それと同様に变化する。

【0034】

g_m 出力電圧 V_{gm} が検出電圧 V_{rd} より大きい間は、パルス信号 Q はHレベルにある。検出電圧 V_{rd} が増加し、 g_m 出力電圧 V_{gm} に達すると、比較器CP1の出力即ちリセット信号 R は反転し、Lレベルになる。

【0035】

リセット信号 R の立ち下がりによりフリップフロップFFはリセットされ、パルス信号 Q はLレベルになる。この場合には、軽負荷判定信号LLが発生されていないので、パルス信号 Q がドライバ13への指令信号になるから、N型トランジスタ11がオフ、N型トランジスタ12がオンする。これにより、電流 I_o は減少を始める。

10

【0036】

このような制御が、セット信号 S の周期 T 毎に繰り返されて、負荷の大きさに応じた幅のパルス信号 Q が発生される。

【0037】

次に、軽負荷判定信号LLが発生されている軽負荷動作時について、図5のタイミングチャートも参照して説明する。

【0038】

セット信号 S が図5(a)に、パルス信号 Q が同図(b)に、遅延パルス信号 Q_d が同図(c)に、 g_m 出力電圧 V_{gm} 及び検出電圧 V_{rd} が同図(d)に、リセット信号 R が同図(e)に、それぞれ示されている。

20

【0039】

セット信号 S がやはり一定周期 T 毎に立ち下がる。セット信号 S の立ち下がり t_1 でリセット信号 R がHレベルにあることを条件としてパルス信号 Q がHレベルになる。

【0040】

パルス信号 Q がHレベルになると、ドライバ13を介して、N型トランジスタ11がオン、N型トランジスタ12がオフするから電流 I_o 、したがって検出電圧 V_{rd} は増加を始める。

【0041】

g_m 出力電圧 V_{gm} が検出電圧 V_{rd} より大きい間は、リセット信号 R はHレベルにある。検出電圧 V_{rd} が増加し、 g_m 出力電圧 V_{gm} に達する(時点 t_2)と、比較器CP1の出力即ちリセット信号 R は反転し、Lレベルになる。

30

【0042】

リセット信号 R の立ち下がりによりフリップフロップFFはリセットされ、パルス信号 Q はLレベルになる。

【0043】

しかし、この場合には、軽負荷判定信号LLが発生されているので、遅延パルス信号 Q_d がドライバ13への指令信号になる。したがって、時点 t_2 を過ぎても遅延パルス信号 Q_d がHレベルにある間はN型トランジスタ11がオン、N型トランジスタ12がオフの状態が継続する。このため、検出電圧 V_{rd} は増加し続ける。

【0044】

時点 t_3 に至って、遅延パルス信号 Q_d がLレベルになると、N型トランジスタ11がオフ、N型トランジスタ12がオンするから検出電圧 V_{rd} は減少を始める。 g_m 出力電圧 V_{gm} が検出電圧 V_{rd} より小さい間は、リセット信号 R はLレベルにある。

40

【0045】

次の周期のセット信号 S が立ち下がった時点 t_4 では、まだリセット信号 R はLレベルにあるように遅延時間 T_d が設定されているから、フリップフロップFFはセット信号 S が来てもセットされることはなく、依然としてリセット状態が継続する。

【0046】

電流 I_o が減少して、検出電圧 V_{rd} が g_m 出力電圧 V_{gm} を下回る(時点 t_5)と、リセット信号 R がHレベルに復帰する。

50

【 0 0 4 7 】

この状態で、さらに次の周期のセット信号 S が立ち下がる（時点 t 6）と、この時点 t 6 ではリセット信号 R が H レベルにあるから、パルス信号 Q が H レベルになる。この後は、時点 t 1 ~ 時点 t 6 で説明したことと同様の制御が繰り返して行われる。

【 0 0 4 8 】

このように、軽負荷時に、ドライバ 1 3 に供給される指令信号のパルス幅を広げることにより、N 型トランジスタ 1 1、1 2 で構成されるスイッチ回路のスイッチング周波数をほぼ均一の低周波数に低下させることができる。したがって、軽負荷時の損失が低減し、効率を改善することができる。また、パーストノイズを発生することもなく、従来のものより出力電圧のリップルも低減することができる。さらに、遅延回路 1 8 を従来の装置に付加し、通常負荷時と同様な制御を行うだけで、自動的に軽負荷時のスイッチング周波数を低い周波数に変更することができる。したがって、軽負荷時の制御のために、装置各部の新たな定数設定なども不要であるから、簡単に構成することができる。

10

【 0 0 4 9 】

図 5 のタイミングチャートでは、セット信号 S の 1 周期おきにスイッチングする例で説明したが、これに限らず 2 周期以上の周期おきにスイッチングするようにすることもできる。そのためには、単に遅延回路 1 8 でのパルス幅の拡大量、即ち遅延時間 T d を調整すればよい。

【 0 0 5 0 】

また、ドライバ 1 3 は、逆流検出信号によって、逆流電流を流すグランド側のトランジスタ 1 2 をオフさせるから、無負荷時及び極めて軽負荷時の無駄な放電電流を阻止できる。

20

【 0 0 5 1 】

図 6 は、遅延回路 1 8 の他の構成例を示す図である。PNP 型バイポーラトランジスタ（以下、P 型 B i トランジスタ）5 4 のコレクタとグランドとの間に直列に、NPN 型バイポーラトランジスタ（以下、N 型 B i トランジスタ）5 2 と抵抗 5 3 とが接続される。そして、g m 出力電圧 V g m と抵抗 5 3 と N 型 B i トランジスタ 5 2 のエミッタの接続点の電圧とが、オペアンプで構成されるバッファ 5 1 の非反転入力と反転入力にそれぞれ入力される。このバッファ 5 1 の出力が、N 型 B i トランジスタ 5 2 のベースに供給される。また、P 型 B i トランジスタ 5 4 とカレントミラー構成に接続される P 型 B i トランジスタ 5 5 に直列でグランドとの間にコンデンサ 5 6 が接続される。このコンデンサ 5 6 に並列に、N 型 B i トランジスタ 5 7 が接続され、パルス信号 Q により駆動される。

30

【 0 0 5 2 】

パルス信号 Q が L レベルになると、コンデンサ 5 6 は充電を開始し、コンデンサ 5 6 の充電電圧がインバータ 5 8 で閾値判定される。このインバータ 5 8 の出力と軽負荷判定信号 L L の論理積がアンド回路 5 9 でとられ、さらにこのアンド回路 2 6 の出力とパルス信号 Q との論理和がオア回路 2 7 でとられて、ドライバ 1 3 への指令信号となる。

【 0 0 5 3 】

図 6 の遅延回路 1 8 では、抵抗 5 3 の抵抗値を R とすると、この抵抗 5 3 には V_{gm} / R の電流 I_c が流れ、同じ値またはこれに比例した値の電流がコンデンサ 5 6 の充電電流 I_c となる。g m 出力電圧 V g m は、電流 I_o とほぼ比例する関係にあるから、コンデンサ 5 6 の充電電圧がインバータ 5 8 の閾値に達するまでの時間は電流 I_o に比例する。したがって、電流 I_o と遅延時間とは反比例の関係になっているから、この遅延回路 1 8 で遅延される時間 T d は、電流 I_o が小さくなるにつれて長くなる。

40

【 0 0 5 4 】

スイッチング電源における損失は、主にスイッチング周波数によって決まるスイッチング損失と、出力電流及び抵抗成分による抵抗損失で決まる。そのため、電源装置の構成部品が決まれば、出力電流に対して効率の良いスイッチング周波数が決定される。

【 0 0 5 5 】

この図 6 の遅延回路 1 8 では、g m アンプ 1 6 の出力を用いて、遅延時間 T d を電流 I_o に逆比例させることにより、スイッチング周波数を出力電流に応じてより好ましい周波数

50

に近づけることができる。

【0056】

図7は、gmアンプ16及び比較器CP1の具体的な回路例を示す図である。この図7において、gmアンプ16は、出力電圧Voと基準電圧Vrefとの差に応じた出力を発生するために電流源61と、基準電圧Vrefがベースに印加されるP型Biトランジスタ63と、出力電圧Voがベースに印加されるP型Biトランジスタ62とが図のように差動に接続される。また、N型Biトランジスタ64、65、68、69、P型Biトランジスタ66、67、71、72、オペアンプ70、抵抗73、電流源74が、図のように接続されている。

【0057】

この構成のgmアンプ16により、基準電圧Vrefと出力電圧Voとの差に応じた電流が形成される。この電流が次段の比較器CP1に入力される。

【0058】

また、比較器CP1は、検出電圧Vrdが比較用に入力され、gmアンプ16の出力電流に応じたオフセットが供給されて、その比較結果を出力する。このために、オフセット用の抵抗81、定電流源91、92、93、94、P型Biトランジスタ82、83、84、88、N型Biトランジスタ85、86、89、インバータ90が、図のように接続されている。

【0059】

この構成の比較器CP1により、抵抗81に発生されるgm出力電圧Vgmと電流Ioに比例した検出電圧Vrdとが比較される。gm出力電圧Vgmが検出電圧Vrdより大きいときに、Hレベルのリセット信号Rが出力される。

【0060】

なお、以上の説明では、フリップフロップFFは、立ち下がりエッジで動作するとして説明したが、リセット優先のラッチ回路であれば、Lレベルで動作するようにしても構わない。

【0061】

【発明の効果】

本発明のスイッチング電源装置によれば、軽負荷時のスイッチング周波数が、ほぼ均一な低い周波数に制御されるから、軽負荷時の損失が低減し、効率を改善することができる。また、バーストノイズが殆ど無くなり、従来のもより出力電圧のリプルを低減することができる。

【0062】

また、逆流検出信号により逆流電流を流すグランド側のトランジスタスイッチをオフさせるから、無負荷時及び極めて軽負荷時の無駄な放電電流を阻止できる。したがって、この放電電流を阻止することにより、電力損失をさらに低減することができる。

【0063】

また、パルス信号の時間幅を拡大するための遅延部を従来装置に付加することにより、通常負荷時と同様な制御を行うだけで自動的に軽負荷時のスイッチング周波数を低い周波数に変更することができる。したがって、軽負荷時の制御のために、装置各部の定数設定なども不要であるから、簡単に構成することができる。

【0064】

また、軽負荷状態の判定は、本来の電圧制御に用いられる、平滑コイルに流れる電流や、相互コンダクタンス増幅器の出力に基づいて行われるから、軽負荷状態の判定も、簡単に行うことができる。

【0065】

また、遅延部でのパルス信号の時間幅の拡大は、一定時間にするからその構成が簡易である。また、その時間幅の拡大を、相互コンダクタンス増幅器の出力や平滑コイルに流れる電流に逆比例して設定するから、スイッチング周波数が軽負荷状態に応じて適切に決定される。

10

20

30

40

50

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係るスイッチング電源装置の全体構成図。

【図 2】遅延回路 18 の構成図。

【図 3】遅延回路 18 のタイミングチャート。

【図 4】図 1 のスイッチング電源装置の通常負荷時のタイミングチャート。

【図 5】図 1 のスイッチング電源装置の軽負荷時のタイミングチャート。

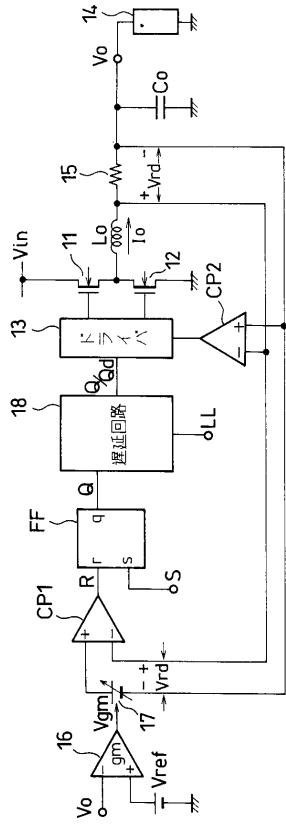
【図 6】遅延回路 18 の他の構成例を示す図。

【図 7】 g_m アンプ 16 及び比較器 CP 1 の具体的な回路例を示す図。

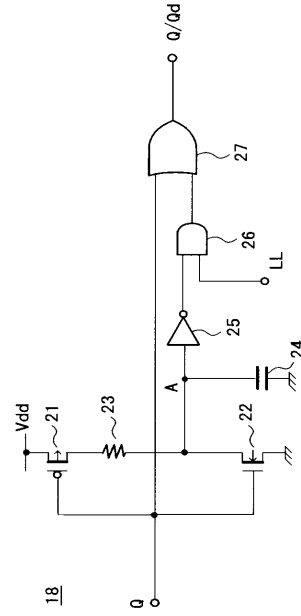
【符号の説明】

11、12	N型トランジスタ	10
13	ドライバ	
14	負荷	
15	抵抗	
16	g_m アンプ	
17	g_m アンプ出力源	
18	遅延回路	
Lo	平滑コイル	
Co	出力コンデンサ	
CP1、CP2	比較器	
FF	フリップフロップ	20
Vin	入力電圧	
Io	出力電流	
Vo	出力電圧	
Vgm	g_m 出力電圧	
Vrd	検出電圧	
S	セット信号	
R	リセット信号	
Q	パルス信号	
Qd	遅延パルス信号	
LL	軽負荷判定信号	30

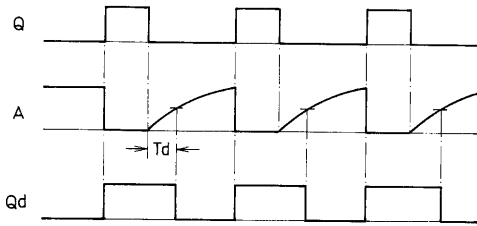
【 図 1 】



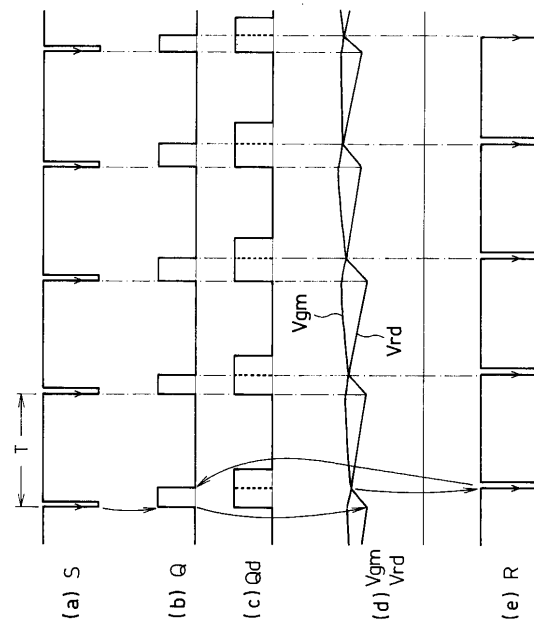
【 図 2 】



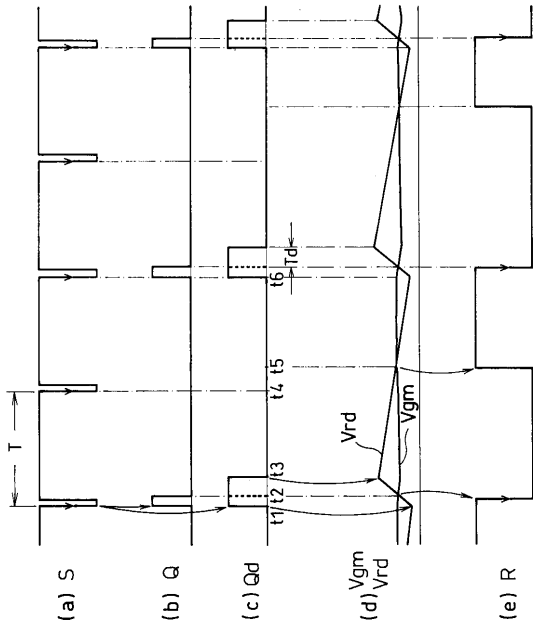
【 図 3 】



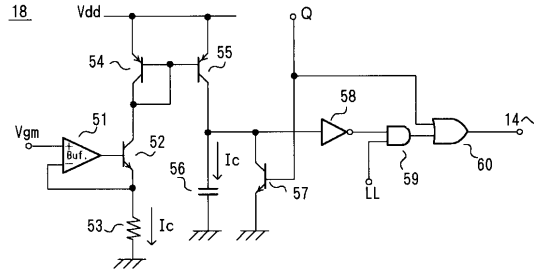
【 図 4 】



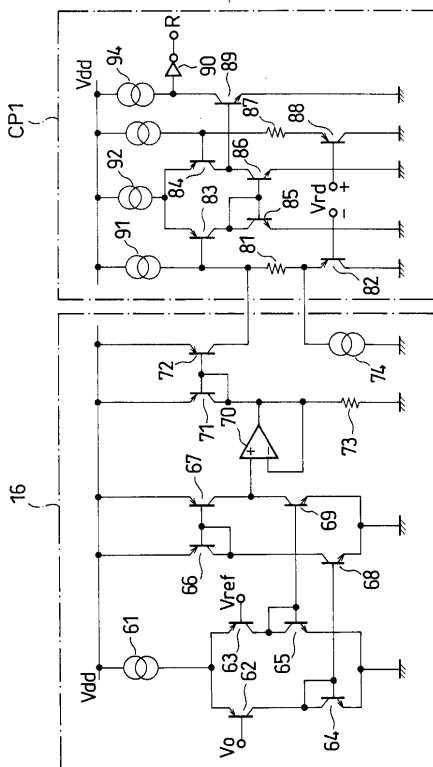
【 5 】



【 6 】



【 7 】



フロントページの続き

- (56)参考文献 特開2001-309645(JP,A)
特開2000-032744(JP,A)
特開平10-313572(JP,A)
特開平10-225105(JP,A)
特開平06-303766(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H02M 3/155