



**ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,  
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ**

**(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ**

*На основании пункта 1 статьи 1366 части четвертой Гражданского кодекса Российской Федерации патентообладатель обязуется заключить договор об отчуждении патента на условиях, соответствующих установившейся практике, с любым гражданином Российской Федерации или российским юридическим лицом, кто первым изъявил такое желание и уведомил об этом патентообладателя и федеральный орган исполнительной власти по интеллектуальной собственности.*

(21), (22) Заявка: **2006142545/09, 30.11.2006**

(24) Дата начала отсчета срока действия патента:  
**30.11.2006**

(45) Опубликовано: **20.09.2008 Бюл. № 26**

(56) Список документов, цитированных в отчете о поиске: **RU 2256298 C1, 10.07.2005. RU 2246796 C3, 20.02.2005. KR 20020077734 A, 14.10.2002. RU 2246800 C1, 20.02.2005.**

Адрес для переписки:  
**215116, Смоленская обл., г. Вязьма, ул.  
Пушкина, 22, кв.38, Б.И.Волкову**

(72) Автор(ы):  
**Волков Борис Иванович (RU)**

(73) Патентообладатель(и):  
**Волков Борис Иванович (RU)**

**(54) СИСТЕМА СТЕРЕОТЕЛЕВИДЕНИЯ**

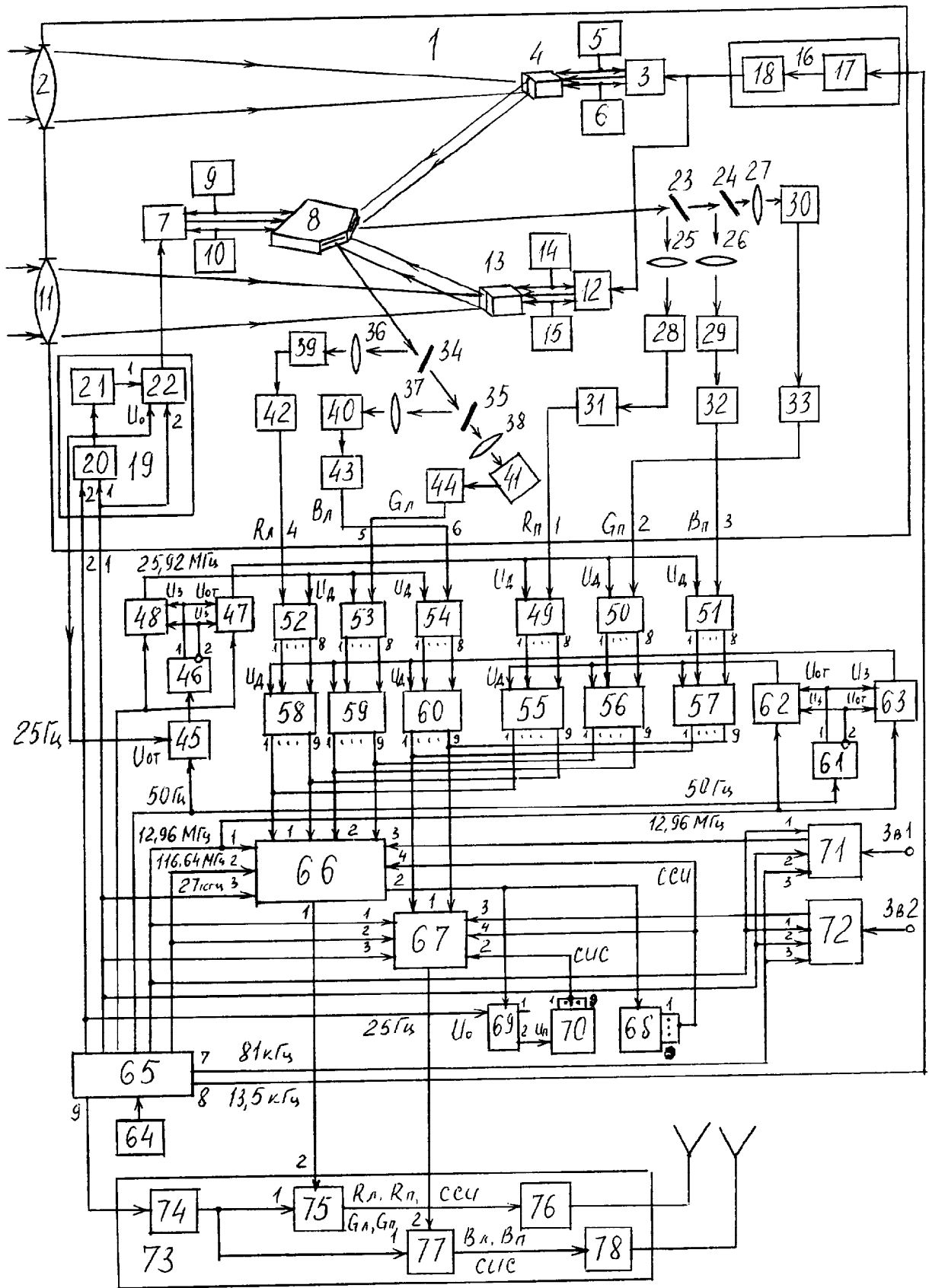
(57) Реферат:

Изобретение относится к технике радиосвязи и может использоваться для телевидения в формате НДТУ. Технический результат - сокращение третьего канала-передачи, достижение разрешения формата НДТУ и увеличение яркости изображения на экране, достигается тем, что в систему стереотелевидения на передающей стороне

вводятся шесть кодеров, на приемной стороне вводятся три декодера, шесть накопителей кодов кадра, шесть блоков формирования управляющих сигналов и 3Д-очки с ИК-приемником на оправе, а устройство отображения видеоинформации представлено плоскостельным светодиодным экраном с ПК-передатчиком на корпусе экрана. 26 ил., 1 табл.

RU 2334369 C1

RU 2334369 C1



Фиг. 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY,  
PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

According to Art. 1366, par. 1 of the Part IV of the Civil Code of the Russian Federation, the patent holder shall be committed to conclude a contract on alienation of the patent under the terms, corresponding to common practice, with any citizen of the Russian Federation or Russian legal entity who first declared such a willingness and notified this to the patent holder and the Federal Executive Authority for Intellectual Property.

(21), (22) Application: **2006142545/09, 30.11.2006**

(24) Effective date for property rights: **30.11.2006**

(45) Date of publication: **20.09.2008 Bull. 26**

Mail address:  
**215116, Smolenskaja obl., g. Vjaz'ma, ul. Pushkina, 22, kv.38, B.I.Volkov**

(72) Inventor(s):  
**Volkov Boris Ivanovich (RU)**

(73) Proprietor(s):  
**Volkov Boris Ivanovich (RU)**

(54) **STEREOSCOPIC TELEVISION SYSTEM**

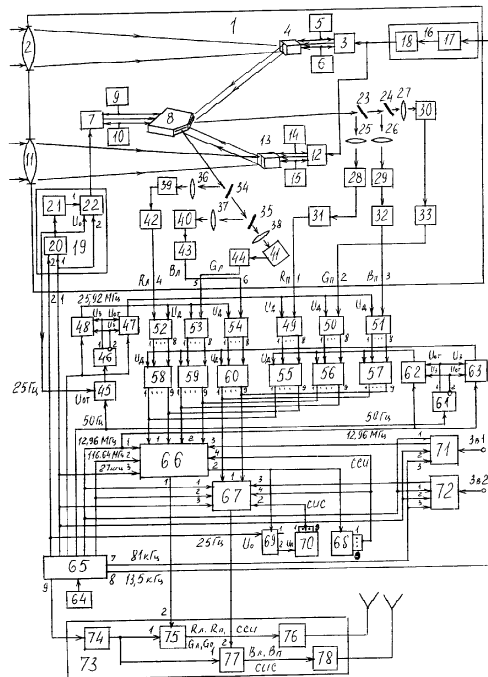
(57) Abstract:

FIELD: physics.

SUBSTANCE: stereoscopic television system at transmitting site has six coders while at receiving site it has three decoders, six shot codes memories, six driving signal shaping units and 3D glasses with IR-receiver provided on rim. Image information display is presented with flat panel light-emitting diode screen with IR-transmitter mounted on screen case.

EFFECT: reduction of the third channel-transfer; provided "НДТУ" resolution and increased brightness of screen image.

26 dwg, 1 tbl



RU 2 334 369 C1

RU 2 334 369 C1

Изобретение относится к технике радиосвязи и может быть использовано для телевидения в формате высокого разрешения HDTV.

Аналогами являются системы телевидения, претендующие на формат HDTV [с.26-28]. Недостатками этих систем являются: недостаточная разрешающая способность, 5 необходимость в широкополосных каналах передачи сигнала, не формируют стереокадр для получения стереоэффекта. Отсутствуют и матрицы формата 1920×1080 для видеокамер, и получить картинку 16:9 невозможно [1, с.32]. Реально существует разрешение 1440×750 из-за чересстрочной развертки [1, с.28].

За прототип принята цифровая система стереотелевидения [2], содержащая на 10 передающей стороне фотоэлектрический преобразователь, формирующий шесть аналоговых цветных сигналов в стереопаре из правого и левого кадров, шесть АЦП видеосигналов, синтезатор частот, три формирователя кодов, триггер, два ключа и передатчик радиосигналов из трех каналов, на приемной стороне содержащая блок управления, три тракта приема и обработки кодов видеосигналов, канал формирования 15 управляющих сигналов, шесть блоков импульсных усилителей, блок модуляции излучений, блок строчной развертки, первый усилитель и первый пьезодефлектор с отражателем на торце, блок кадровой развертки, второй усилитель и второй пьезодефлектор с отражателем на торце, проекционный объектив, матовый экран и блок отдельного наблюдения кадров стереопары. Частота стереопар 12,5 Гц. Информация кодов правого и 20 левого кадров стереопар передается тремя радиоканалами с использованием двух несущих частот. На приемной стороне три радиосигнала принимаются тремя трактами приема и обработки кодов видеосигналов, коды видеосигналов R, G, B распределяются по своим каналам, в которых производится удвоение отсчетов в строке и удвоение строк в кадре. Развертка кадра выполняется двумя пьезодефлекторами, проекционный объектив 25 проецирует изображение с увеличением на матовый экран. Правый и левый кадры наблюдаются отдельно правым и левым глазом, поочередное перекрытие поля зрения которых выполняется блоком отдельного наблюдения механическим поворотом нейтральных светофильтров. Недостатками прототипа являются: передача информации по 30 трем каналам с использованием двух несущих частот, недостаточная разрешающая способность /1200×800/, низкая частота смены стереопар 12,5 Гц, низкая яркость изображения кадра на матовом экране, не имеющем послесвечения.

Цель изобретения - сокращение третьего канала передачи кодов видеосигналов, достижение разрешения формата HDTV и увеличение яркости изображения на приемной 35 стороне.

Техническим результатом являются: использование в передатчике одной несущей частоты, сокращение третьего канала передачи, достижение разрешения HDTV 1920×1080, увеличение яркости изображения на экране и повышение в два раза частоты смены стереопар 25 Гц.

Результаты достигаются передачей по одному каналу двух цветных сигналов 40 стереопары  $R_n, G_n$  и  $R_l, G_l$ , по второму каналу кодов одного цветного сигнала стереопары  $B_n, B_l$ , увеличение разрешения обеспечивается сжатием потока информации на передающей стороне и восстановлением ее полностью на приемной стороне, увеличение яркости выполняется применением плоскостельного светодиодного экрана, 45 увеличение частоты смены стереопар достигается применением для поочередного перекрытия поля зрения глаз электронно-управляемых 3D-очков, выполненных по технологии ЖК-ячеек [3, с.558]. Объемное восприятие зритель получает через 3D-очки, в которых синхронно со сменой кадров перекрывается поле зрения тому из глаз, кадр которого отсутствует на экране. В фотоэлектрическом преобразователе применяется видеорежим 960×540×50 Гц: 960 - число кодируемых отсчетов в строке, 540 - число 50 кодируемых строк в кадре, 50 Гц - частота кадров, правых и левых в сумме. Частота дискретизации кодов 25,92 МГц, частота стереопар 25 Гц, каждая включает последовательно идущие правый и левый кадры. Информация кодов видеосигналов передается верхней и нижней боковыми частотами одной несущей частоты. Развертка

строк на передающей стороне прогрессивная без обратных ходов и по строкам, и по кадрам. Частота дискретизации при аналого-цифровом преобразовании составляет:

$$f_{д1ацп} = 50 \text{ Гц} \times 540 \times 960 = 25,92 \text{ МГц},$$

где частота строк  $f_c = 50 \times 540 = 27 \text{ кГц}$ , длительность строки  $37 \text{ мкс}$   $\left/ \frac{1 \text{ с}}{27 \text{ кГц}} \right/$ ,

длительность кадра  $20 \text{ мс}$   $\left/ \frac{1 \text{ с}}{50 \text{ Гц}} \right/$ .

Частота колебаний пьезодефлектора при развертке

строк составляет  $\frac{27 \text{ кГц}}{2} = 13,5 \text{ кГц}$ ,

за один период колебания развертываются две строки:

первая, слева направо, вторая - справа налево. Период следования кодов  $38,5 \text{ нс}$

Частота дискретизации после сжатия потока кодов в два раза кодерами  $\left/ \frac{1 \text{ с}}{25,92 \text{ кГц}} \right/$ .

составляет:  $f_{д2} = \frac{25,92 \text{ МГц}}{2} = 12,96 \text{ МГц}$ ,

которая и принимается для формирователей

кодов после кодеров в передающей стороне. Тактовая частота для формирователей кодов после сжатия потока кодов составляет:

$$f_1 = 50 \text{ Гц} \times 540 \times \frac{960}{2} \times 9 = 116,64 \text{ МГц},$$

где  $50 \text{ Гц}$  - частота кадров / $25 \text{ Гц}$  правых +  $25 \text{ Гц}$  левых/,

$540$  - число кодируемых строк в кадре,

$960$  - число кодируемых отсчетов в строке,

$2$  - наименьший коэффициент сжатия потоков кодов,

$9$  - число разрядов кода после кодеров.

Несущая частота передатчика:  $f_{нес} = 116,64 \text{ МГц} \times 15 = 1749,6 \text{ МГц}$ .

Верхняя боковая частота  $f_{н.в.} = 1749,6 \text{ МГц} + 116,64 \text{ МГц} = 1866,24 \text{ МГц}$ .

Нижняя боковая частота  $f_{н.н.} = 1749,6 \text{ МГц} - 116,64 \text{ МГц} = 1632,96 \text{ МГц}$ .

На приемной стороне восстанавливается декодерами сжатая информация без потерь,  $100\%$ , затем в каждой строке удваивается число отсчетов и удваивается число строк в кадре. Воспроизводится видеорежим  $1920 \times 1080 \times 50 \text{ Гц}$ .

Сущность изобретения в том, что в систему стереотелевидения, содержащую на передающей стороне фотоэлектрический преобразователь, шесть АЦП видеосигналов, синтезатор частот, два формирователя кодов, триггер и два ключа, два самоходных

распределителя импульсов и передатчик радиосигналов, и приемную сторону,

включающую блок управления, тракты приема и обработки кодов видеосигналов, канал формирования управляющих сигналов и устройство отображения видеoinформации, на

передающей стороне введены шесть кодеров, второй триггер, три ключа и передатчик

радиосигналов выполнен из двух каналов, приемная сторона имеет два тракта приема и

обработки кодов видеосигналов, первый из них включает канал сигнала R и канал сигнала

G, второй тракт приема и обработки кодов видеосигналов включает один канал сигнала B,

а в каждый канал введены декодер, по два накопителя кодов кадра и по два блока

формирования управляющих сигналов, устройство отображения видеoinформации

представлено плоскпанельным светодиодным экраном и введены 3D-очки с ИК-

приемником на оправе и ИК-передатчик, расположенный на корпусе экрана.

Передающая сторона показана на фиг.1, растр кадра - на фиг.2, форма управляющих напряжений - на фиг.3, структура цифровых потоков кодов в эфире - на фиг.4, АЦП

видеосигнала - на фиг.5, кодер - на фиг.6, диаграмма работы кодера - на фиг.7,

формирователь кодов сигналов R, G - на фиг.8, формирователь кодов сигнала B - на

фиг.9, приемная сторона - на фиг.10, конструкция пьезодефлектора - на фиг.11,

двухполярный амплитудный детектор - на фиг.12, декодер на фиг.13, блок обработки

кодов - на фиг.14, спектры частот сигналов передатчика - на фиг.15, первый блок

задержек - на фиг.16, накопитель кодов кадра - на фиг.17, блок регистров - на фиг.18

и 19, блок формирования управляющих сигналов - на фиг.20, СД-ячейка - на фиг.21, состав и форма элемента матрицы - на фиг.22, расположение элементов матрицы и СД-ячеек в экране - на фиг.23, блок выделения строчных синхроимпульсов - на фиг.24, блок выделения синхроимпульсов стереопар /СИС/ - на фиг.25, временные диаграммы работы системы - на фиг.26.

Передающая сторона включает /фиг.1/ фотоэлектрический преобразователь 1, являющийся датчиком видеосигналов двух изображений одного пространства, и формирует три видеосигнала правого кадра  $R_p$ ,  $G_p$ ,  $B_p$  и три видеосигнала левого кадра  $R_l$ ,  $G_l$ ,  $B_l$  и содержит первый /правый/ объектив 2, последовательно соединенные первый усилитель 3 и первый пьезодефлектор 4 с отражателем на торце, расположенный в фокальной плоскости правого объектива 2, первый источник 5 положительного опорного напряжения, второй источник 6 отрицательного опорного напряжения, последовательно соединенные второй усилитель 7 и второй пьезодефлектор 8, торец которого имеет две грани, расположенные под соответствующим углом друг к другу и с отражателем на каждой грани, третий источник 9 положительного опорного напряжения, четвертый источник 10 отрицательного опорного напряжения, второй /левый/ объектив 11, последовательно соединенные третий усилитель 12 и третий пьезодефлектор 13 с отражателем на торце, расположенный в фокальной плоскости левого объектива 11, пятый источник 14 положительного опорного напряжения, шестой источник 15 отрицательного опорного напряжения, блок 16 строчной развертки из задающего генератора 17 и выходного каскада 18, блок 19 кадровой развертки, включающий последовательно соединенные элемент И 20, задающий генератор 21 и суммирующий усилитель 22, первое 23 и второе 24 дихроичные зеркала, расположенные последовательно друг за другом и против первого отражателя пьезодефлектора 8, первый 25, второй 26, третий 27 микрообъективы, первый 28, второй 30, третий 29 фотоприемники, первый 31, второй 33, третий 32 предварительные усилители, третье 34 и четвертое 35 дихроичные зеркала, расположенные последовательно друг за другом и против второго отражателя пьезодефлектора 8, четвертый 36, пятый 38, шестой 37 микрообъективы, четвертый 39, пятый 41, шестой 40 фотоприемники, четвертый 42, пятый 44, шестой 43 предварительные усилители. Вторым объективом 11 расположен слева от объектива 2, оптическая ось объектива 11 параллельна оптической оси объектива 2, расстояние между осями объективов соответствует оптимальному получению стереоскопического эффекта для зрения человека. Передающая сторона включает первый триггер 46, первый 47, второй 48 и третьей 45 ключи, первый 49, второй 50, третьей 51 АЦП видеосигналов  $R_p$ ,  $G_p$ ,  $B_p$ , четвертый 52, пятый 53, шестой 54 АЦП видеосигналов  $R_l$ ,  $G_l$ ,  $B_l$ , первый 55, второй 56, третий 57 кодеры видеосигналов  $R_p$ ,  $G_p$ ,  $B_p$ , четвертый 58, пятый 59, шестой 60 кодеры видеосигналов  $R_l$ ,  $G_l$ ,  $B_l$  второй триггер 61, четвертый 62, пятый 63 ключи, включает последовательно соединенные задающий генератор 64 и синтезатор 65 частот, первый формирователь 66 кодов, второй формирователь 67 кодов, первый 68 и второй 70 самоходные распределители импульсов, счетчик 69 импульсов, первый 71 и второй 72 АЦП сигнала звука, на входы которых поданы звуковые сигналы 3 в 1 и 3 в 2, и передатчик 73 радиосигналов из двух каналов. Первый канал содержит последовательно соединенные усилитель 74 несущей частоты, амплитудный модулятор 75 и выходной усилитель 76, второй канал содержит амплитудный модулятор 77 и выходной усилитель 78. Каждый из амплитудных модуляторов 75, 77 включает последовательно соединенные кольцевой модулятор и полосовой фильтр [5, с.234], отфильтровывающий ненужную боковую частоту в спектре амплитудно-модулированной несущей. Кольцевой модулятор подавляет несущую частоту. С первого 49 по шестой 54 АЦП идентичны /фиг.5/, каждый включает усилитель 79 и пьезодефлектор 80 с отражателем на торце, источник 81 положительного опорного напряжения, источник 88 отрицательного опорного напряжения, излучатель, включающий импульсный светодиод 83, щелевую диафрагму 84 и микрообъектив 85, и включает линейку 86 многоэлементного фотоприемника и шифратор 87. Пьезодефлекторы 4, 8, 13, 80 являются торцевыми биморфными пьезоэлементами, конструктивно выполнены /фиг.11/

одинаково [6, с.118) из первой 88 и второй 89 пьезопластин, внутреннего электрода 90, первого 91 и второго 92 внешних электродов. Один конец пьезопластин закреплен в держателе 93, на свободном торце закреплен отражатель 94. Свободный торец пьезодефлектора 8 выполнен из двух граней, расположенных под соответствующим углом друг к другу, каждая грань имеет свой отражатель, они разводят лучи правого 2 и левого 11 объективов по разным направлениям.

АЦП 71 и 72 сигнала звука идентичны [2, с.30, фиг.7], применяются без изменений, преобразуют сигналы звука в 16-разрядные коды, которые поступают на вторые информационные входы блоков 66, 67. Кодеры с первого 55 по шестой 60 идентичны, каждый включает /фиг.6/ последовательно соединенные регистр 95, схему 96 сравнения /компаратор/, счетчик 97 импульсов и дешифратор 98, последовательно соединенные блок 99 элементов задержек, блок 100 ключей и накопитель 101 кодов строки. 1-8 информационными входами являются поразрядно объединенные входы регистра 95, первые входы схемы 96 сравнения и входы блока 99 элементов задержек. Выходами являются 1-9 выходы накопителя 101 кодов строки, объем накопителя кодов строки 480 9-разрядных кодов. Первый 66 формирователь кодов /фиг.8/ включает три канала. Первый и второй каналы идентичны. Первый канал включает последовательно соединенные блок 102 элементов И, первый 103, второй 104 элементы ИЛИ и выходной ключ 105 и самоходный распределитель 106 импульсов, второй канал включает второй блок 107 элементов И, третий 108, четвертый 109 элементы ИЛИ и выходной ключ 110 и самоходный распределитель 111 импульсов. Третий канал включает два блока 112, 115 элементов И, пятый 113 и шестой 116 элементы ИЛИ и два самоходных распределителя 114, 117 импульсов; блок 66 включает первый 118 и второй 119 ключи и последовательно соединенные счетчик 120 импульсов и дешифратор 121. Дешифратор 121 имеет три выхода: первый подключен к первому управляющему входу первого ключа 118, второй выход подключен к второму управляющему входу ключа 118 и к первому управляющему входу второго ключа 119, третий выход подключен к второму управляющему входу ключа 119 и является вторым выходом блока 66, первым выходом которого являются объединенные выходы выходных ключей 105 и 110.

Первым, вторым и третьим информационными входами блока 66 являются первые входы блоков 102, 107 элементов И и первые входы блоков 112-115 элементов И, четвертым информационным входом являются третьи входы второго и четвертого элементов ИЛИ 104, 109. Первым управляющим входом являются объединенные входы сигнальных входов ключей 118, 119 и вход счетчика 120 импульсов, вторым - объединенные сигнальные входы выходных ключей 105, 110, третьим - управляющий вход счетчика 120 импульсов. Вторым формирователем 67 кодов включает /фиг.9/ два канала, первый канал содержат последовательно соединенные блок 122 элементов И, первый 123, второй 124 элементы ИЛИ и выходной ключ 125 и самоходный распределитель 126 импульсов, второй канал включает первый блок 127 элементов И, третий элемент 128 ИЛИ, выход которого подключен к второму входу второго элемента ИЛИ 124 в первом канале, и первый самоходный распределитель 129 импульсов и включает последовательно соединенные второй блок 130 элементов И, четвертый 131 и пятый 132 элементы ИЛИ и выходной ключ 133 и второй самоходный распределитель 134 импульсов. Блок 67 включает первый 135, второй 136 ключи, счетчик 137 импульсов и дешифратор 138. Первый, второй, третий выходы дешифратора 138 подключены: первый - к первому управляющему входу ключа 135, второй - к второму управляющему входу ключа 135 и к первому управляющему входу ключа 136, к второму управляющему входу которого подключен третий выход. Информационными входами блока 67 являются: первым - первые входы блока 122 элементов И первого канала, вторым - первые входы элементов И блоков 127, 130 второго канала, третьим - третий вход элемента ИЛИ 124, четвертым - второй вход элемента ИЛИ 132. Выходом второго формирователя 67 кодов являются объединенные выходы выходных ключей 125, 133. Управляющими входами являются: первым - объединенные входы /12,96 МГц/ ключей 135, 138 и счетный вход счетчика 137

импульсов, вторым - объединенные сигнальные входы выходных ключей 125, 133, третьим - управляющий вход счетчика 137 импульсов.

Приемная сторона включает /фиг.10/ антенну, блок 139 управления /выбор каналов/, первый и второй тракты приема и обработки кодов видеосигналов, устройство отображения видеoinформации, канал формирования управляющих сигналов и два канала воспроизведения звука. Первый тракт приема и обработки кодов видеосигналов производит прием и обработку кодов сигналов  $R_n$ ,  $G_n$  и  $R_n$ ,  $G_n$  и включает последовательно соединенные блок 140 приема радиосигнала, усилитель 141 радиочастоты и двухполярный: амплитудный детектор 142, первый 143 и второй 144 формирователи импульсов, включает канал сигнала  $R$ , содержащий последовательно соединенные первый декодер 145, блок 146 обработки кодов, первый блок задержек 147 и сумматор 148 и второй блок 149 задержек, и канал сигнала  $G$ , содержащий последовательно соединенные второй декодер 150, блок 151 обработки кодов, первый блок 152 задержек и сумматор 153 и второй блок 154 задержек. Второй тракт приема и обработки кодов видеосигналов производит прием и обработку кодов сигналов  $V_n$ ,  $V_n$  и включает последовательно соединенные блок 155 приема радиосигнала, усилитель 156 радиочастоты и двухполярный амплитудный детектор 157, третий 158 и четвертый 159 формирователи импульсов и включает канал сигнала  $B$ , содержащий последовательно соединенные третий декодер 160, блок 161 обработки кодов, первый блок 162 задержек и сумматор 163 и второй блок 164 задержек. Приемная сторона включает введенные с первого 165 по шестой 170 накопителя кодов кадра, с первого 171 по шестой 176 блоки формирования управляющих сигналов, плоскочелюстной светодиодный экран 177 /СД-экран/, ИК-передатчик 178, расположенный на корпусе СД-экрана 177, 3D-очки 179 с ИК-приемником 180 на оправе 3D-очков. Порядок работы приемной стороны определяет канал формирования управляющих сигналов, включающий последовательно соединенные блок 181 выделения строчных синхроимпульсов ССИ, синтезатор 182 частот, ключ 183, счетчик 184 импульсов и дешифратор 185, и включает блок 186 выделения синхроимпульсов стереопар СИС. Приемная сторона включает идентичные первый 187, второй 188 каналы воспроизведения звука. Каждый из каналов воспроизведения звука содержит преобразователь кодов звука в аналоговые сигналы /ЦАП/, усилитель мощности и громкоговоритель. Изображение с экрана 177 зрителем воспринимается объемным через 3D-очки 179. При воспроизведении на экране правого и левого кадров стекла 3D-очков поочередно теряют прозрачность, каждый глаз видит свой кадр, что и дает стереоэффект. Стекла очков выполнены по технологии ЖК-ячеек просветного типа, используемых как электронно-управляемые светофильтры /затворы/ [3, с.558-565]. С приходом сигнала СИС с блока 186 25 Гц в ИК-передатчик 178 он излучает ИК-импульс, принимаемый ИК-приемником 180, который выдает управляющий сигнал в ЖК-ячейку левого стекла, затемняя его на 20 мс, затем ИК-приемник выдает второй сигнал в ЖК-ячейку правого стекла, затемняя его на 20 мс, далее процессы повторяются, каждый глаз видит свой кадр. Декодеры 145, 150, 160 идентичны /фиг.13/, каждый включает последовательно соединенные первый регистр 189, накопитель 190 кодов строки объемом на 480 кодов, второй регистр 191 /9-разрядный/, первый блок 192 ключей, содержащий восемь ключей, и третий регистр 193, последовательно соединенные второй блок 194 ключей, содержащий восемь ключей, 8-разрядный вычитающий счетчик 195 импульсов и дешифратор 196, первый 197, второй 198, третий 199 и четвертый 200 ключи. Информационным входом /с блока 143/ декодера является информационный вход первого регистра 189, выходом являются 1-8 выходы третьего регистра 193. Управляющими входами являются: первым - первый управляющий вход /тактовый 116,64 МГц/ первого регистра 189, вторым - второй управляющий вход первого регистра и сигнальный вход ключа 199 / $U_{\text{выд}}$  12,96 МГц/, третьим - объединенные сигнальные входы первого 197, второго 198, четвертого 200 ключей. Блоки 146, 151, 161 обработки кодов идентичны, каждый включает /фиг.14/ триггер 201, вход которого является управляющим входом блока, первый 202 и второй 203 блоки ключей, каждый из которых включает по восемь ключей, первый 204, второй 205, третий 206, четвертый 207



регистры, сумматор 208, первый 209 и второй 210 блоки задержек и 16 диодов. 1-8 информационными входами блока 146 являются поразрядно объединенные входы блоков 202, 203 ключей, на них поступают в параллельном виде коды видеосигналов с декодера 145 /150, 160/ с частотой дискретизации 25,92 МГц. Выходами являются поразрядно объединенные 1-8 выходы сумматора 208 и блоков 209, 210 задержек. Диски 209, 210 задерживают коды на 35 нс. Частота следования кодов с блока 146, 151, 161 51,84 МГц, т.е. через 19 нс. Первые блоки 147, 152, 162 задержек идентичны, каждый включает /фиг.16/ элемент И 211, первый 212, второй 213 ключи, первый 214, второй 215 распределители импульсов и восемь регистров 216<sub>1-8</sub>, каждый из которых содержит по числу отсчетов в строке 1920 разрядов. Блоки 147, 152, 162 выполняют задержку кодов строки на длительность строки 37 мкс. Информационным входом блока являются 1-8 объединенные поразрядно вторые входы разрядов регистров 216<sub>1-8</sub>. Выходами являются 1-8 объединенные поразрядно выходы восьми регистров 216. Первым и вторым управляющими входами блока 147 /152, 162/ являются первый /50 Гц/ и второй /27 кГц/ входы элемента И 211. Третьим управляющим входом являются объединенные сигнальные входы ключей 212, 213. Накопители 185-170 кодов кадра идентичны, каждый включает /фиг.17/ блоки 217 регистров по числу половины  $\frac{1080}{2}$  строк кадра 217<sub>1-540</sub>.

Информационным входом накопителя кодов кадра являются поразрядно объединенные 1-8 входы 540 блоков 217 регистров. Информационные входы накопителей кодов кадра подключены: 165, 166 - к выходам соответственно сумматора 148 и второго блока 149 задержек, 167, 168 - к выходам сумматора 153 и второго блока 154 задержек, 163, 170 - к выходам блоков 163, 164. Управляющими входами являются: первым - первый управляющий вход первого блока 217<sub>1</sub> регистров /50 Гц/, вторым - объединенные вторые управляющие входы /U<sub>выд</sub> 27 кГц/ блоков 217 регистров, третьим - объединенные третьи управляющие входы /U<sub>д</sub> 51,84 МГц/ блоков 217 регистров. Каждый управляющий выход предыдущего блока 217 регистров является первым управляющим входом каждого последующего блока 217 регистров. Управляющий выход последнего блока 217<sub>540</sub> регистров подключен параллельно к четвертым управляющим входам всех блоков 217<sub>1-540</sub> регистров. Выходами накопителя 165-170 кодов кадра являются выходы всех блоков 217<sub>1-540</sub> регистров. Блоки 217 регистров идентичны, каждый включает /фиг.18, 19/ первый 218 и второй 219 ключи, распределитель 220 импульсов и восемь регистров 221<sub>1-8</sub>. Информационным входом блока регистров являются поразрядно объединенные 1-8 третьи входы разрядов восьми регистров 221. Выходами являются параллельные выходы всех разрядов восьми регистров 221, всего 15360 выходов /1920×8/. Выходы 540 блоков регистров 217 являются выходами каждого накопителя кодов кадра /165-170/, с одного накопителя кодов кадра выходов 8294400 /15360×540/. Управляющими входами являются: первым - первый управляющий вход /50 Гц/ первого ключа 218, вторым - сигнальный вход /U<sub>выд</sub> 27 кГц/ второго ключа 219, третьем - сигнальный вход /U<sub>д</sub> 51,84 МГц/ первого ключа 218, четвертым - первый управляющий вход второго ключа 219. Последний выход /1920/ распределителя 220 импульсов подключен к второму управляющему входу первого ключа 218 и является управляющим выходом блока 217, подключенным к первому управляющему входу следующего блока 217<sub>2</sub> регистров. Выход первого ключа 218 подключен к входу распределителя 220 импульсов, выходы которого последовательно с первого по 1920-й подключены к первым управляющим входам разрядов параллельно восьми регистров 221<sub>1-8</sub>. Выход второго ключа 219 подключен параллельно к вторым управляющим входам разрядов восьми регистров 221 и ко второму управляющему входу ключа 219, прошедший импульс U<sub>выд</sub> закрывает ключ 219. Выходы накопителей 165-170 кодов кадра /фиг.10/ подключены к информационным входам соответственно блоков 171-176 формирования управляющих сигналов, назначение которых выполнять преобразования "код - длительность излучения" с целью получения скважности излучений светодиодов запитыванием светодиодов в СД-ячейках на длительность, соответствующую величине кода. Каждый из блоков 171-176 содержит преобразователей "код - длительность

излучения" по числу отсчетов в строке /1920/ и числу строк в накопителе кодов кадра 1036800, т.е. 1920×540. Блоки 171-176 идентичны, каждый включает /фиг.20/ генератор 222 импульсов и 1036800 преобразователей "код - длительность излучения", которые идентичны и каждый включает /фиг.20/ последовательно соединенные первый ключ 223, вычитающей счетчик 224 импульсов, дешифратор 225 и второй ключ 226 и источник 227 питания светодиода. Выход каждого второго ключа 226 подключен к входу своего светодиода в экране 177. Сигнальный вход ключа 226 подключен к выходу своего источника 227 питания. Исходное состояние ключей 223, 226 закрытое. Генератор 222 импульсов является умножителем частоты, выполняет умножение 50 Гц×256=12,8 кГц и выдает частоту 12,8 кГц параллельно на сигнальные входы первых ключей 223. Преобразователи "код - длительность излучения" работают идентично. При длительности кадра 20 мс /50 Гц/ коду 00000001 соответствует длительность излучения светодиода в один импульс 78 мкс с генератора 222  $f = \frac{1\text{с}}{12,8\text{кГц}}$ , коду 00000010 соответствует длительность излучения светодиода в два импульса 156 мкс, коду 00000011 - три импульса 234 мкс и т.д., коду 11111110 соответствует длительность излучения в 254 импульса 18942 мкс и коду 11111111 - 255 импульсов 19922 мкс /19,922 мс/. Инерционность срабатывания светодиодов должна быть менее 1 мкс, что легко выполнимо. По окончании накопления кодов блоками 165-170 сигнал  $U_k$  50 Гц открывает все первые ключи 223 и вторые 226 ключи в блоках 171-176. Коды кадра синхронно и в параллельном виде поступают на информационные входы вычитающих счетчиков 224 с первого по 1036800. Открытые ключи 223 пропускают импульсы 12,8 кГц с генератора 222 на счетные входы вычитающих счетчиков 224. Через открытые ключи 226 напряжение питания с источников 227 запитывает светодиоды в СД-ячейках экрана 177, которые излучают с длительностью соответственно величине своего кода. Процесс вычитания в счетчиках длится до появления в них кода 00000000. При коде 00000000 сигнал  $U_3$  с дешифратора 225 закрывает оба ключа 223, 226 в своем преобразователе. Питание светодиода прекращается, светодиод обрывает излучение. Плоскопанельный светодиодный экран 177 представляет совокупность элементов матрицы соответственно принятому разрешению 2073600 /1920×1080/, выполненных в стекле СД-экрана 177, и включает экранное стекло и элементы матрицы по числу разрешения экрана. Каждый элемент матрицы включает три излучающих светодиодных ячейки, каждая из которых излучает один из основных цветов R, G, B. Светодиодная ячейка /СД-ячейка/ содержит /фиг.21/ последовательно расположенные светодиод 228 белого свечения и соответствующий цветной светофильтр /R, G, B/ 229. Три СД-ячейки в элементе матрицы образуют треугольник /фиг.22/, расположение элементов матрицы и СД-ячеек в экранном стекле экрана - на фиг.23. Элементы матрицы корпусов не имеют. Экранное стекло для размещения СД-ячеек имеет соответствующие углубления, в которых и размещаются светодиоды со светофильтрами, управляющий вход каждого светодиода /проводник питания/ подключен к выходу своего преобразователя "код - длительность излучения" в блоках 171-176. Уровень яркости излучения СД-ячейки воспринимается зрением пропорционально длительности излучения светодиода за период кадра /принцип скважности/, а длительность излучения светодиода определяется величиной кода. Суммарное излучение трех основных цветов нормирует для зрения цветовой тон и яркость пиксела. В качестве светодиодов принимаются свержяркие светодиоды белого свечения фирмы "Nichia" NEPW500 с силой света 4,6 кд и углом излучения 15° [4, с.47]. Светодиоды должны быть миниатюрного исполнения без корпусов и диаметром до 0,5 мм. Скважности излучений всех светодиодов экрана за период кадра /20 мс/ формируют яркости и цветовые тона всех пикселов экрана 177. Современные технологии позволяют выполнить каждый из блоков 165-170 и блоков 171-176 в одной микросхеме. Диаметр светодиода принимается в 0,5 мм /фиг.22/, размер элемента матрицы /трех СД-ячеек/ составляет 1×1 мм, толщина экранного стекла 5-7 мм. Ширина строки 1 мм /фиг.23/. Размер СД-экрана 177 составляет:

по горизонтали  $1920 \times 1 \text{ мм} = 1920 \text{ мм}$ ,  
 по вертикали  $1080 \times 1 \text{ мм} = 1080 \text{ мм}$ ,  
 по диагонали 2200 мм или 86 дюймов.

Яркость свечения светодиода с силой света 4,6 кд при диаметре излучающей части 0,5

5 мм /площадь  $0,2 \text{ мм}^2$ / составляет:

$$B = \frac{4,6 \text{ кд}}{0,2 \text{ мм}^2} = \frac{4,6 \text{ кд}}{0,2 \cdot 10^{-6} \text{ м}^2} = \frac{4,6 \text{ кд} \cdot 10^6}{0,2 \text{ м}^2} = 23 \times 10^6 \text{ кд/м}^2$$

где  $0,2 \text{ мм}^2$  или  $0,2 \times 10^{-6} \text{ м}^2$  - площадь излучения светодиода. Даже при снижении

10 яркости в 50% яркость изображения на экране будет более чем достаточной.

Блок 181 выделения строчных синхроимпульсов ССИ включает /фиг.24/ первый 230, второй 231, третий 232 счетчики импульсов, первый 233, второй 234 элементы И, с первого 235 по третий 237 элементы НЕ и диод. С приходом на счетные входы счетчиков

15 синхроимпульс /ССИ/ строки 27 кГц. При других кодах хотя бы в одном из них будет ноль, при котором элемент НЕ обнулит все счетчики импульсов 230-232, и ложного ССИ на выходе блока не будет. Блок 186 выделения синхроимпульсов стереопар /СИС/ включает

/фиг.25/ первый 238, второй 239 счетчики импульсов, первый 240 и второй 241 элементы И, первый 242, второй 243 элементы НЕ и диод. С приходом на счетные входы счетчиков

20 238, 239 синхронно двух кодов из 9 единиц и на второй вход второго элемента И 241 импульса ССИ с блока 181 на выходе блока 186 появляется импульс СИС 25 Гц. При

других кодах на выходе блока 186 ложных импульсов не будет. Фотоэлектрический

преобразователь 1 формирует шесть аналоговых видеосигналов двух изображений от

25 правого 2 и левого 11 объективов. Объектив 2 создает правое изображение в фокальной плоскости, в которой расположен отражатель пьезодефлектора 4. Отражатель его имеет

ширину 0,01 мм, длину 5,4 мм /0,01 мм $\times$ 540 строк/. Размеры развертывающего элемента

0,01 $\times$ 0,01 мм. По управляющим напряжениям /фиг.3/ с усилителя 3 пьезодефлектор 4

производит колебания торца с отражателем относительно первого отражателя

пьезодефлектора 8, выполняя сканирование правого изображения. Объектив 11 создает

30 левое изображение в фокальной плоскости, где расположен отражатель пьезодефлектора 13. Отражатель имеет те же размеры, что и отражатель пьезодефлектора 4, и производит

колебания торца относительно второго отражателя пьезодефлектора 8, выполняя

сканирование строки левого изображения. Блок 16 выдает линейно изменяющееся

напряжение в виде равнобедренного треугольника /фиг.3/. Период управляющего

35 напряжения равен длительности двух строк. Для раstra в 540 строк при 50 Гц кадров пьезодефлекторы 4 и 13 колеблются синхронно и синфазно с частотой 13,5 кГц. За период

одного колебания идет развертка двух строк, частота строк 27 кГц. Развертка строк

прогрессивная без обратных ходов. Пьезодефлектор 8 выполняет кадровую развертку двух

кадров: при развертке вниз идет правый /нечетный/ кадр, при развертке вверх идет

40 левый /четный/ кадр. Пьезодефлектор 8 колеблется с частотой 25 Гц, что составляет 50

кадров в секунду. Кадровая развертка без обратного хода. Ширина отражателя

пьезодефлектора 8 0,01 мм, длина каждого отражателя по 9,6 мм /0,01 мм $\times$ 960 отсчетов/.

С выхода суммирующего усилителя 22 в усилитель 7 поступает линейно изменяющееся и

ступенчатое напряжение /фиг.3/, усиливаемое до необходимой величины усилителем 7 [6,

45 с.122]. Суммирующий усилитель 22 выполняет суммирование линейного напряжения с

задающего генератора 21 с импульсами 27 кГц частоты строк. Каждый импульс строки

перемещает строку в конце ее хода на шаг в одну строку, получают 540 строк, все

активные. Отраженные от первого отражателя пьезодефлектора 8 смешанные цветные

лучи R, G, B направляются в свои микрообъективы, которые собирают их в свои

50 фотоприемники 28, 30, 29. С фотоприемников аналоговые видеосигналы поступают в

предварительные усилители 31, 33, 32. Аналогичные процессы проходят лучи от второго

отражателя пьезодефлектора 8, аналоговые видеосигналы поступают в предварительные

усилители 42, 44, 43. С предварительных усилителей 31, 33, 32 видеосигналы поступают

на входы соответственно АЦП 49, 50, 51, с предварительных усилителей 42, 44, 43 поступают на входы АЦП 52, 53, 54. Поочередная выдача кодов стереопар с АЦП 49-51 и с АЦП 52-54 выполняется триггером 46 и ключами 47, 48. Импульсы 50 Гц с синтезатора 65 частот поступают в триггер 46 через ключ 45, предназначенный для синхронизации пропускания импульсов 50 Гц с началом периода правого кадра стереопары. Сигнал  $U_{от}$  ключа 45 поступает с выхода элемента И 20 в момент прихода на его входы импульса 25 Гц /начала правого кадра/ и импульса частоты строк. Ключ 45 остается открытым на все время работы. Этим определяется формирование кодов видеосигналов всегда с правого кадра стереопары. В период правого кадра импульсы дискретизации 25,92 МГц с третьего выхода блока 65 проходят открытый ключ 47 и поступают на управляющие тактовые входы АЦП 49-51, преобразующие аналоговые видеосигналы  $R_n$ ,  $G_n$ ,  $B_n$  правого кадра в 8-разрядные коды. В период левого кадра импульсы дискретизации 25,92 МГц с ключа 48 поступают на тактовые входы АЦП 52-54, которые преобразуют аналоговые видеосигналы левого кадра  $R_n$ ,  $G_n$ ,  $B_n$  в 8-разрядные коды. Синтезатор 65 частот выдает с первого выхода импульсы 25 Гц частоты стереопар на второй вход блока 19 кадровой развертки и на управляющий вход  $U_o$  счетчика 69 импульсов, с второго выхода - импульсы 27 кГц частоты строк на первый вход блока 19, на третьи управляющие входы формирователей 66, 67 кодов и на вторые управляющие входы АЦП 71, 72, с третьего выхода - импульсы дискретизации 25,92 МГц на входы ключей 47, 48, с четвертого выхода - импульсы 50 Гц частоты кадров на сигнальные входы ключей 45, 81, с пятого выхода - импульсы дискретизации 12,96 МГц на первые управляющие входы формирователей 68, 67 кодов, на первые управляющие входы АЦП 71, 72 и на сигнальные входы ключей 62, 63, с шестого выхода - синусоидальные колебания 116,64 МГц на вторые управляющие входы формирователей 66, 67 кодов, с седьмого выхода - импульсы 81 кГц на третьи управляющие входы АЦП 71, 72, с восьмого выхода - импульсы 13,5 кГц на вход блока строчной развертки и с девятого выхода - синусоидальные колебания несущей частоты 1749,6 МГц /116,64×15/ на вход усилителя 74 в передатчике 73 радиосигналов. Задающий генератор 64 генерирует синусоидальные колебания со стабильностью  $10^{-7}$ . АЦП 71, 72 преобразуют сигналы звука в 16-разрядные коды, которые в параллельном виде поступают на третий информационный вход формирователя 66 кодов /с АЦП 71/ и на второй информационный вход формирователя 67 кодов /с АЦП 72/. Самоходный распределитель 68 импульсов с приходом сигнала пуска  $U_n$  со второго выхода блока 66 /в момент 480 импульса дискретизации строки фиг.4/ выдает код из 9 единиц 11111111, являющийся кодом строчного синхроимпульса ССИ, на четвертый информационный вход блока 66 и на третий информационный вход блока 67. Самоходный распределитель 70 импульсов с приходом на его вход сигнала пуска  $U_n$  с выхода второго разряда счетчика 69 импульсов выдает код из 9 единиц, являющийся синхроимпульсом стереопар СИС, на четвертый информационный вход блока 67. Код СИС является первым кодом первой строки правого кадра, фиг.4. Счетчик 69 двухразрядный с приходом на счетный вход второго импульса с второго выхода блока 66 выдает с выхода второго разряда сигнал пуска  $U_n$  для блока 70, после чего обнуляется сигналом  $U_o$  25 Гц. Второй импульс с блока 66 означает конец периода левого кадра стереопары.

АЦП 49-54 идентичны /фиг.5/, имеют один принцип преобразования, заключающийся в развертке луча от светодиода 83 отражателем пьезодефлектора 80 по плоскости входных зрачков фотоприемников линейки 86. Световой импульс преобразуется в электрический сигнал, возбуждающий соответствующую шину шифратора 87, который и выдает код мгновенного значения входного сигнала. Дискретизация преобразования 25,92 МГц. Источник излучения импульсный светодиод АЛ402А с временем срабатывания 25 нс. Линейка 86 включает 255 фотоприемников для кодирования сигналов 8-разрядным кодом. Фотоприемниками являются лавинные фотодиоды ЛФД с временем срабатывания 10 нс. Шифратор из микросхем К155ИВ1 с временем срабатывания 20 нс. Шифратор формирует коды с 00000001 по 11111111. Первому фотоприемнику в линейке 86 соответствует код 00000001, второму - код 00000010, третьему - код 00000011 и т.д., 255-ому - код

11111111. Время преобразования в АЦП составляет 30 нс, удовлетворяющее частоте 25,92 МГц /38,5 нс/.

Работа кодера 55-60, фиг.6.

8-разрядные коды с АЦП 49 поступают на 1-8 входы регистра 95, на первые входы  
 5 схемы 96 сравнения и на входы блока 99 элементов задержек. Исходное состояние ключей  
 в блоке 100 открытое. Код в блоке 99 задерживается на длительность 18 нс /время  
 срабатывания схемы сравнения 96/ и поступает через открытые ключи блока 100 на 1-8  
 разряды блока 101 накопления кодов строки, емкость которого составляет 480 кодов /9-  
 10 разрядных/. Схема 96 сравнения выполняет сравнение по величине каждого предыдущего  
 и последующего кодов с целью определения их равенства или неравенства. При  
 следовании неравных кодов они проходят напрямую через блок 99, открытые ключи блока  
 100 и поступают в 1-8 разряды накопителя 101 кодов строки. Выдача кодов из блока 101  
 выполняется сигналами 12,96 МГц с ключа 62 /63/. Поступление кодов в блок 101 при  
 следовании неравных кодов идет с АЦП с частотой дискретизации 25,92 МГц /интервал в  
 15 38,5 нс/. А выдача их с блока 101 идет с частотой дискретизации, в два раза меньшей  
 12,96 МГц /77 нс/. Снижение частоты дискретизации возможно из-за наличия в потоке  
 кодов достаточного числа кодов, равных по величине, что и используется для сжатия  
 потока кодов. Уже при минимальном коэффициенте сжатия, равном 2, частота  
 дискретизации составляет 12,96 МГц, которая и принимается в применяемом кодере. При  
 20 больших и плавающих коэффициентах сжатия частота дискретизации 12,96 будет так же  
 правильно выполнять свою роль, только между выдаваемыми кодами будут большие  
 интервалы, которые при восстановлении сжатого потока информации декодерами будут  
 устранены. Схема 96 сравнения производит сравнение по величине каждого предыдущего  
 и последующего кодов, представляется двумя микросхемами 530СП1 с временем  
 25 сравнения 18 нс [7, с.279]. При неравенстве кодов  $A > B$  появляется сигнал на выходе 2 /в  
 микросхеме выход 5 [7, с.272, рис.2.190]/, при равенстве кодов  $A = B$  появляется сигнал  
 с выхода 1 /в микросхеме выход 6/, при  $A < B$  сигнал на выходе 3 /в микросхеме выход 7/.  
 При равенстве кодов сигнал с выхода 1 блока 96, закрывает ключи в блоке 100,  
 поступает счетным импульсом  $U_{сч}$  на счетный вход счетчика 97 и на первый управляющий  
 30 вход регистра 95 / $U_{вход}$ /. Счетчик 97 производит счет импульсов с выхода 1 блока 96,  
 пока идут коды, равные по величине. Счетчик 97 импульсов 8-разрядный, максимальный  
 код в нем 11111111 /255/. Отсюда плавающий коэффициент от 1 до 255. Счетчик из  
 микросхем К531ИЕ17П с временем срабатывания 12 нс [7, с.156]. При появлении неравных  
 35 кодов со схемы 96 следует сигнал с выхода 2 или 3, которые объединены. Сигнал с них  
 используется для выдачи кода числа равных кодов из счетчика 97 в 1-8 разряды блока  
 101 и заполнения в этом коде 9-го разряда, используемого для опознания по нему кода  
 числа равных кодов при процессе восстановления потока в декодере, открывает ключи в  
 блоке 100 и обнуляет регистр 95 вход 2. Выданный перед этим с блока 101 код является  
 40 первым кодом в последовательности, на диаграмме /фиг.7/ они помечены крестиками.  
 Коды, равные по величине и подсчитанные счетчиком 97, исключаются из потока кодов,  
 диаграмма 111 на фиг.7. За их счет и выполняется сжатие потока кодов. Коэффициент  
 сжатия от 2 до 255. Емкость накопителя 101 кодов строки составляет 480 кодов /число  
 кодов в строке/ и обеспечивает темп прохождения кодов в 12,96 МГц через блок 101. При  
 следовании подряд равных по величине кодов более 255 штук дешифратор 98 при коде со  
 45 счетчика 97 11111111 выдает сигнал, который одновременно открывает ключи в блоке 100,  
 обнуляет регистр 95, выдает код из счетчика 97 импульсом  $U_{вход}$  и обнуляет счетчик 97  
 импульсов, и в 9-й разряд кода поступает сигнал опознания кода числа равных кодов.  
 Пропускная способность кодера определяется временем срабатывания схемы 96  
 сравнения /18 нс/ плюс время срабатывания счетчика 97 /12 нс/ и составляет 30 нс, или  
 50 30 Мбайт/с. С выходов кодеров 55, 56, 58, 59 коды в параллельном виде поступают в  
 формирователь 66 кодов, с выходов кодеров 57, 80 коды в параллельном виде поступают в  
 формирователь 67 кодов. Формирователь 66 кодов первым в строке формирует код ССИ,  
 из сжатого потока кодов формирует со 2-го по 477 коды сигналов  $R_{п}$ ,  $G_{п}$ ,  $R_{л}$ ,  $G_{л}$  и затем

три кода звука, второй формирователь 66 кодов первым в строке формирует коды ССИ и СИС, из сжатого потока кодов формирует коды со 2-го по 477 сигналов  $V_n$ ,  $V_n$ , затем три кода звука. Единицы в кодах  $R_n$ ,  $R_n$  представляются положительными полусинусоидами

5 отрицательными полусинусоидами той же частоты. Единицы в кодах  $V_n$  и  $V_n$  представляются положительными полусинусоидами моночастоты 116,64 МГц.

Работа формирователей 66, 67 кодов фиг.8 и 9.

Временные диаграммы работы блоков 66, 67 на фиг.26. Формирователи 66, 67 кодов преобразуют поступающее параллельные коды в последовательные и заменяют в них

10 представление единиц с импульсов на положительные и отрицательные полусинусоиды моночастоты 116,64 МГц. Коды с кодеров 55, 58 в параллельном виде с частотой 12,96 МГц поступают на первый информационный вход блока 66 /фиг.8/, на второй вход его поступают коды с кодеров 56, 59. На третий информационный вход блока 66 поступают коды АЦП сигнала звука 71, на четвертый информационный вход поступает код сигнала

15 ССИ в последовательном виде. Коды с кодера 55 /58/ поступают на первые информационные входы, на первые входы элементов И блока 102, на вторые входы которого поступают последовательно 9 импульсов с выхода самоходного распределителя 106 импульсов, пусковой сигнал  $U_n$  в который приходит с первого ключа 118. С выходов элементов И блока 102 импульсы кода последовательно через элементы ИЛИ 103, 104

20 открывают на время своей длительности  $/9 \text{ нс} / \frac{1 \text{ с}}{116,64} \text{ МГц}$  выходной ключ 105. На

сигнальный вход выходного ключа 105 поступают синусоиды моночастоты 116,64 МГц. Первый выходной ключ 105 в открытом состоянии пропускает одну положительную

25 полусинусоиду на выход. Аналогичный процесс проходит код, поступивший на первые входы элементов И блока 107, импульсы которого открывают на время своей длительности 9 нс второй выходной ключ 110, который в открытом состоянии пропускает одну отрицательную полусинусоиду на выход. Выходы ключей объединены, и на выходе блока 66 выходной сигнал представляется полными либо неполными синусоидами частоты

30 116,64 МГц со стабильностью  $10^{-7}$ . Единицы в кодах  $R_n$ ,  $R_n$  представлены положительными полусинусоидами, единицы в кодах  $G_n$ ,  $G_n$  представлены отрицательными полусинусоидами. Нули представлены отсутствием и тех и других. Эти сигналы и модулируют несущую частоту в модуляторе 75 передатчика 73. Очередность нормирования сигналов ССИ, кодов отсчетов строки и кодов звука определяют выходные сигналы с дешифратора 121. В исходном состоянии ключ 118 закрыт. Счетчик 120 9-и разрядным, ведет счет импульсов 12,96 МГц. При коде в счетчике 0...001 импульс с первого выхода дешифратора 121 открывает ключ 118, пропускающий сигналы 12,96 МГц в качестве

35 сигнала  $U_n$  в самоходный распределитель 106, 111 импульсов, и со второго отсчета строки формируются, коды видеосигналов  $R_n$ ,  $G_n$ . Коды видеосигналов формируются по 477 отсчет строки. При 477 импульсе в счетчике 120 формируется код 111011101,

40 дешифратор при этом коде выдает сигнал со второго выхода, который закрывает ключ 118 и открывает ключ 119. Импульс  $U_n$  с ключа 119 запускает самоходные распределители 114, 117 импульсов, на вторые входы элементов ИЛИ 104, 109 поступают с 1-го по 8-и и с 9-го по 16-й коды звука. Ключ 119 открыт на время прохода трех кодов звука, во время

45 478, 479, 480 импульсов дискретизации строки, фиг.4. При поступлении в счетчик 120 480 импульса строки с третьего выхода дешифратора 121 импульс закрывает ключ 119 и является вторым выходным сигналом с блока 66, который сигналом  $U_n$  запускает самоходным распределитель 68 импульсов, который в период первого отсчета следующей строки подает на третьи входы элементов ИЛИ 104, 109 код ССИ из девяти единиц

50 111111111. Этот код является первым кодом в каждой строке. Далее процессы повторяются.

В кодах звука единицы в разрядах 1-8 представляются положительными полусинусоидами, единицы в разрядах 9-16 представляются отрицательными полусинусоидами. На первый информационный вход формирователя 67 кодов /фиг.9/

поступают коды с кодеров  $V_n$  и  $V_n$  на первые входы элементов И блока 122, на вторые входы блока 122 последовательно поступают 9 импульсов с самоходного распределителя 126 импульсов, пусковым сигналом для которого являются импульсы  $U_n$  12,96 МГц с ключа 135. С выходов блока 122 импульсы кода последовательно через  
 5 элементы ИЛИ 123, 124 открывают на время своей длительности /9 нс/ первый выходной ключ 125, на сигнальный вход которого поступают синусоидальные колебания частотой 116,64 МГц. Ключ 125 в открытом состоянии пропускает одну положительную полусинусоиду. Единицы кодов  $V_n$  и  $V_n$  представляются положительными полусинусоидами. С приходом в дешифратор 138 кода 477 отсчета строки сигнал со  
 10 второго выхода дешифратора 138 закрывает ключ 135 и открывает ключ 136. С выходов самоходных распределителей 129, 134 импульсов на вторые входы элементов И блоков 127, 130 поступают последовательно 9 импульсов, и с выходов элементов И блоков 127, 130 на второй вход элемента ИЛИ 124 и на первый вход элемента ИЛИ 132 поступают три кода сигнала звука.

15 Сигналы 1-8 разрядов сигнала звука поступают последовательно через элементы ИЛИ 128, 124 на управляющий вход первого выходного ключа 125, сигналы 9-16 разрядов поступают через элементы ИЛИ 131, 132 на управляющий вход второго ключа 133.

Единицы в кодах разрядов 1-8 представляются на выходе ключа 125 положительными полусинусоидами частоты 116,64 МГц, единицы в кодах разрядов 9-16 представляются на  
 20 выходе второго выходного ключа 133 отрицательными полусинусоидами той же частоты.

С приходом в счетчик 137 импульса 480-го дискретизации строки сигнал с третьего выхода дешифратора 138 закрывает ключ 136.

Начинается период следующей строки, в котором с самоходного распределителя 68 импульсов первый код строки код из 9-и единиц 111111111 ССИ последовательно  
 25 поступает на третий вход элемента ИЛИ 124, и код СИС с самоходного распределителя 70 импульсов последовательно поступает на второй вход элемента ИЛИ 132. Коды ССИ и СИС являются первыми кодами в строке, причем код СИС является первым кодом в первой строке только правого кадра. Единицы в коде ССИ представляются положительными полусинусоидами, единицы в коде СИС представляются отрицательными  
 30 полусинусоидами. С приходом первого импульса дискретизации строки в счетчик 137 импульсов с первого выхода дешифратора 138 сигнал открывает первый ключ 135, со второго отсчета по 477 отсчет строки формируются коды сигналов  $V_n /V_n/$ . Далее процессы продолжаются.

Спектр амплитудно-модулированного сигнала передатчика 73 /фиг.1/ состоит из  
 35 несущей частоты и двух боковых частот /фиг.15/. Сама несущая и одна из боковых частот в информационном смысле являются избыточными, поэтому в каждом амплитудном модуляторе 75, 77 подавляется несущая частота и отфильтровывается одна из боковых /ненужная/ частот. Амплитудный модулятор 75 выдает в выходной усилитель 76 верхнюю боковую частоту 1866,24 МГц / $f_n + 116,64$  МГц/ от несущей 1749,6 МГц. Амплитудные  
 40 модулятор 77 выдает на вход выходного усилителя 78 нижнюю боковую частоту 1632,96 МГц / $f_n - 116,64$  МГц/. Первый канал передатчика 73 излучает верхнюю и боковую частоту с информацией кодов  $R_n, G_n /R_n, G_n/$ , и при стабильности несущей  $10^{-7}$  занимаемая полоса в эфире  $\pm 186,6$  Гц или 373 Гц. Второй канал излучает нижнюю боковую частоту с информацией кодов  $V_n /V_n/$  и занимает в эфире полосу  $\pm 163$  Гц или 326 Гц. На приемной  
 45 стороне принимаются два радиосигнала блоками 140, 155 /фиг.10/, являющиеся селекторами каналов соответствующих диапазонов с электронной настройкой. Каждый блок включает входную цепь, усилитель радиочастоты и смеситель [8, с.132]. Полосовой фильтр усилителя радиочастоты перестраивается напряжением смещения с блока 139 управления /выбора каналов/. Радиочастотный сигнал через петлю связи поступает на  
 50 смеситель, сюда же с синтезатора 182 частот /выход 3/ подается частота, равная несущей частоте передатчика 73, которая необходима для детектирования однополосного сигнала [9, с.146]. Сигнал со смесителя, являющийся выходным сигналом блока 140 /155/, поступает на вход усилителя 141 /156/ радиочастоты, где усиливается до

необходимой величины и поступает на вход двухполярного амплитудного детектора 142 /157/. Вторые входы синтезатора 182 частот подключены к второй группе выходов блока 139 управления, при включении канала передачи сигнал с соответствующего выхода блока 139 поступает в блок 182 и определяет выход требуемой несущей частоты на третьи входы 5 блоков 140, 155. Двухполярные амплитудные детекторы 142, 157 выполнены по схеме на фиг.12. Диод Д1 выделяет положительную огибающую модулирующего сигнала /фиг.26/. Диод Д2 из модулирующей выделяет огибающие положительных полусинусоид, диод Д3 из модулирующей выделяет огибающие отрицательных полусинусоид /символы единиц кодов  $G_n$ ,  $G_{n'}$ /. Аналогично и в блоке 157 для сигналов  $B_n$  и  $B_{n'}$ . С первого выхода двухполярного 10 амплитудного детектора протектированные положительные полусинусоиды частотой 116,64 МГц поступают на вход формирователя 143 /158/ импульсов, со второго выхода протектированные отрицательные полусинусоиды поступают на вход второго формирователя 144 /159/ импульсов. Формирователи импульсов выполнены по схеме несимметричного триггера с эмиттерной связью [10, с.209], формирующего прямоугольные 15 импульсы из гармонически изменяющихся сигналов. Импульсы имеют одну полярность и длительность, равную длительности импульсов в кодах на передающей стороне. Единицы в кодах теперь представляются наличием импульса, нули - их отсутствием. При включении питания приемной стороны все ключи в закрытом состоянии. Порядок работы определяется сигналами управления с канала нормирования управляющих сигналов. 20 Задающая роль принадлежит блоку 181 выделения синхроимпульсов ССИ. Условием появления ССИ с блока 181 является одновременный приход на счетные входы блока 181 трех кодов из 9-и единиц. С приходом трех кодов из 9-и единиц блок 181 выдает строчный синхроимпульс ССИ, частота их 27 кГц. Импульсы ССИ поступают на первый вход синтезатора 182 частот, и по ним выполняется подстройка частоты в синтезаторе 25 частот под частоту и фазу задающего генератора 64 на передающей стороне. Собственная стабильность частоты синтезатора 182 частот  $10^{-6}$ . Синтезатор 182 частот выдает: с первого выхода тактовые импульсы  $U_T$  116,64 МГц, со второго выхода - импульсы дискретизации кодов звука 81 кГц  $/U_{\text{выд}}/$ , с третьего - синусоидальные колебания несущей частоты, с четвертого - импульсы 12,96 МГц дискретизации кодов на вторые входы 30 декодеров 145, 150, 160 и на сигнальный вход ключа 183, с пятого - импульсы дискретизации кодов 25,92 МГц на третьи входы декодеров 145, 150, 160 и в блоки 146, 151, 161 обработки кодов, с шестого - импульсы 50 Гц частоты кадров, с седьмого выхода - импульсы 27 кГц частоты строк, с восьмого - импульсы дискретизации кодов 51,84 МГц в первые блоки 147, 152, 162 задержек и на третьи входы накопителей 165-170 35 кодов кадра.

Коды видеосигналов с формирователей 143, 144, 158 импульсов в последовательном виде поступают на информационные входы декодеров соответственно 145, 150, 160.

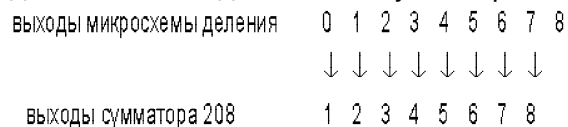
Работа декодеров 145 /150, 160/, фиг.13.

Коды в последовательном виде поступают на информационные вход первого регистра 40 189, на его первый управляющий вход поступают тактовые импульсы 116,64 МГц. Заполняя девять разрядов регистра 189, код приобретает параллельный вид, в котором он в дальнейшем и используется. На второй управляющий вход регистра 189 поступают импульсы дискретизации 12,96 МГц, являющиеся сигналами  $U_{\text{выд}}$ . С регистра 189 коды выдаются с частотой 12,96 МГц в накопитель 190 кодов строки, объем которого 45 составляет 480 9-разрядных кодов. Накопитель 190 производит прием кодов строки, которые выдаются из него сигналами 12,96 МГц с ключа 199, и только в момент закрытого состояния ключа 199 накопитель 190 накапливает коды. Исходное состояние ключей в блоке 192 открытое, в блоке 194 закрытое, ключей 199 и 200 открытое, ключа 197 открытое и ключа 198 закрытое. В 1-8 разряды второго регистра 191 поступают 1-8 50 информативные сигналы кода, а при наличии в девятом разряде сигнала опознавания кода числа равных кодов он поступает в девятый разряд регистра 191. С регистра 191 код выдается сигналом  $U_{\text{выд}}$  с ключа 200 уже с частотой дискретизации 25,92 МГц. Пока в регистр 191 поступают коды без сигнала в 9-м разряде, эти коды при выдаче с регистра



191 поступают через открытые ключи блока 192 в третий регистр 193, а с него выдаются сигналом  $U_{\text{выд1}}$  с выхода ключа 197, который и обнуляет разряды регистра 193. При поступлении в регистр 191 кода с сигналом в девятом разряде сигнал с девятого разряда закрывает ключи в блоке 192, закрывает ключи 199 и 200, закрывает ключ 197 и

5 открывает ключ 198 и ключи в блоке 194. Выдача кодов с регистра 101 прерывается, и накопитель 190 выполняет накопление кодов строки, так как в него продолжают поступать коды. Код числа равных кодов через открытые ключи блока 194 поступает в вычитающий счетчик 195 импульсов, на счетный вход которого с ключа 198 поступают счетные импульсы 25,92 МГц. Импульс с ключа 198 поступает в счетчик 195 импульсов /микросхема 10 100ИЕ137 с временем срабатывания 10,5 нс [7, с.428] / и как сигнал  $U_{\text{выд2}}$  поступает на управляющий вход третьего регистра 193 и выдает содержащийся в нем код, но не обнуляет разряды регистра 193. Поэтому, пока идет работа счетчика 195 по вычитанию, выдается из регистра 193 один и тот же код, которые являются кодами, изъятыми из потока кодов при сжатии информации. С выхода регистра 193 идет восстановленный на 15 100% поток кодов. С регистра 193 идут уже только 8-разрядные коды с дискретизацией 25,92 МГц. При окончании вычитания в дешифратор 196 поступает код из нулей 00000000, с выхода дешифратора 196 сигнал одновременно закрывает ключи в блоке 194, закрывает ключ 198 и открывает ключи в блоке 192 и ключи 197, 199 и 200. С накопителя 190 опять выдаются коды в регистр 191, с него через открытые ключи блока 192 в регистр 193, и процессы повторяются. Пропускная способность декодеров определяется временем срабатывания счетчика 195 /10,5 нс/ плюс время срабатывания дешифратора 196 /18 нс/. Скорость восстановления потока кодов до 35 Мбайт/с, удовлетворяющая быстродействию кодеров 55-60, составляющему 30 Мбайт/с. Восстановленные потоки кодов уже с дискретизацией 25,92 МГц и числом кодов в строке 960 отсчетов поступают в блоки 146, 25 151, 161 обработки кодов, которые выполняют удвоение отсчетов в каждой строке с 960 в 1920 получением промежуточных кодов /средних/ между каждым прошедшим кодом и следующим за ним. Блоки выполняют сложение предыдущего и последующего кодов и деление кода суммы попалам. Деление выполняется без затрат времени по принципу отбрасывания младшего разряда, как это делается при делении десятичного числа на 30 десять. Для этого выполняется соответствующее подключение выходов микросхемы деления с выходами блока сумматора 208 /фиг.14/:



35 Разряд 0 означает перенос в старший разряд при сумме кодов. Удвоение отсчетов в строке сокращает период следования кодов в два раза, который составляет  $19 \text{ нс} \cdot \frac{38 \text{ нс}}{2} \cdot i_1$

40 т.е. 51,84 МГц. Поэтому процесс сложения должен занимать 19 нс: от поступления кодов в сумматор 208 и появления результата на его выходе должно пройти 19 нс. После включения питания в регистрах 204-207 нули. С приходом первого импульса 25,92 МГц в триггер 201 с его первого выхода сигнал  $U_{\text{выд1}}$  одновременно: выдает из регистра 205 "код 0" /из одних нулей/ на первые входы сумматора 208, из регистра 206 выдает код "код 0" на вход блока 210 задержек и через диоды на вторые входы сумматора 208 /сигналы 45 выдачи и обнуляют регистры/ и открывает на время своей длительности ключи в блоке 202, через ключи которого "код 1" поступает в регистры 204, 205. Сумматор выполняет сложение «код 0+код 0». Сумматор 208 из микросхем с временем сложения 19 нс. С приходом второго импульса на вход триггера 201 он выдает код суммы из сумматора 208 на выход, при котором код суммы делится на два. Первый код с блока 146 код № 1

50  $\frac{\text{код}0 + \text{код}0}{2}$  А сигнал со второго выхода триггера  $U_{\text{выд2}}$  одновременно: выдает с регистра

207 "код 0" в сумматор 208, из регистра 204 "код 1" в блок 209 задержек и через диоды в сумматор 208, открывает ключи в блоке 203, и "код 2" заполняет освободившиеся

регистры 206, 207. Блоки 209 и 210 выполняют задержку кодов на 38 нс. А так как половина /первая/ задержки 19 нс приходится на время сложения в сумматоре, то через 19 нс с блока 210 задержки на выход следует код №2 "код 0". В это же время сумматор выполняет сложение "код 0+код 1", а с приходом третьего импульса на вход триггера 201 из сумматора 208 выдается на выход блока 146 код № 3  $\frac{\text{код}0 + \text{код}1}{2}$  через 19 нс за ним

с блока 209 задержка следует код № 4 "код 1". Сигнал с первого выхода триггера  $U_{\text{выд}3}$  одновременно выдает: с регистра 205 в сумматор "код 1", с регистра 206 "код 2" в блок 210 и через диоды в сумматор 208, открывает ключи в блоке 202, и в регистры 204, 205 поступает код "код 3". Сумматор выполняет сложение "код 1+код 2", и с выхода его следует код № 5  $\frac{\text{код}1 + \text{код}2}{2}$ . Через 19 нс за ним идет код с блока 210 код № 6 "код 2".

С приходом в триггер 201 четвертого импульса сигнал  $U_{\text{выд}4}$  со второго выхода триггера выдает одновременно: с регистра 207 "код 2" в сумматор 208, с регистра 204 "код 3" в блок 209 и через диоды в сумматор, который выполняет сложение "код 2+код 3", открывает ключи в блоке 203, и в регистры 206, 207 поступает "код 4". С приходом пятого импульса на вход триггера выдается из сумматора код № 7  $\frac{\text{код}2 + \text{код}3}{2}$ . Через 19

нс за ним следует код №8 "код 3" с блока 209. Сигнал  $U_{\text{выд}5}$  с первого выхода триггера 201 одновременно выдает: "код 3" с регистра 205 в сумматор, открывает ключи в блоке 202, регистры 204 и 205 заполняются следующим кодом "код 5", выдает с регистра 206 "код 4" в блок 210 и через диоды в сумматор. Сумматор выполняет сложение "код 3+код 4". С приходом в триггер 201 шестого импульса из сумматора выдается код № 9  $\frac{\text{код}3 + \text{код}4}{2}$ .

Далее процессы повторяются. Выходы сумматора 208, блоков 209, 210 задержек поразрядно объединены и являются выходами блока 146. С выходов блоков 146, 151, 161 коды в параллельном виде с частотой 51,84 МГц поступают: с блока 146 на входы первого блока 147 задержек, на входы второго блока 149 задержек и на первые входы сумматора 148, с блока 151 на входы первого блока 152 задержек, на входы второго блока 154 задержек и на первые входы сумматора 153, с блока 161 на входы соответственно блоков 162, 164, 163. Затем следует удвоение строк в кадре, для чего необходимо задержать коды текущей строки относительно следующей на длительность 37 мкс. Задержку выполняют блоки задержек 147, 152, 162. При развертке кадра на передающей стороне развертка нечетной строки относительно четной идет встречно, следовательно, через строку нужно менять последовательность выдачи кодов отсчетов строк, что и выполняет первый блок задержек 147, 152, 162.

С приходом на первый вход элемента И 211 /фиг.16/ импульса 50 Гц и на второй вход импульса строки 27 кГц с выхода его сигнал открывает ключ 212, пропускающий импульсы 51,84 МГц в распределитель 214 импульсов. Тактовые импульсы с блока 214 последовательно с первого по 1920-й выходы поступают на первые входы разрядов восьми регистров 216<sub>1-8</sub>. На 1-8 информационные входы блока 147 поступают сигналы кодов. Сигналы первых разрядов кодов поступают на вторые входы разрядов первого регистра 216<sub>1</sub>, сигналы вторых разрядов кодов поступают на вторые входы разрядов регистра 216<sub>2</sub> и т.д., сигналы восьмых разрядов кодов поступают на вторые входы разрядов 8-го регистра 216<sub>8</sub>. За период первой строки идет накопление кодов в регистрах 216<sub>1-8</sub>. Во втором периоде строки идет последовательная выдача 1920 кодов первой строки из регистров 216 в сумматор 148 на вторые его входы, одновременно идет заполнение освобождающихся разрядов регистров 216 сигналами разрядов следующей строки. Выдача кодов выполняется переднем фронтом тактовых импульсов, занесение поступающих сигналов кодов производится этим же импульсом. Так как развертка второй строки идет встречно к первой строке, выдача кодов первой строки с регистров 216 идет в обратном порядке: начинается с 1920-го разряда к первому, и занесение кодов второй строки в

регистры 216 тоже идет начиная с 1920-го разряда к первому. Выполняется это вторым распределителем 215 импульсов, выходы которого подключены к первым входам разрядов регистров 216<sub>1-8</sub> в обратном порядке /фиг.16/. В периоде третьей строки выдача кодов идет опять с блока 214 от первого разряда к 1920-му.

5 Сумматоры 148, 153, 163 выполняют сложение кодов одноименных отсчетов текущей и задержанной строки. На первые входы сумматора приходят коды текущей строки с блока 146 /151, 161/, на вторые входы приходят коды, задержанные на 37 мкс, с блока 147 /152, 162/. Сумматоры 148, 153, 163 идентичны, выполнены из микросхем с временем сложения 19 нс. Деление кода суммы на два выполняется соответствующим подключением  
10 выходов сумматора к входам своего накопителя кодов кадра /165-170/, аналогично, как в блоках 146, 151, 161. Вторые блоки 149, 154, 164 задержек выполняют задержку кодов на 19 нс, на время сложения сумматорами, чтобы одноименные коды текущей и полученной промежуточной строк поступали в накопители 165-170 кодов кадра синхронно. Коды текущих 540 строк сигнала R с блока 149 поступают в накопитель 166 кодов, коды  
15 промежуточных 540 строк сигнала R, с сумматора 148 поступают в накопитель 165 кодов кадра, аналогично коды текущих 540 строк сигнала G поступают в накопитель 168, коды промежуточных 540 строк поступают в накопитель 167, коды текущих 540 строк сигнала B поступают в накопитель 170 кодов кадра, коды промежуточных 540 строк сигнала B поступают в накопитель 169 кодов кадра.

20 Работа блоков 217<sub>1-540</sub> регистров, фиг.18, 19.

Сигналы разрядов кодов поступают в параллельном виде на третьи входы разрядов регистров 221<sub>1-8</sub>. Заполнение регистров кодами строки начинается с открытием импульсом 50 Гц первого ключа 218, который пропускает импульсы дискретизации  $U_d$  51,84 МГц на вход распределителя 220. Импульсы с выходов блока 220 последовательно поступают на  
25 первые управляющие входы разрядов 8 регистров 221. По заполнению регистров 221<sub>1-8</sub> с последнего выхода 1920-го блока 220 сигнал закрывает ключ 218 и в качестве управляющего выходного сигнала открывает первый ключ 218 во втором блоке 217<sub>2</sub>, регистры которого заполняются кодами второй строки. За период кадра 20 мс последовательно заполняются регистры 221 всех блоков 217<sub>1-540</sub> в накопителях 165-170  
30 кодов кадра. По заполнению регистров во всех 540 блоках 217 выходной сигнал с последнего блока 217<sub>540</sub> регистров открывает во всех блоках 217 /вход 4/ вторые ключи 219, которые пропускают один импульс  $U_{\text{выд}}$  /27 кГц/, который одновременно выдает из всех блоков 217<sub>1-540</sub> накопителей 165-170 кодов кадра все коды кадра параллельно в свои  
35 блоки 171-176 формирователем управляющих сигналов и обнуляет разряды регистров 221<sub>1-8</sub> в блоках 217. Каждый накопитель 165-170 кодов кадра имеет с первого по 8294400 выходов /1920×8×540/, которые подключены к скольким же входам в каждом из блоков 171-176, каждые из которых имеет в своем составе с первого по 1036800 /1920×540/ преобразователей "код - длительность излучения". Выходы блоков 171-176 всего 6220800 /1036800×6/ подключены к стольким же входам 6220800 в экране 177 /фиг.10/. В связи с  
40 большим числом соединений от шести накопителей 165-170 кодов кадра к шести блокам 171-176 формирователей управляющих сигналов 49766400 /1926×8×540×6/ и от них к светодиодам экрана 177 6220800 /1920×1080×3/ лучшим вариантом для их надежной работы будет исполнение накопителей кодов кадра и блоков формирования управляющих  
45 сигналов на тыльной стороне экрана 177 в единой с ним монолитной и неразборной конструкции.

Работа системы стереотелевидения.

Фотоэлектрический преобразователь 1 формирует аналоговые видеосигналы правого и левого кадров стереопары, которые преобразуются АЦП 49-54 в 8-разрядные коды с  
50 дискретизацией 25,92 МГц. Коды поступают в свои кодеры 55-80, выполняющие сжатие потока кодов видеосигналов с коэффициентом от 2 до 255. Принимая степень сжатия в два раза, выдача кодов из кодеров выполняется уже с дискретизацией 12,96 МГц. С выходов кодеров 55-80 в формирователи 66, 67 кодов будут поступать максимально в строке 480 кодов при дискретизации 12,96 МГц. В блоке 66 коды из параллельных преобразуются в

последовательные и к ним добавляются первым кодом строки строчные синхроимпульсы ССИ, последними тремя отсчетами строки три кода звука З в 1, в блоке 67 к кодам видеосигналов добавляются первым кодом строки синхроимпульсы ССИ и СИС, в последние три отсчета строки три кода звука З в 2. Единицы в кодах заменяются на

5 положительные и отрицательные полусинусоиды моночастоты 116,64 МГц. Информация кодов правого и левого кадра передается верхней и нижней боковыми частотами одной несущей частоты. Приемная сторона принимает два радиосигнала двумя трактами приема и обработки кодов, производит детектирование, выделяет синхроимпульсы СИС и ССИ. Синтезатор 182 частот воспроизводит несущую частоту. Представление единиц в кодах

10 возвращается к импульсам. Коды сигналов R, G, B направляются по своим каналам. После декодирования потоков кодов декодерами 145, 150, 160 /фиг.10/ число отсчетов в строках восстанавливается в 960. Видеорежим с декодеров идет 960×540×50 Гц при дискретизации 25,92 МГц. В каждом канале выполняется удвоение отсчетов в строке с 960 в 1920, удвоение строк в кадре с 540 в 1080. С выходов накопителей 165-170 кодов

15 кадра идет видеорежим 1920×1080×50 Гц при дискретизации кодов 51,84 МГц. За период кадра 20 мс в шести накопителях кодов кадра сосредотачиваются все коды кадра /6220800/. С окончанием кадра 6220800 кодов синхронно выдаются в блоки 171-176, в которых определяется длительность излучения каждым из светодиодов экрана 177. Отпадает необходимость в строчной и кадровой развертках. Объемным изображением

20 зритель получает через 3D-очки 179. Технические характеристики системы приведены в таблице. Первый 187 и второй 188 каналы воспроизведения воспроизводят стереозвук. Коды звука преобразуются в аналоговые сигналы, усиливаются и воспроизводятся громкоговорителями. Исполнение приемной стороны следует выполнить из двух частей. В

25 первую включить тракты приема и обработки кодов, канал нормирования управляющих сигналов и каналы звука, во вторую часть включать накопители 165-170 кодов и блоки 171-176 и СД-экран 177. Вторую часть выполнить единой и неразборной конструкцией.

Использованные источники

1. "Домашний компьютер", № 12, 2005, с.26-28, 32.
2. Патент № 2246800, кл. H04N 15/00, бюл. № 5 от 20.02.05, прототип.
3. Колесниченко О.В, Шишигин И.В. Аппаратные средства РС. 5-е изд, СПб., 2004, с.558-565.
4. Радио, № 8, 2004, с.9, Радио № 9, 2004, с.9, 47.
5. Шумилин и др. Радиопередающие устройства. М., 1981, с.234-235.
6. Фридлянд И.В., Сошников В.Г. Системы автоматического регулирования в устройствах
- 35 видеозаписи. М., 1988, с.118, с.122 рис.5.10.
7. Цифровые интегральные микросхемы. Минск, 1991, с.279, 272, рис.2, 190, с.156, 428.
8. Бродский М.А. Телевизоры цветного изображения. Минск, 1988, с.132, рис.4.2.
9. Радиосвязь, вещание и телевидение. Под ред. А.Д.Фортушенко. М., 1981, с.146.
10. Баркан В.Ф, Жданов В.К. Усилительная и импульсная техника. М., 1984, с.209.

40

Таблица.

Технические характеристики	Значения
Передающая сторона	
Несущая частота	1749,6 МГц
Передача кодов сигналов R <sub>п</sub> , G <sub>п</sub> , R <sub>л</sub> , G <sub>л</sub>	1866,24 МГц верх. бок.
V <sub>п</sub> , V <sub>л</sub> , ССИ, СИС	1632,96 МГц ниж. бок.
Занимаемые полосы в эфире	373 Гц и 326 Гц
Тактовая частота на передающей стороне	116,64 МГц
Видеорежим на выходе АЦП видеосигналов	960×540×50 Гц
Частота дискретизации на выходе АЦП	25,92 МГц
Видеорежим на выходе кодеров	480×540×50 Гц
45 Частота дискретизации	12,96 МГц
Частота кадров/частота стереопар	50 Гц/25 Гц
Частота строк	27 кГц
Кодирование видеосигналов	8 разрядов, 255 уров.
Приемная сторона	

50

	Принимаемым видеорежим	480×540×50 Гц
	Дискретизация видеосигналов	12,96 МГц
	Видеорежим на выходе декодеров	960×540×50 Гц
	Дискретизация на выходе декодеров	25,92 МГц
5	Воспроизводимый видеорежим	1920×1080×50 Гц
	при дискретизации кодов	51,84 МГц
	Число строк/число отсчетов в строке	1080/1920
	Частота строк/частота кадров	-/50 Гц
	Разрешение в кадре	2073600/1920×1080/
10	Размер плоскопанельного экрана	1920×1080, мм, диагональ 2200 мм, 86".
	Восприятие объемного изображения	через 3D-очки
	Формат кадра	16:9

### Формула изобретения

15 Система стереотелевидения, содержащая передающую сторону, включающую фотоэлектрический преобразователь, с первого по шестой аналого-цифровые преобразователи (АЦП), входы которых подключены к соответствующим выходам фотоэлектрического преобразователя (ФЭП), первый и второй АЦП сигнала звука, на

20 информационные входы которых поданы сигналы звукового сопровождения, последовательно соединенные генератор синусоидальных колебаний и синтезатор частот, первый триггер, первый и второй ключи, первый выход триггера подключен к первому управляющему входу первого ключа и к второму управляющему входу второго ключа, второй выход триггера подключен к второму управляющему входу первого ключа и к

25 первому управляющему входу второго ключа, выход первого ключа подключен параллельно к управляющим входам первого - третьего АЦП, выход второго ключа подключен параллельно к управляющим входам четвертого - шестого АЦП, передающая сторона включает первый формирователь кодов, соответствующий информационный вход которого подключен к выходу первого АЦП сигнала звука, а с первого по третий

30 управляющие входы подключены к соответствующим выходам синтезатора частот, второй формирователь кодов, второй информационный вход которого подключен к выходу второго АЦП сигнала звука, а с первого по третий управляющие входы подключены к соответствующим выходам синтезатора частот, первый самоходный распределитель импульсов, выходы которого объединены и подключены к соответствующему

35 информационному входу первого формирователя кодов и к третьему информационному входу второго формирователя кодов, второй самоходные распределитель импульсов, выходы которого объединены и подключены к четвертому информационному входу второго формирователя кодов, счетчик импульсов, счетный вход которого объединен с

40 управляющим входом первого самоходного распределителя импульсов, выход второго разряда счетчика импульсов подключен к управляющему входу второго самоходного распределителя импульсов, а управляющей вход счетчика импульсов подключен к соответствующему выходу синтезатора частот, одноименные первые, вторые, третьи

45 управляющие входы первого и второго АЦП сигнала звука объединены и подключены к соответствующим выходам синтезатора частот, и передатчик радиосигналов, содержащий два канала, первый включает последовательно соединенные усилитель несущей частоты, вход которого подключен к соответствующему выходу синтезатора частот, амплитудный

50 амплитудный модулятор, первый вход которого подключен к выходу усилителя несущей частоты в первом канале, и выходной усилитель, второй вход амплитудного модулятора первого канала подключен к выходу первого формирователя кодов, второй вход амплитудного модулятора второго канала подключен к выходу второго формирователя кодов, ФЭП содержит первый объектив, последовательно соединенные первый усилитель и первый пьезодефлектор с отражателем на торце, расположенным в фокальной плоскости первого объектива, первый источник положительного опорного напряжения, выход которого

подключен к вторым входам первого усилителя и первого пьезодефлектора, второй источник отрицательного опорного напряжения, выход которого подключен к третьим входам первого усилителя и первого пьезодефлектора, последовательно соединенные второй усилитель и второй пьезодефлектор, свободный торец которого выполнен из двух 5 граней под соответствующим углом друг к другу, каждая грань имеет свой отражатель, первый отражатель второго пьезодефлектора оптически соединен с отражателем первого пьезодефлектора, третий источник положительного опорного напряжения, выход которого подключен к вторым входам второго усилителя и второго пьезодефлектора, четвертый источник отрицательного опорного напряжения, выход которого подключен к третьим 10 входам второго усилителя и второго пьезодефлектора, содержит второй объектив, расположенный слева от первого объектива на соответствующем расстоянии и оптическая ось которого параллельна оптической оси первого объектива, последовательно соединенные третий усилитель и третий пьезодефлектор с отражателем на торце, расположенным в фокальной плоскости второго объектива и оптически соединенный со 15 вторым отражателем второго пьезодефлектора, пятый источник положительного опорного напряжения, выход которого подключен к вторым входам третьего усилителя и третьего пьезодефлектора, шестой источник отрицательного опорного напряжения, выход которого подключен к третьим входам третьего усилителя и третьего пьезодефлектора, блок строчной развертки, вход которого подключен к соответствующему выходу синтезатора 20 частот, а выход подключен к входам первого и третьего усилителей, блок кадровой развертки, включающий последовательно соединенные элемент И, первый и второй входы которого подключены к соответствующим выходам синтезатора частот, задающий генератор и суммирующий усилитель, второй вход которого подключен к первому входу элемента И, управляющий вход суммирующего усилителя подключен к выходу элемента И, 25 выход суммирующего усилителя является выходом блока кадровой развертки и подключен к первому входу второго усилителя, ФЭП включает первое и второе дихроичные зеркала, расположенные последовательно друг за другом и против первого отражателя второго пьезодефлектора, первый, второй, третий микрообъективы, первый, второй, третий фотоприемники, первый, второй, третий предварительные усилители, входное окно 30 первого фотоприемника оптически соединено через первый микрообъектив и первое дихроичное зеркало с первым отражателем второго пьезодефлектора, входное окно второго фотоприемника оптически соединено через второй микрообъектив и сквозь оба дихроичных зеркала с первым отражателем второго пьезодефлектора, входное окно 35 третьего фотоприемника через третий микрообъектив, второе дихроичное зеркало и сквозь первое дихроичное зеркало оптически соединено с первым отражателем второго пьезодефлектора, выходы первого, второго, третьего фотоприемников подключены к входам соответственно первого, второго, третьего предварительных усилителей, выходы которых являются первым, вторым, третьим выходами ФЭП, который содержит третье и четвертое дихроичные зеркала, расположенные последовательно друг за другом и против 40 второго отражателя второго пьезодефлектора, четвертый, пятый, шестой микрообъективы, четвертый, пятый, шестой фотоприемники, четвертый, пятый, шестой предварительные усилители, входное окно четвертого фотоприемника оптически соединено через четвертый микрообъектив и третье дихроичное зеркало с вторым отражателем второго пьезодефлектора, входное окно пятого фотоприемника оптически соединено через пятый 45 микрообъектив и сквозь оба дихроичных зеркала с вторым отражателем второго пьезодефлектора, входное окно шестого фотоприемника оптически соединено через шестой микрообъектив, четвертое дихроичное зеркало и сквозь третье дихроичное зеркало с вторым отражателем второго пьезодефлектора, выходы четвертого-шестого фотоприемников подключены к входам четвертого-шестого предварительных усилителей, 50 выходы которых являются четвертым, пятым, шестым выходами ФЭП, с первого по шестой АЦП идентичны, каждый содержит последовательно соединенные усилитель и пьезодефлектор с отражателем на торце, источник положительного опорного напряжения, выход которого подключен к вторым входам усилителя и пьезодефлектора, источник

отрицательного опорного напряжения, выход которого подключен к третьим входам усилителя и пьезодефлектора, излучатель из импульсного светодиода, щелевой диафрагмы и микрообъектива, и шифратор, выходы которого являются выходами АЦП, управляющим входом является вход импульсного светодиода, первый формирователь

5 кодов включает три канала, первый и второй каналы идентичны, выходы трех каналов объединены, первый канал включает последовательно соединенные блок элементов И, первый и второй элементы ИЛИ и выходной ключ, и самоходный распределитель импульсов, второе канал включает последовательно соединенные блок элементов И, третий и четвертый элементы ИЛИ и выходное ключ, и самоходный распределитель

10 импульсов, вторые входы блоков элементов И подключены к выходам самоходного распределителя импульсов своего канала, выходы выходных ключей объединены и являются выходом первого формирователя кодов, третий канал включает первый и второй блоки элементов И, пятый и шестой элементы ИЛИ, входы которых подключены к выходам соответственно первого и второго блоков элементов И, выход пятого элемента ИЛИ

15 подключен к второму входу второго элемента ИЛИ в первом канале, выход шестого элемента ИЛИ подключен к второму входу четвертого элемента ИЛИ во втором канале, и два самоходных распределителя импульсов, выходы которых подключены к вторым входам соответствующих блоков элементов И, включает первый и второй ключи, выход первого ключа подключен к входам самоходное распределителей импульсов первого и

20 второго каналов, выход второго ключа подключен к входам самоходных распределителей импульсов третьего канала, последовательно соединенные счетчик импульсов и дешифратор, первый выход которого подключен к первому управляющему входу первого ключа, второй выход подключен к второму управляющему входу первого ключа и к первому управляющему входу второго ключа, третий выход является вторым выходом первого

25 формирователя кодов, подключенный к объединенным входам счетного входа счетчика импульсов и первого самоходного распределителя импульсов передающей стороны, четвертым информационным входом первого формирователя кодов является третий вход четвертого элемента ИЛИ, первым управляющим входом являются объединенные сигнальные входы первого и второго ключей и счетный вход счетчика импульсов, вторым

30 управляющим входом являются объединенные сигнальные входы выходных ключей, третьим - управляющий вход счетчика импульсов, и содержащая приемную сторону, включающую антенну, блок управления, первый и второй тракты приема и обработки кодов видеосигналов, входы которых подключены к антенне, канал формирования управляющих сигналов, устройство отображения видеоинформации и два канала воспроизведения звука,

35 первый тракт приема и обработки кодов видеосигналов содержит последовательно соединенные блок приема радиосигнала, первый вход которого подключен к антенне, вторая группа входов подключена к первой группе выходов блока управления, усилитель радиочастоты и двухполярный амплитудный детектор, первый и второй формирователи импульсов, подключенные соответственно к первому и второму выходам двухполярного амплитудного детектора, и канал сигнала R, содержащий последовательно соединенные

40 блок обработки кодов, первый блок задержек и сумматор, и второй блок задержек, входы которого и первые входы сумматора подключены к выходам блока обработки кодов, вторые входы сумматора подключены к выходам первого блока задержек, второй тракт приема и обработки кодов видеосигналов содержит последовательно соединенные блок приема

45 радиосигнала, первый вход которого подключен к антенне, вторая группа входов подключена к первой группе выходов блока управления, усилитель радиочастоты и двухполярный амплитудный детектор, первый и второй формирователи импульсов, подключенные соответственно к первому и второму выходам двухполярного амплитудного детектора, и канал сигнала B, включающий последовательно соединенные блок обработки

50 кодов, первый блок задержек и сумматор, и второй блок задержек, входы которого и первые входы сумматора подключены к выходам блока обработки кодов, вторые входы сумматора подключены к выходам первого блока задержек, канал формирования управляющих сигналов включает последовательно соединенные блок выделения строчных

синхроимпульсов (ССИ), синтезатор частот, ключ, счетчик импульсов и дешифратор, первый выход которого подключен параллельно к первым управляющим входам первого и второго каналов воспроизведения звука, второй выход подключен параллельно к вторым управляющим входам первого и второго каналов воспроизведения звука, к управляющему

5 входу счетчика импульсов и к второму управляющему входу ключа, первый вход блока выделения ССИ подключен к выходу первого формирователя импульсов первого тракта приема и обработки кодов видеосигналов, третий вход блока выделения ССИ подключен к выходу первого формирователя импульсов второго тракта приема и обработки кодов видеосигналов, выход блока выделения ССИ подключен к первому управляющему входу

10 ключа и к первому управляющему входу синтезатора частот, вторая группа управляющих входов которого подключена к второй группе выходов блока управления, одноименные третьи и четвертые управляющие входы первого и второго каналов воспроизведения звука объединены и подключены к соответствующим выходам синтезатора частот, первый и второй информационные входы первого канала воспроизведения звука подключены:

15 соответственно к выходам первого и второго формирователей импульсов первого тракта приема и обработки кодов видеосигналов, блоки обработки кодов идентичны, каждая включает триггер, вход которого является управляющим входом блока, с первого по четвертый регистры и два блока задержек, входы первого и второго регистров поразрядно объединены, выходы второго регистра подключены к первым входам сумматора, к которым

20 через диоды подключены выходы первого регистра, входы третьего и четвертого регистров поразрядно объединены, выходы четвертого регистра подключены к вторым входам сумматора, к которым через диоды подключены выходы третьего регистра, первый выход триггера подключен к управляющим входам третьего и второго регистров, второй выход триггера подключен к управляющим входам первого и четвертого регистров, первые блоки

25 задержек идентичны, каждый включает последовательно соединенные элемент И и первый ключ, второй ключ, первый и второй распределители импульсов, восемь регистров, каждый из которых содержит число разрядов по числу отсчетов в строке, информационными входами являются поразрядно объединенные вторые входы разрядов восьми регистров, выходами являются поразрядно объединенные выходы разрядов с первого по восьмой

30 регистров, первым и вторым управляющим входами являются первый и второй входы элемента И, третьим управляющим входом являются объединенные сигнальные входы первого и второго ключей, выход элемента И подключен к первому управляющему входу первого ключа и к второму управляющему входу второго ключа, выход первого ключа подключен к входу первого распределителя импульсов, выходы которого последовательно

35 подключены к первым входам с первого по последний разряды восьми регистров, последний выход (1920) подключен к второму управляющему входу первого ключа и к первому управляющему входу второго ключа, а через диод к первым входам последних разрядов восьми регистров, выход второго ключа подключен к входу второго распределителя импульсов, выходы которого последовательно с первого по последний

40 подключены к первым входам разрядов восьми регистров в последовательности с последнего разряда регистров к первым разрядам, последний выход второго распределителя импульсов через диод подключен к первым входам первых разрядов восьми регистров и через диод подключен к первому управляющему входу первого ключа и к второму управляющему входу второго ключа, блок выделения строчных синхроимпульсов

45 (ССИ) включает с первого по третий счетчики импульсов, первый и второй элементы И, с первого по третий элементы НЕ и диод, информационными входами являются первый, второй, третий счетные входы счетчиков импульсов, к входам которых подключены соответственно входы первого, второго, третьего элементов НЕ, выходы которых объединены и подключены параллельно к управляющим входам счетчиков импульсов, выходы первого и второго счетчиков импульсов подключены к первому и второму входам

50 первого элемента И, выход которого и выход третьего счетчика импульсов подключены к входам второго элемента И, выход которого является выходом блока выделения ССИ, а через диод подключен к выходам элементов НЕ, отличающаяся тем, что на передающей



стороне системы стереотелевидения введен третий ключ и второй триггер, вход которого и сигнальный вход третьего ключа объединены и подключены к соответствующему выходу синтезатора частот, управляющий вход третьего ключа подключен к выходу элемента И в блоке кадровой развертки ФЭП, выход третьего ключа подключен к входу первого

5 триггера, введены четвертый и пятый ключи, сигнальные входы которых объединены и подключены к соответствующему выходу синтезатора частот, первый управляющий вход четвертого ключа и второй управляющий вход пятого ключа подключены к первому выходу второго триггера, второй управляющий вход четвертого ключа и первый управляющий вход пятого ключа подключены к второму выходу триггера, в первом формирователе первые

10 входы блоков элементов И первого и второго каналов являются соответственно первым и вторым информационными входами, первые входы первого и второго блоков элементов И третьего канала являются третьим информационным входом, третий вход второго элемента ИЛИ подключен к третьему входу четвертого элемента ИЛИ во втором канале, а третий выход дешифратора подключен к второму управляющему входу второго ключа

15 первого формирователя кодов, второй формирователь кодов включает два канала, выходы которых объединены, первый канал содержит последовательно соединенные блок элементов И, первый и второй элементы ИЛИ и выходной ключ, и самоходный распределитель импульсов, второй канал включает последовательно соединенные первый блок элементов И и третий элемент ИЛИ, выход которого подключен к второму входу

20 второго элемента ИЛИ в первом канале, и первый самоходный распределитель импульсов, и включает последовательно соединенные второй блок элементов И, четвертый и пятый элементы ИЛИ и выходной ключ, и второй самоходный распределитель импульсов, вторые входы первого и второго блоков элементов И подключены к выходам соответственно первого и второго самоходных распределителей импульсов, второй формирователь кодов

25 включает первый ключ, выход которого подключен к входу самоходного распределителя импульсов первого канала, второй ключ, выход которого подключен параллельно к входам первого и второго самоходных распределителей импульсов второго канала, последовательно соединенные счетчик импульсов и дешифратор, первый выход которого подключен к первому управляющему входу первого ключа, второй выход подключен к

30 второму управляющему входу первого ключа и к первому управляющему входу второго ключа, третий выход подключен к первому управляющему входу второго ключа, первым информационным входом являются первые входы блока элементов И первого канала, вторые входы блока элементов И подключены к выходам самоходного распределителя импульсов своего канала, вторым информационным входом являются первые входы

35 первого и второго блоков элементов И второго канала, третьим и четвертым информационными входами являются соответственно третий вход второго элемента ИЛИ первого канала и второй вход пятого элемента ИЛИ второго канала, выходом второго формирователя кодов являются объединенные выходы выходных ключей первого и второго каналов, первым управляющим входом являются объединенные сигнальные входы

40 первого, второго ключей и счетный вход счетчика импульсов, вторым управляющим входом являются объединенные сигнальные входы выходных ключей, третьим - является управляющий вход счетчика импульсов, выходы синтезатора частот подключены: первый - к второму входу элемента И в блоке кадровой развертки ФЭП и к управляющему входу счетчика импульсов, второй - к первому входу элемента И в блоке кадровой развертки

45 ФЭП, к третьим управляющим входам первого и второго формирователей кодов и к вторым управляющим входам в первом и втором АЦП сигнала звука, третий - к сигнальным входам первого и второго ключей, четвертый - к сигнальному входу третьего ключа и к входу второго триггера, пятый - к первым управляющим входам первого и второго формирователей кодов, к сигнальным входам четвертого и пятого ключей и к первым

50 управляющим входам первого и второго АЦП сигнала звука, шестой - к вторым управляющим входам первого, второго формирователей кодов, седьмой - к третьим управляющим входам первого, второго АЦП сигнала звука, восьмой - к входу блока строчной развертки ФЭП, девятый - к входу усилителя несущей частоты в передатчике

радиосигналов, на передающей стороне введены с первого по шестой кодеры, первые - восьмые информационные входы которых подключены к выходам соответственно первого - шестого АЦП, управляющие входы первого - третьего кодеров объединены и подключены к выходу четвертого ключа, управляющие входы четвертого - шестого кодеров объединены и подключены к выходу пятого ключа, выходы первого и четвертого кодеров поразрядно объединены и подключены к первому информационному входу первого формирователя кодов, выходы второго и пятого кодеров поразрядно объединены и подключены к второму информационному входу первого формирователя кодов, выходы третьего и шестого кодеров объединены и подключены к первому информационному входу второго формирователя кодов, кодеры с первого по шестой идентичны, каждый включает последовательно соединенные регистр, схему сравнения, счетчик импульсов и дешифратор, последовательно соединенные блок элементов задержек, блок ключей и накопитель кодов строки, информационным входом являются поразрядно объединенные входы регистра, первые входы схемы сравнения и входы блока элементов задержек, выходами являются с первого по девятый выходы накопителя кодов строки, управляющий вход которого является управляющим входом кодера, выходы регистра подключены к вторым входам схемы сравнения, первый выход которой подключен параллельно к счетному входу счетчика импульсов, к второму управляющему входу блока ключей и к первому управляющему входу регистра, второй и третий выходы схемы сравнения объединены и подключены параллельно к второму управляющему входу регистра, к первому управляющему входу блока ключей, к первому управляющему входу счетчика импульсов и к входу девятого разряда накопителя кодов строки, выходы счетчика импульсов подключены параллельно к входам дешифратора и через диоды к первому - восьмому входам накопителя кодов строки, выход дешифратора подключен к второму управляющему входу счетчика импульсов и через диод к первому управляющему входу блока ключей, к второму управляющему входу регистра, к первому управляющему входу счетчика импульсов и входу девятого разряда накопителя кодов строки, с первого по девятый выходы которого подключены к соответствующему информационному входу соответствующего формирователя кодов, на приемной стороне в первый тракт приема и обработки кодов видеосигналов введен канал сигнала G, содержащий последовательно соединенные блок обработки кодов, первый блок задержек и сумматор, и второй блок задержек, входы которого и первые входы сумматора подключены к выходам блока обработки кодов, вторые входы сумматора подключены к выходам первого блока задержек, в каждые из каналов сигнала R, G, B введен декодер, информационный вход декодера канала R подключен к выходу первого формирователя импульсов первого тракта приема и обработки кодов видеосигналов, информационный вход декодера канала сигнала G подключен к выходу второго формирователя импульсов того же тракта, информационный вход декодера канала сигнала B подключен к выходу первого формирователя импульсов второго тракта приема и обработки кодов видеосигналов, одноименные первые, вторые, третьи управляющие входы всех декодеров объединены и подключены к соответствующим выходам синтезатора частот, с первого по восьмой выходы декодера в каждом канале сигнала R, G, B подключены к информационным входам с первого по восьмой блока обработки кодов своего канала, декодеры идентичны, каждый включает последовательно соединенные первый регистр, накопитель кодов строки, второй регистр, первый блок ключей, содержащий восемь ключей, и третий регистр, последовательно соединенные второй блок ключей, содержащий восемь ключей, вычитающий счетчик импульсов и дешифратор, первый, второй, третий и четвертый ключи, информационным входом декодера является информационный вход первого регистра, выходом декодера являются с первого по восьмой выходы третьего регистра, первым управляющим входом является с первого по восьмой выходы первого регистра, вторым - объединенные второй управляющий вход первого регистра и сигнальный вход третьего ключа, выход которого подключен к управляющему входу накопителя кодов строки, третьим управляющим входом являются объединенные сигнальные входы первого, второго, четвертого ключей, выход четвертого

ключа подключен к управляющему входу второго регистра, выход первого ключа подключен к первому управляющему входу третьего регистра, выход второго ключа подключен к счетному входу вычитающего счетчика импульсов и к второму управляющему входу третьего регистра, выход девятого разряда второго регистра параллельно подключен к  
5 второму управляющему входу первого ключа, к первому управляющему входу второго ключа, к вторым управляющим входам третьего и четвертого ключей, к второму управляющему входу первого блока ключей и к первому управляющему входу второго блока ключей, выход дешифратора подключен параллельно к второму управляющему входу второго блока ключей, к первому управляющему входу первого блока ключей, к  
10 первому управляющему входу первого ключа, к второму управляющему входу второго ключа и к первым управляющим входам третьего и четвертого ключей, в каждый блок обработки кодов введены первый и второй блоки ключей, поразрядно объединенные входы которых являются информационными с первого по восьмой входами блока обработки кодов, управляющий вход первого блока ключей подключен к первому управляющему  
15 выходу триггера, управляющий вход второго блока ключей подключен к второму выходу триггера, выходы первого блока ключей подключены к объединенным поразрядно входам первого и второго регистров, выходы второго блока ключей подключены к объединенным поразрядно входам третьего и четвертого регистров, выходы первого регистра подключены к входам первого блока задержек, выходы третьего регистра подключены к входам второго  
20 блока задержек, выходы сумматора, первого и второго блоков задержек поразрядно объединены и являются первым - восьмым выходами блока обработки кодов, на приемной стороне введены с первого по шестой накопители кодов кадра, с первого по шестой блоки формирования управляющих сигналов, устройство отображения видеоинформации представлено плоскопанельным светодиодным экраном (СД-экран) с ИК-передатчиком,  
25 расположенным на корпусе СД-экрана, и введены 3Д-очки с ИК-приемником на их оправе, накопители кодов кадра идентичны, каждый включает блоки регистров по числу половины строк кадра (540) на СД-экране, информационным входом накопителя кодов кадра являются поразрядно объединенные с первого по восьмой входы 540 блоков регистров, управляющими входами являются: первым - первый управляющий вход первого блока  
30 регистров, вторым - объединенные вторые управляющие входы блоков регистров, третьим - объединенные третьи управляющие входы блоков регистров, каждый управляющий выход предыдущего блока регистров является первым управляющим входом каждого последующего блока регистров, управляющий выход последнего (540) блока регистров параллельно подключен к четвертым управляющим входам всех блоков  
35 регистров, выходами накопителя кодов кадра являются выходы всех (540) блоков регистров, информационные входы первого и второго накопителей кодов кадра подключены к выходам соответственно сумматора и второго блока задержек в канале сигнала R, информационные входы третьего и четвертого накопителей кодов кадра подключены к выходам соответственно сумматора и второго блока задержек в канале  
40 сигнала G, информационные входы пятого и шестого накопителей кодов кадра подключены к входам соответственно сумматора и второго блока задержек в канале сигнала В, блоки регистров идентичны, каждый включает первый и второй ключи, распределитель импульсов и восемь регистров, информационным входом блока регистров являются поразрядно объединенные третьи входы разрядов восьми регистров, выходами являются  
45 параллельные выходы всех разрядов восьми регистров, управляющими входами являются: первым - первый управляющий вход первого ключа, вторым - сигнальный вход второго ключа, третьим - сигнальный вход первого ключа, четвертым - первый управляющий вход второго ключа, последний (1920) выход распределителя импульсов подключен к второму управляющему входу первого ключа и является управляющим выходом, подключенный к  
50 первому управляющему входу следующего блока регистров, выход первого ключа подключен к входу распределителя импульсов, выходы которого последовательно подключены к первым управляющим входам разрядов параллельно восьми регистров, выход второго ключа подключен параллельно к вторым управляющим входам разрядов

восьми регистров и к второму управляющему входу второго ключа, блоки с первого по шестой формирователей управляющих сигналов идентичны, каждый включает генератор импульсов и преобразователи "код - длительность излучения" по числу отсчетов в строке (1920) и числу строк (540) в накопителе кодов кадра ( $1920 \times 540 = 1036800$ ), преобразователи

5 "код - длительность излучения" идентичны, каждый включает последовательно соединенные первый ключ, вычитающий счетчик импульсов, дешифратор и второй ключ, и источник питания светодиода, информационным входом каждого преобразователя являются 1-8 входы вычитающего счетчика импульсов, к счетному входу которого

10 подключен выход первого ключа, выход дешифратора подключен к вторым управляющим входам первого и второго ключей, к сигнальному входу второго ключа подключен источник питания светодиода, первые управляющие входы всех первых и вторых ключей и вход генератора импульсов объединены и являются управляющим входом блока

15 формирователя управляющих сигналов, информационными входами которого являются информационные входы всех вычитающих счетчиков импульсов, выходами блока формирования управляющих сигналов являются выходы всех вторых ключей преобразователей "код - длительность излучения", а сигнальные входы первых ключей

20 всех преобразователей подключены к выходу генератора импульсов, плоскопанельный светодиодный экран содержит элементы матрицы соответственно разрешению кадра и включает экранное стекло и элементы матрицы по числу разрешения кадра ( $1920 \times 1080$ )

25 2073600 элементов, каждый элемент матрицы включает три светодиодных ячейки, каждая из которых излучает один из основных цветов сигналов R, G, B, светодиодная ячейка содержит последовательно расположенные светодиод белого свечения и соответствующий цветной светофильтр, экранное стекло имеет соответствующее углубления, в которых размещаются светодиодные ячейки, управляющие входы светодиодов подключены к

30 соответствующим выходам соответствующих преобразователем "код - длительность излучения" в соответствующих блоках формирования управляющих сигналов, в канал формирования управляющих сигналов введен блок выделения синхроимпульсов стереопар (СИС), включающий первый и второй счетчики импульсов, первый и второй элементы НЕ, первый и второй элементы И и диод, первым, вторым информационными входами

35 являются счетные входы первого и второго счетчиков импульсов, к которым подключены входы соответственно первого и второго элементов НЕ, выходы их объединены и подключены к управляющим входам счетчиков импульсов, выходы первого и второго счетчиков импульсов подключены к входам первого элемента И, выход которого и третий

40 информационный вход блока подключены к входам второго элемента И, выход которого является выходом блока и подключен к входу ИК-передатчика, а через диод подключен к выходам элементов НЕ, третий информационный вход блока выделения СИС подключен к выходу блока выделения ССИ, второй вход которого подключен к выходу второго формирователя импульсов в первом тракте приема и обработки кодов видеосигналов, первый и второй информационные входы второго канала воспроизведения звука

45 подключены к выходам соответственно первого и второго формирователей импульсов второго тракта приема и обработки кодов видеосигналов, выходы синтезатора частот приемной стороны подключены: первый выход к первым управляющим входам декодеров и к третьим управляющим входам первого и второго каналов воспроизведения звука, к

50 четвертым управляющим входам которых подключен второй выход синтезатора частот, третий выход подключен к третьим входам блоков приема радиосигналов, четвертый - подключен параллельно к вторым управляющим входам декодеров и к сигнальному входу ключа канала формирования управляющих сигналов, пятый - к третьим управляющим входам декодеров и к управляющим входам блоков обработки кодов в каналах сигналов R, G, B, шестой - к первым управляющим входам первых блоков задержек и к первым

50 управляющим входам с первого по шестой накопителей кодов кадра и к управляющим входам с первого по шестой блоков формирователей управляющих сигналов, седьмой - подключен к вторым управляющим входам первых блоков задержек и к вторым управляющим входам шести накопителей кодов кадра, восьмой - подключен параллельно к

третьим управляющим входам первых блоков задержек в каналах сигналов R, G, B, к первым управляющим входам сумматоров в каналах сигналов R, G, B и к третьим управляющим входам шести накопителей кодов кадра.

5

10

15

20

25

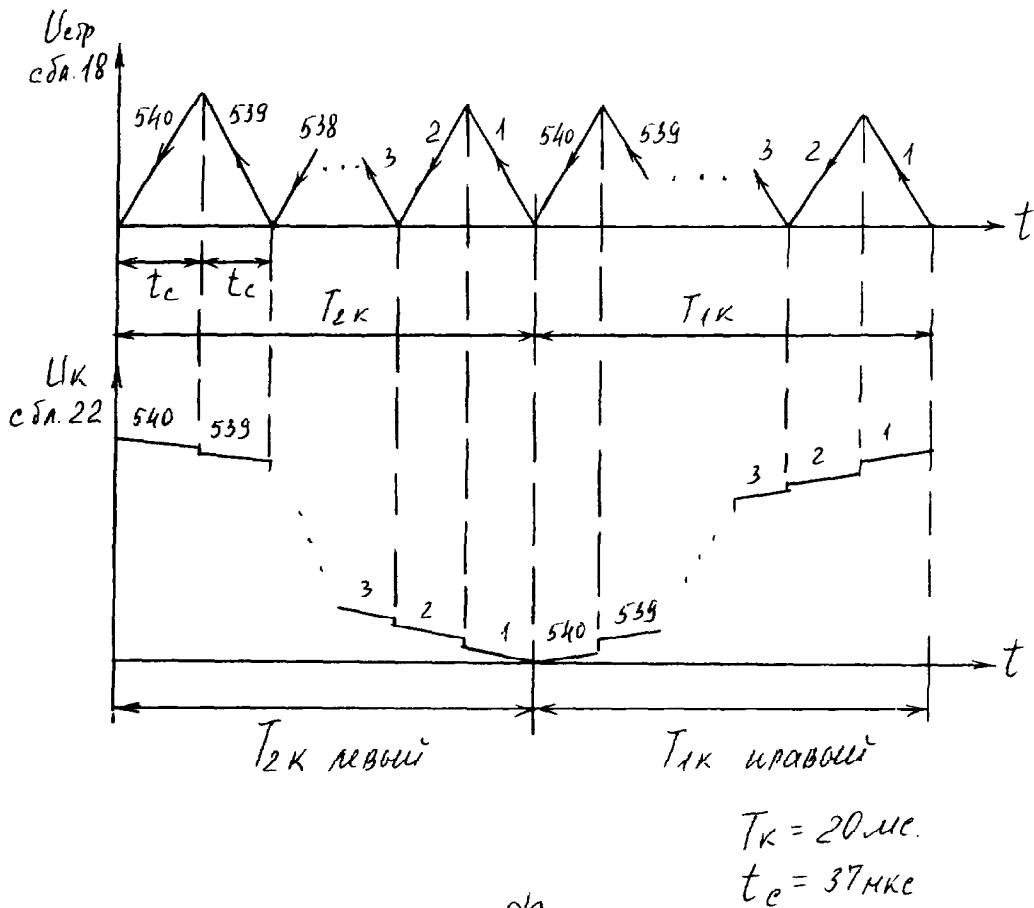
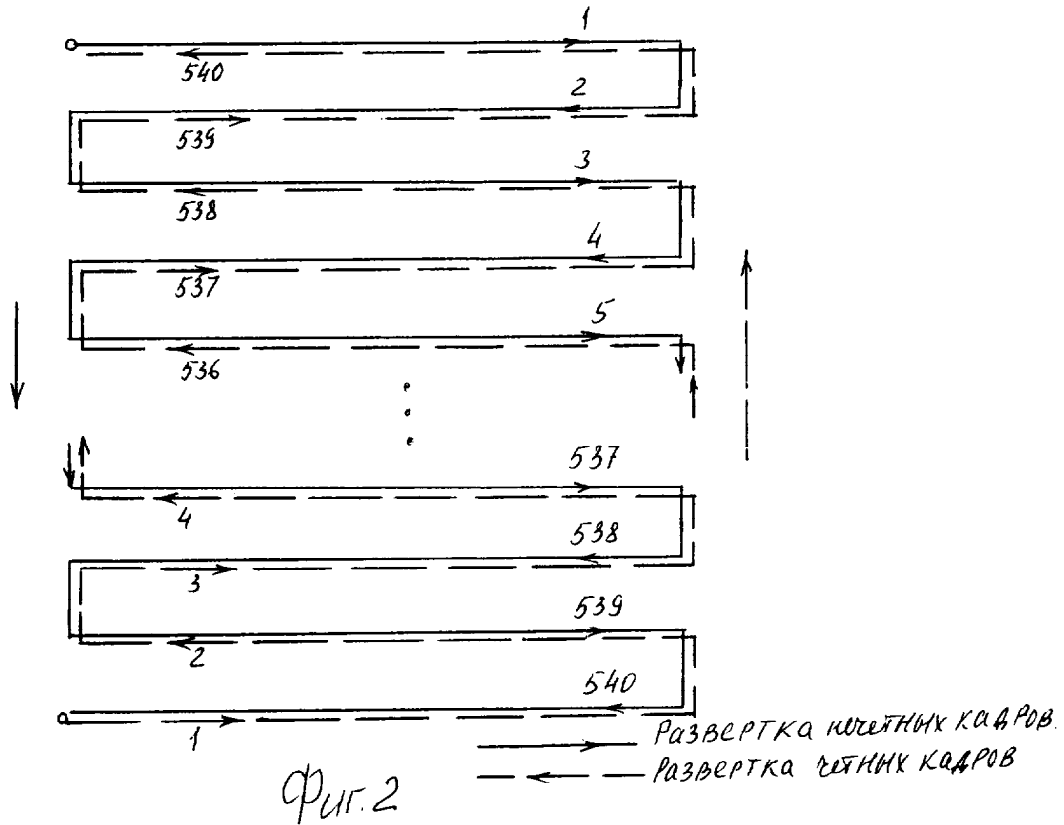
30

35

40

45

50



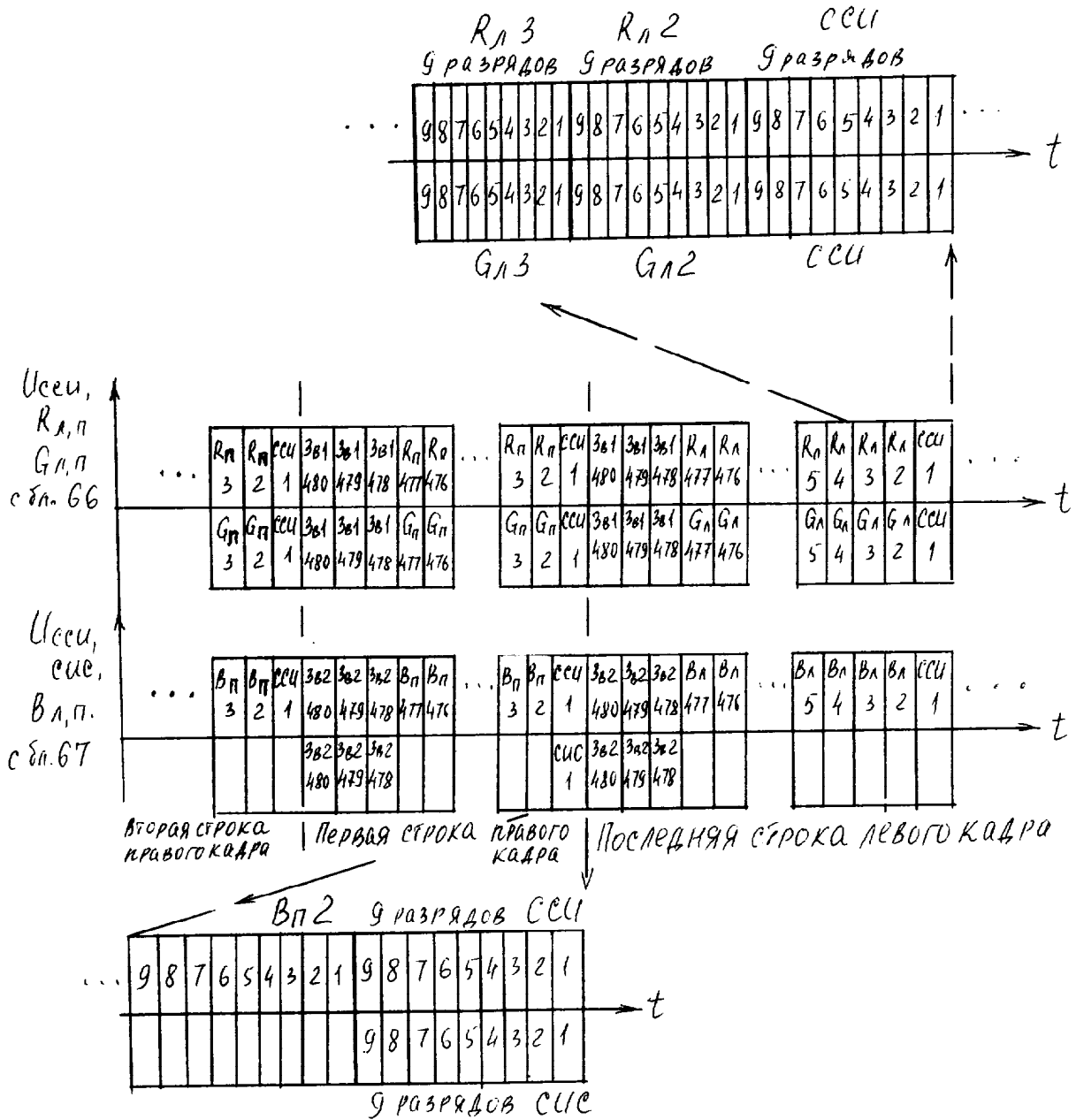


рис. 4

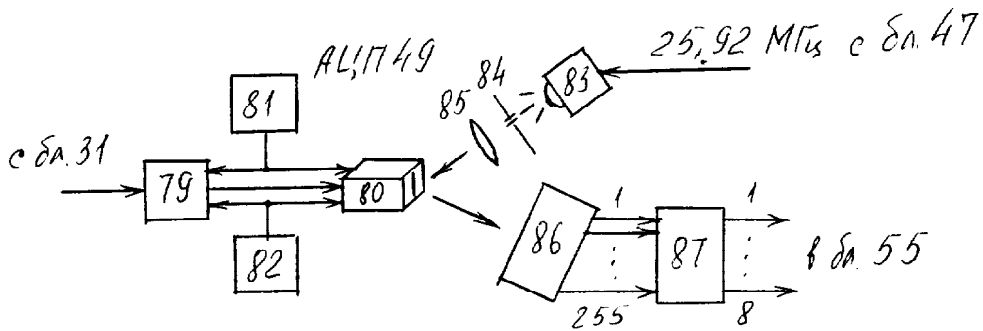
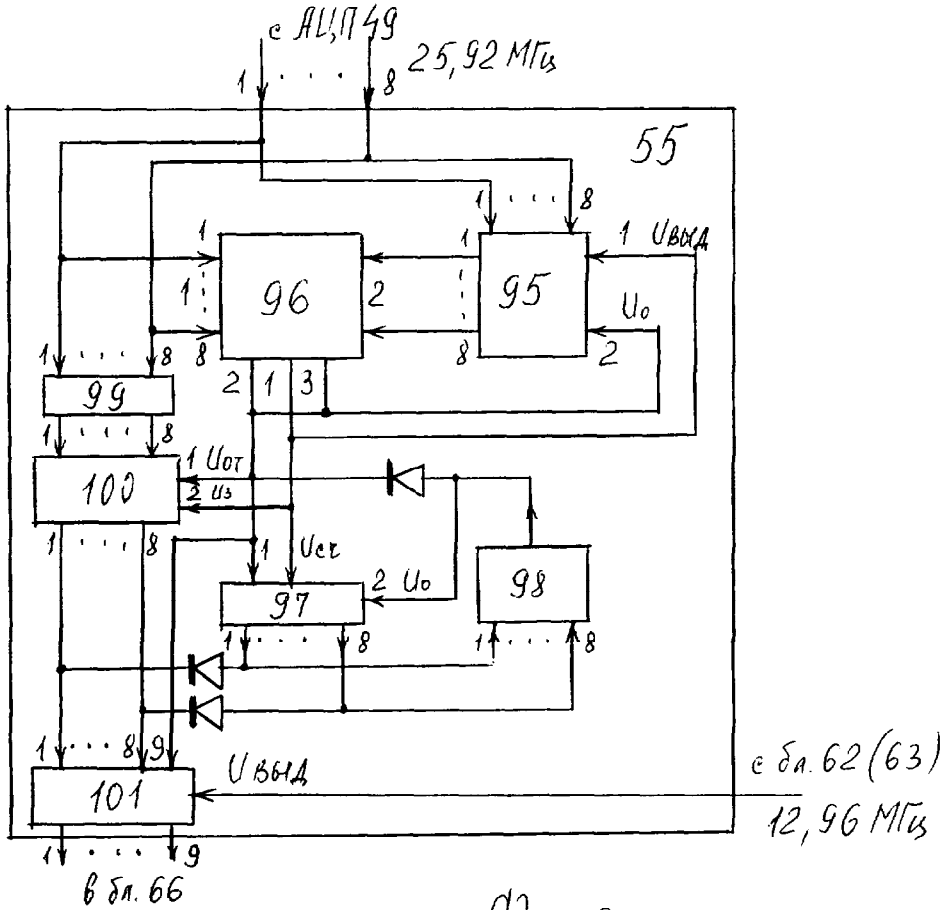
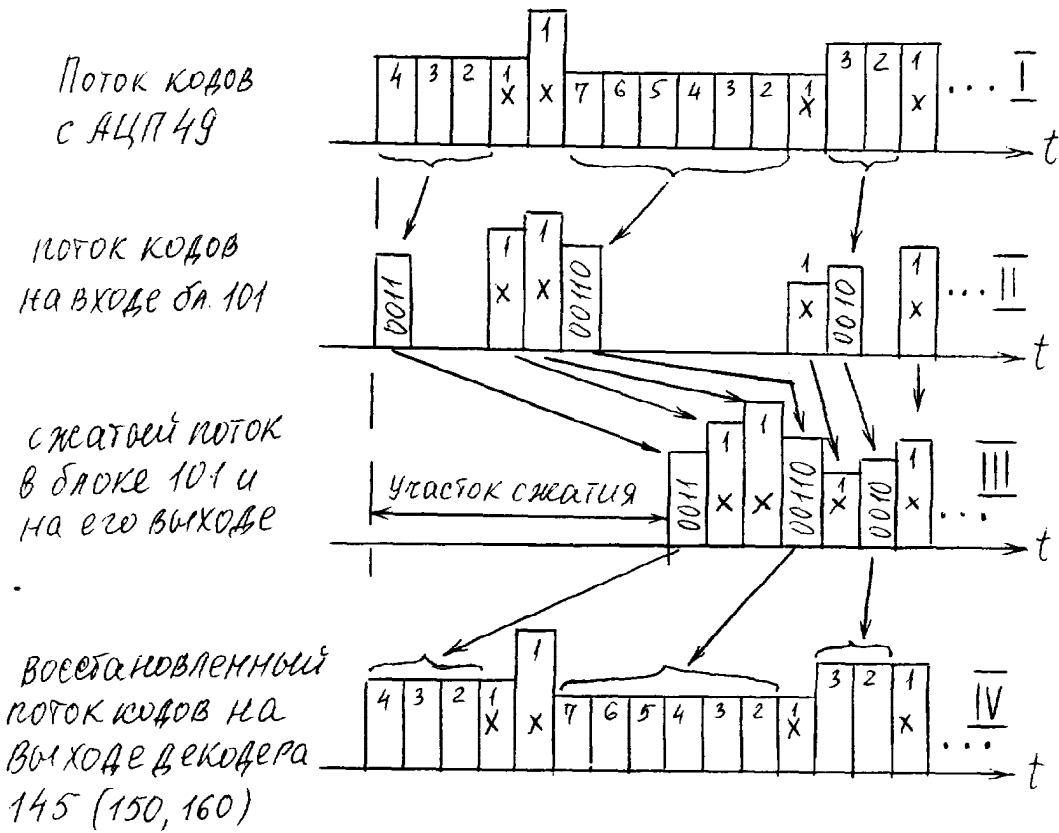


рис. 5



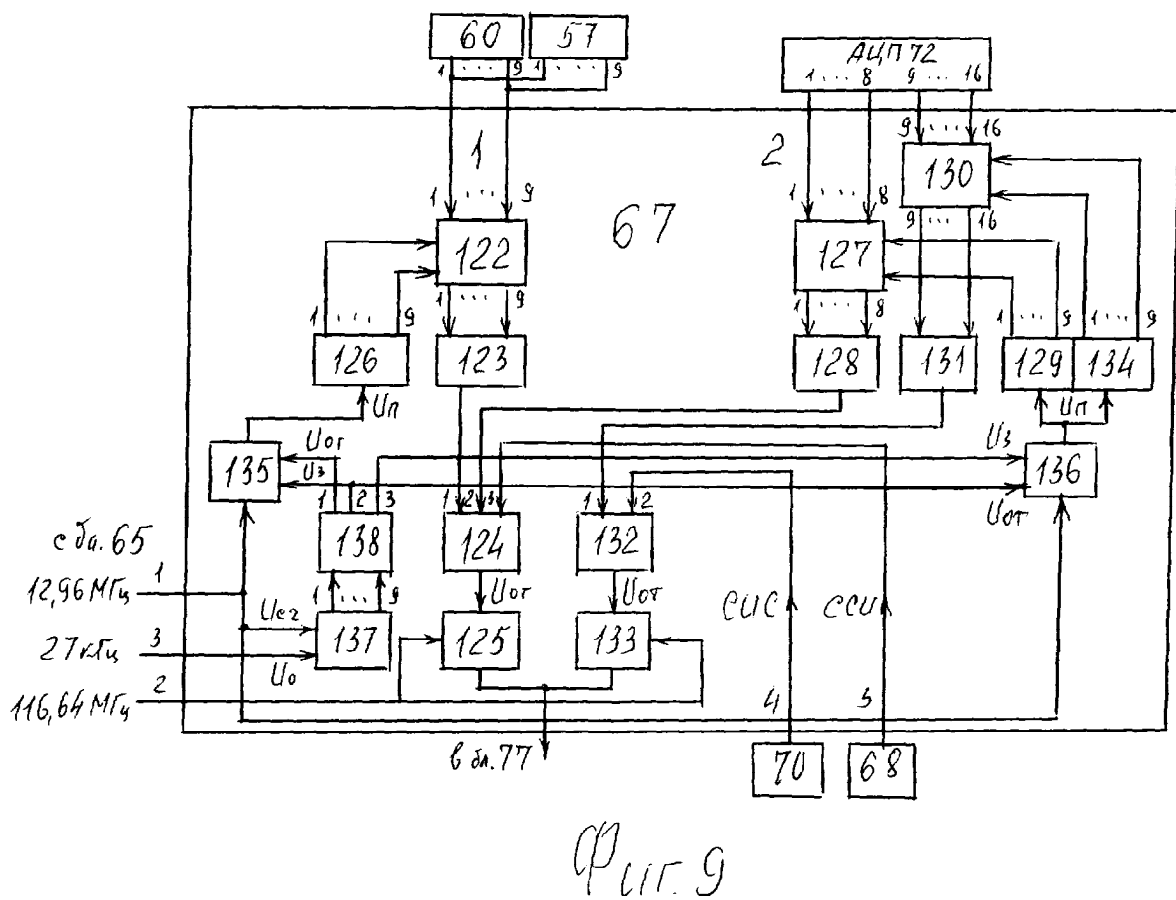
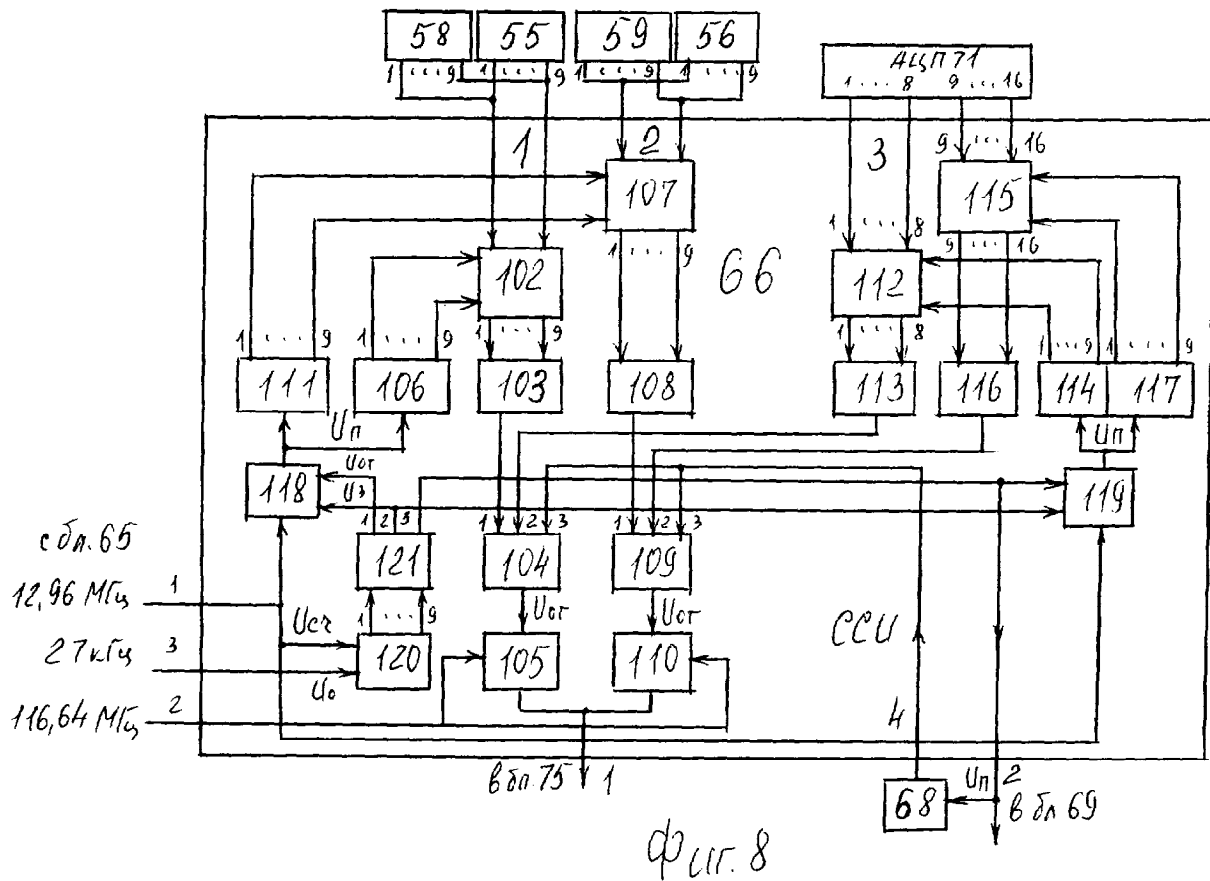
Фиг. 6

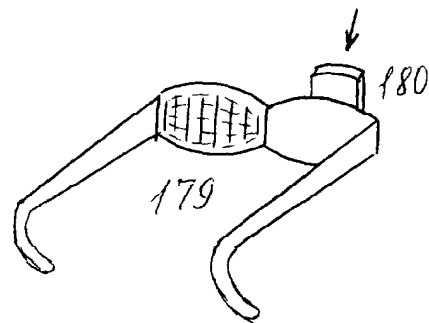
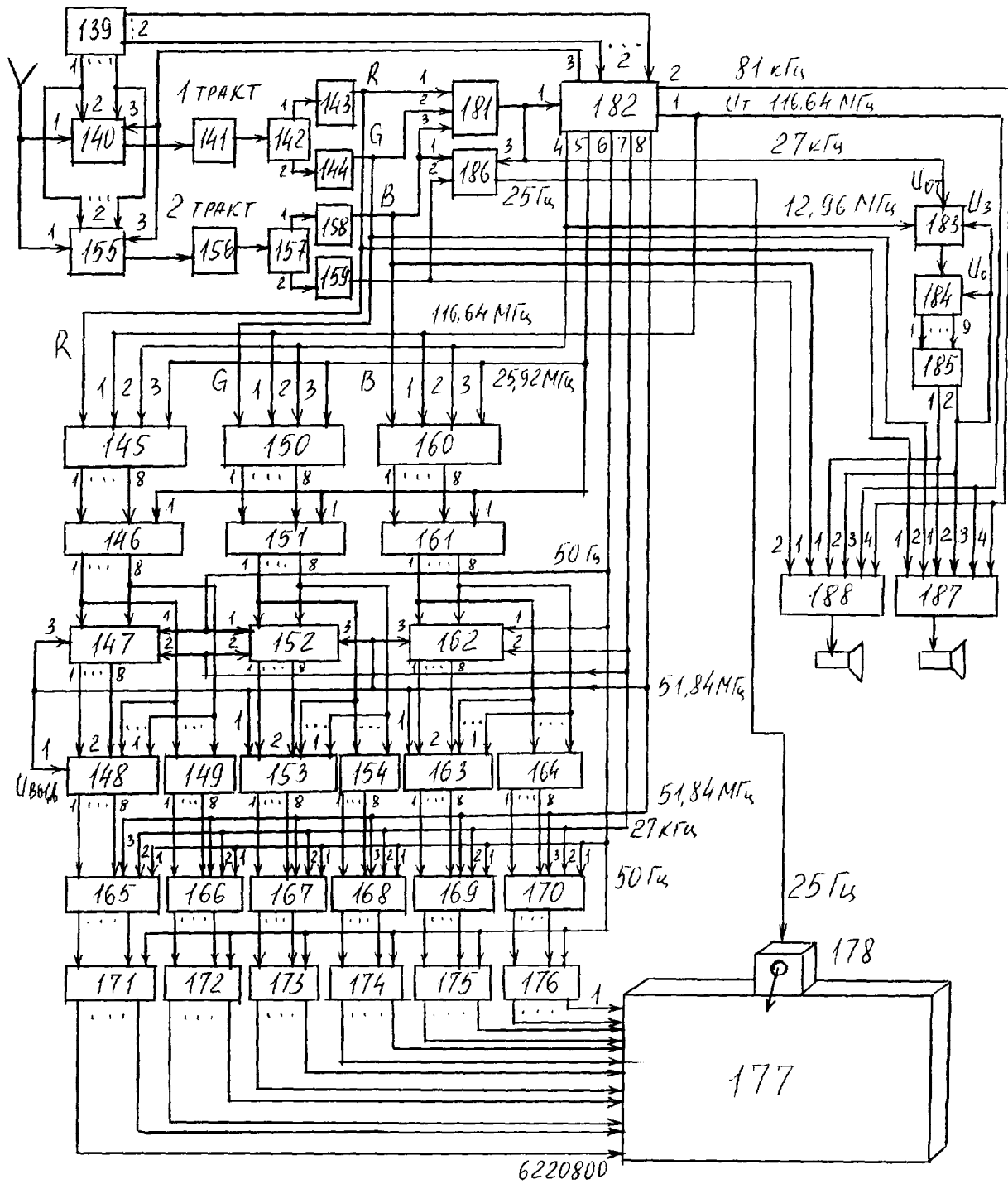


Фиг. 10

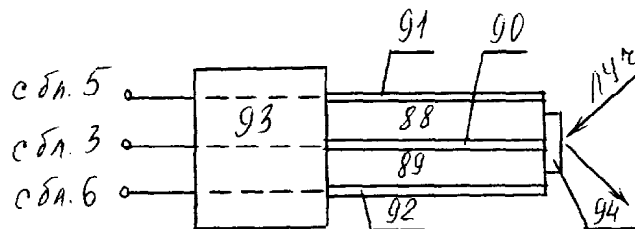
Фиг. 7



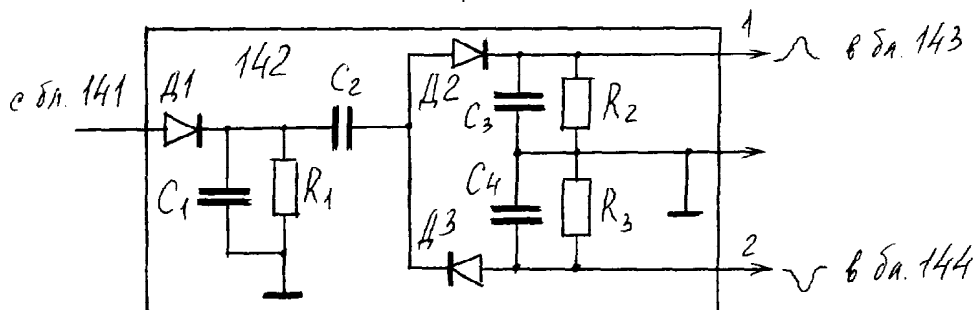




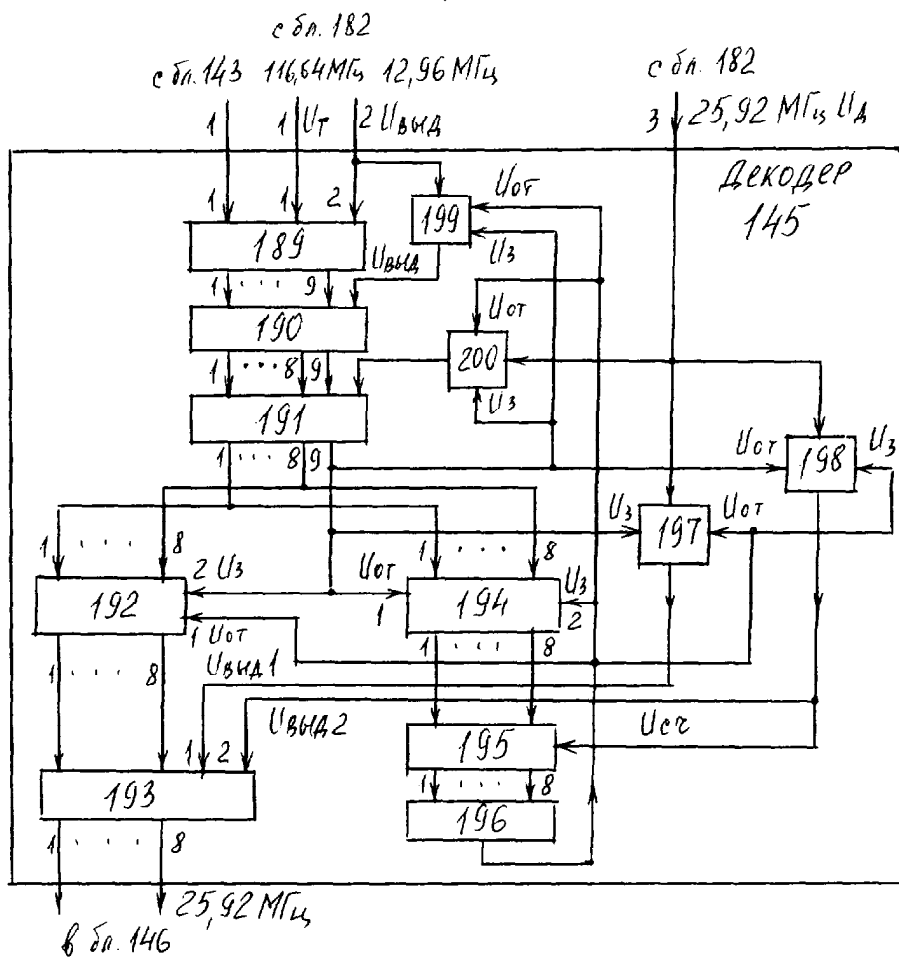
фиг. 10



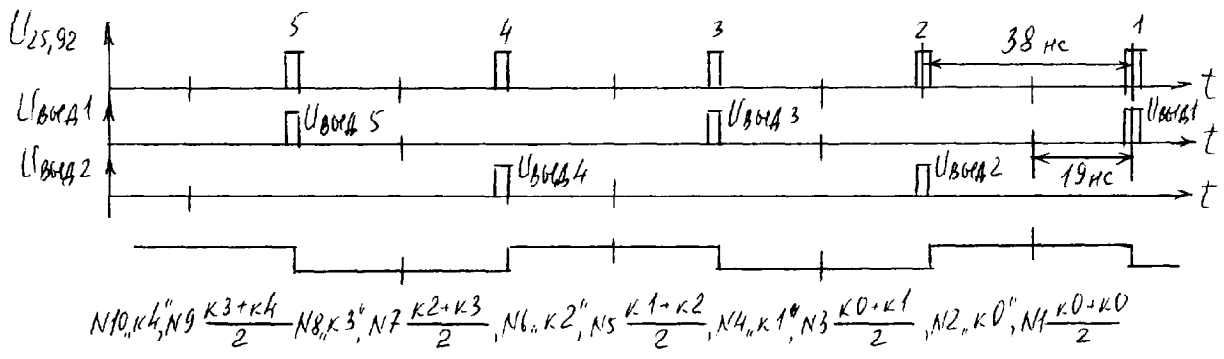
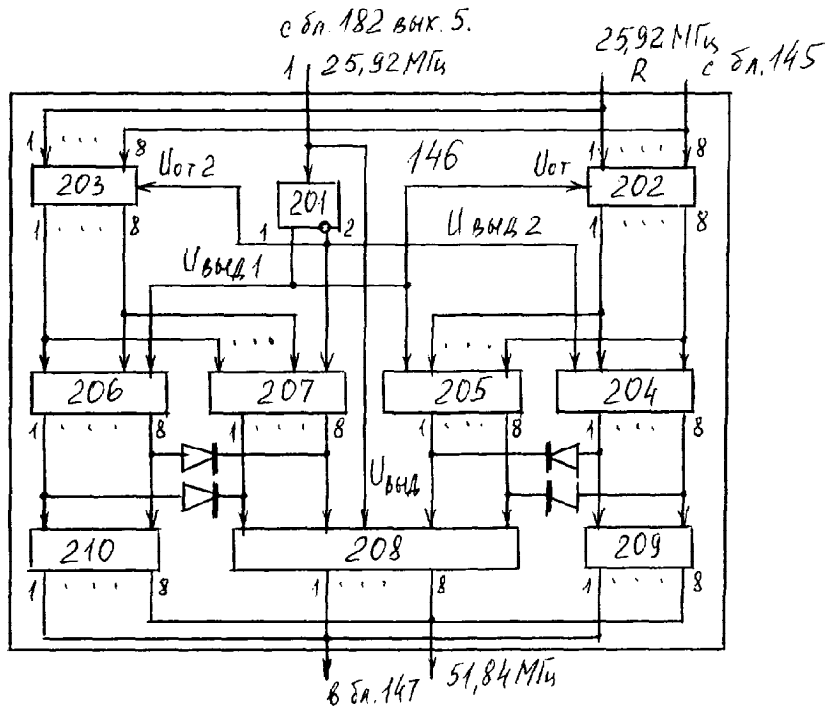
Фиг. 11



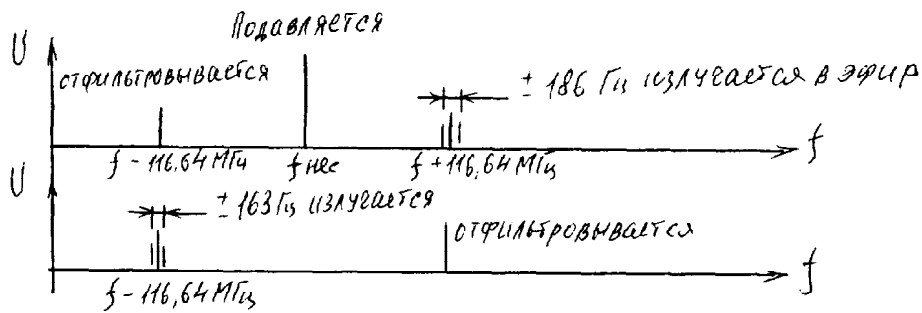
Фиг. 12



Фиг. 13



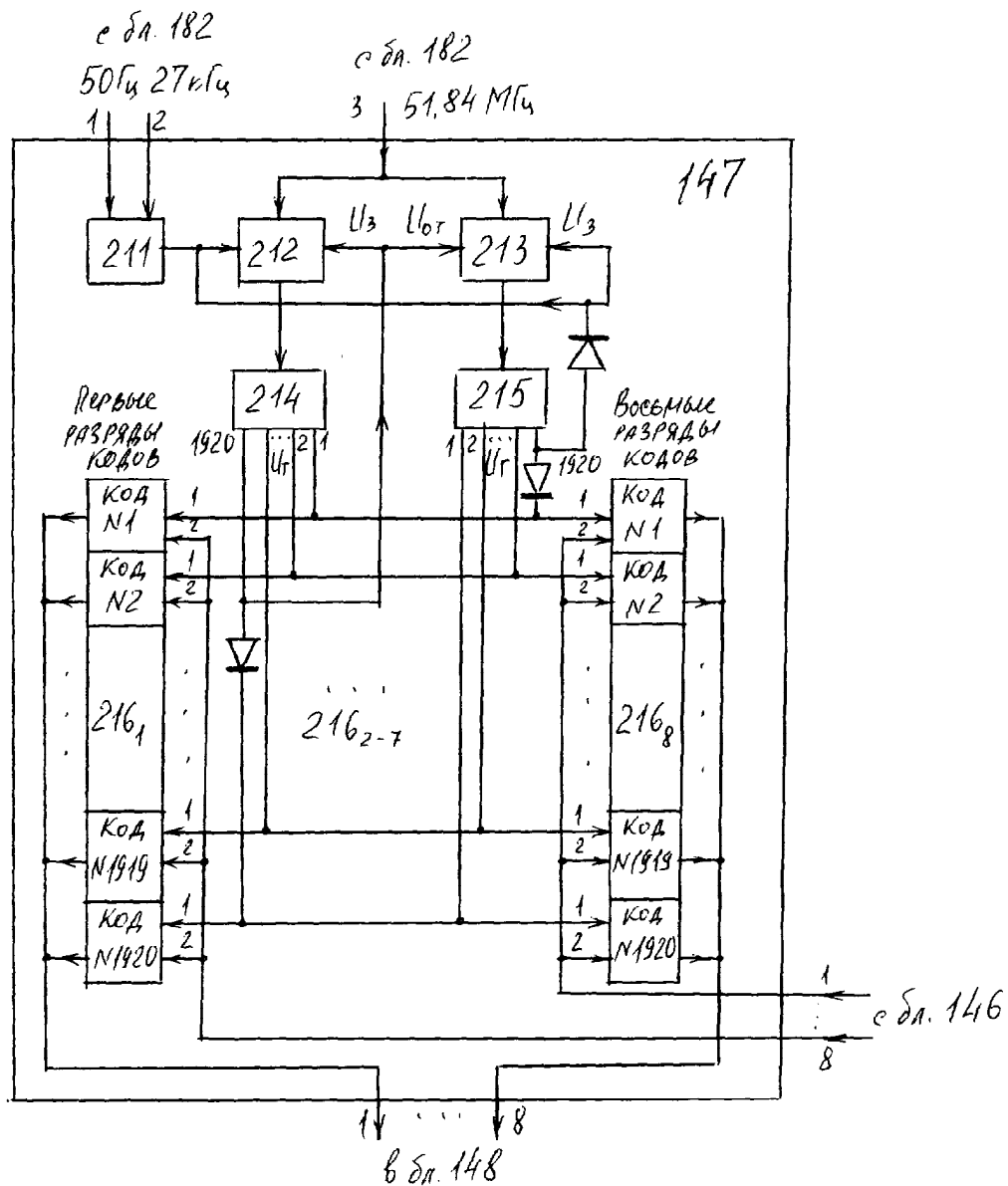
Фиг. 14



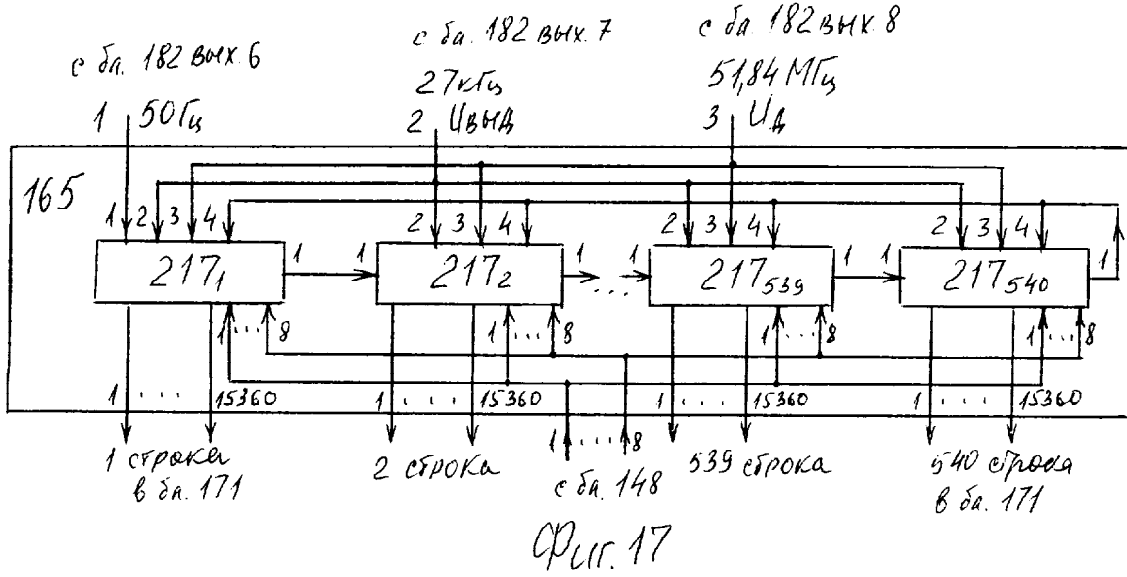
Спектры частот сигналов передатчика.

Фиг. 15

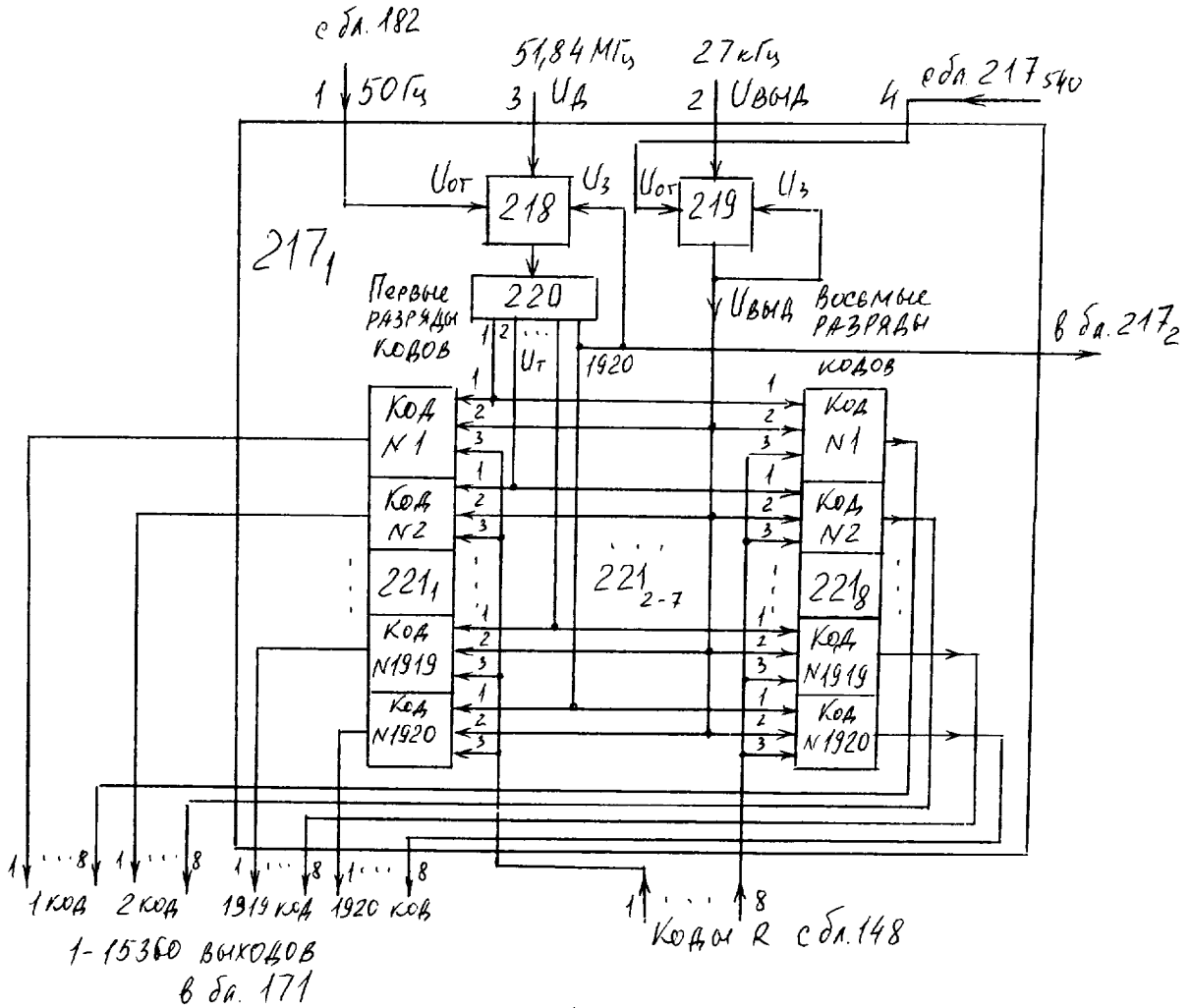
Контур	1 применение блока	1920 вбсц
1	1 текущая строка	1920
1	2 строки	1920
1	2 тек.	1920
1	3 строки	1920
1	3 текущая	1920
1	4 строки	1920
1	4 текущая	1920



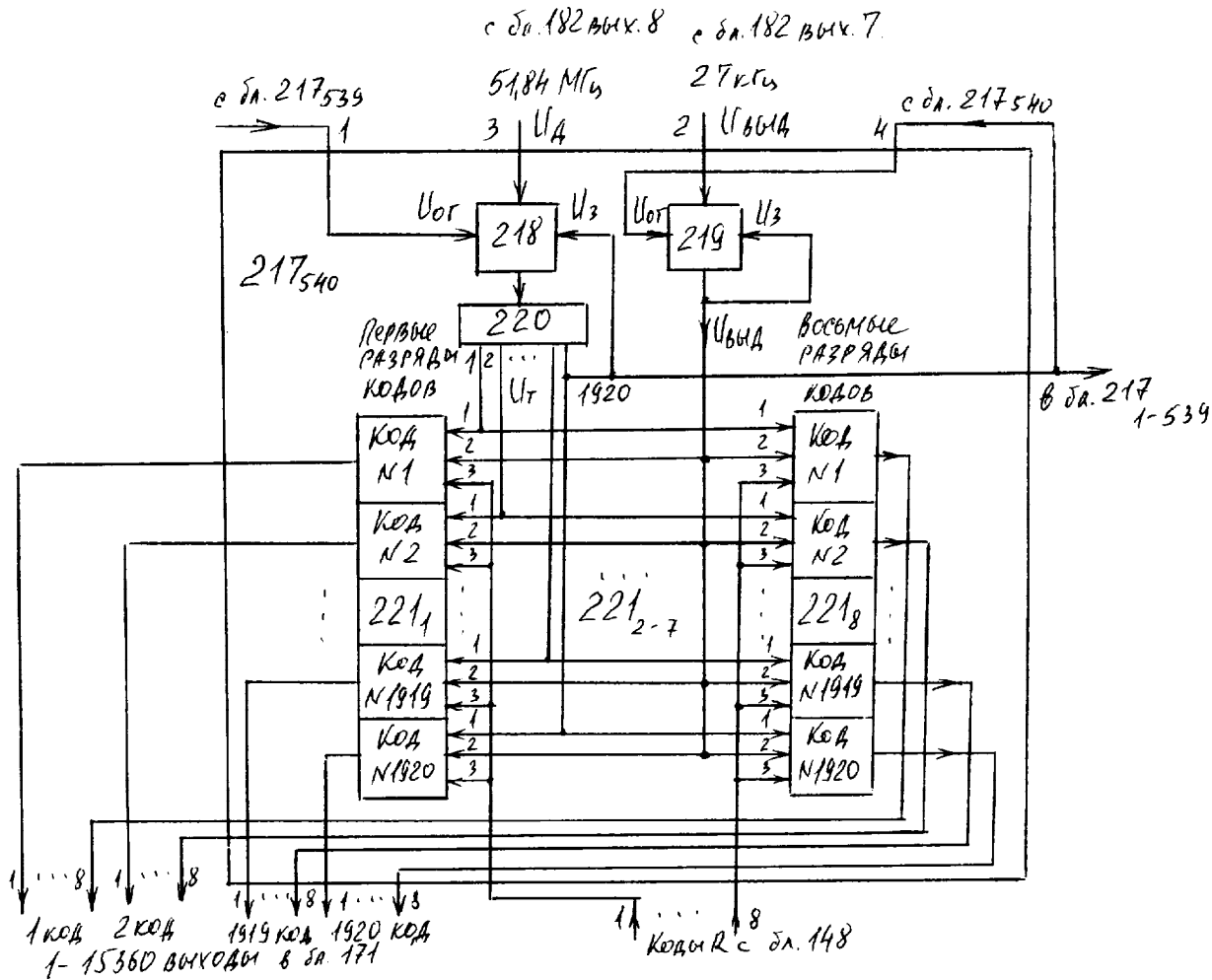
Фиг. 16



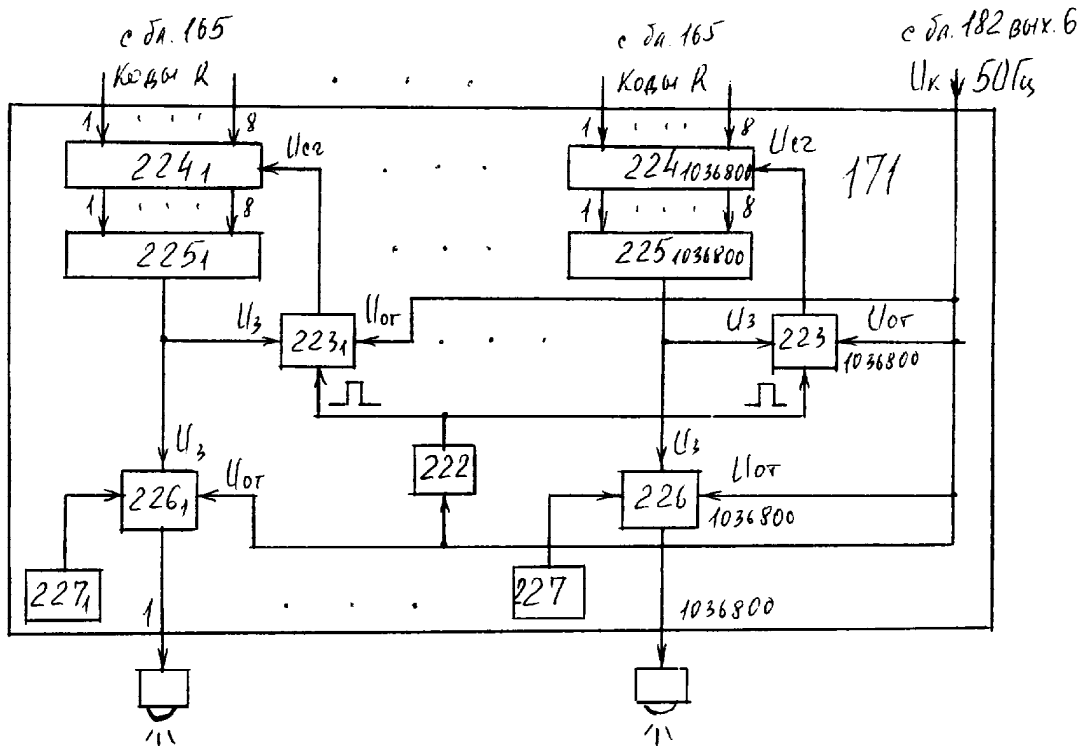
Фиг. 17



Фиг. 18

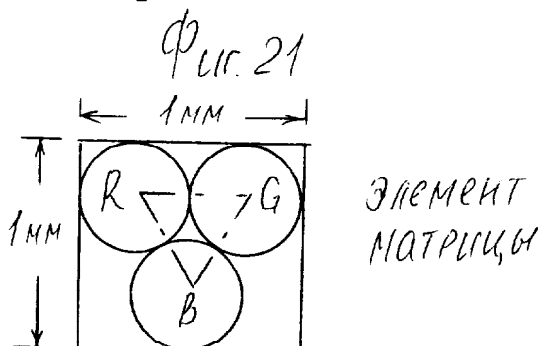
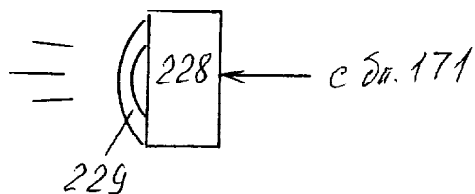


Фиг. 19

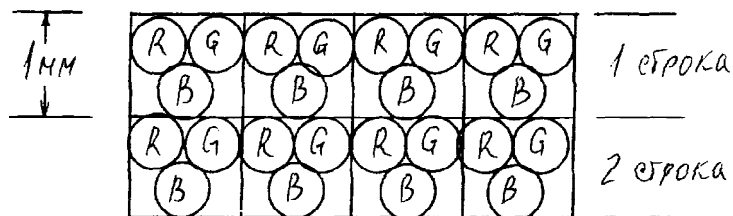


Фиг. 20

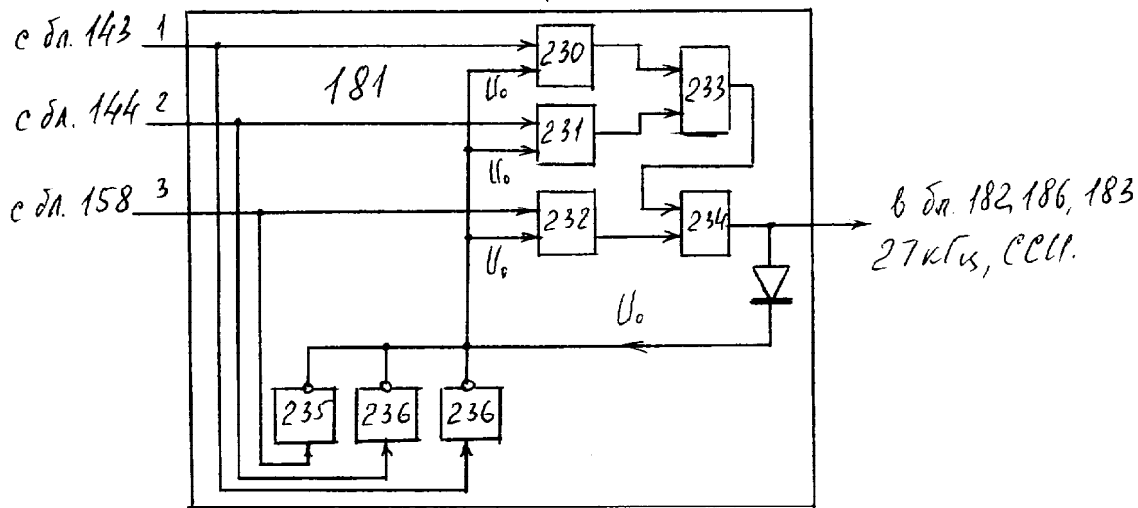
СД-ячейка



Фиг. 22

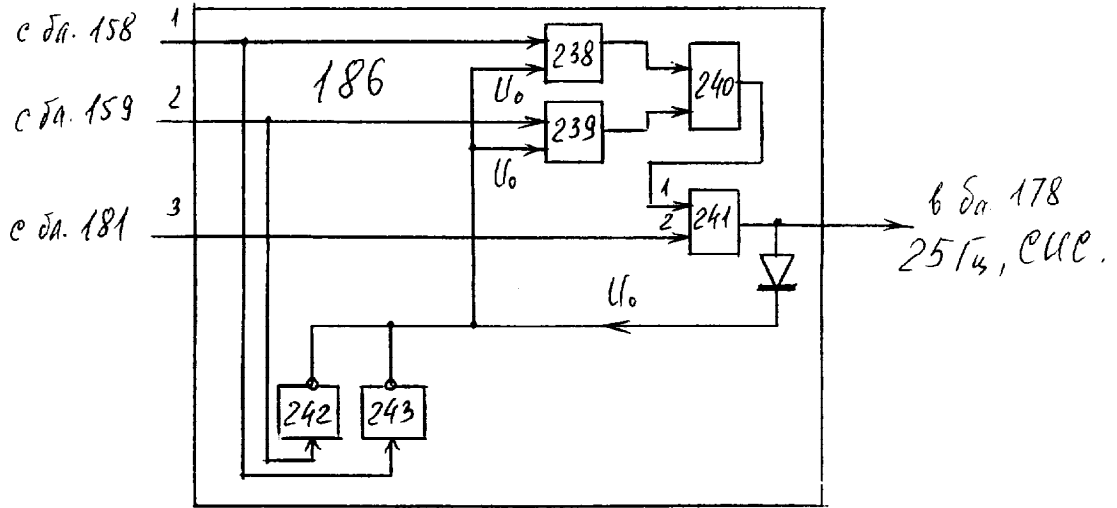


Фиг. 23

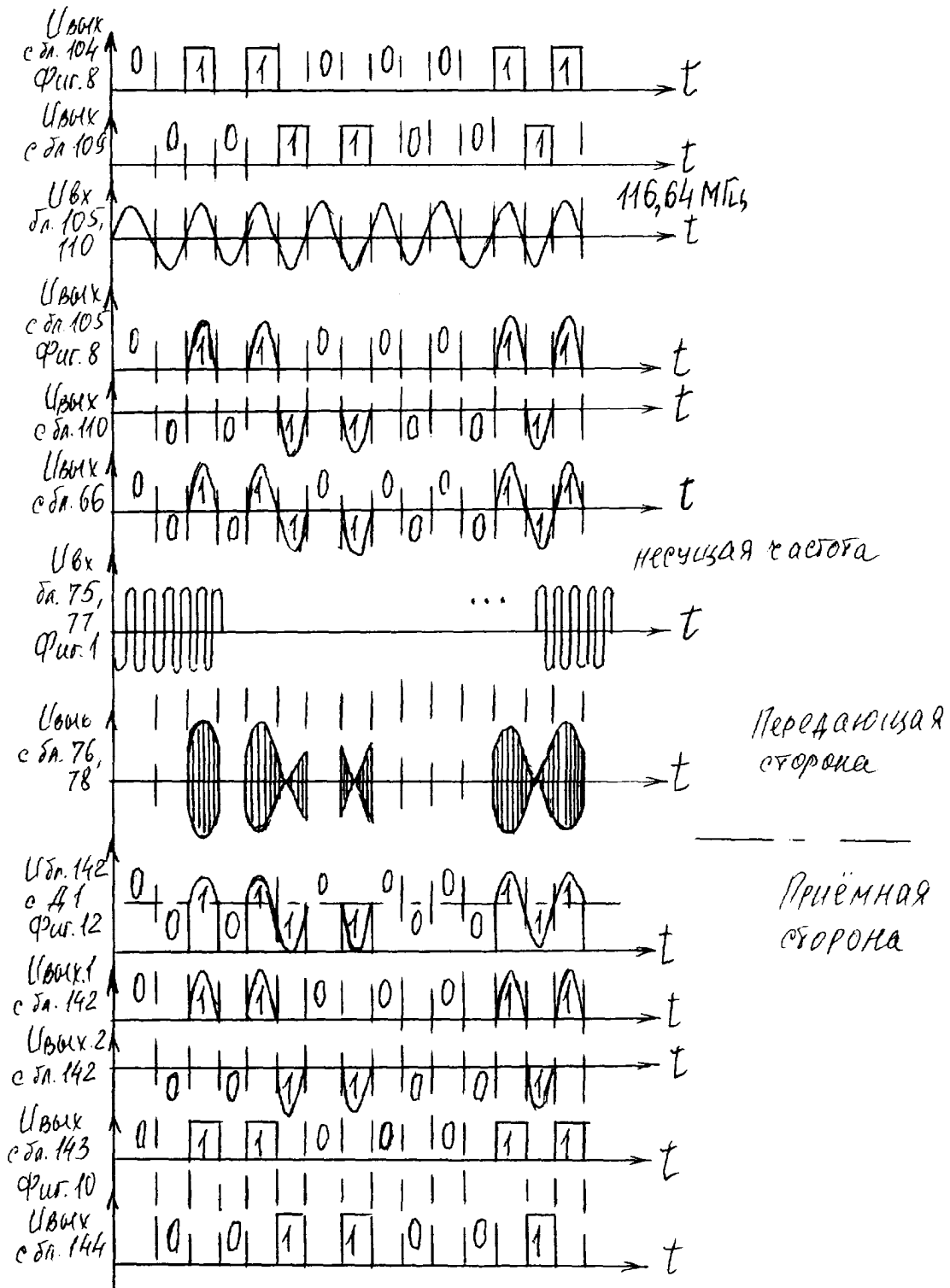


Фиг. 24





Фиг. 25



Временные диаграммы работы системы.

Фиг. 26