(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3753190号

(P3753190)

(45)発行日　平成18年3月8日(2006.3.8)　(24)登録日　平成17年12月22日(2005.12.22)

(51)Int.Cl.		F I		
G11C 29/14	(2006.01)	G11C	29/00	671T
G06F 12/16	(2006.01)	G06F	12/16	330A
G11C 11/401	(2006.01)	G11C	11/34	371A

請求項の数 4　(全 38 頁)

(21)出願番号　特願平7-102118
(22)出願日　平成7年4月26日(1995.4.26)
(65)公開番号　特開平8-297997
(43)公開日　平成8年11月12日(1996.11.12)
審査請求日　平成14年4月22日(2002.4.22)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100091409
弁理士　伊藤　英彦
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100096792
弁理士　森下　八郎

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

第１の入力信号を受け、この第１の入力信号の状態に応じた状態検出信号を出力する状態検出回路と、

上記状態検出信号を受け、上記第１の入力信号が第１の状態であることをこの状態検出信号が示すと活性化レベルとされ、マルチビットテストモードの設定をおこなう第１のテストモード設定信号と、上記第１の入力信号が上記第１の状態と異なる第２の状態であることを上記状態検出信号が示すと第２の入力信号に応じて活性化レベルとされる第２のテストモード設定信号とを出力し、上記第１の入力信号が上記第２の状態であることを上記状態検出信号が示し、上記第２の入力信号が第３の状態であると上記第１のテストモード設定信号のレベルにかかわらず上記第１のテストモード設定信号および上記第２のテストモード設定信号を共に活性化レベルとするテストモード設定信号発生回路を有するテストモード設定回路とを備える半導体装置。

【請求項２】

第１の入力信号を受け、この第１の入力信号の状態に応じた状態検出信号を出力する状態検出回路と、

上記状態検出信号を受け、上記第１の入力信号が第１の状態であることをこの状態検出信号が示すと活性化レベルとされ、マルチビットテストモードの設定をおこなう第１のテストモード設定信号と、上記第１の入力信号が上記第１の状態と異なる第２の状態であることを上記状態検出信号が示すと第２の入力信号に応じて活性化レベルとされる第２のテ

ストモード設定信号とを出力し、上記第１の入力信号が上記第２の状態であることを上記状態検出信号が示し、上記第２の入力信号が第３の状態であると上記第１のテストモード設定信号および上記第２のテストモード設定信号を共に活性化レベルとするテストモード設定信号発生回路とを有するテストモード設定回路を備え、

上記第１の入力信号は第１の信号、第２の信号および複数の制御信号を含み、

状態検出回路は、上記複数の制御信号が所定のタイミングで入力され、かつ上記第１の信号が通常使用されるＨレベルよりも高いスーパーＨレベルで、上記第２の信号が通常使用されるＨレベルのときに状態検出信号を第１の入力信号が第２の状態であることを示すものとする、半導体装置。

【請求項３】

状態検出回路は、第１の信号を受ける第１の信号ノードとスーパーＨレベル検出信号が出力されるスーパーＨレベル検出信号出力ノードとの間に接続され、上記第１の信号がスーパーＨレベルのときにＨレベルの電位を上記スーパーＨレベル検出信号出力ノードに与えるプルアップ回路を有するスーパーＨレベル検出回路と、

上記制御信号、上記スーパーＨレベル検出信号および上記第２の信号に応じて状態検出信号を出力する状態検出信号発生回路とを備え、

第２の入力信号は通常使用されるＨレベルおよびＬレベルを有する複数の信号を含む請求項２記載の半導体装置。

【請求項４】

第１の入力信号は、複数の制御信号および補助信号を含み、

状態検出回路は、上記第１の入力信号が第２の状態のときのタイミングで上記複数の制御信号が入力されると活性化レベルとなるタイミング検出信号を出力するタイミング検出回路と、上記補助信号に応じた検出補助信号を出力する検出補助回路と、上記タイミング検出信号および上記検出補助信号を受けて状態検出信号を出力し、上記第１の入力信号が第２の状態のときの状態であることを上記検出補助信号が示し、かつ上記タイミング検出信号が活性化レベルであると上記状態検出信号を第１の入力信号が第２の状態であることを示すものとする状態検出信号制御回路とを有する請求項１記載の半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明は半導体装置に係り、特に所定の試験を行うためのテストモードを備える半導体装置に関する。

【０００２】

【従来の技術】

現在、パーソナルコンピュータやワークステーションを始めさまざまな電気製品にマイコン、メモリ、ゲートアレイを始めとした種々の半導体装置が搭載されている。これら半導体装置の多くは高集積化および低消費電力化に適したMOS(MetalOxideSilicon)トランジスタによって構成されている。このMOSトランジスタを含み、近年大容量化の進んだメモリの中にパーソナルコンピュータやワークステーションのメインメモリとして使用されているDRAM(DynamicRandomAccessMemory)がある。このDRAMにおいては、さらなる低コスト化、高性能化が要求されているが、高性能でかつ信頼性の高い製品を提供するのにあたって各種の特性試験が複雑化し、それに伴いテスト時間が長時間化して製品コストを押し上げてしまうという問題点が浮かび上がってきた。

【０００３】

この問題点を解決するために、早くからマイコンやゲートアレイなどのロジックデバイスではテストを容易に行うことができるように設計段階でテスト容易化機能が取り入れられてきたが、半導体メモリにおいてもこの問題点を解決するためにテスト容易化設計が必要となってきた。この１つとしてDRAMのテスト時間短縮に関してJEDEC(JointElectronDeviceEngineeringCouncil)はデータを縮退してアクセス回数を少なくしてテスト時間を短縮させる、つまりノーマルモードでは複数回のアクセスが必要な複数メモリセルにテストモー

ド下で同じデータを１回のアクセスで書き込んで、チップ内部でこの複数のメモリセルに書き込まれたデータを読み出してこれらが一致しているか否かを示す信号を１回のアクセスで出力するマルチビットテストを標準化している。また、JEDECでは標準化されていない例えば特開平6-194424号公報に記載された内部電位のモニタや、特開平5-242698号公報に記載された複数のインバータによるディレーチェーンのインバータの数を減らし、あるアクセスパスを短絡させて高温時の状況を常温で実現させるテストモードや、基板バイアスを変えて不良を加速させるテストモードなどの特殊テストモードを備えたDRAMも提案されている。

【０００４】

図２９は特開平5-242698号公報に開示されたDRAMに搭載の従来のテストモード設定回路を含む回路図であり、このテストモード設定回路においてはライトイネーブル信号/WEおよびコラムアドレスストローブ信号/CASを先にＬレベルに立ち下げてからロウアドレスストローブ信号/RASをＬレベルに立ち下げるWCBR(/WE,/CASBefore/RAS)タイミングとある特定の入力ピンへの電源電位よりもさらに高い電位であるスーパーボルテージ入力との組み合わせによりNAの出力がＬレベルとなり、NO10,NO11,NO12,NO13のうちA1およびA2に基づく１つがＨレベルを出力し、フリップフロップ回路5,6,7,8はそれぞれNO10,NO11,NO12,NO13からの出力を受け、リセット信号RSTがＨレベルで特定の入力ピンにスーパーボルテージが印加されないとき以外、つまりNO1の出力がＬレベルのときは、NO10,NO11,NO12,NO13からの出力のうちＨレベルとなった出力を受けるフリップフロップ回路が対応したテストモード設定信号OPT1,OPT2,OPT3,OPT4をＨレベルとし、これを保持する（その後対応するNO10,NO11,NO12,NO13からの出力がＬレベルとなってもＨレベルを出力し続ける）。また、リセット信号RSTがＨレベルで特定の入力ピンにスーパーボルテージが印加されないとき、つまりNO1の出力がＨレベルのときは、OPT1,OPT2,OPT3,OPT4はＬレベルにリセットされる。

【０００５】

以上のように従来のテストモード設定回路は、リセット信号RSTがＨレベルにされ特定の入力ピンにスーパーボルテージが印加されなくなるまではOPT1,OPT2,OPT3,OPT4は１度Ｈレベルになるとレベルを保ったままＬレベルにリセットされず、従ってアドレス信号A1,A2を変化させることで複数のOPT1,OPT2,OPT3,OPT4をＨレベルとすることで複数のテストモードを同時に活性化することができる。

【０００６】

また、これ以外にも特開平6-222948号公報に確実な特殊テストモードの設定を実現した半導体集積回路が示されている。

【０００７】

【発明が解決しようとする課題】

この図２９に示された従来のテストモード設定発生回路では、JEDECで標準化されているWCBRタイミングのみでマルチビットテストを行うようにはなっておらず、また、このマルチビットテストモードと特殊テストモードとを同時に活性化できるようにもなっていないので、マルチビットテストモードを使用してテスト時間の短縮化が行えないという問題があった。

【０００８】

また、テストモード設定信号OPT1,OPT2,OPT3,OPT4をそれぞれ受けてテストモードに設定される図示されていない各内部回路に、それぞれテストモード設定信号OPT1,OPT2,OPT3,OPT4を伝達するための配線を延在させなければならないので、例えば４本しか配線を延在する領域がない場合はテストモードの数を４つよりも増やすことができないという問題点があった。

【０００９】

さらに、信号線がノイズを受けないようにこの信号線の隣に電源電位が与えられる電源電位線や接地電位が与えられる接地電位線などの電源線をシールド線として設けている領域ではこれらの配線の占める領域が大きくなり、テストモード設定信号を伝達するための配

線を延在させにくいという問題点もあった。

【００１０】

この発明は上記した点に鑑みてなされたものであり、入力信号が規格化された所定の状態となるとマルチビットテストモードに設定されるとともに、入力信号が規格化された所定の状態とは異なる所定の状態となると特殊テストモードに設定され、この特殊テストモードが設定されるときもマルチビットテストモードが設定可能な半導体装置を得ることを第１の目的としている。

【００１１】

また、テストモード設定信号を伝達する配線の数をテストモードの数よりも少なくすることを第２の目的としている。

【００１２】

さらに、電源線をシールド線に設けなくても信号線がシールドされるようにすることを第３の目的としている。

【００１３】

【課題を解決するための手段】

請求項１に係る発明の半導体装置は、第１の入力信号を受け、この第１の入力信号の状態に応じた状態検出信号を出力する状態検出回路と、

状態検出信号を受け、第１の入力信号が第１の状態であることをこの状態検出信号が示すと活性化レベルとされ、マルチビットテストモードの設定をおこなう第１のテストモード設定信号と、第１の入力信号が第１の状態と異なる第２の状態であることを状態検出信号が示すと第２の入力信号に応じて活性化レベルとされる第２のテストモード設定信号とを出力し、第１の入力信号が第２の状態であることを状態検出信号が示し、第２の入力信号が第３の状態であると第１のテストモード設定信号のレベルにかかわらず第１のテストモード設定信号および第２のテストモード設定信号を共に活性化レベルとするテストモード設定信号発生回路とを有するテストモード設定回路を備えるものである。

【００１４】

請求項２に係る発明の半導体装置は、第１の入力信号を受け、この第１の入力信号の状態に応じた状態検出信号を出力する状態検出回路と、

状態検出信号を受け、第１の入力信号が第１の状態であることをこの状態検出信号が示すと活性化レベルとされ、マルチビットテストモードの設定をおこなう第１のテストモード設定信号と、第１の入力信号が第１の状態と異なる第２の状態であることを状態検出信号が示すと第２の入力信号に応じて活性化レベルとされる第２のテストモード設定信号とを出力し、第１の入力信号が第２の状態であることを状態検出信号が示し、第２の入力信号が第３の状態であると第１のテストモード設定信号および第２のテストモード設定信号を共に活性化レベルとするテストモード設定信号発生回路とを有するテストモード設定回路を備え、

さらに、第１の入力信号を第１の信号、第２の信号および複数の制御信号を含むものとし、

状態検出回路を、複数の制御信号が所定のタイミングで入力され、かつ第１の信号が通常使用されるＨレベルよりも高いスーパーＨレベルで、第２の信号が通常使用されるＨレベルのときに状態検出信号を第１の入力信号が第２の状態であることを示すものとしたものである。

【００１５】

請求項３に係る発明の半導体装置は、請求項２に係る半導体装置において、状態検出回路を、第１の信号を受ける第１の信号ノードとスーパーＨレベル検出信号が出力されるスーパーＨレベル検出信号出力ノードとの間に接続され、第１の信号がスーパーＨレベルのときにＨレベルの電位をスーパーＨレベル検出信号出力ノードに与えるプルアップ回路と、スーパーＨレベル検出信号出力ノードと接地電位ノードとの間に接続され、常時導通状態となっている負荷回路とを有するスーパーＨレベル検出回路と、

制御信号、スーパーＨレベル検出信号および第２の信号に応じて状態検出信号を出力する

状態検出信号発生回路とを備えるものとし、
第２の入力信号を通常使用されるＨレベルおよびＬレベルを有する複数の信号を含むものとしたものである。
【００１６】
請求項４に係る発明の半導体装置は、請求項１に係る発明の半導体装置において、第１の入力信号を複数の制御信号および補助信号を含むものとし、
状態検出回路を、第１の入力信号が第２の状態のときのタイミングで複数の制御信号が入力されると活性化レベルとなるタイミング検出信号を出力するタイミング検出回路と、補助信号に応じた検出補助信号を出力する検出補助回路と、タイミング検出信号および検出補助信号を受けて状態検出信号を出力し、第１の入力信号が第２の状態のときの状態であることを検出補助信号が示し、かつタイミング検出信号が活性化レベルであると状態検出信号を第１の入力信号が第２の状態であることを示すものとする状態検出信号制御回路とを有するものとしたものである。
【００２５】
【作用】
請求項１に係る発明においては、テストモード設定回路が、第２のテストモード設定信号が活性化されない第１の入力信号が第１の状態のときだけでなく、第２のテストモード設定信号が活性化される第１の入力信号が第２の状態のときでも第２の入力信号によってマルチビットテストモードの設定をおこなう第１のテストモード設定信号を活性化でき、第１および第２のテストモード設定信号を共に活性化できるので、この第１および第２のテストモード設定信号によりマルチビットテストモードと第２のテストモードとを共に設定することで第２のテストモードに要するテスト時間を短縮することができる。
【００２６】
請求項２に係る発明においては、状態検出回路が、複数の制御信号が所定のタイミングで入力され、かつ第１の信号が通常使用されるＨレベルよりも高いスーパーＨレベルで、第２の信号が通常使用されるＨレベルであるときに第１の入力信号が第２のテストモードに設定可能となる第２の状態であることを示す状態検出信号を出力するので、通常使用時に間違って第２のテストモードに設定されることがなく、また、信号の入力レベルが高くなっても、このときは大抵全ての信号のレベルが高くなっており、そのうち１つがスーパーＨレベルで１つが通常のＨレベルである確率は少ないので間違って第２のテストモードに設定されることがない。
【００２７】
請求項３に係る発明においては、請求項２に係る発明の作用に加え、スーパーＨレベル検出回路が常時導通状態となっている負荷回路を有する電力を消費する構成となっていても、第１の入力信号の一部に対してこのスーパーＨレベル検出回路を設けるだけで、あとは通常使用されるＨレベルおよびＬレベルを有する第２の入力信号でテストモードの設定をしているので、各入力信号に対してスーパーＨレベル検出回路を設けなくてもよくなり、従って消費電力の増大を抑制できる。
【００２８】
請求項４に係る発明においては、請求項１に係る発明の作用に加え、状態検出信号を出力する状態検出信号制御回路をタイミング検出信号および検出補助信号を受けて状態検出信号を出力するようにしているので、検出補助信号が補助信号に応じた正常なレベルになってからタイミング検出信号が活性化レベルになるようにすることで正確な状態検出信号を出力することができる。
【００３７】
【実施例】
実施例１.
以下にこの発明の実施例１であるDRAMについて、図１から図１３に基づいて説明する。図１はこのDRAMの全体を示す簡略化されたブロック図であり、図において100は外部電源電位$extV_{CC}$が与えられる電源電位ノード100aから外部電源電位$extV_{CC}$を受けて、この外部電

源電位extV$_{CC}$よりも低い内部電源電位intVccを電源電位ノード100cに供給する内部電源電位発生回路110と、内部電源電位intVccを受けて駆動し、内部電源電位intV$_{CC}$よりも高い昇圧電位V$_{PP}$を出力する昇圧電位発生回路120と、内部電源電位intV$_{CC}$を受けて(1/2)intV$_{CC}$のセルプレート電位V$_{CP}$を出力するセルプレート電位発生回路130と、内部電源電位intV$_{CC}$を受けて(1/2)intV$_{CC}$のビット線プリチャージ電位V$_{BL}$を出力するビット線プリチャージ電位発生回路140とを有する内部電位発生回路群である。

【００３８】

200は外部から与えられる外部ロウアドレスストローブ信号ext/RASを受け、内部回路のためのロウアドレスストローブ信号/RASを出力する/RASバッファ、300はアドレス信号A$_i$ (i=0,1,・・・,10)および/RASバッファ200からのロウアドレスストローブ信号/RASを受け、このロウアドレスストローブ信号/RASがＨレベルからＬレベルに変化するとアドレス信号A$_i$ をロウアドレス信号としてラッチし、内部回路のためのロウアドレス信号RA$_i$ （アドレス信号A$_i$ と同論理）および/RA$_i$ （アドレス信号A$_i$ と逆論理）を出力するロウアドレスバッファ、400はロウアドレスバッファ300からのロウアドレス信号RA$_i$,/RA$_i$ を受け、RA$_0$,/RA$_0$,RA$_1$,/RA$_1$に応じて１つがＨレベルとなるロウプリデコード信号X$_0$～X$_3$、RA$_2$,/RA$_2$,RA$_3$,/RA$_3$に応じて１つがＨレベルとなるロウプリデコード信号X$_4$～X$_7$、RA$_4$,/RA$_4$,RA$_5$,/RA$_5$に応じて１つがＨレベルとなるロウプリデコード信号X$_8$～X$_{11}$ 、RA$_6$,/RA$_6$,RA$_7$,/RA$_7$に応じて１つがＨレベルとなるロウプリデコード信号X$_{12}$ ～X$_{15}$ 、RA$_8$,/RA$_8$～RA$_{10}$,/RA$_{10}$に基づき選択された８つがＨレベルとなるブロック選択信号BS$_j$ (j=0,1,・・・,63)を出力するロウプリデコーダである。

【００３９】

500はメモリセルアレイで、複数行および複数列に配置された4×2^{20} 個のメモリセル511aをそれぞれが有する４つのメモリマットを有し、各メモリマットはそれぞれが256×2^{10} 個のメモリセル511aを有する16個のメモリセルブロックに分割され、各メモリセルブロックは複数行に配置され、それぞれが対応した行に配置される2^{10} 個のメモリセルに接続される256本のワード線511bと、複数列に配置され、それぞれが対応した列に配置される256個のメモリセルに接続される2^{10} のビット線対511cとを有している。そして、各メモリセルブロックはそれぞれが128ビット線対を有する8個の列ブロックに分割されている。

【００４０】

600はメモリセルブロックに対応して64個のロウデコーダブロックに分割され、各ロウデコーダブロックがロウプリデコーダ400からのロウプリデコード信号X$_0$～X$_{15}$ とロウデコーダブロックに対応したブロック選択信号BS$_j$ の１つを受け、選択されたロウデコーダブロックに対応する256本のワード線のうちロウプリデコード信号X$_0$～X$_{15}$ に応じた1本を昇圧電位V$_{PP}$レベルにするロウデコーダ、700は外部から与えられる外部コラムアドレスストローブ信号ext/RASを受け、内部回路のためのコラムアドレスストローブ信号/CASを出力する/CASバッファ、800はアドレス信号A$_i$ (i=0,1,・・・,10)および/CASバッファ700からのコラムアドレスストローブ信号/CASを受け、このコラムアドレスストローブ信号/CASがＨレベルからＬレベルに変化するとアドレス信号A$_i$ をコラムアドレス信号としてラッチし、内部回路のためのコラムアドレス信号CA$_i$ （アドレス信号A$_i$ と同論理）および/CA$_i$ （アドレス信号A$_i$ と逆論理）を出力するコラムアドレスバッファである。

【００４１】

900はコラムアドレスバッファ800からのコラムアドレス信号CA$_i$,/CA$_i$ を受け、CA$_0$,/CA$_0$,CA$_1$,/CA$_1$に応じて１つがＨレベルとなるコラムプリデコード信号Y$_0$～Y$_3$、CA$_2$,/CA$_2$,CA$_3$,/CA$_3$に応じて１つがＨレベルとなるコラムプリデコード信号Y$_4$～Y$_7$、CA$_4$,/CA$_4$,CA$_5$,/CA$_5$に応じて１つがＨレベルとなるコラムプリデコード信号Y$_8$～Y$_{11}$ 、CA$_6$,/CA$_6$～CA$_{10}$,/CA$_{10}$に基づき選択された１つがＨレベルとなる列ブロック選択信号CBS$_k$ (k=0,1,・・・,31)を出力するコラムプリデコーダである。

【００４２】

1000は同じメモリマットに含まれる16のメモリセルブロックに共通して設けられるとともに、128のビット線対を有する列ブロックに対応して分割される32個のコラムデコーダブ

ロックを有し、コラムプリデコーダ900からのコラムプリデコード信号Y_0～Y_{11} および列ブロック選択信号CBS_k を受け、コラムプリデコード信号Y_0～Y_{11} に応じて１つがＨレベルとなる列選択信号CSL_m (m=0,1,・・・,63)を出力してこの列選択信号CSL_m に基づき各メモリセルブロックで２対のビット線を選択し、列ブロック選択信号CBS_k に応じてブロック選択信号BS_j によって選択された８つのメモリセルブロックの各列ブロックの中の列選択信号CSL_m により選択された２対のビット線から出力される合計128対のビット線から読み出される128ビットのデータから4ビットを選択するためのデータ選択信号DS_n (n=0,1,・・・,127)を出力するコラムデコーダである。

【００４３】

1100はメモリセルブロックに対応してそれぞれが512個のセンスアンプを含む68個のセンスアンプブロックに分割され、68個のセンスアンプブロックのうち60個のセンスアンプブロックが２つのメモリセルブロックの間に設けられて隣接した２つのメモリセルブロックに対応して共有され、２つのセンスアンプブロックの間に設けられた1つのメモリブロックがこの２つのセンスアンプブロックに対応するセンスアンプ群、ビット線を介して出力されるメモリセルのデータを出力したり、メモリセルに書き込まれるデータをビット線に伝えるためのローカルI/O線およびグローバルI/O線を含むI/O回路などの回路を有するメモリセルアレイ周辺回路群である。

【００４４】

1200は外部から与えられる外部ライトイネーブル信号ext/WEを受け、内部回路のためのライトイネーブル信号/WEを出力する/WEバッファ、1300は外部から与えられる外部アウトプットイネーブル信号ext/OEを受け、内部回路のためのライトイネーブル信号/OEを出力する/OEバッファ、1400はロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WEおよびアウトプットイネーブル信号/OEを受け、書き込みか読み出しかを示す書き込み／読み出し制御信号WOを出力する書き込み／読み出し制御回路、1500は書き込み／読み出し制御回路1400からの書き込み／読み出し制御信号WOを受け、この信号WOが書き込みを示すときは、外部から与えられる4ビットのデータD_r (r=0,1,2,3)に応じたデータをメモリセルアレイ周辺回路群1100におけるI/O回路に与え、信号WOが読み出しを示すときは、メモリセルアレイ周辺回路群1100におけるI/O回路から出力されるデータに応じたデータD_r を外部に出力する入出力バッファである。

【００４５】

1600はロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、アドレス信号A_0,A_1およびロウアドレス信号/RA_0,・・・,/RA_6を受け、これらの入力信号に応じたテストモード設定信号TE,TEST1,TEST2,TEST3,TEST4,TEST5,TEST6N,TEST6S,TEST7を出力するテストモード設定回路である。

【００４６】

次に図１に示されたDRAMの通常の読み出し動作を図２に基づいて説明する。まず、読み出し動作中は外部ライトイネーブル信号ext/WEはＨレベル、外部アウトプットイネーブル信号ext/OEはＬレベルとされているので、/WEバッファ1200および/OEバッファ1300からそれぞれ出力されるライトイネーブル信号/WEおよびアウトプットイネーブル信号/OEもそれぞれＨレベルおよびＬレベルとされている。そして、ロウアドレスストローブ信号/RASが図２の（ａ）に示すように時刻t_0 でＬレベルに立ち下がる以前は、全てのワード線511bの電位WL_p が図２の（ｄ）に示すようにＬレベルにされ、全てのビット線対511cの電位BL_q,/BL_q が図２の（ｅ）に示すようにビット線プリチャージ電位V_{BL}にプリチャージされ、全ての列選択信号CSL_m が図２の（ｆ）に示すようにＬレベルにされ、出力データD_r は図２の（ｇ）に示すようにハイインピーダンス（Hi-Z）状態となっている。

【００４７】

そして、アドレス信号A_i が図２の（ｃ）に示すようにロウアドレスにされてロウアドレスストローブ信号/RASが図２の（ａ）に示すように時刻t_0 でＬレベルに立ち下がるとこれを受けてロウアドレスバッファ300はアドレス信号A_i をロウアドレス信号RA_i としてラッチしてロウプリデコーダ400に与えるとともに、この反転論理のロウアドレス信号/RA_i

もロウプリデコーダ400に与える。ロウプリデコーダ400はこのロウアドレス信号RA_i ,/RA_i に応じたロウプリデコード信号X_0,・・・,X_{15}およびブロック選択信号BS_j をロウデコーダ600に与える。ロウデコーダ600はブロック選択信号BS_j によって選択されたロウデコーダブロックに対応したワード線のうちロウプリデコード信号X_0,・・・,X_{15}に応じた１本を図２の（ｄ）に示すように時刻t_1 で昇圧電位V_{PP}レベルに立ち上げる。

【００４８】

すると、メモリセル511aにおけるキャパシタとビット線との間で電荷の授受が行われ、キャパシタにＬレベルのデータが記憶されていた場合は図２の（ｅ）に示すようにビット線の電位がビット線プリチャージ電位V_{BL}からわずかに低下し、Ｈレベルのデータが記憶されていた場合は図示していないが、ビット線の電位がビット線プリチャージ電位V_{BL}からわずかに上昇し、ビット線プリチャージ電位V_{BL}のままのビット線との間で、つまりビット線対に微小な電位差が生じる。そして、メモリセルアレイ周辺回路群1100におけるセンスアンプがこのビット線対に生じた微小な電位差を検知増幅し、図２の（ｅ）に示すように電位の低いほうのビット線の電位をＬレベルに、電位の高いほうのビット線の電位をＨレベルにする。

【００４９】

そして、アドレス信号A_i が図２の（ｃ）に示すようにコラムアドレスにされてコラムアドレスストローブ信号/CASが図２の（ｂ）に示すように時刻t_2 でＬレベルに立ち下がると、これを受けてコラムアドレスバッファ800はアドレス信号A_i をコラムアドレス信号CA_i としてラッチしてコラムプリデコーダ900に与えるとともに、この反転論理のコラムアドレス信号/CA_i もコラムプリデコーダ900に与える。コラムプリデコーダ900はこのコラムアドレス信号CA_i ,/CA_i に応じたコラムプリデコード信号Y_0,・・・,Y_{11}および列ブロック選択信号CBS_k をコラムデコーダ1000に与える。コラムデコーダ1000は各列ブロックに対応した列選択信号CSL_m のうちコラムプリデコード信号Y_0,・・・,Y_{11}に応じた１つを図２の（ｆ）に示すように時刻t_3 でＨレベルに立ち上げる。

【００５０】

すると、ブロック選択信号BS_j によって選択された８つのメモリセルブロックの各列ブロックの中の列選択信号CSL_m により選択された２対のビット線から出力される合計128対のビット線から読み出される128ビットのデータがメモリセルアレイ周辺回路群1100における図示されていないI/O回路に出力され、このI/O回路は128ビットのデータのうちデータ選択信号DS_n に応じた4ビットを入出力バッファ1500に与え、この入出力バッファ1500はこの4ビットのデータに応じたデータD_r を図２の（ｇ）に示すように時刻t_4 で出力する。

【００５１】

図３は内部電源電位発生回路110を示す回路図で、図において111は外部電源電位extV_{CC}を受けて、この外部電源電位extV_{CC}によらない基準電位V_{ref} を出力する基準電位発生回路で、ｐチャネルＭＯＳトランジスタ111aと、ｎチャネルＭＯＳトランジスタ111bと、抵抗素子111cと、ｐチャネルＭＯＳトランジスタ111dと、ｎチャネルＭＯＳトランジスタ111eと、ｐチャネルＭＯＳトランジスタ111fと、抵抗素子111gとを有する。112はextV_{CC}を受けて駆動し、基準電位発生回路111からの基準電位V_{ref} を受け、外部電源電位extV_{CC}よりも低く、基準電位V_{ref} に応じた内部電源電位intV_{CC}を内部電源電位ノード100cに供給するレギュレータで、半導体チップの長辺方向の一方側（以下N(North)側と称す）に配置され、差動増幅回路112aおよびｐチャネルＭＯＳトランジスタ112bを有し、N側に位置する回路に内部電源電位intV_{CC}を供給している。113は外部電源電位ノード100aと外部電源電位ノード100cとの間に接続され、テストモード設定信号TEST6Nを受け、このテストモード設定信号TEST6NがＨレベルになると外部電源電位ノード100aと内部電源電位ノード100cとをショートさせて内部電源電位intV_{CC}を高くしてこの内部電源電位intV_{CC}により駆動されている回路にストレスを与えるストレスモード回路で、ｐチャネルＭＯＳトランジスタ113aおよびインバータ113bを有する。

【００５２】

114は$extV_{CC}$を受けて駆動し、基準電位発生回路111からの基準電位V_{ref}を受け、外部電源電位$extV_{CC}$よりも低く、基準電位V_{ref}に応じた内部電源電位$intV_{CC}$を内部電源電位ノード100cに供給するレギュレータで、チップの長辺方向の他方側（以下S(South)側と称す）に配置され、差動増幅回路114aおよびｐチャネルＭＯＳトランジスタ114bを有し、S側に位置する回路に内部電源電位$intV_{CC}$を供給している。115は外部電源電位ノード100aと外部電源電位ノード100cとの間に接続され、テストモード設定信号TEST6Sを受け、このテストモード設定信号TEST6SがＨレベルになると外部電源電位ノード100aと内部電源電位ノード100cとをショートさせて内部電源電位$intV_{CC}$により駆動されている回路にストレスを与えるストレスモード回路で、ｐチャネルＭＯＳトランジスタ115aおよびインバータ115bを有する。

【００５３】

図４はテストモード設定回路1600の構成を示すブロック図で、図において1610はロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE、アドレス信号A_0,A_1およびロウアドレス信号/RA_0,/RA_1を受け、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEが、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEを共にＬレベルにしてからロウアドレスストローブ信号/RASをＬレベルにするWCBRタイミングで入力され、アドレス信号A_0が通常使用されるＨレベルよりも高いスーパーＨレベルで、アドレス信号A_1が通常使用されるＨレベルのときにＬレベルとなるテストグループ検出信号/TGAと、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力され、アドレス信号A_0が通常使用されるＨレベルで、アドレス信号A_1がスーパーＨレベルのときにＬレベルとなるテストグループ検出信号/TGBを出力する状態検出回路である。

【００５４】

この状態検出回路1610はさらにロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されるとＬレベルにセットされ、ライトイネーブル信号/WEをＨレベルにしたままコラムアドレスストローブ信号/CASをＬレベルにしてからロウアドレスストローブ信号/RASをＬレベルにするCBR(/CASBefore/RAS)リフレッシュタイミングで入力された後、またはコラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEを共にＨレベルとしたままロウアドレスストローブ信号/RASをＬレベルにするROR(/RASOnlyRefresh)タイミングで入力された後、ロウアドレスストローブ信号/RASのＨレベルへの立ち上がりに基づきＨレベルにリセットされるタイミング検出信号/TDAと、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されると、所定時間経過してから所定期間Ｈレベルとなるタイミング検出信号TDBと、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力された後、ロウアドレスストローブ信号/RASがＨレベルへ立ち上がるとＨレベルにセットされ、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがCBRリフレッシュタイミングまたはRORタイミングで入力された後、ロウアドレスストローブ信号/RASがＨレベルへ立ち上がるとＬレベルにリセットされるタイミング検出信号TDCとを出力する。

【００５５】

そして、この状態検出回路1610はロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEの３つの制御信号を受け、この制御信号のタイミングに応じたタイミング検出信号/TDA,TDBおよびTDCを出力するタイミング検出回路1611（図５）を有する。

【００５６】

さらに、この状態検出回路1610はタイミング検出信号/TDA,TDB,TDC、アドレス信号A_0,A_1およびロウアドレス信号/RA_0,/RA_1を受け、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力され

、かつアドレス信号A_0が通常のＨレベルより高いスーパーＨレベルにされてアドレス信号A_1が通常のＨレベルにされると、タイミング検知信号TDCのＨレベルへの立ち上がりに応じてＬレベルにされるテストグループ検出信号/TGA、およびロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力され、かつアドレス信号A_0が通常のＨレベルにされてアドレス信号A_1がスーパーＨレベルにされると、タイミング検知信号TDCのＨレベルへの立ち上がりに応じてＬレベルにされるテストグループ検出信号/TGBとを出力するテストグループ検出回路1612（図６）を有する。

【００５７】

1620は状態検出回路1610からのタイミング検出信号/TDA,TDB、テストグループ検出信号/TGA,/TGBおよびロウアドレスバッファ300からのロウアドレス信号/RA_2,・・・,/RA_6を受け、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されると、アドレス信号A_0,A_1のうちの一方がスーパーＨレベルで他方が通常のＨレベルになっていなければ、タイミング検出信号TDCの立ち上がりに応じてＨレベルにされるマルチビットテストモード設定信号TEと、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力され、アドレス信号A_0,A_1のうちの一方がスーパーＨレベルで他方が通常のＨレベルにされると、ロウアドレス信号/RA_2,・・・,/RA_6に応じたものがＨレベルとなる特殊テストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST5,TEST6N,TEST6S,TEST7とを出力し、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力され、アドレス信号A_0,A_1のうちの一方がスーパーＨレベルで他方が通常のＨレベルにされ、ロウアドレス信号/RA_6がＬレベルにされると、マルチビットテストモード設定信号TEがＨレベルにすると共に特殊テストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST5,TEST6N,TEST6S,TEST7のうちロウアドレス信号/RA_2,・・・,/RA_5に応じたものをＨレベルにするテストモード設定信号発生回路（図７）である。

【００５８】

図５は状態検出回路1610におけるタイミング検出回路1611の具体的回路図で、1611aはロウアドレスストローブ信号/RASの遅延信号D/RASを出力する遅延回路、1611bはロウアドレスストローブ信号/RASがＬレベルに立ち下がってから、遅延信号D/RASがロウアドレスストローブ信号/RASから遅れてＨレベルに立ち上がるまでＬレベルとなるクロックトインバータ制御信号CLCおよびこの反転信号/CLCを出力し、ロウアドレスストローブ信号/RASおよびこの遅延信号D/RASが共にＨレベルになると出力をＬレベルにするNAND回路1611ba、インバータ1611bbおよび1611bcを有するクロックトインバータ制御回路、1611cはライトイネーブル信号/WE、クロックトインバータ制御信号CLCおよび/CLCを受け、ライトイネーブル信号/WEが先にＬレベルとなって、ロウアドレスストローブ信号/RASがＬレベルになるとＬレベルとなるWBR(/WEBefore/RAS)検出信号/WBRを出力するWBR検出回路で、クロックトインバータ1611ca、インバータ1611cbおよびクロックトインバータ1611ccを有し、クロックトインバータ制御信号CLCおよび/CLCがそれぞれＨレベルおよびＬレベルのときは、WBR検出信号/WBRをライトイネーブル信号/WEと同論理とし、クロックトインバータ制御信号CLCおよび/CLCがそれぞれＬレベルおよびＨレベルになると、その時点でのWBR検出信号/WBRを保持する。

【００５９】

1611dはコラムアドレスストローブ信号/CAS、クロックトインバータ制御信号CLCおよび/CLCを受け、コラムアドレスストローブ信号/CASが先にＬレベルとなって、ロウアドレスストローブ信号/RASがＬレベルになるとＬレベルとなるCBR(/CASBefore/RAS)検出信号/CBRを出力するCBR検出回路で、クロックトインバータ1611da、インバータ1611dbおよびクロックトインバータ1611dcを有し、クロックトインバータ制御信号CLCおよび/CLCがそれぞれＨレベルおよびＬレベルのときは、CBR検出信号/CBRをライトイネーブル信号/WEと同論理とし、クロックトインバータ制御信号CLCおよび/CLCがそれぞれＬレベルおよびＨレベ

ルになると、その時点でのCBR検出信号/CBRを保持する。

【００６０】

1611eはロウアドレスストローブ信号/RAS、この遅延信号D/RAS、WBR検出信号/WBRおよびCBR検出信号/CBRを受け、WBR検出信号/WBRおよびCBR検出信号/CBRがＬレベル、つまりロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されると、遅延信号D/RASがロウアドレスストローブ信号/RASに続いてＬレベルになったのに応じてＨレベルにセットされ、ロウアドレスストローブ信号/RASがＨレベルに立ち上がるとＬレベルにリセットされるWCBRタイミング検出信号WCBRを出力するWCBRタイミング検出回路で、ロウアドレスストローブ信号/RASおよびこの遅延信号D/RASが共にＬレベルのときに出力をＨレベルにするNOR回路1611eaと、インバータ1611ebと、NAND回路1611ecと、NOR回路1611edとを有する。

【００６１】

1611fは、ロウアドレスストローブ信号/RAS、この遅延信号D/RAS、コラムアドレスストローブ信号/CAS、WBR検出信号/WBRおよびCBR検出信号/CBRを受け、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがCBRリフレッシュタイミングで入力されてWBR検出信号/WBRがＨレベルかつCBR検出信号/CBRがＬレベルになるか、またはロウアドレスストローブ信号/RASおよびコラムアドレスストローブ信号/CASがRORタイミングで入力されると、ロウアドレスストローブ信号/RASがＨレベルに立ち上がってから所定期間Ｌレベルとなるリセットタイミング検出信号/RSTを出力するリセットタイミング検出回路である。

【００６２】

このリセットタイミング検出回路1611fは、ロウアドレスストローブ信号/RAS、この遅延信号D/RAS、WBR検出信号/WBRおよびCBR検出信号/CBRを受け、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがCBRリフレッシュタイミングで入力されてWBR検出信号/WBRがＨレベルかつCBR検出信号/CBRがＬレベルになると、ロウアドレスストローブ信号/RASがＨレベルに立ち上がってから所定期間Ｈレベルになる CBRリフレッシュタイミング検出信号CBRRを出力し、インバータ1611ga、NOR回路1611gb、インバータ1611gc、NOR回路1611gd、NOR回路1611ge、NOR回路1611geとでフリップフロップ回路を構成するNOR回路1611gfおよびNOR回路1611ggを有するCBRリフレッシュタイミング検出回路1611gを有する。

【００６３】

さらに、リセットタイミング検出回路1611fは、ロウアドレスストローブ信号/RAS、この遅延信号D/RASおよびコラムアドレスストローブ信号/CASを受け、ロウアドレスストローブ信号/RASおよびコラムアドレスストローブ信号/CASがRORタイミングで入力されると、ロウアドレスストローブ信号/RASがＨレベルに立ち上がってから所定期間Ｈレベルになる RORタイミング検出信号RORを出力し、インバータ1611ha、NAND回路1611hb、NOR回路1611hc、NOR回路1611hd、NOR回路1611hdとでフリップフロップ回路を構成するNOR回路1611he、インバータ1611hfおよびNOR回路1611hgを有するRORリフレッシュタイミング検出回路1611hと、CBRリフレッシュタイミング検出信号CBRRおよびRORタイミング検出信号RORを受けてリセットタイミング検出信号/RSTを出力し、CBRリフレッシュタイミング検出信号CBRRおよびRORタイミング検出信号RORのうち少なくとも一方がＨレベルであるとリセットタイミング検出信号/RSTをＬレベルとするNOR回路1611faとを有する。

【００６４】

1611iはWCBRタイミング検出信号WCBRおよびリセットタイミング検出信号/RSTを受け、タイミング検出信号TDAを出力し、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されてWCBRタイミング検出信号WCBRがＨレベルでリセットタイミング検出信号/RSTがＨレベルとなると、タイミング検出信号TDAをＨレベルにセットし、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがCBRリフレッシュタイミングまたはRORタイミングで入力されて、ロウアドレスストローブ信号/RASのＨレベルへ

の立ち上がりでWCBRタイミング検出信号WCBRがＬレベルでリセットタイミング検出信号/RSTがＬレベルとなると、タイミング検出信号TDAをＬレベルにリセットし、インバータ1611ia、NAND回路1611ibおよびNAND回路1611ibとでフリップフロップ回路を構成するNAND回路1611icを有するセット／リセット回路である。

【００６５】

1611jはタイミング検出信号TDA、クロックトインバータ制御信号CLCおよび/CLCを受けてタイミング検出ラッチ信号LTDAを出力し、クロックトインバータ制御信号CLCおよび/CLCがそれぞれＨレベルおよびＬレベルのときは、タイミング検出ラッチ信号LTDAをタイミング検出信号TDAと同論理とし、クロックトインバータ制御信号CLCおよび/CLCがそれぞれＬレベルおよびＨレベルになると、その時点でのタイミング検出ラッチ信号LTDAを保持するタイミング検出信号ラッチ回路で、クロックトインバータ1611ja、インバータ1611jbおよびクロックトインバータ1611jcを有している。

【００６６】

1611kはロウアドレスストローブ信号/RASを受け、このロウアドレスストローブ信号/RASがＬレベルに立ち下がってから所定時間経過後、所定期間だけＬレベルに立ち下がるパルス信号PLSを出力するパルス発生回路で、遅延回路1611ka、インバータ1611kb、遅延回路1611kcおよびNAND回路1611kdを有する。

【００６７】

1611mはタイミング検出信号TDAタイミング検出ラッチ信号LTDAおよびパルス信号PLSを受け、タイミング検出信号TDAを反転したタイミング検出信号/TDAと、タイミング検出信号TDAがＨレベル、パルス信号PLSがＬレベル、タイミング検出ラッチ信号LTDAがＬレベルであるとＨレベルとなるタイミング検出信号TDBと、タイミング検出ラッチ信号LTDAと同論理のタイミング検出信号TDCとを出力するタイミング検出信号発生回路で、インバータ1611ma,1611mb、NAND回路1611mc、インバータ1611md,1611meおよび1611mfとを有する。

【００６８】

従って、タイミング検出信号/TDAはロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRのタイミングで入力されるとＬレベルにセットされ、CBRリフレッシュタイミングまたはRORタイミングで入力されるとロウアドレスストローブ信号/RASのＨレベルへの立ち上がりに応じてＨレベルにリセットされ、タイミング検出信号TDBはロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されると、ロウアドレスストローブ信号/RASがＬレベルに立ち下がってから所定時間経過後に所定期間だけＨレベルとなり、タイミング検出信号TDCはロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されると、ロウアドレスストローブ信号/RASのＨレベルへの立ち上がりに基づいてＨレベルとなり、CBRリフレッシュタイミングまたはRORタイミングで入力されると、ロウアドレスストローブ信号/RASのＨレベルへの立ち上がりに基づいてＬレベルとなる。

【００６９】

図６は状態検出回路1610におけるテストグループ検出回路1612の具体的回路図で、1612aはスーパーＨレベル検出回路で、アドレス信号A_0を受けるアドレスピン1612aaとスーパーＨレベル検出信号SD_0 が出力されるスーパーＨレベル検出信号出力ノード1612abとの間に接続され、それぞれがしきい値電圧V_{th}をもち、ゲートとドレインが接続され、アドレスピン1612aaとスーパーＨレベル検出信号出力ノード1612abとの間に直列に接続される３つのｎチャネルＭＯＳトランジスタ1612ac,1612adおよび1612aeを有し、アドレス信号A_0が外部電源電位$extV_{CC}$よりも高いスーパーＨレベル($intV_{CC}+3V_{th}$よりも高いレベル)のときにスーパーＨレベル検出信号出力ノード1612abにＨレベルの電位（内部電源電位$intV_{CC}$以上の電位であるA_0-3V_{th}）を与えるプルアップ回路1612afと、スーパーＨレベル検出信号出力ノード1612abと接地電位ノード100bとの間に接続され、ゲートが内部電源電位ノード100cに接続されるｎチャネルＭＯＳトランジスタ1612agを含み、常時導通状態となっている負荷回路1612ahとを有し、アドレス信号A_0がスーパーＨレベルのときはスーパーＨレベ

ル検出信号SD_0 をＨレベルにする。

【００７０】

ｎチャネルＭＯＳトランジスタ1612agはアドレス信号A_0が$intV_{CC}+3V_{th}$（スーパーＨレベルに含まれる）のときスーパーＨレベル検出信号SD_0 が$intV_{CC}$（内部のＨレベル）となるようにアドレスピン1612aaからプルアップ回路1612afを介してスーパーＨレベル検出信号出力ノード1612abに供給される電流に比べてスーパーＨレベル検出信号出力ノード1612abから負荷回路1612ahを介して接地電位ノード100bに流れる電流が無視できるくらいに小さくするため、チャネル幅Ｗとチャネル長Ｌとの比Ｗ/Ｌをプルアップ回路1612afにおけるｎチャネルＭＯＳトランジスタ1612ac,1612adおよび1612aeのチャネル幅とチャネル長の比にくらべて十分に小さくしている。また、ｎチャネルＭＯＳトランジスタ1612agは常時導通状態とされているのでこのスーパーＨレベル検出回路1612aはアドレス信号A_0が$3V_{th}$を越えるとアドレスピン1612aaから接地電位ノード100bに電流が流れて電力を消費する。

【００７１】

1612bはスーパーＨレベル検出回路1612aと同様に構成され、アドレスピン1612baに与えられるアドレス信号A_1がスーパーＨレベルであるとＨレベルとなるスーパーＨレベル検出信号SD_1 を出力するスーパーＨレベル検出回路で、ｎチャネルＭＯＳトランジスタ1612bc,1612bdおよび1612beを有するプルアップ回路1612bfと、ｎチャネルＭＯＳトランジスタ1612bgを有する負荷回路1612bhとを有する。

【００７２】

1612cはタイミング検出信号/TDA,TDB,TDC、スーパーＨレベル検出信号SD_0,SD_1 およびロウアドレス信号RA_0,RA_1 を受け、アドレス信号A_0がスーパーＨレベル（以下Ｓレベルと称す）、A_1が通常のＨレベルにされて、Ｓレベル検出信号SD_0,SD_1 ロウアドレス信号/RA_0および/RA_1がそれぞれＨレベル、Ｌレベル、ＬレベルおよびＬレベルとなり、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されて、タイミング検出信号TDBが所定期間Ｈレベルとなり、/TDAがＬレベルとなり、TDCがＨレベルとなるとＬレベルとなるテストグループ検出信号/TGAおよびアドレス信号A_0がＨレベル、A_1がＳレベルにされて、Ｓレベル検出信号SD_0,SD_1 ロウアドレス信号/RA_0および/RA_1がそれぞれＬレベル、Ｈレベル、ＬレベルおよびＬレベルとなり、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されて、タイミング検出信号TDBが所定期間Ｈレベルとなり、/TDAがＬレベルとなり、TDCがＨレベルとなるとＬレベルとなるテストグループ検出信号/TGBを出力するテストグループ検出信号発生回路である。

【００７３】

このテストグループ検出信号発生回路1612cはスーパーＨレベル検出信号SD_0,SD_1 、ロウアドレス信号/RA_0および/RA_1を受けてアドレス信号A_0およびA_1に応じたテストグループ検出補助信号SV_0,HV_0,SV_1,HV_1 を出力するテストグループ検出補助回路1612caと、テストグループ検出補助信号SV_0,HV_0,SV_1,HV_1 およびタイミング検出信号TDCを受けてテストグループ検出信号/TGAおよび/TGBを出力するテストグループ検出信号制御回路1612cbとを有している。そして、テストグループ検出補助回路1612caはインバータ1612cc、クロックトインバータ1612cd、NOR回路1612ce、インバータ1612cf、NOR回路1612cg、クロックトインバータ1612ch、NOR回路1612ci、インバータ1612cj、クロックトインバータ1612ck、NOR回路1612cm、インバータ1612cn、NOR回路1612cp、クロックトインバータ1612cq、NOR回路1612crおよびインバータ1612csを有し、アドレス信号A_0およびA_1がそれぞれＳレベルおよびＨレベルとされ、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されたとき、テストグループ検出補助信号SV_0,HV_0,SV_1 およびHV_1 をそれぞれＨレベル、Ｌレベル、ＬレベルおよびＨレベルとし、アドレス信号A_0およびA_1がそれぞれＨレベルおよびＳレベルのときテストグループ検出補助信号SV_0,HV_0,SV_1 およびHV_1 をそれぞれＬレベル、Ｈレベル、ＨレベルおよびＬレベルとする。

【００７４】

また、テストグループ検出信号制御回路1612cbは、NAND回路1612ctおよび1612cuを有し、テストグループ検出補助信号SV_0,HV_0,SV_1 およびHV_1 が、アドレス信号A_0およびA_1がそれぞれＳレベルおよびＨレベルとされ、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されたことを示すＨレベル、Ｌレベル、Ｌレベルおよびレベルになって、かつタイミング検出信号TDCがＨレベルであるとテストグループ検出信号/TGAおよび/TGBをそれぞれアドレス信号A_0およびA_1がそれぞれＳレベルおよびＨレベルとされ、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されたことを示すＬレベルおよびＨレベルとし、テストグループ検出補助信号SV_0,HV_0,SV_1 およびHV_1 が、アドレス信号A_0およびA_1がそれぞれＨレベルおよびＳレベルとされ、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されたことを示すＬレベル、Ｈレベル、Ｈレベルおよびレベルになって、かつタイミング検出信号TDCがＨレベルであるとテストグループ検出信号/TGAおよび/TGBをそれぞれアドレス信号A_0およびA_1がそれぞれＨレベルおよびＬレベルとされ、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力されたことを示すＨレベルおよびＬレベルとする。

【００７５】

図７は図４に示されたテストモード設定信号発生回路1620を示すブロック図であり、図７において1621はタイミング検出信号/TDA,TDBおよびロウアドレス信号/RA_2,・・・,/RA_6を受け、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRタイミングで入力され、タイミング検出信号/TDAがＬレベルとなり、タイミング検出信号TDBが所定期間Ｈレベルになっている間にロウアドレス信号/RA_2,・・・,/RA_6を取り込んでこのロウアドレス信号/RA_2,・・・,/RA_6と論理が反転したアドレスキー信号AK_2,・・・,AK_6 および同論理のアドレスキー信号/AK_2,・・・,/AK_6を出力し、タイミング検出信号TDBがＬレベルになるとロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがCBRリフレッシュタイミングまたはRORタイミングのリセットタイミングで入力されてタイミング検出信号/TDAがＨレベルに立ち上がるまではこのアドレスキー信号AK_2,・・・,AK_6,/AK_2,・・・,/AK_6を保持するアドレスキーラッチ回路（図８）である。

【００７６】

1622はアドレスキー信号AK_2,・・・,AK_6,/AK_2,・・・,/AK_6を受けてこれらの論理積であるアドレスキープリデコード信号AK_2 ・AK_3,AK_2 ・/AK_3,/AK_2・AK_3,/AK_2・/AK_3,AK_4 ・AK_5,AK_4 ・/AK_5,/AK_4・AK_5,/AK_4・/AK_5 を出力するアドレスキープリデコーダ（図９）、1623はアドレスキープリデコード信号AK_2 ・AK_3,AK_2 ・/AK_3,/AK_2・AK_3,/AK_2・/AK_3,AK_4 ・AK_5,AK_4 ・/AK_5,/AK_4・AK_5,/AK_4・/AK_5 、アドレスキー信号AK_6 、テストグループ検出信号/TGA,/TGBおよびタイミング検出信号TDCを受け、これらの信号に応じたアドレスキーデコード信号AKD_0,・・・,AKD_7を出力するアドレスキーメインデコーダ（図１０）、1624はアドレスキーデコード信号AKD_0,・・・,AKD_7を受け、このアドレスキーデコード信号AKD_0,・・・,AKD_7に応じたテストモード設定信号TE,TEST1,TEST2,TEST3,TEST4,TEST5,TEST6N,TEST6S,TEST7を出力するバッファ（図１１）である。

【００７７】

図８はアドレスキーラッチ回路1621を示す具体的回路図で、アドレスキーラッチ回路1621はインバータ1621aと、クロックトインバータ1621ba、NOR回路1621bb、NOR回路1621bbとでラッチ回路を構成するインバータ1621bc、およびインバータ1621bdを有する部分ラッチ回路1621bと、クロックトインバータ1621ca、NOR回路1621cb、NOR回路1621cbとでラッチ回路を構成するインバータ1621cc、およびインバータ1621cdを有する部分ラッチ回路1621cと、クロックトインバータ1621da、NOR回路1621db、NOR回路1621dbとでラッチ回路を構成するインバータ1621dc、およびインバータ1621ddを有する部分ラッチ回路1621dと、クロックトインバータ1621ea、NOR回路1621eb、NOR回路1621ebとでラッチ回路を構成するイ

ンバータ1621ec、およびインバータ1621edを有する部分ラッチ回路1621eと、クロックトインバータ1621fa、NOR回路1621fb、NOR回路1621fbとでラッチ回路を構成するインバータ1621fc、およびインバータ1621fdを有する部分ラッチ回路1621fとを有する。

【００７８】

図９はアドレスキープリデコーダ1622を示す具体的回路図で、このアドレスキープリデコーダ1622はNOR回路1622a,1622b,1622c,1622d,1622e,1622f,1622g,1622hを有する。このように２相のアドレスキー信号AK_i および/AK_i をラッチしておくことで、NOR回路１つだけで１つのアドレスキープリデコード信号を出力できる。図１０はアドレスキーメインデコーダ1623を示す具体的回路図で、このアドレスキーメインデコーダ1623はタイミング検出信号TDC、テストグループ検出信号/TGA,/TGBおよびアドレスキー信号AK_6 を受け、アドレスキーデコード信号AKD_0を出力する部分デコーダ1623aと、アドレスキープリデコード信号AK_2 ・AK_3,/AK_2・AK_3,AK_4 ・/AK_5,AK_2 ・/AK_3,/AK_4・AK_5 およびテストグループ検出信号/TGAを受け、アドレスキープリデコード信号AK_2 ・AK_3,/AK_2・AK_3,AK_4 ・/AK_5,AK_2 ・/AK_3,/AK_4・AK_5にそれぞれ対応したアドレスキーデコード信号AKD_6,AKD_4,AKD_7,AKD_3,AKD_5を出力する部分デコーダ1623bと、アドレスキープリデコード信号AK_2 ・AK_3,AK_2 ・/AK_3,/AK_2・AK_3およびテストグループ検出信号/TGBを受けてアドレスキーデコード信号AKD_1,AKD_2を出力する部分デコーダ1623cとを有する。

【００７９】

そして、部分デコーダ1623aはインバータ1623aa、NAND回路1623ab、NOR回路1623ac、インバータ1623ad、NAND回路1623ae、NAND回路1623afおよびNAND回路1623agを有し、アドレス信号A_0およびA_1の一方がＳレベルで他方がＨレベルのとき以外で、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRのタイミング（JEDEC標準のマルチビットテストモードセットタイミング）で入力されてテストグループ検出信号/TGA,/TGBが共にＨレベルとされ、タイミング検出信号TDCがＨレベルにされるとき、またはアドレス信号A_0およびA_1の一方がＳレベルで他方がＨレベルにされてロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRのタイミング（特殊テストモードセットタイミング）で入力されて、このときにアドレス信号A_6としてＨレベルが与えられ、テストグループ検出信号/TGA,/TGBのうち一方がＬレベルとされ、アドレスキー信号AK_6 がＨレベルとされタイミング検出信号TDCがＨレベルにされるときに、アドレスキーデコード信号AKD_0をＨレベルとする。

【００８０】

部分デコーダ1623bはインバータ1623ba,1623bb,1623bc,1623bd,1623beおよびNOR回路1623bf,1623bg,1623bh,1623bi,1623bjを有し、アドレス信号A_0およびA_1がそれぞれＳレベルおよびＨレベルにされてロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRのタイミング（特殊テストモードセットタイミング）で入力され、テストグループ検出信号/TGAがＬレベルとされると、アドレスキーデコード信号AKD_6,AKD_4,AKD_7,AKD_3,AKD_5のうち、５つのアドレスキープリデコード信号AK_2 ・AK_3,/AK_2・AK_3,AK_4 ・/AK_5,AK_2 ・/AK_3,/AK_4・AK_5の中のアドレス信号A_2,・・・,A_5に応じてＨレベルとなったアドレスキープリデコード信号に対応したものをＨレベルにする。

【００８１】

部分デコーダ1623cはNOR回路1623ca,1623cb,1623cc,1623cdを有し、アドレス信号A_0およびA_1がそれぞれＨレベルおよびＳレベルにされてロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEがWCBRのタイミング（特殊テストモードセットタイミング）で入力され、テストグループ検出信号/TGBがＬレベルとされると、このときに与えられていたアドレス信号A_2およびA_3が共にＨレベルでアドレスキープリデコード信号AK_2 ・AK_3,AK_2 ・/AK_3,/AK_2・AK_3がそれぞれＨレベル、Ｌレベル、Ｌレベルであるとアドレスキーデコード信号AKD_1およびAKD_2を共にＨレベルとし、アドレス信号A_2およびA_3がそれぞれＨレベルおよびＬレベルでアドレスキープリデコード信号

AK_2 ・AK_3,AK_2 ・/AK_3,/AK_2・AK_3がそれぞれＬレベル、Ｈレベル、Ｌレベルであるとアドレスキーデコード信号AKD_1およびAKD_2をそれぞれＨレベルおよびＬレベルとし、アドレス信号A_2およびA_3がそれぞれＬレベルおよびＨレベルでアドレスキープリデコード信号AK_2・AK_3,AK_2 ・/AK_3,/AK_2・AK_3がそれぞれＬレベル、Ｌレベル、Ｈレベルであるとアドレスキーデコード信号AKD_1およびAKD_2をそれぞれＬレベルおよびＨレベルとし、アドレス信号A_2およびA_3が共にＬレベルでアドレスキープリデコード信号AK_2 ・AK_3,AK_2 ・/AK_3,/AK_2・AK_3が共にＬレベルであるとアドレスキーデコード信号AKD_1およびAKD_2を共にＬレベルとする。

【００８２】

図１１はバッファ1624を示す具体的回路図であり、このバッファ1624はインバータ1624aと、このインバータ1624aよりも電流駆動能力の大きいインバータ1624bと、インバータ1624cと、このインバータ1624cよりも電流駆動能力の大きいインバータ1624dと、インバータ1624eと、このインバータ1624eよりも電流駆動能力の大きいインバータ1624fと、インバータ1624gと、このインバータ1624gよりも電流駆動能力の大きいインバータ1624hと、インバータ1624iと、このインバータ1624iよりも電流駆動能力の大きいインバータ1624jと、インバータ1624kと、このインバータ1624kよりも電流駆動能力の大きいインバータ1624mと、インバータ1624nと、このインバータ1624nよりも電流駆動能力の大きいインバータ1624pおよび1624qと、インバータ1624rと、このインバータ1624rよりも電流駆動能力の大きいインバータ1624sとを有する。このように後段のインバータほど電流駆動能力を大きくすることで、テストモード設定信号TE,TEST1,TEST2,TEST3,TEST4,TEST5,TEST6N,TEST6S,TEST7を伝達する配線を素早く充放電できる。

【００８３】

図１２はこのDRAMの半導体チップ上のレイアウトを示す簡略化された平面図であり、図において10は半導体チップ、11はこの半導体チップ10の短辺の中央に位置し、長辺方向に延在するチップ中央帯12に長辺方向に配列された24個のパッドで、このパッド11を介してアドレス信号A_i や、ロウアドレスストローブ信号ext/RASなどの制御信号がこの半導体チップ10に入力され、このパッド11を介してデータD_r のやり取りも行われる。13aはテストモード設定回路1600から出力されるマルチビットテストモード設定信号TEを伝達するテストモード設定信号配線、13bはテストモード設定回路1600から出力されるテストモード設定信号TEST1を伝達するテストモード設定信号配線、13cはテストモード設定回路1600から出力されるテストモード設定信号TEST2を伝達するテストモード設定信号配線、13dはテストモード設定回路1600から出力されるテストモード設定信号TEST3を伝達するテストモード設定信号配線、13eはテストモード設定回路1600から出力されるテストモード設定信号TEST4を伝達するテストモード設定信号配線、13fはテストモード設定回路1600から出力されるテストモード設定信号TEST5を伝達するテストモード設定信号配線、13gはテストモード設定回路1600から出力されるテストモード設定信号TEST6Nを伝達するテストモード設定信号配線、13hはテストモード設定回路1600から出力されるテストモード設定信号TEST6Sを伝達するテストモード設定信号配線、13iはテストモード設定回路1600から出力されるテストモード設定信号TEST7を伝達するテストモード設定信号配線である。

【００８４】

14は図３に示された基準電位発生回路111、レギュレータ114およびストレスモード回路115を有し、半導体チップ10のS(South)側に配置される内部回路117から出力される基準電位V_{ref} を、レギュレータ112およびストレスモード回路113を有し、半導体チップ10のN(North)側に配置される内部回路116に伝達するための基準電位配線で、テストモード設定回路1600よりもS側ではこの基準電位配線14はテストモード設定信号配線13fおよびテストモード設定信号配線13hに隣接かつ並行して挟まれて設けられ、テストモード設定回路1600よりもN側ではテストモード設定信号配線13gおよびテストモード設定信号配線13iに隣接かつ並行して挟まれて設けられている。このように通常使用時はＬレベルに電位が固定されているテストモード設定信号配線を基準電位配線14に隣接させることで基準電位配線14にノイズが乗りにくくなり、通常使用時に安定した基準電位V_{ref} を伝達することを可能に

している。また、テストモード設定信号配線が通常使用時にＨレベルに固定される場合でも同様のことが可能であることはいうまでもない。

【００８５】

昇圧電位発生回路120は半導体チップ10のN側に設けられ、テストモード設定信号配線13iを介してテストモード設定回路1600からテストモード設定信号TEST7を受け、テストモード設定信号TEST7がＨレベルになると出力している昇圧電位V_{PP}の内部電源電位intV_{CC}に対するブーストレベルが低くなるように（例えば通常はV_{PP}=intV_{CC}+2BSTとすると、TEST=HのときintV_{CC}+BSTに）している。セルプレート電位発生回路130は半導体チップ10のS側に設けられ、テストモード設定信号配線13fを介してテストモード設定回路1600からテストモード設定信号TEST5を受け、テストモード設定信号TEST5がＨレベルになるとセルプレート電位V_{CP}を通常の(1/2)intV_{CC}からintV_{CC}に上昇させる。

【００８６】

また、ロウプリデコーダ400に含まれる内部回路410は、テストモード設定信号配線13eを介してテストモード設定信号TEST4を受け、このテストモード設定信号TEST4がＨレベルになると通常よりも多くのBS_j をＨレベルにして通常よりも多くのメモリセルブロック511が選択されてワード線が立ち上がるようにしている（ディスターブテストモード）。その他にもテストモード設定信号配線13eを介してテストモード設定信号TEST4を受け、このテストモード設定信号TEST4がＨレベルになると、コラムデコーダ1000からのデータ選択信号DS_n により128ビットから4ビットのデータが選択される前の128ビットに同時に同じデータを書き込んだり、128ビットのデータが同一データか否か判定して判定結果をパッド11に出力するマルチビットテストモードを行うマルチビットテスト回路1120や、それぞれがテストモード設定信号配線13b,13cおよび13dを介してテストモード設定信号TEST1,TEST2およびTEST3を受け、このテストモード設定信号TEST1,TEST2およびTEST3がＨレベルになると各所定のテスト動作を行う内部回路1130,1140および1150が設けられている。

【００８７】

510はメモリマットで、チップ中央帯12を挟んで２つずつ計４つ設けられ、それぞれが17のセンスアンプブロック1110により16のメモリセルブロック511に分割されている。ロウデコーダ600は各メモリマット510のチップ中央帯12側に設けられ、各メモリセルブロック511に対応して設けられたロウデコーダブロック610を有する。コラムデコーダ1000は各メモリマット510に対して設けられ、128対のビット線（図示されず）を含む列ブロックに対応して１つ設けられるコラムデコーダブロック1010を有する。

【００８８】

図13はテストモード設定信号配線13f,13hおよび基準電位配線14が並行して配置されている部分の簡略化した断面図である。図において10aは半導体基板、10bは絶縁膜、10cは絶縁膜10b上の1層目の金属層（例えばアルミニウム層やタングステン層）で形成された配線、10dは配線10c上に形成された層間絶縁膜で、テストモード設定信号配線13f,13hおよび基準電位配線14は絶縁膜10d上の2層目の金属層（例えばアルミニウム層やタングステン層）で形成されている。10eはテストモード設定信号配線13f,13hおよび基準電位配線14上に形成された絶縁膜である。

【００８９】

次にテストモード設定回路1600の動作について図14から図17のタイミング図に基づいて説明する。図14は図5に示されたタイミング検出回路1611のWCBRタイミングでテストモードにセットし、CBRリフレッシュタイミングでテストモードをリセットしたときの動作を示すタイミング図で、まず時刻t_0以前ではタイミング検出信号/TDA,TDBおよびTDCはそれぞれ図14の(p),(q)および(r)に示されたようにＨレベル、ＬレベルおよびＬレベルにリセットされている。そして、ライトイネーブル信号/WEが図14の(c)に示すように時刻t_0でＬレベルにされると、タイミング検出回路1611におけるWBR検出回路1611cから出力されるWBR検出信号/WBRは図14の(d)に示すようにＬレベルとなり、コラムアドレスストローブ信号/CASが図14の(b)に示すように時刻t_1でＬレベルにされると、タイミング検出回路1611におけるCBR検出回路1611dから出力されるCBR検出信号/CBRは図14の(e)に示すようにＬレベル

となり、ロウアドレスストローブ信号/RASが図14の(a)に示すように時刻t_2でＬレベルにされると、このWBR検出信号/WBRおよびCBR検出信号/CBRは共にラッチされ、Ｌレベルを保持する。

【００９０】

一方、このときはまだWCBRタイミング検出回路1611eから出力されるWCBRタイミング検出信号WCBRが図14の(g)に示すようにＬレベルで、このWCBRタイミング検出信号WCBRを受けるセット／リセット回路1611iから出力されるタイミング検出信号TDAも図14の(k)に示すようにＬレベルにリセットされた状態となっており、タイミング検出信号ラッチ回路1611jから出力されるタイミング検出ラッチ信号LTDAは図14の(n)に示すようにラッチされ、Ｌレベルを保持する。従って、タイミング検出信号発生回路1611mから出力されるタイミング検出信号TDCは図14の(r)に示すようにＬレベルのままである。

【００９１】

そしてロウアドレスストローブ信号/RASの遅延信号D/RASが図14の(f)に示すように時刻t_3でＬレベルに立ち下がると、WCBRタイミング検出回路1611eから出力されるWCBRタイミング検出信号WCBRは図14の(g)に示すようにＨレベルとなり、セット／リセット回路1611iから出力されるタイミング検出信号TDAは図14の(k)に示すようにＨレベルにセットされ、このタイミング検出信号TDAをタイミング検出信号発生回路1611mにより反転したタイミング検出信号/TDAは図14の(p)に示すようにＬレベルとなる。そして、パルス発生回路1611kから出力されるパルス信号PLSがロウアドレスストローブ信号/RASがＬレベルに変化した時刻t_2から所定時間経過した時刻t_4で図14の(m)に示すようにＬレベルとなり時刻t_5までの所定期間Ｌレベルとなると、この所定期間の間、タイミング検出信号発生回路1611mから出力されるタイミング検出信号TDBは図14の(q)に示すようにＨレベルとなる。

【００９２】

そして、ライトイネーブル信号/RASが図14の(c)に示すように時刻t_6でＨレベルとされ、コラムアドレスストローブ信号/CASが図14の(b)に示すように時刻t_7でＨレベルとされ、ロウアドレスストローブ信号/RASが図14の(c)に示すように時刻t_8でＨレベルとされると、WCBRタイミング検出回路1611eから出力されるWCBRタイミング検出信号WCBRが図14の(g)に示すようにＬレベルとなる。しかし、WCBRタイミング検出信号WCBRを受けるセット／リセット回路1611iから出力されるタイミング検出信号TDAは、リセットタイミング検出回路1611fから出力されるリセットタイミング検出信号/RSTが図14の(j)に示すようにＨレベルのままなので、図14の(k)に示すようにＨレベルにラッチされたままとなり、従ってタイミング検出信号/TDAも図14の(p)に示すようにＬレベルのままとなる。

【００９３】

そして、ロウアドレスストローブ信号/RASの遅延信号D/RASが図14の(f)に示すように時刻t_9でＨレベルになると、WBR検出回路1611cから出力されるWBR検出信号/WBRは図14の(d)に示すようにラッチが解除されてＨレベルに変化し、CBR検出回路1611dから出力されるCBR検出信号/CBRは図14の(e)に示すようにラッチが解除されてＨレベルに変化する。また、タイミング検出信号ラッチ回路1611jから出力されるタイミング検出ラッチ信号LTDAは図14の(n)に示すようにラッチが解除されてＨレベルに変化し、このタイミング検出ラッチ信号LTDAを受けるタイミング検出信号発生回路1611mから出力されるタイミング検出信号TDCは図14の(r)に示すようにＨレベルに変化する。このようにしてWCBRタイミングでテストモードにセットされる。

【００９４】

次に、コラムアドレスストローブ信号/CASが図14の(b)に示すように時刻t_{10}でＬレベルにされると、CBR検出回路1611dから出力されるCBR検出信号/CBRは図14の(e)に示すようにＬレベルとなり、ロウアドレスストローブ信号/RASが図14の(a)に示すように時刻t_{11}でＬレベルにされると、WBR検出信号/WBRおよびCBR検出信号/CBRは共にラッチされ、それぞれＨレベルおよびＬレベルを保持する。一方、このときセット／リセット回路1611iから出力されるタイミング検出信号TDAは図14の(k)に示すようにＨレベルにラッチされた状態となっており、タイミング検出信号ラッチ回路1611jから出力されるタイミング検出ラッ

チ信号LTDAは図14の(n)に示すようにラッチされ、Ｈレベルを保持する。従って、タイミング検出信号発生回路1611mから出力されるタイミング検出信号TDCは図14の(r)に示すようにＨレベルのままである。

【００９５】

そしてロウアドレスストローブ信号/RASの遅延信号D/RASが図14の(f)に示すように時刻t_{12}でＬレベルとなり、パルス信号PLSが図14の(m)に示すように時刻t_{13}から時刻t_{14}の期間Ｌレベルになる。そして、コラムアドレスストローブ信号/CASが図14の(b)に示すように時刻t_{15}でＨレベルとされ、ロウアドレスストローブ信号/RASが図14の(a)に示すように時刻t_{16}でＨレベルとされると、リセットタイミング検出回路1611fにおけるCBRリフレッシュタイミング検出回路1611gから出力されるCBRリフレッシュタイミング検出信号CBRRは図14の(h)に示すようにＨレベルに変化し、リセットタイミング検出回路1611fから出力されるリセットタイミング検出信号/RSTは図14の(j)に示すようにＬレベルに変化する。

【００９６】

このリセットタイミング検出信号/RSTを受けるセット／リセット回路1611iから出力されるタイミング検出信号TDAは、図14の(k)に示すようにＬレベルにリセットされ、タイミング検出信号発生回路1611mから出力されるタイミング検出信号/TDAは図14の(p)に示すようにＨレベルに変化する。そして、ロウアドレスストローブ信号/RASの遅延信号D/RASが図14の(f)に示すように時刻t_{17}でＨレベルに変化すると、CBRリフレッシュタイミング検出回路1611gから出力されるCBRリフレッシュタイミング検出信号CBRRが図14の(h)に示すようにＬレベルに変化し、リセットタイミング検出回路1611fから出力されるリセットタイミング検出信号/RSTがＨレベルに変化する。

【００９７】

また、CBR検出回路1611dから出力されるCBR検出信号/CBRは図14の(e)に示すようにラッチ解除されＨレベルに変化する。さらに、タイミング検出信号ラッチ回路1611jから出力されるタイミング検出ラッチ信号LTDAが、図14の(n)に示すようにラッチ解除されＬレベルに変化し、このタイミング検出ラッチ信号LTDAを受けるタイミング検出信号発生回路1611mから出力されるタイミング検出信号TDCは図14の(r)に示すようにＬレベルに変化する。このようにしてCBRリフレッシュタイミングでテストモードがリセットされる。

【００９８】

図15はWCBRタイミングでテストモードにセットし、RORタイミングでテストモードをリセットしたときの動作を示すタイミング図で、WCBRタイミングでテストモードにセットする時刻t_9までは図14のタイミング図と同じである。時刻t_9以降で図14のタイミング図と異なるのは、コラムアドレスストローブ信号/CASがＬレベルにされず、CBR検出信号/CBRがＬレベルにならない点、および時刻t_{16}でロウアドレスストローブ信号/RASがＨレベルにされたとき、CBRリフレッシュタイミング検出回路1611gから出力されるCBRリフレッシュタイミング検出信号CBRRがＨレベルにならずに、RORタイミング検出回路1611hから出力されるRORタイミング検出信号RORが図15の(i)に示すようにＨレベルになることで、リセットタイミング検出回路1611fから出力されるリセットタイミング検出信号/RSTが図15の(j)に示すようにＬレベルに変化する点である。このようにCBRリフレッシュタイミングでも、RORタイミングでも同様にテストモードをリセットできる。

【００９９】

図16はJEDECで標準化されたマルチビットテストモードを設定するときの動作を示すタイミング図で、まずアドレス信号A_0およびA_1を図16の(g)および(h)に示すように通常のＨレベルまたはＬレベルにしておき、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEを図16の(a),(b)および(c)に示すようにWCBRタイミングで入力すると、図13に基づき説明したとおり、タイミング検出信号/TDA,TDBおよびTDCはそれぞれ図16の(d),(e)および(f)に示すように変化する。

【０１００】

また、テストグループ検出回路1612におけるテストグループ検出信号発生回路1612cから出力されるテストグループ検出信号/TGAおよび/TGBはそれぞれ図16の(j)および(k)に示す

ように共にＨレベルであり、タイミング検出信号TDCが図16の(f)に示すように時刻t_9でＨレベルになると、共にＨレベルのテストグループ検出信号/TGAおよび/TGBを受けるアドレスキーメインデコーダ1623における部分デコーダ1623aから出力されるアドレスキーデコード信号AKD_0がＨレベルとなり、バッファ1624から出力されるマルチビットテストモード設定信号TEが図16の(m)に示すようにＨレベルに活性化する。マルチビットテストモード設定信号TEのＬレベルへのリセットは、ここでは図示していないがCBRリフレッシュタイミングまたはRORタイミングを入力することでおこなわれる。

【０１０１】

図17はJEDECで標準化されていない特殊テストモード（ここではストレステストモード）とマルチビットテストモードとを共に設定するときの動作を示すタイミング図で、まずアドレス信号A_0およびA_1を図17の(g)および(h)に示すようにそれぞれＳレベルおよびＨレベルに、アドレス信号A_2,・・・,A_6を図17の(i)に示すようにそれぞれＨレベル、Ｈレベル、Ｌレベル、Ｌレベル、Ｈレベルにしておき、ロウアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CASおよびライトイネーブル信号/WEを図17の(a),(b)および(c)に示すようにWCBRタイミングで入力すると、図14に基づき説明したとおり、タイミング検出信号/TDA,TDBおよびTDCはそれぞれ図17の(d),(e)および(f)に示すように変化する。

【０１０２】

そして、タイミング検出信号TDCが図17の(f)に示すように時刻t_9でＨレベルに変化すると、テストグループ検出回路1612におけるテストグループ検出信号発生回路1612cから出力されるテストグループ検出信号/TGAは図17の(j)に示すようにＬレベルとなり、アドレス信号A_2,・・・,A_6を図17の(i)に示すようにそれぞれＨレベル、Ｈレベル、Ｌレベル、Ｌレベル、Ｈレベルにしたため、アドレスキー信号AK_6 がＨレベルに、アドレスキープリデコーダ1622から出力されるアドレスキープリデコード信号AK_2 ・AK_3,/AK_2・AK_3,AK_4 ・/AK_5,AK_2 ・/AK_3,/AK_4・AK_5がそれぞれＨレベル、Ｌレベル、Ｌレベル、Ｌレベル、Ｌレベルになっているので、アドレスキーメインデコーダ1623における部分デコーダ1623aから出力されるアドレスキーデコード信号AKD_0がＨレベルとなり、部分デコーダ1623bから出力されるアドレスキーデコード信号AKD_6がＨレベルとなり、バッファ1624から出力されるマルチビットテストモード設定信号TEおよびストレステストモードTEST6N,TEST6Sがそれぞれ図17の(m)および(n)に示すようにＨレベルに活性化する。

【０１０３】

このように、JEDEC標準のマルチビットテストモードに設定できるだけでなく、アドレス信号A_6をＨレベルにしておくことで特殊テストモードと共にマルチビットテストモードの設定ができるようになっている。また、特殊テストモードを設定するときはアドレス信号A_0およびA_1の一方をＳレベル、他方をＨレベルにしないといけないので、間違って高い電圧を印加したときは共にＳレベルとなり、特殊テストモードにセットされないようになっている。また、テストモードのリセットはここでは図示していないがCBRリフレッシュタイミングまたはRORタイミングを入力することで行われる。

【０１０４】

図18はWCBRタイミングが入力されるとき、アドレス信号A_0,・・・,A_6の状態（アドレスキー）に応じてどのテストモード設定信号がＨレベルに活性化されるかを示すアドレスキーとテストモードとの対応表で、図中のSはＳレベル、HはＨレベル、LはＬレベル、＊はＨレベルまたはＬレベルであることを示す。ここでテストモード設定信号TEST1,TEST2を独立設定キーによりＨレベルになるようにしてあるのは、テストモード設定信号TEST1,TEST2以外の特殊テストモード設定信号を同時にＨレベルにしたいためである。もちろんこのアドレスキーの組み合わせに限られず自由にアドレスキーの組み合わせを決めて回路を組んでも構わない。

【０１０５】

以上のようにこの実施例１においては、JEDECで標準化されているマルチビットテストモードに設定できるだけでなく、特殊テストモードと共にマルチビットテストモードを設定できるので特殊テストに要するテスト時間を短縮することができる。

また、特殊テストモードに設定するにはアドレス信号A_0およびA_1の一方をＳレベル、他方をＨレベルにしないといけないので、間違って高い電圧を印加したときは共にＳレベルとなり、特殊テストモードに誤設定されない。

【０１０６】

また、常時導通状態となる負荷回路1612ah,1612bhを有するスーパーＨレベル検出回路1612a,1612bをアドレス信号A_0,A_1に対して設けるだけで、各アドレス信号A_2,・・・,A_6に対して設けず、あとはA_2,・・・,A_6のアドレスキーで特殊テストモードの設定ができるようにしてあるので、消費電力が低減され、回路面積の増大も抑制される。

また、テストグループ検出補助信号SV_0,HV_0,SV_1,HV_1 が確定してからタイミング検出信号TDCがＨレベルになり、テストグループ検出信号/TGA,/TGBがＬレベルに変化するようにしているので、誤設定が抑制される。

【０１０７】

さらに、テストモード設定信号の保持をアドレスキー信号をラッチすることで行って、後段のバッファ1624などでラッチしていないので、電流駆動能力の小さなサイズの小さい論理ゲートでラッチ回路を構成することが可能となり、テストモード設定回路1600の面積を小さくできる。

【０１０８】

実施例２.

次にこの発明の実施例２であるDRAMについて図19から図24に基づいて説明する。この実施例２のDRAMが実施例１のDRAMと異なる点は、テストモード設定回路1600におけるテストモード設定信号発生回路1620の構成とこの構成の違いからくるレイアウトの違いである。以下この異なる点について説明する。

【０１０９】

図19はこの実施例２のDRAMのテストモード設定回路1600におけるテストモード設定信号発生回路1620を示すブロック図であり、このテストモード設定信号発生回路1620が図7に示された実施例１のテストモード設定信号発生回路1620と異なる点は、バッファ1624の構成（図20）が異なる点、6つのアドレスキーデコード信号AKD_1,AKD_2,AKD_3,AKD_4,AKD_6およびAKD_7を受けてこれよりも少なく、このアドレスキーデコード信号AKD_1,AKD_2,AKD_3,AKD_4,AKD_6およびAKD_7に応じた３つのテストモードエンコード信号TEN_0,TEN_1およびTEN_2を出力するエンコード信号発生回路1625（図21）を新たに設けている点、および３つのテストモードエンコード信号TEN_0,TEN_1およびTEN_2を受けてこれよりも多い7つのテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7およびTEST6Sを出力するテストモードデコード回路群1626（図22）を新たに設けた点である。

【０１１０】

図20はこの実施例２のDRAMのテストモード設定回路1600におけるバッファ1624を示す回路図であり、このバッファ1624が図11に示された実施例１におけるバッファ1624と異なるのは、アドレスキーデコード信号AKD_0を受けてマルチビットテストモード設定信号TEを出力するインバータ1624aおよび1624bと、アドレスキーデコード信号AKD_5を受けてテストモード設定信号TEST5を出力するインバータ1624kおよび1624mを残して、他のインバータは除いた点である。

【０１１１】

図21はこの実施例２のDRAMのテストモード設定回路1600におけるエンコード信号発生回路1625を示す回路図であり、このエンコード信号発生回路1625は、アドレスキーデコード信号AKD_6,AKD_3,AKD_1,AKD_2を受け、アドレスキーデコード信号AKD_6がＨレベルのとき、アドレスキーデコード信号AKD_3がＨレベルのとき、またはアドレスキーデコード信号AKD_1およびAKD_2がそれぞれＨレベルおよびＬレベルのときＨレベルとなるテストモードエンコード信号TEN_0を出力する部分エンコード回路1625aと、アドレスキーデコード信号AKD_6,AKD_4,AKD_2,AKD_1を受け、アドレスキーデコード信号AKD_6がＨレベルのとき、アドレスキーデコード信号AKD_4がＨレベルのとき、またはアドレスキーデコード信号AKD_2およびAKD_1がそれぞれＨレベルおよびＬレベルのときＨレベルとなるテストモードエンコード信号TEN_1を出力

する部分エンコード回路1625bと、アドレスキーデコード信号AKD_6,AKD_7,AKD_3,AKD_4,AKD_1,AKD_2を受け、アドレスキーデコード信号AKD_6およびAKD_7がそれぞれＨレベルおよびＬレベルのとき、アドレスキーデコード信号AKD_3およびAKD_4の少なくとも一方がＨレベルのとき、またはアドレスキーデコード信号AKD_1およびAKD_2が共にＨレベルのときＨレベルとなるテストモードエンコード信号TEN_2を出力する部分エンコード回路1625cとを有する。

【０１１２】

そして、部分エンコード回路1625aはインバータ1625aa,1625ab,1625ac、NAND回路1625ad、NAND回路1625ae、インバータ1625afおよび1625agを有する。また、部分エンコード回路1625bはインバータ1625ba,1625bb,1625bc、NAND回路1625bd、NAND回路1625be、インバータ1625bfおよび1625bgを有する。さらに、部分エンコード回路1625bはインバータ1625ca、NAND回路1625cb、NOR回路1625cc、NAND回路1625cd、NAND回路1625ce、インバータ1625cfおよび1625cgを有する。

【０１１３】

図22はこの実施例２のDRAMのテストモード設定回路1600におけるテストモードデコード回路群1626を示す回路図であり、このテストモードデコード回路群1626は３つのテストモードエンコード信号TEN_0,TEN_1,TEN_2を受けて、テストモードエンコード信号TEN_0,TEN_1,TEN_2に応じた、このテストモードエンコード信号TEN_0,TEN_1,TEN_2よりも多い6つのテストモード設定信号TEST3,TEST4,TEST1,TEST2,TEST6N,TEST7を出力し、エンコード信号発生回路1625よりも半導体チップのN側に配置されるテストモードデコード回路1626aと、テストモードエンコード信号TEN_0,TEN_1,TEN_2を受けてこのテストモードエンコード信号TEN_0,TEN_1,TEN_2が共にＨレベルであるとＨレベルとなるテストモード設定信号TEST6Sを出力し、NAND回路1626baおよびインバータ1626bbを有するテストモードデコード回路1626bとを有する。

【０１１４】

テストモードデコード回路1626aはテストモードエンコード信号TEN_0,TEN_1,TEN_2を受け、テストモードエンコード信号TEN_0,TEN_1およびTEN_2がそれぞれＨレベル、Ｌレベルおよびレベルであるとレベルとなるテストモード設定信号TEST3、テストモードエンコード信号TEN_0,TEN_1およびTEN_2がそれぞれＬレベル、Ｈレベルおよびレベルであるとレベルとなるテストモード設定信号TEST4、テストモードエンコード信号TEN_0,TEN_1およびTEN_2がそれぞれＨレベル、Ｌレベルおよびレベルであるとそれぞれレベルおよびレベルとなり、テストモードエンコード信号TEN_0,TEN_1およびTEN_2がそれぞれＬレベル、Ｈレベルおよびレベルであるとそれぞれレベルおよびレベルとなり、テストモードエンコード信号TEN_0,TEN_1およびTEN_2がそれぞれＬレベル、Ｌレベルおよびレベルであると共にＨレベルとなるテストモード設定信号TEST1およびTEST2を出力するローカルテストモードデコード回路1626cと、テストモードエンコード信号TEN_0,TEN_1,TEN_2を受け、テストモードエンコード信号TEN_0,TEN_1およびTEN_2が共にＨレベルであるとＨレベルとなるテストモード設定信号TEST6N、およびテストモードエンコード信号TEN_0,TEN_1およびTEN_2がそれぞれＨレベル、Ｈレベルおよびレベルであるとレベルとなるテストモード設定信号TEST7を出力するローカルテストモードデコード回路1626dとを有する。

【０１１５】

そして、ローカルテストモードデコード回路1626cは、インバータ1626ca、NAND回路1626ab、インバータ1626cc、インバータ1626cd、NAND回路1626ce、インバータ1626cf、インバータ1626cg,1626ch,1626ci,1626cj,1626ck,1626cm,1626cn,1626cp,1626cq、NAND回路1626cr,1626cs,1626ctおよびNAND回路1626cu,1626cvを有する。また、ローカルテストモードデコード回路1626dは、NAND回路1626da、インバータ1626db,1626dc、NAND回路1626ddおよびインバータ1626deを有する。ここで、インバータ1626cgおよび1626chは遅延回路1626cwを構成し、インバータ1626cmおよび1626cnは遅延回路1626cxを構成し、インバータ1626cpおよび1626cqは遅延回路1626cyを構成している。テストモードエンコード信号TEN_0,TEN_1,TEN_2を直接入力せず、遅延回路1626cw,1626cx,1626cyを介して入力するのは、テストモードエンコード信号TEN_0,TEN_1,TEN_2のクロックスキューによってNAND回路1626cr,1626cs,1626ctからひげ状のパルスが発生するのを防ぐためである。

【０１１６】
図23はこの実施例2のDRAMの半導体チップ上のレイアウトを示す簡略化された平面図であり、図23において15はテストモード設定回路1600における状態検出回路1610と、テストモード設定信号発生回路1620の中のアドレスキーラッチ回路1621、アドレスキープリデコーダ1622、アドレスキーメインデコーダ1623、バッファ1624およびエンコード信号発生回路1625と、テストモード設定信号発生回路1620のテストモードデコード回路群1626の中のテストモードデコード回路1626bとを有するテスト回路である。そして、このテスト回路15におけるエンコード信号発生回路1625から出力されるテストモードエンコード信号TEN_0,TEN_1およびTEN_2をそれぞれ伝達する3本のエンコード信号配線13j,13kおよび13mがこのテスト回路15から半導体チップ10のN側に延びて配置されている。

【０１１７】
そして、テストモードデコード回路1626aを構成するローカルテストモードデコード回路1626cおよび1626dは、それぞれエンコード信号発生回路1625を有するテスト回路15よりも半導体チップ10のN側に設けられ、エンコード信号配線13j,13k,13mからテストモードエンコード信号TEN_0,TEN_1,TEN_2を受け、このテストモードエンコード信号に応じたテストモード設定信号TEST1,TEST2,TEST3,TEST4およびテストモード設定信号TEST6N,TEST7を、エンコード信号発生回路1625を有するテスト回路15よりも半導体チップ10のN側に設けられた内部回路1130,1140,1150,410および内部回路116,120に出力している。エンコード信号配線13j,13k,13mがテスト回路15から半導体チップ10のS側に延びていないのに、内部回路117に出力するテストモード設定信号TEST6Sを図22に示すようにわざわざテストモードエンコード信号TEN_0,TEN_1,TEN_2をテストモードデコード回路1626bによりデコードして発生させているのは、テストモード設定信号TEST6N,TEST6Sを同じタイミングでＨレベルにしてN側の内部回路116およびS側の内部回路117が同じタイミングでストレステストモード動作をするようにしているためである。

【０１１８】
そして、半導体チップ10のS側に設けられた内部回路117から出力される基準電位V_{ref}を半導体チップ10のN側に設けられた内部回路116に伝達するための基準電位線14は、テスト回路15のS側では基準電位線14と同じ2層目の金属層（例えばアルミニウム層やタングステン層）で形成されたテストモード設定信号配線13fおよび13hに隣接かつ並行して挟まれ、テスト回路15とローカルテストモードデコード回路1626dとの間のロウアドレス信号やコラムアドレス信号などの各種信号配線（図示せず）が配置されているチップ中央部分では基準電位線14と同じ2層目の金属層（例えばアルミニウム層やタングステン層）で形成されたエンコード信号配線13kおよび13mに隣接かつ並行して挟まれ、ローカルテストモードデコード回路1626dよりもN側では基準電位線14と同じ2層目の金属層（例えばアルミニウム層やタングステン層）で形成されたテストモード設定信号配線13gおよび13iに隣接かつ並行して挟まれている。これによって基準電位線14は通常動作時はＬレベルに固定されたテストモードクロック配線（テストモード設定信号配線およびエンコード信号配線）によってシールドされることで基準電位線14にはノイズが乗りにくくなる。また、テストモードクロック配線が異常使用時にＨレベルに固定される場合でも同様のことが可能であることはいうまでもない。

【０１１９】
また、テストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7の数よりも少ない3本のエンコード信号配線13j,13k,13mでテストモード設定信号をエンコードした形で伝達しているので、図12に示された実施例1のDRAMではテストモード設定回路1600から半導体チップ10のN側に延びる配線は、テストモード設定信号配線13a,13b,13c,13d,13e,13g,13iの7本であるのに対し、図23に示されたこの実施例2のDRAMではテスト回路15から半導体チップ10のN側に延びる配線は、エンコード信号配線13j,13k,13mおよびテストモード設定信号配線13aの4本で済むので、配線を延在させるのに必要な面積が低減される。特に、この実施例2のように半導体チップ10のチップ中央帯12にパッド11が配置された構成では、このチップ中央帯12の面積の多くをパッド11やこのパッド11に出力データを伝達する配線や

、パッド11から受けたアドレス信号を伝達する配線などの種々の配線が占めており、テストモード設定信号をエンコードした形で伝達して配線を少なくすることは効果的である。

【０１２０】

また、パッド11の位置に限らず、一般的にDRAMでは半導体チップ10の中央付近は、半導体チップ10の縦横に延びるロウアドレスプリデコード信号およびコラムアドレスプリデコード信号を伝達する配線などの交差点となるため、余分に配線を延在させる領域が小さい。従って、チップ中央付近を通ってテストモード設定信号を伝達する場合でもテストモード設定信号をエンコードした形で伝達して配線を少なくすることは効果的である。

【０１２１】

また、テストモード設定信号をエンコードした形で伝達することでテスト回路15から半導体チップ10のN側に延びる配線が減少したぶん、外部電源電位extV$_{CC}$を伝達する外部電源電位線や内部電源電位intV$_{CC}$を伝達する内部電源電位線や接地電位GNDを伝達する接地電位線などの電源線16を太くすることで、電源線16の抵抗値が小さくなって電圧降下が小さくなるので、安定した電源電位（接地電位を含む）を半導体チップ10の各所に伝えることができる。さらに、ローカルテストモードデコード回路1626cによりテストモード設定信号TEST1,TEST2,TEST3,TEST4が半導体チップ10の中央付近でデコードされると、残る２つのテストモード設定信号TEST6N,TEST7を半導体チップ10のN側へ伝達するのに3本のエンコード信号配線13j,13k,13mで伝達するのは得策ではないので、ローカルテストモードデコード回路1626dはテストモード設定信号TEST6N,TEST7に対応した内部回路116,120よりもローカルテストモードデコード回路1626cよりに設けられている。

【０１２２】

図24はテストモードエンコード信号TEN$_0$,TEN$_1$,TEN$_2$の状態によりテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7のうちのどれがＨレベルに活性化されるかを示すデコード表を示しており、テストモードエンコード信号TEN$_0$,TEN$_1$およびTEN$_2$がそれぞれＬレベル、ＬレベルおよびＬレベルであるとどのテストモードも活性化されず、Ｌレベル、ＬレベルおよびＨレベルであるとテストモード設定信号TEST1,TEST2がＨレベルにされ、Ｌレベル、ＨレベルおよびＬレベルであるとテストモード設定信号TEST2がＨレベルにされ、Ｌレベル、ＨレベルおよびＨレベルであるとテストモード設定信号TEST4がＨレベルにされ、Ｈレベル、ＬレベルおよびＬレベルであるとテストモード設定信号TEST1がＨレベルにされ、Ｈレベル、ＬレベルおよびＨレベルであるとテストモード設定信号TEST3がＨレベルにされ、Ｈレベル、ＨレベルおよびＬレベルであるとテストモード設定信号TEST7がＨレベルにされ、Ｈレベル、ＨレベルおよびＨレベルであるとテストモード設定信号TEST6NがＨレベルにされる。

【０１２３】

このように一般的にはn個のテストモードエンコード信号により、どのテストモード設定信号も活性化されない組み合わせ１つを除いた2^n -1通りの活性化されるテストモード設定信号の組み合わせが指定できる。また、マルチビットテストモード設定信号TEのように種々のテストモード設定信号と共に活性化させるテストモード設定信号は、エンコードせずに独立させておくことでいたずらにエンコード信号発生回路1625およびテストモードデコード回路群1626を複雑にすることを避けることができる。

【０１２４】

また、実施例1では図18に示すようにアドレス信号A$_0$,A$_1$,A$_2$,A$_3$,A$_4$,A$_5$がそれぞれＳレベル、Ｈレベル、Ｌレベル、Ｈレベル、Ｈレベル、Ｌレベルであるとテストモード設定信号TEST4およびTEST7が共にＨレベルに活性化され、アドレス信号A$_0$,A$_1$,A$_2$,A$_3$,A$_4$,A$_5$がそれぞれＳレベル、Ｈレベル、Ｈレベル、Ｌレベル、Ｈレベル、Ｌレベルであるとテストモード設定信号TEST3およびTEST7が共にＨレベルに活性化され、アドレス信号A$_0$,A$_1$,A$_2$,A$_3$,A$_4$,A$_5$がそれぞれＳレベル、Ｈレベル、Ｈレベル、Ｈレベル、Ｈレベル、Ｌレベルであるとテストモード設定信号TEST6NおよびTEST7が共にＨレベルに活性化されるモードもあるが、これらのモードは使用されないので縮退させて3本のエンコード信号配線13j,13k,13mで使用されるテストモードが設定できるようにしてある。しかしながら、縮退させているのは

他の信号配線が集中する半導体チップ10の中央付近を通って伝達されるものだけなので、同時に活性化されるテストモード設定信号の組み合わせを極端に制限はしていない。

【０１２５】

以上のようにこの実施例2のDRAMにおいても実施例1のDRAMと同様の効果を奏し、さらに、6つのテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を、このテストモード設定信号よりも少ない３つのテストモードエンコード信号TEN_0,TEN_1,TEN_2にして少ないエンコード信号配線13j,13k,13mで内部回路1130,1140,1150,410,116,120に伝達するので、少ない配線領域でテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することができる。

【０１２６】

また、エンコードにより少ない配線領域でテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することができるので、複数のパッド11が配置されるチップ中央帯12で配線を通す領域が狭い半導体チップ10でも多くのテストモードを設定可能にできる。

【０１２７】

また、エンコードにより少ない配線領域でテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することができるので、種々の信号配線がひしめき合っている半導体チップ10の中央付近を通ってテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することができる。

【０１２８】

また、エンコードによりテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達するための配線が減ったぶん、電源線16を太くしたり本数を増やしたりすることで強化でき、安定した電源電位（接地電位も含む）を半導体チップ10の各所に供給できる。

【０１２９】

また、エンコード信号配線によって伝達しているのは種々の信号配線が集中する半導体チップ10の中央付近を通って伝達されるテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7だけなので、同時に活性化されるテストモード設定信号の組み合わせを極端に制限することがない。

【０１３０】

また、他のテストモード設定信号と共に活性化されるマルチビットテストモード設定信号はエンコードしないので、マルチビットテストモード設定信号と他のテストモード設定信号を共に活性化させるエンコード信号の組み合わせを与えておく必要がなくなり、限られたエンコード信号配線でより多くのテストモード設定信号を伝達できる。

【０１３１】

また、エンコード信号配線13j,13k,13mを内部回路1130,1140,1150,410,116,120に直接入力せず、テストモードデコード回路1626aにより各内部回路1130,1140,1150,410,116,120に対応したテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7にデコードして各内部回路1130,1140,1150,410,116,120に入力することで、各内部回路1130,1140,1150,410,116,120付近で余分に配線領域が増大するのが抑制されて、各内部回路1130,1140,1150,410,116,120自体もデコードする回路を必要としなくなり面積増大が抑制される。

【０１３２】

また、ローカルテストモードデコード回路1626cによりテストモード設定信号TEST1,TEST2,TEST3,TEST4が半導体チップ10の中央付近でデコードされると、残る２つのテストモード設定信号TEST6N,TEST7を半導体チップ10のN側へ伝達するのに3本のエンコード信号配線13j,13k,13mで伝達せず、ローカルテストモードデコード回路1626dをテストモード設定信号TEST6N,TEST7に対応した内部回路116,120よりもローカルテストモードデコード回路1626cよりに設けることで2本のテストモード設定信号配線13g,13iで伝達するので、配線領域の増大を抑制できる。

【０１３３】

実施例３.

次にこの発明の実施例３であるDRAMについて図25および図26に基づいて説明する。この実

施例３のDRAMが実施例２のDRAMと異なる点は、テストモード設定回路1600のテストモード設定信号発生回路1620におけるテストモードデコード回路群1626の構成と、この構成の違いからレイアウトが異なってくる点、およびテストモード設定信号TEST4を受ける内部回路410のレイアウト位置が移動した点である。以下この異なる点について説明する。

【０１３４】

図25はこの実施例３のDRAMのテストモード設定回路1600のテストモード設定信号発生回路1620におけるテストモードデコード回路群1626を示す回路図であり、このテストモードデコード回路群1626が図22に示された実施例２のテストモードデコード回路群1626と異なる点は、テストモードデコード回路1626aのローカルテストモードデコード回路1626cにおけるテストモード設定信号TEST4を発生していたインバータ1626cd、NAND回路1626ce、インバータ1626cfがなくなった点、およびテストモードデコード回路1626aのローカルテストモードデコード回路1626dにテストモード設定信号TEST4を発生するインバータ1626df、NAND回路1626dgおよびインバータ1626dhが新たに設けられた点である。

【０１３５】

図26はこの実施例3のDRAMの半導体チップ上のレイアウトを示す簡略化された平面図であり、図26において図23に示された実施例2のDRAMの平面図と異なる点は、テストモード設定信号TEST4を受ける内部回路410が半導体チップ10のN側に移動した点、これに伴い回路構成が変わったローカルテストモードデコード回路1626cがテストモード設定信号TEST4を出力せず、代わりに回路構成の変わったローカルテストモードデコード回路1626dがこのテストモード設定信号TEST4を出力している点、およびローカルテストモードデコード回路1626dが、半導体チップ10の中央付近で３つのテストモードエンコード信号TEN_0,TEN_1,TEN_2をローカルテストモードデコード回路1626cにより３つのテストモード設定信号TEST1,TEST2,TEST3をデコードして出力しても、まだ半導体チップ10のN側には３つのテストモード設定信号TEST4,TEST6N,TEST7を内部回路410,116,120に伝達しなければならず、3本のエンコード信号配線13j,13k,13mの数と等しいかまたはこの数よりも多いので（この実施例では等しい）、そのままエンコード信号配線13j,13k,13mによって残りのテストモード設定信号TEST4,TEST6N,TEST7をエンコードした形で半導体チップ10のN側の内部回路410,116,120付近まで伝達し、ローカルテストモードデコード回路1626dをローカルテストモードデコード回路1626cよりも内部回路410,116,120よりに設けている点で異なる。

【０１３６】

以上のようにこの実施例3のDRAMにおいても実施例1のDRAMと同様の効果を奏し、また、実施例2のDRAMと同様に6つのテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を、このテストモード設定信号よりも少ない３つのテストモードエンコード信号TEN_0,TEN_1,TEN_2にして少ないエンコード信号配線13j,13k,13mで内部回路1130,1140,1150,410,116,120に伝達するので、少ない配線領域でテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することができる。

【０１３７】

また、実施例2のDRAMと同様にエンコードにより少ない配線領域でテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することができるので、複数のパッド11が配置されるチップ中央帯12で配線を通す領域が狭い半導体チップ10でも多くのテストモードを設定可能にでき、種々の信号配線がひしめき合っている半導体チップ10の中央付近を通ってテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達することもできる。

【０１３８】

また、実施例2のDRAMと同様にエンコードによりテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7を伝達するための配線が減ったぶん、電源線16を太くしたり本数を増やしたりすることで強化でき、安定した電源電位（接地電位も含む）を半導体チップ10の各所に供給できる。また、エンコード信号配線によって伝達しているのは種々の信号配線が集中する半導体チップ10の中央付近を通って伝達されるテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7だけなので、同時に活性化されるテストモード設定信号

の組み合わせを極端に制限することがない。

【０１３９】

また、実施例2のDRAMと同様に他のテストモード設定信号と共に活性化されるマルチビットテストモード設定信号はエンコードしないので、マルチビットテストモード設定信号と他のテストモード設定信号を共に活性化させるエンコード信号の組み合わせを与えておく必要がなくなり、限られたエンコード信号配線でより多くのテストモード設定信号を伝達できる。

【０１４０】

また、実施例2と同様にエンコード信号配線13j,13k,13mを内部回路1130,1140,1150,410,116,120に直接入力せず、テストモードデコード回路1626aにより各内部回路1130,1140,1150,410,116,120に対応したテストモード設定信号TEST1,TEST2,TEST3,TEST4,TEST6N,TEST7にデコードして各内部回路1130,1140,1150,410,116,120に入力することで、各内部回路1130,1140,1150,410,116,120付近で余分に配線領域が増大するのが抑制されて、各内部回路1130,1140,1150,410,116,120自体もデコードする回路を必要としなくなり面積増大が抑制される。

【０１４１】

さらに、この実施例3のDRAMではローカルテストモードデコード回路1626cによりテストモード設定信号TEST1,TEST2,TEST3,TEST4が半導体チップ10の中央付近でデコードされても、残る３つのテストモード設定信号TEST4,TEST6N,TEST7を半導体チップ10のN側へ伝達するのに3本のエンコード信号配線13j,13k,13mで伝達し、ローカルテストモードデコード回路1626dをローカルテストモードデコード回路1626cよりもテストモード設定信号TEST4,TEST6N,TEST7に対応した内部回路410,116,120よりに設けることで配線領域の増大を抑制できる。

【０１４２】

実施例４.

次にこの発明の実施例４であるDRAMについて図27および図28に基づいて説明する。この実施例４のDRAMが実施例３のDRAMと異なる点は、テストモード設定回路1600のテストモード設定信号発生回路1620におけるテストモードデコード回路群1626の構成と、この構成の違いからレイアウトが異なってくる点、およびテストモード設定信号TEST3を受ける内部回路1150のレイアウト位置が移動した点である。以下この異なる点について説明する。

【０１４３】

図27はこの実施例４のDRAMのテストモード設定回路1600のテストモード設定信号発生回路1620におけるテストモードデコード回路群1626を示す回路図であり、このテストモードデコード回路群1626が図25に示された実施例３のテストモードデコード回路群1626と異なる点は、テストモードデコード回路1626aのローカルテストモードデコード回路1626cにおけるテストモード設定信号TEST3を発生していたインバータ1626ca、NAND回路1626cbおよびインバータ1626ccがなくなった点、およびテストモードデコード回路1626bにテストモード設定信号TEST3を発生するインバータ1626bc、NAND回路1626bdおよびインバータ1626beが新たに設けられた点である。

【０１４４】

図28はこの実施例4のDRAMの半導体チップ上のレイアウトを示す簡略化された平面図であり、図28において図26に示された実施例3のDRAMの平面図と異なる点は、テスト回路15が移動した点、このテスト回路15にテストモードデコード回路1626bが含まれておらず、回路構成の変わったテストモードデコード回路1626bがテスト回路15とは別に設けられている点、テストモード設定信号TEST3を受ける内部回路1150が半導体チップ10のS側に移動した点、これに伴い回路構成が変わったローカルテストモードデコード回路1626cがテストモード設定信号TEST3を出力せず、代わりに回路構成が変わったと共にテスト回路15と別になったローカルテストモード1626bがこのテストモード設定信号TEST3を出力している点、および基準電位V_{ref}を伝達する基準電位配線14がテストモードデコード回路1626bのS側で、図26に示されたようにテストモード設定信号配線13fおよび13hにより隣接かつ並行

して挟まれるのではなく、テストモード設定信号配線13dおよび内部電源電位intV$_{CC}$または接地電位GNDを伝達する電源線17により隣接かつ並行して挟まれてシールドされている点で異なる。

【０１４５】

そして、半導体チップ10のS側に配置された内部回路1150,117に２つのテストモード設定信号TEST3,TEST6Sを伝達するのに、エンコードした形にして3本のエンコード信号配線13j,13k,13mで伝達するのは配線領域が増大するため、テストモードデコード回路1626bを内部回路1150,117よりもエンコード信号発生回路1625を含むテスト回路15よりに設けて早めにデコードして、2本のテストモード設定信号配線13d,13hによってテストモード設定信号TEST3,TEST6Sを伝達している。

【０１４６】

以上のようにこの実施例4のDRAMにおいても実施例3のDRAMと同様の効果を奏し、また、テストモードデコード回路1626bを内部回路1150,117よりもテスト回路15よりに設けているので、テストモード設定信号TEST3,TEST6Sを伝達するための配線領域の増大を抑制できる。なお実施例1～4ではロウデコーダを中央帯に配置した例を示したが、中央帯と反対側に配置しても本発明の目的は達成される。またテストモード設定回路をパッドの横に配置した例を示したが、パッド間に配置しても構わない。

【０１４７】

【発明の効果】

請求項１に係る発明においては、第２のテストモードに要するテスト時間を短縮することができるという効果がある。

【０１４８】

請求項２に係る発明においては、請求項１に係る発明と同様の効果に加え、間違って第２のテストモードに設定されることがないという効果がある。

【０１４９】

請求項３に係る発明においては、請求項２に係る発明の効果に加え、消費電力の増大を抑制できるという効果がある。

【０１５０】

請求項４に係る発明においては、請求項１に係る発明の効果に加え、正確な状態検出信号を出力することができるという効果がある。

【図面の簡単な説明】

【図１】　この発明の実施例１のDRAMのブロック図である。

【図２】　この発明の実施例１のDRAMの動作を示すタイミング図である。

【図３】　この発明の実施例１のDRAMの内部電源電位発生回路の回路図である。

【図４】　この発明の実施例１のDRAMのテストモード設定回路の回路図である。

【図５】　この発明の実施例１のDRAMのテストモード設定回路におけるタイミング検出回路の回路図である。

【図６】　この発明の実施例１のDRAMのテストモード設定回路におけるテストグループ検出回路の回路図である。

【図７】　この発明の実施例１のDRAMのテストモード設定回路におけるテストモード設定信号発生回路のブロック図である。

【図８】　この発明の実施例１のDRAMのテストモード設定信号発生回路におけるアドレスキーラッチ回路の回路図である。

【図９】　この発明の実施例１のDRAMのテストモード設定信号発生回路におけるアドレスキープリデコーダの回路図である。

【図１０】　この発明の実施例１のDRAMのテストモード設定信号発生回路におけるアドレスキーメインデコーダの回路図である。

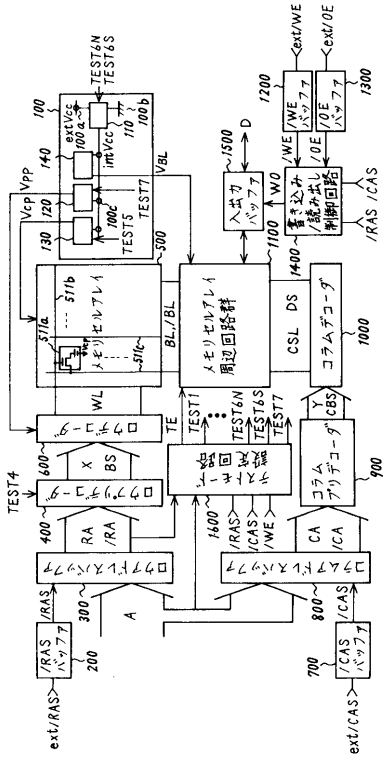
【図１１】　この発明の実施例１のDRAMのテストモード設定信号発生回路におけるバッファの回路図である。

【図１２】　この発明の実施例１のDRAMが形成された半導体チップの簡略化された平面図

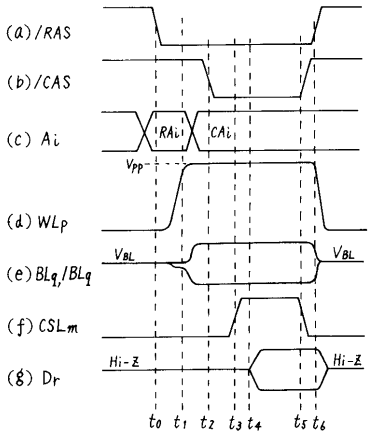
である。
【図１３】　この発明の実施例１のDRAMのテストモード設定信号配線を含む簡略化された断面図である。
【図１４】　この発明の実施例１のDRAMのテストモード設定回路の動作を示すタイミング図である。
【図１５】　この発明の実施例１のDRAMのテストモード設定回路の動作を示すタイミング図である。
【図１６】　この発明の実施例１のDRAMのテストモード設定回路の動作を示すタイミング図である。
【図１７】　この発明の実施例１のDRAMのテストモード設定回路の動作を示すタイミング図である。
【図１８】　この発明の実施例１のDRAMのアドレスキーとテストモードとの関係を示す図である。
【図１９】　この発明の実施例２のDRAMのテストモード設定回路におけるテストモード設定信号発生回路のブロック図である。
【図２０】　この発明の実施例２のDRAMのテストモード設定信号発生回路におけるバッファの回路図である。
【図２１】　この発明の実施例２のDRAMのテストモード設定信号発生回路におけるエンコード信号発生回路の回路図である。
【図２２】　この発明の実施例２のDRAMのテストモード設定信号発生回路におけるテストモードデコード回路群の回路図である。
【図２３】　この発明の実施例２のDRAMが形成された半導体チップの簡略化された平面図である。
【図２４】　この発明の実施例２のDRAMのテストモードエンコード信号とテストモードとの関係を示す回路図である。
【図２５】　この発明の実施例３のDRAMのテストモード設定信号発生回路におけるテストモードデコード回路群の回路図である。
【図２６】　この発明の実施例３のDRAMが形成された半導体チップの簡略化された平面図である。
【図２７】　この発明の実施例４のDRAMのテストモード設定信号発生回路におけるテストモードデコード回路群の回路図である。
【図２８】　この発明の実施例４のDRAMが形成された半導体チップの簡略化された平面図である。
【図２９】　従来のテストモード設定回路の回路図である。
【符号の説明】
10　半導体チップ、　11　パッド、　12　チップ中央帯
13d,13f,13g,13h,13i　テストモード設定信号配線
13j,13k,13m　エンコード信号配線、　14　基準電位線
116,120,410,1130,1140,1150　内部回路
1600　テストモード設定回路
1610　状態検出回路
1612a　スーパーＨレベル検出回路、　1612af　プルアップ回路
1612ah　負荷回路
1612b　スーパーＨレベル検出回路、　1612bf　プルアップ回路
1612bh　負荷回路
1612c　テストグループ検出信号発生回路
1612ca　テストグループ検出補助回路
1612cb　テストグループ検出信号制御回路
1620　テストモード設定信号発生回路
1623　アドレスキーメインデコーダ

1625　エンコード信号発生回路
1626a　テストモードデコード回路
1626c,1626d　ローカルテストモードデコード回路

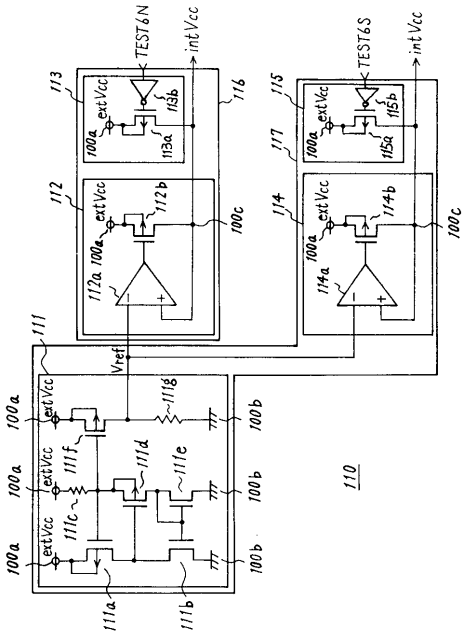
【図１】



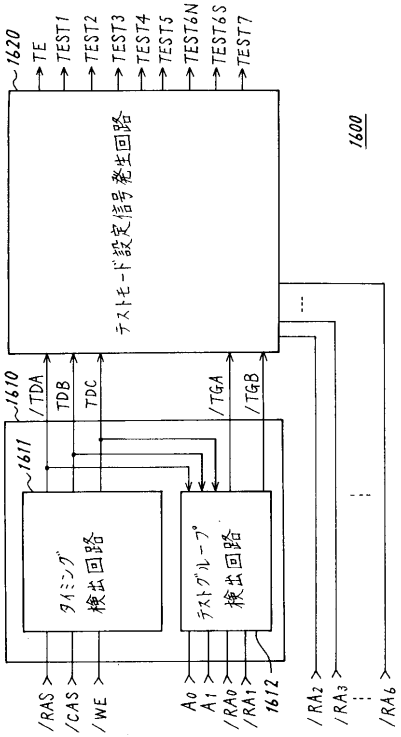
【図２】



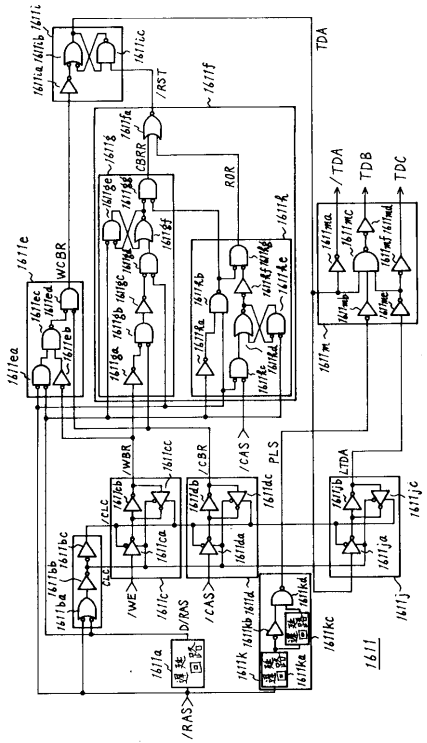
【図３】


TEST6N
intVcc
TEST6S
extVcc
Vref
110

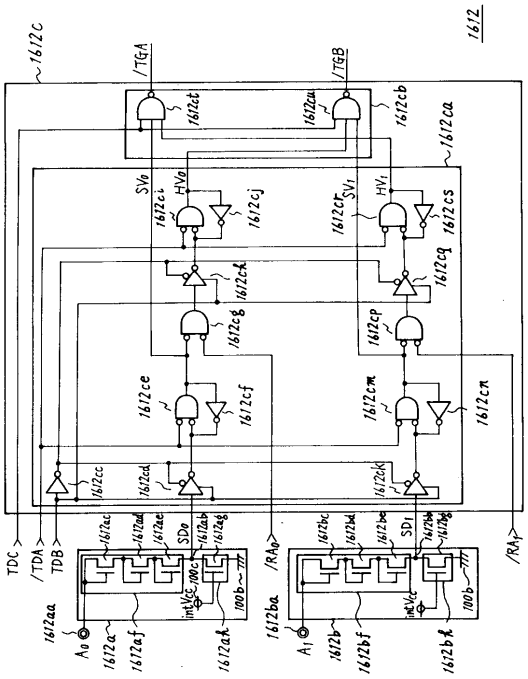
【図４】


TE
TEST1
TEST2
TEST3
TEST4
TEST5
TEST6N
TEST6S
TEST7
テストモード設定信号発生回路
1600
/TDA
TDB
TDC
/TGA
/TGB
タイミング検出回路
テストグループ検出回路
/RAS
/CAS
/WE
A0
A1
/RA0
/RA1
/RA2
/RA3
/RA6

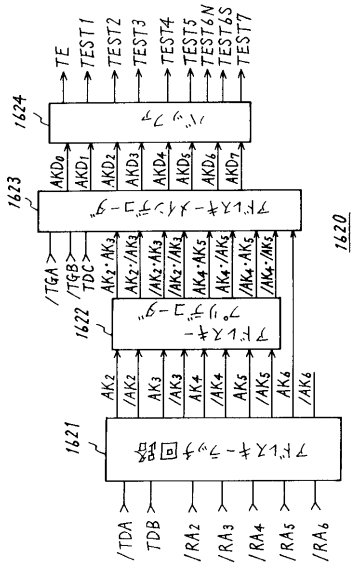
【図５】


TDA
/TDA
TDB
TDC
/RAS
/CAS
/WE
/RST
CBRR
ROR
WCBR
PLS
D/RAS
1611

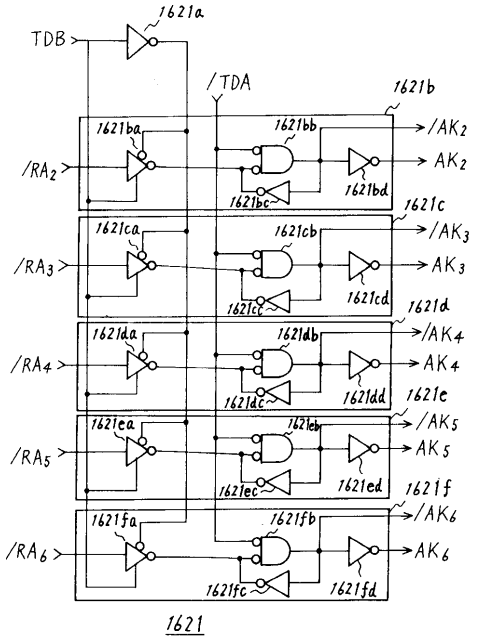
【図６】


1612
/TGA
/TGB
TDC
/TDA
TDB
/RA0
/RA1
A0
A1

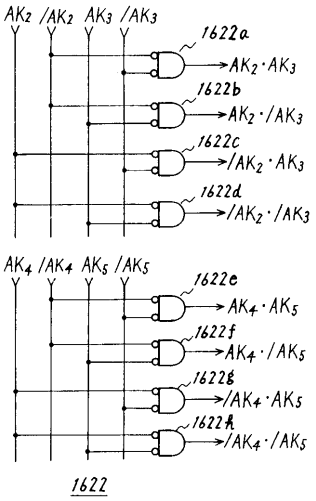
【図７】


TE
TEST1
TEST2
TEST3
TEST4
TEST5
TEST6N
TEST6S
TEST7
1624
AKD0
AKD1
AKD2
AKD3
AKD4
AKD5
AKD6
AKD7
1623
/TGA
/TGB
TDC
1622
AK2
/AK2
AK3
/AK3
AK4
/AK4
AK5
/AK5
AK6
/AK6
1621
/TDA
TDB
/RA2
/RA3
/RA4
/RA5
/RA6
1620

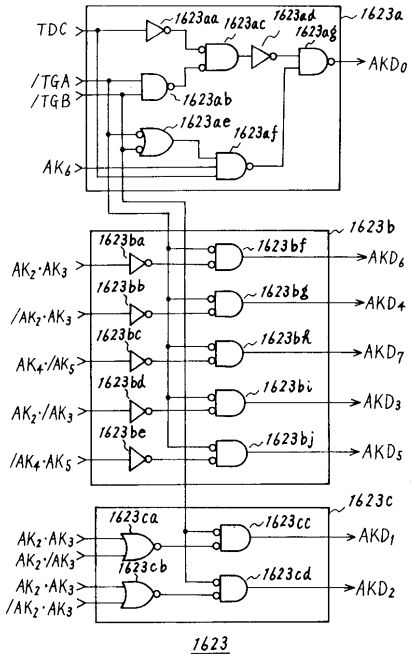
【図８】


1621a
TDB
/TDA
1621b
1621ba
1621bb
/AK2
/RA2
AK2
1621bc
1621bd
1621c
1621ca
1621cb
/AK3
/RA3
AK3
1621cc
1621cd
1621d
1621da
1621db
/AK4
/RA4
AK4
1621dc
1621dd
1621e
1621ea
1621eb
/AK5
/RA5
AK5
1621ec
1621ed
1621f
1621fa
1621fb
/AK6
/RA6
AK6
1621fc
1621fd
1621

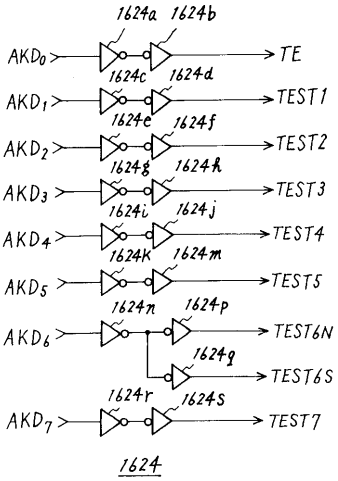
【図９】


AK2 /AK2 AK3 /AK3
1622a
AK2·AK3
1622b
AK2·/AK3
1622c
/AK2·AK3
1622d
/AK2·/AK3
AK4 /AK4 AK5 /AK5
1622e
AK4·AK5
1622f
AK4·/AK5
1622g
/AK4·AK5
1622h
/AK4·/AK5
1622

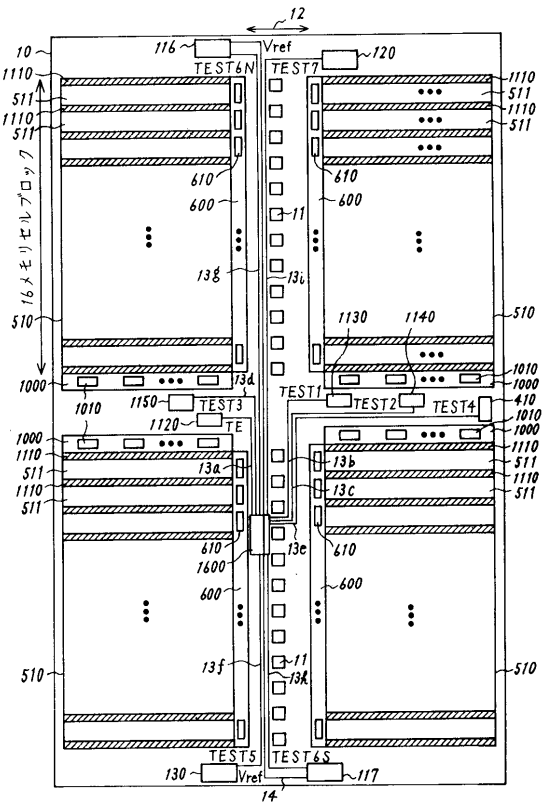
【図１０】


TDC
/TGA
/TGB
AK6
1623aa
1623ac
1623ad
1623ag
1623a
AKD0
1623ab
1623ae
1623af
1623b
1623ba
AK2·AK3
1623bf
AKD6
1623bb
/AK2·AK3
1623bg
AKD4
1623bc
AK4·/AK5
1623bh
AKD7
1623bd
AK2·/AK3
1623bi
AKD3
1623be
/AK4·AK5
1623bj
AKD5
1623c
1623ca
AK2·AK3
AK2·/AK3
1623cc
AKD1
1623cb
AK2·AK3
/AK2·AK3
1623cd
AKD2
1623

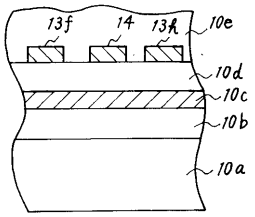
【図１１】



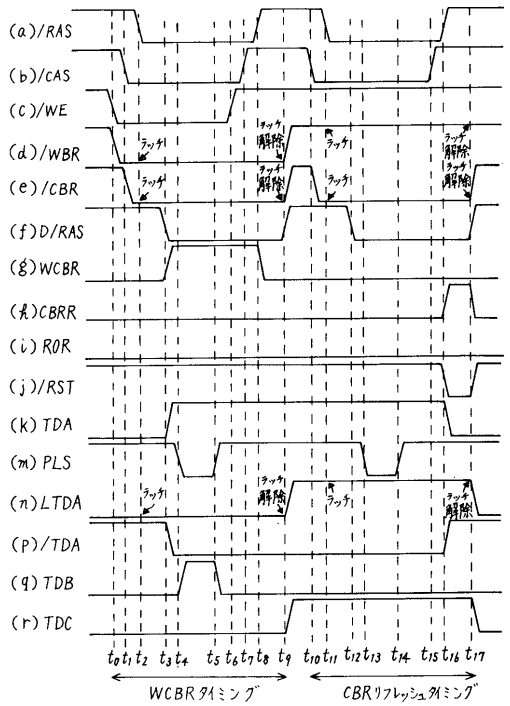
【図１２】



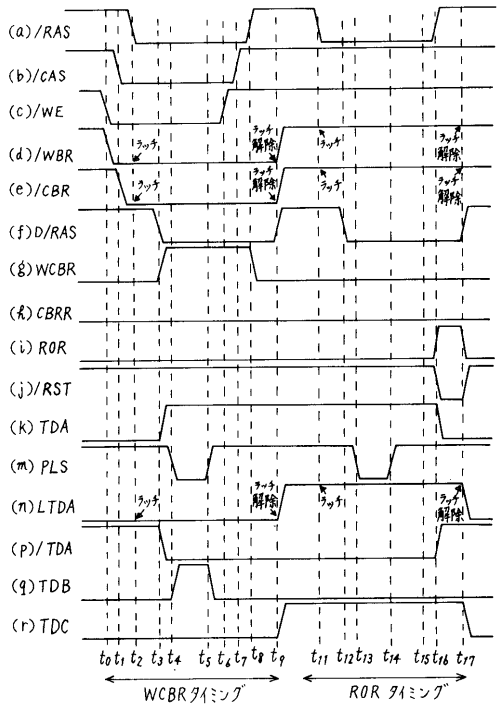
【図１３】



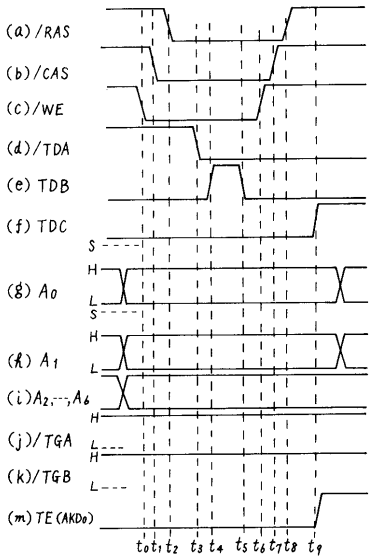
【図１４】



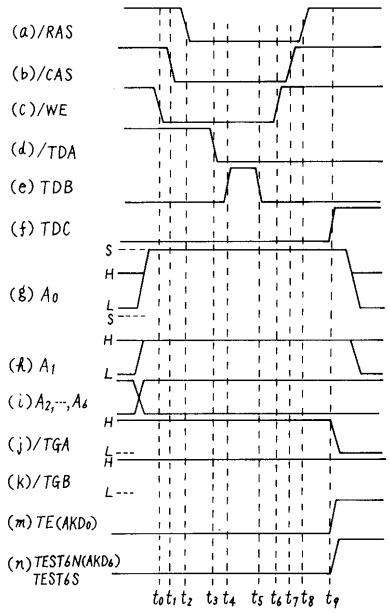
【図１５】



【図１６】



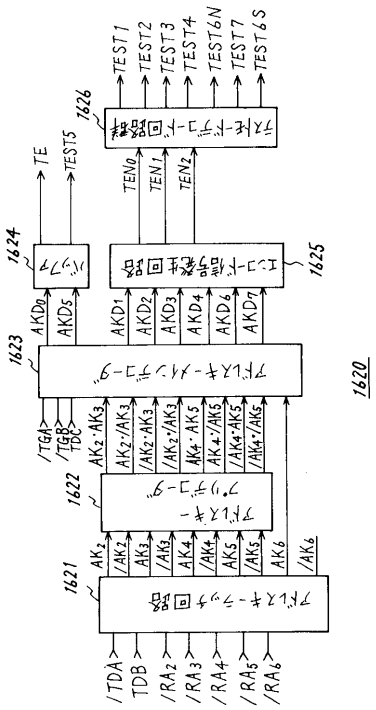
【図１７】



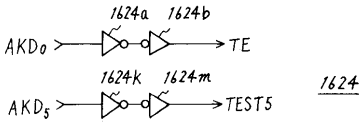
【図１８】

A0	A1	A2	A3	A4	A5	A6	テストモード
*	*	*	*	*	*	*	TE(JEDEC標準)
S	H	L	L	L	L	H	TE
						L	TEST3
				L	H	H	TEST5, TE
						L	TEST7
(/TGA=L /TGB=H)				H	L	H	TEST7, TE
				H	H	H	TE
		L	H	L	L	L	TEST4
						H	TEST4, TE
				L	H	L	TEST4, TEST5
						H	TEST4, TEST5, TE
				H	L	L	TEST4, TEST7
						H	TEST4, TEST7, TE
				H	H	L	TEST4
						H	TEST4, TE
		H	L	L	L	L	TEST3
						H	TEST3, TE
				L	H	L	TEST3, TEST5
						H	TEST3, TEST5, TE
				H	L	L	TEST3, TEST7
						H	TEST3, TEST7, TE
				H	H	L	TEST3
						H	TEST3, TE
		H	H	L	L	L	TEST6N, TEST6S
						H	TEST6N, TEST6S, TE
				L	H	L	TEST6N, TEST6S, TEST5
						H	TEST6N, TEST6S, TEST5, TE
				H	L	L	TEST6N, TEST6S, TEST7
						H	TEST6N, TEST6S, TEST7, TE
				H	H	L	TEST6N, TEST6S
						H	TEST6N, TEST6S, TE
H	S	L	L	*	*	H	TE
		L	H	*	*	L	TEST2
						H	TEST2, TE
		H	L	*	*	L	TEST1
(/TGA=H /TGB=L)						H	TEST1, TE
		H	H	*	*	L	TEST1, TEST2
						H	TEST1, TEST2, TE

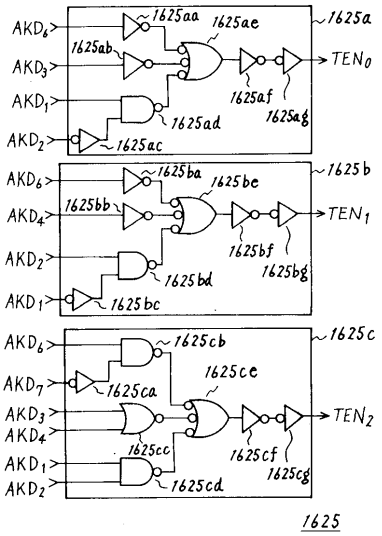
【図１９】



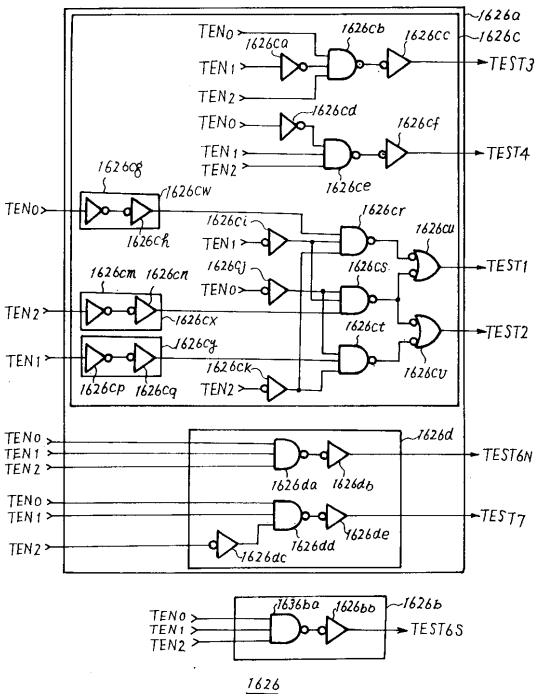
【図２０】



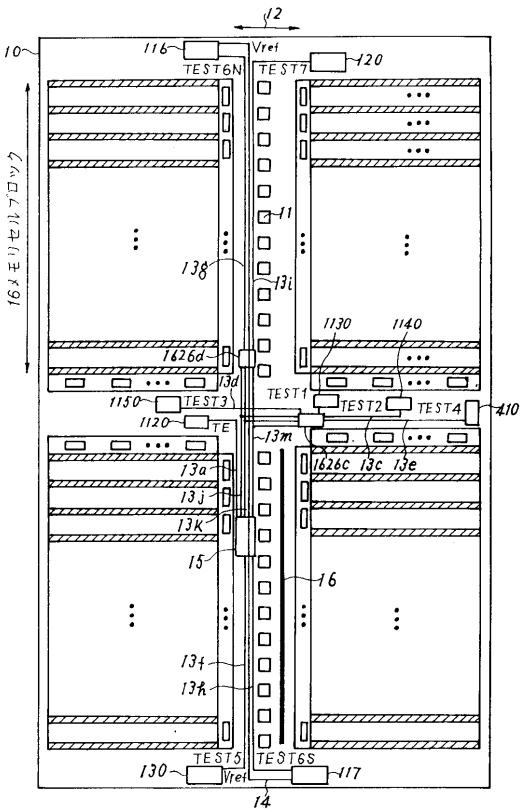
【図２１】



【図２２】



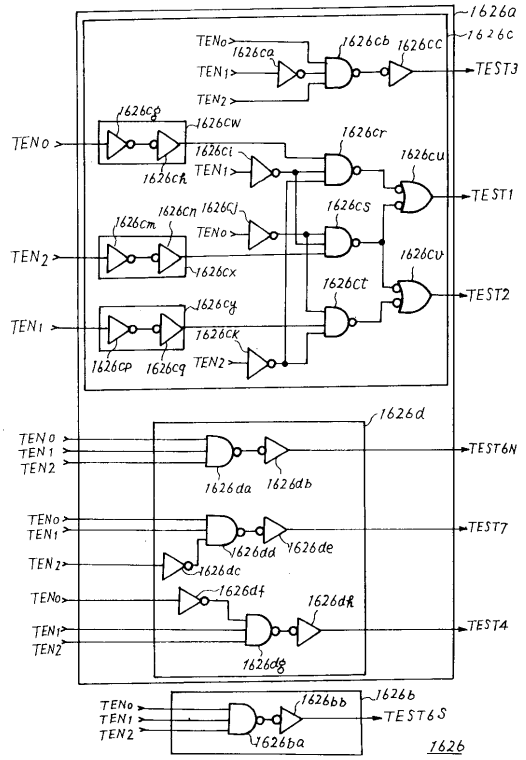
【図２３】



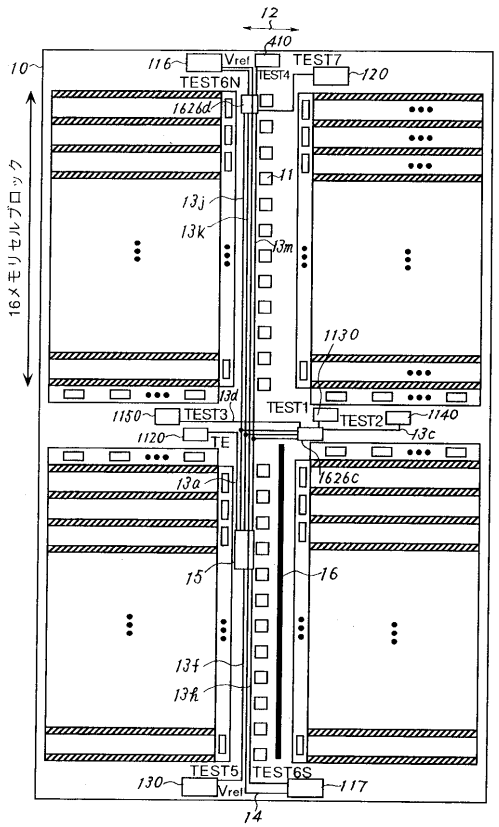
【図２４】

テストモード	TEN2	TEN1	TEN0	AKD7	AKD6	AKD4	AKD3	AKD2	AKD1
―	L	L	L	L	L	L	L	L	L
TEST1, TEST2	H	L	L	L	L	L	L	H	H
TEST2	L	L	L	L	L	L	L	H	L
TEST4	H	H	L	L	L	H	L	L	L
TEST1	L	H	L	L	L	L	L	L	H
TEST3	H	L	H	L	L	L	H	L	L
TEST7	L	H	H	H	H	L	L	L	L
TEST6N, TEST6S	H	H	H	L	H	L	L	L	L

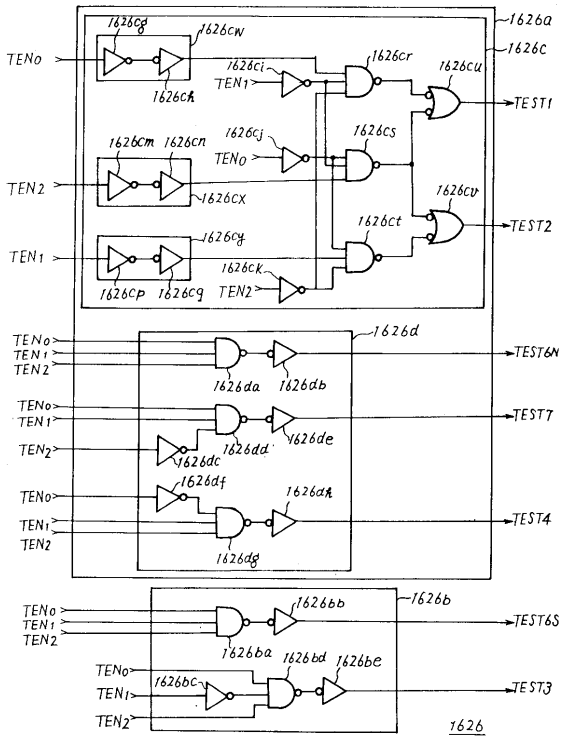
【図２５】



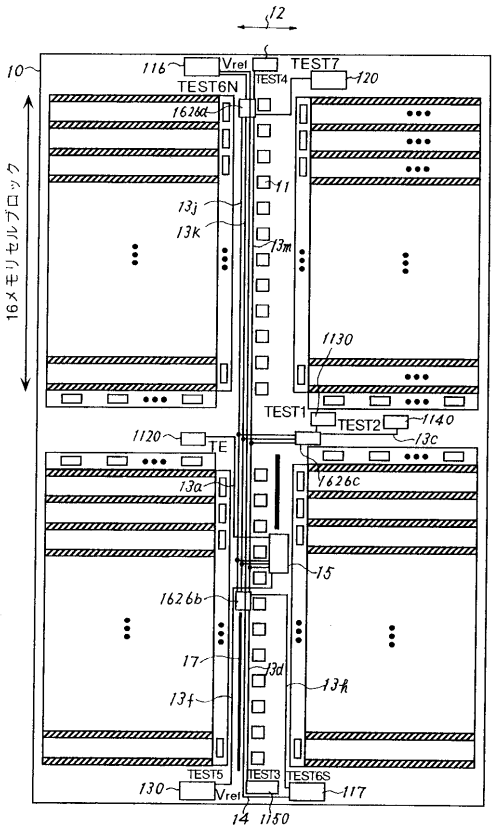
【図２６】



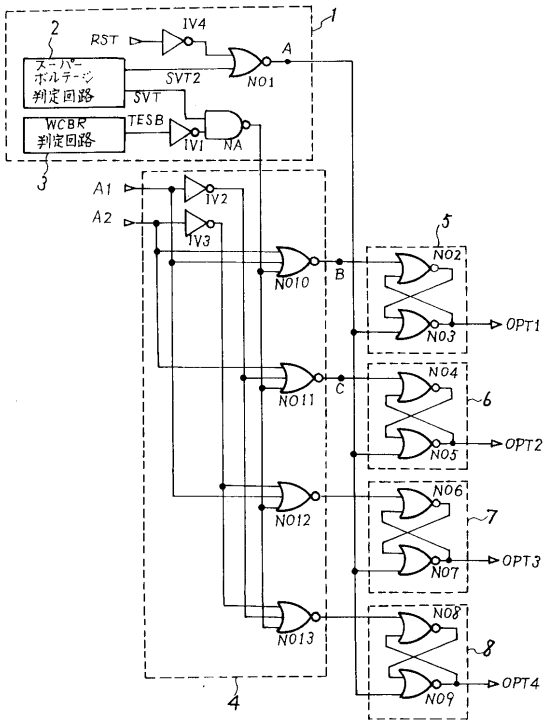
【図２７】



【図２８】


12
10
16メモリセルブロック
116
Vref
TEST7
TEST4
120
TEST6N
1626d
11
13j
13k
13m
1130
TEST1
TEST2
1140
1120
TE
13c
13a
1626c
15
1626b
17
13d
13h
13f
TEST5
TEST3
TEST6S
117
130
Vref
14
1150

【図２９】


1
2
RST
IV4
A
NO1
スーパーボルテージ判定回路
SVT2
SVT
WCBR判定回路
TESB
IV1
NA
3
A1
A2
IV2
IV3
NO10
B
NO11
C
NO12
NO13
4
5
NO2
NO3
OPT1
NO4
NO5
OPT2
6
NO6
NO7
OPT3
7
NO8
NO9
OPT4
8

フロントページの続き

(72)発明者　須磨　克博
伊丹市瑞原４丁目１番地　三菱電機株式会社　北伊丹製作所内

審査官　小松　正

(56)参考文献　特開平０６－０２０４９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/00
G06F 12/16
G11C 11/401-11/4099