



[12] 发明专利申请公开说明书

[21] 申请号 89109416.4

[51] Int.Cl⁵

G01R 23/165

[43] 公开日 1990年7月11日

[22]申请日 89.12.19

[30]优先权

[32]88.12.19 [33]US [31]286,391

[71]申请人 西屋电气公司

地址 美国宾夕法尼亚州

[72]发明人 劳格·威廉·考克斯

[74]专利代理机构 中国国际贸易促进委员会专利

代理部

代理人 付康

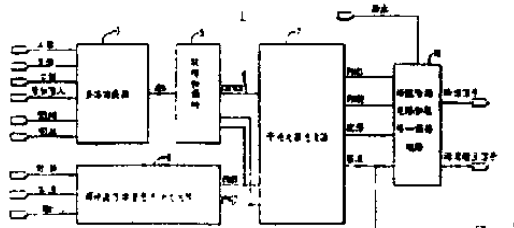
说明书页数: 13

附图页数: 7

[54]发明名称 寄生频率检测器

[57]摘要

一种特别适合分析可变速恒频 VSCF 发生器的三相输出信号的寄生频率检测器。该检测器在取样-保持电路(5)中产生由多路转换器(3)选定的一相信号的幅度样值,而后送到一个以开关电容高通滤波器形式构成的离散时间模拟滤波器(7)中。控制电路(9)产生用来控制取样-保持电路的取样速率和开关电容滤波器的开关速率的两种状态非重叠定时信号。



1. 用于在带有预定基频的电信号中检测寄生频率的设备, 该设备的特征为:

用于取样和以一种幅度样值形式进行保持的取样-保持装置(5), 上述电信号的幅度样值是以一种选定的取样速率进行取样的;

包括开关装置(119、121)的离散时间模拟高通滤波器(7);

将由上述取样-保持装置保持的上述幅度样值施加到上述离散时间模拟高通滤波器(7)的装置(6);

控制上述取样-保持装置(5)的取样速率和上述离散时间模拟高通滤波器(7)的开关装置(119、121)的控制装置(9)和包括设置取样-保持装置(5)的取样速率和以上述基频使该基频与其谐波相混合的方式操作上述离散时间模拟高通滤波器(7)的开关装置(119、121)的装置(73、81);

产生代表从上述高通滤波器通过的各个频率的幅度的输出信号的输出装置(11)。

2. 权利要求1的设备另外的特征为:

离散时间模拟高通滤波器(7)由具有第一(121)和第二(119)开关装置的一个开关电容高通滤波器所组成;

上述取样-保持装置(5)包括相串联的第一(45)和第二(55)取样-保持级; 和

上述控制装置(9)包括产生两种状态的非重叠定时信号的非重叠时钟信号发生器装置(87),上述第一取样-保持级(45)和上述第一开关装置(121)响应于上述两种状态非重叠定时信号的第一种信号,和第二取样-保持级(55)和第二开关装置(119)响应于上述两种状态非重叠定时信号的第二种信号。

3. 权利要求2的设备的另外的特征为上述开关电容高通滤波器(7)由至少两个级联的两极点开关电容滤波级(111a、111b)所组成。

4. 权利要求3的设备的另外的特征为上述开关电容高通滤波器(7)由三个级联的两极点开关滤波级(111a、111b、111c)所组成。

5. 权利要求1的设备的另外的特征为上述控制装置(4)包括装置(79),交替地将在上述离散时间模拟高通滤波器(7)中的上述取样-保持装置(5)的取样速率和上述开关装置(119、121)的开关速率设置在一个选定频率上。该选定频率等于至少两倍于上述基频的选定谐波的频率。

6. 权利要求5的设备的另外的特征为上述选定的频率是上述基频的一个选定的倍数,和其中用于以上述选定频率设置取样速率和开关速率的控制装置(9)中的装置(79、81)包括有产生具有上述选定频率的控制信号的装置(65),以及其中将上述取样速率和开关速率设置为上述基频的装置(73、81)包括以上述选定的倍数对上述控制信号的选定频率进行分频的装置(73)。

7. 权利要求6的设备的另外的特征为上述选定的倍数为2的幂

和上述分频装置(73)包括多个联接成执行上述选定的2的幂的分频比的触发器(75)。

8. 权利要求6的设备的另外的特征为上述输出装置(11)包括用来检测和存贮通过上述高通滤波器的各个频率的幅度峰值的装置(145)。

9. 用于在由多相可变速恒频发生器产生的具有一个预先确定的基频的多相电信号中检测寄生频率的设备。该设备的特征为，

可控地选择上述多相电信号中的一相的多路转换器(3)；

用于对上述多相电信号中的选定的相信号进行取样和响应于两种状态非重叠定时信号将一个幅度样值从第一级(45)传送到第二级(55)的两级取样-保持电路(5)；

具有响应于两种状态非重叠定时信号的第一组开关(121)和第二组开关(119)的开关电容高通滤波器(7)；

将在上述两级取样-保持电路(5)的第二级(55)中的上述幅度样值施加到上述开关电容高通滤波器(7)的装置(6)；

包括产生具有上述预先确定的基频的定时信号，以至于使上述开关电容高通滤波器(7)在电信号的选定的一个相信号中混合上述预定基频与其谐波的产生所述两种状态非重叠定时信号的装置(73, 81)的控制装置(9)，及

产生代表通过上述高通滤波器的各个频率幅度的输出信号的输出装置(11)。

10. 权利要求9的设备的另外的特征为上述控制装置(9)包括以至少两倍于上述基频的一个选定谐波频率交替地产生两种状态非重叠定时信号的装置(79)。

11. 权利要求10的设备的另外的特征为上述选定频率为2的幂次倍的基频频率, 并且其中上述控制装置(9)包括由上述选定的2的幂对两种状态非重叠定时信号进行分频以产生上述具有上述预定基频的上述两种状态非重叠定时信号的装置(73)。

12. 权利要求11的设备的另外的特征为上述开关电容高通滤波器(7)包括至少两个级联的两极点高通滤波级(111a、111b)。

13. 权利要求12的设备的另外的特征为上述开关电容高通滤波器(7)由级联的第二阶(111a)、第四阶(111b)和第六阶(111c)两极点开关电容高通滤波级所组成。

14. 权利要求10的设备的另外的特征为上述输出装置(11)中包括用于检测和存贮上述开关电容高通滤波器输出的峰值的装置(145)。

寄生频率检测器

本发明是关于在一个交流电信号中检测选定的基波频率以外的各个频率的电路。特别是涉及利用离散时间模拟滤波器的这样一些检测器。该检测器能够以高频进行开关操作。作为一种高通滤波器操作去检测高于基频的各个频率，或以基频操作开关，使基频与其谐波混合，去检测其他频率的存在。这种电路在可变速率恒频（VSCF）发生器中检测寄生频率（Extraneous Frequency）方面有特殊的应用。

在某些应用中，希望在一个交流信号中检测非基频的一些频率。这种应用之一是例如在航空电源系统中的固态可变速率恒频VSCF发生器中。这种VSCF发生器通常利用固态变换器由方波脉冲合成一个交流信号。由这样装置产生的交流信号一般都含有相当多的谐波分量，尤其是奇次谐波。通常的做法是对合成的交流信号进行滤波，以减小这种交流分量。直至最近，技术规范才要求一种检测滤波后交流功率信号中高于基频的频率的装置。在滤波后的交流信号中存在有谐波噪声可以指示滤波器的故障，而非谐波噪声可以指示发生器的故障或者发生器的频率漂移。当前，由分离元件构成的高通滤波器用于检测高于基频的频率。但是在高于基频的频响曲线上获得一个合适的频率拐点则需要许多元件。

最近的技术规范已修改为既要检测VSCF发生器输出中高于基频的频率又要检测低于基频的频率。这一要求能够由除高通滤波器以

外还要提供使低于基频的频率通过的低通滤波器来实现。但这会增加系统的复杂性、体积、重量和成本，而所有这些又都是在航空系统将要予以降低的因素。

因此，存在一种改进的交流信号中检测高于和低于基频的各个频率的设备的需要。

同时也存在降低这种设备的体积、重量、复杂性和成本的需要。

另外还存在能够以集成电路的形式实现这种设备的需要。

本发明实现了这些目的和其他目的。本发明提供了用于在一个具有预定基频的电信号，特别是由可变速率恒频V S C F电源发生器产生的那种信号中检测寄生频率的设备。该设备包括以一种选定的取样速率对电信号的幅度进行取样的取样—保持装置。该幅度的样值被送到一个离散时间模拟高通滤波器，特别是一种开关电容高通滤波器。该取样—保持电路的取样速率和该开关电容高通滤波器的开关速率都是受产生定时信号的控制装置来控制的。具体来说，该取样—保持电路是一个两级电路，而该开关电容滤波器包含有两组开关，二者均由两种状态的非重叠定时信号控制。

该设备可以用两种方式操作。在多通带梳状滤波器方式中，控制装置以将被分析的电信号的预定基频频率产生定时信号。这会使基频与其以直流电平出现的谐波相混淆。而后利用高通开关电容滤波器予以去除。在第二种操作方式中，控制装置以至少两倍于被检测的最高次谐波的频率产生定时信号。这个选择的频率是基频的倍数，并最好是2的幂次倍，以便使选择的定时频率能够由常规的数字技术分频至该基频，以用于多通带梳状滤波器的操作方式。

当以高通方式操作时，在高通开关电容滤波器中的各电容的相对值选择得使高于基频的频率通过。利用相同因子对定时信号分频也降低了通过滤波器的频率。因此在示例性的系统中在高通滤波器操作方式时采用了 51.2 KHz 时钟频率。在该操作方式中滤波器电容值选择得使高于 400 Hz （具有约 800 Hz 的拐点频率）的频率通过。在多通带滤波器操作方式中 51.2 KHz 定时信号被 128 除产生 400 Hz 定时信号。使除基频及其各次谐波外高于 3.125 Hz （具有约 6.5 Hz 的拐点频率）的各个频率通过。因此，当工作在多通带滤波器方式时，该滤波器能够检测甚至低到几赫芝的全部寄生频率。

开关电容高通滤波器最好由级联式两极点滤波级组成，并且在最好的方式中是由级联的第二阶、第四阶和第六阶两极点滤波级组成。

本发明的寄生频率检测器是一种经济的装置。该检测器组合了可以用于检测电信号中的各次谐波的一个高通滤波器并带有一个多通带梳状滤波器可以检测所有的寄生频率。甚至低于该基频的寄生频率。最为理想的是该检测器由一个单片半导体集成电路来实现。

为了分析多相电信号，一个多路转换器有选择地将所要求的相信号送到取样—保持电路。在一个优选的实施例中，一个输出电路产生代表从开关电容高通滤波器通过的各个频率的幅度的离散时间信号和代表该滤波器输出的峰值的信号。

在结合说明书附图阅读下面的优选实施例的描述以后就会对本发明有一个全面的理解，其中：

图 1 是一个根据本发明的寄生频率检测器的以方框图形式的原理

电路图；

图 2 是一个构成图 1 检测器的一部分的多路转换器的原理电路图；

图 3 是构成图 1 检测器的一部分的取样—保持电路的原理电路图；

图 4 是用于图 1 检测器的非重叠时钟信号的波形图；

图 5 是构成图 1 检测器的一部分的时钟发生器和分频器的原理电路图；

图 6 是构成图 1 检测器的一部分的开关电容滤波器的原理电路图；

图 7 是用于图 6 的开关电容滤波器的一种类型开关的原理电路图；

图 8 是用于图 6 的开关电容滤波器的另一种类型开关的原理电路图；

图 9 是构成图 1 检测器的一部分的取样—保持和峰值检测电路的原理电路图；

图 10 是说明图 1 电路在一种操作方式中的滤波特性的图；

图 11 是说明图 1 电路在第二种操作方式中的滤波特性的图。

图 1 的方框图的形式表示出按照本发明的一种寄生频率检测器。该示例性检测器 1 为用来检测由一种可变速率恒频 (VSCF) 发生器 (未示出) 产生的三相 400 Hz 电信号中的非基频的各种频率而设计的。这种 VSCF 发生器一般都有旨在减小在该发生器输出端所

固有的谐波分量的滤波器（也未示出）。本发明是用来在由这样一个系统产生的已滤波的三相交流信号中检测各个寄生频率。然而，对于本技术领域的专业人员而言，本发明用于检测单相或多相电气系统的非基频的各寄生频率也是十分显然的。

检测器1包括一个多路转换器3。该转换器3由VSCF发生器产生的三相交流信号的A相、B相或C相中选择一个相信号，或者一个附加信号，诸如响应于由信号SELA0和SELA1组成的一个两比特二进制信号的一个测试信号。将该被选信号VIN选到取样-保持电路5。将可以看出，这个电路是一个两级的电路。取样-保持电路5对被选输入信号的瞬时值进行取样，并存储该幅度样值的数值直至下次取样。该存储的幅度样值SHVIN通过导线6送到由开关电容滤波器组成的离散时间模拟滤波器7。正如在下文详细描述的那样，该示例性开关电容滤波器7是一个可以工作在两种方式的第六阶高通滤波器。

该取样-保持电路的取样速率和该开关电容滤波器7的开关是由两种状态、非重叠时钟发生器9的控制装置控制的。该时钟发生器9利用接收自一个外部晶体振荡器（未示出）的时钟脉冲产生两个非重叠的定时信号PHI1和PHI2。该时钟发生器9响应于HIGHPASS高通信号产生的两种速率信号PHI1和PHI2，用于基频（400HZ）和51.2KHZ的滤波器两种操作方式。一个RN信号对时钟发生器9进行复位以便测试。

将由开关电容滤波器7产生的输出信号被形送到峰值检测和取样-保持电路11。来自时钟发生器9的PHI1和PHI2时钟信号

也经过开关电容滤波器7与基准信号一起送到峰值检测和取样—保持电路11。基准信号也提供为寄生频率检测器1的一个输出信号。一个禁止信号(INHIBITN)对电路11的峰值检测部分复位。

峰值检测和取样—保持电路11产生两个输出信号。滤波输出信号FILTEROUT是开关电容滤波器7的离散时间输出信号和VOUT信号是代表VSCF发生器输出选定相中的所有寄生频率的峰值幅度的信号。这些输出信号可以用于其他系统(未示出)，例如一旦由本发明的检测器检测到的寄生频率已达不能容许的电平时，产生一个告警信号，或甚至断开该发生器。

多路转换器3的细节如图2所示，A相、B相、C相和附加输入信号分别都施加到由与非门21、23、25和27各自控制的CMOS传输门13、15、17和19上。反相器29、31、33和35分别提供操作CMOS传输门13、15、17和19所要求的互补信号。

与非门21、23、25和27进而又由信号SELA1和SELA0所控制。上述两个5V的数字信号由电平变换器27变换为15V信号并通过由串联反相器39构成的脉冲整形器。状态信号SELA1直接送到与非门21和23，以及通过反相器41送到与非门25和27。另外，信号SELA0也直接送到与非门21和25，并通过反相器43送到与非门23和27。通过对信号SELA1和SELA0数字值的适当选择，各传输门13、15、17和19中仅导通一个选定的传输门，以便选择已滤波的发生器信号的一个相信号，或者以附加输入信号作为VIN。

向相反的方式进行控制的，该高通信号是通过电平变换器 8 5 施加到传输门 7 9 和 8 1 上。当 HIGH PASS 信号为高电平时，传输门 7 9 导通使导线 6 9 上的 51.2 KHZ 信号通过，到达一个非重叠信号发生器 8 7。当 HIGH PASS 信号为低电平时选择 400 HZ 信号。

非重叠信号发生器 8 7 是一个具有一对与非门 8 9 和 9 1 的常规电路，该发生器分别通过反相器 9 3 和 9 5 产生两种状态的非重叠定时信号 PHI 1 和 PHI 2。由门 7 9 和 8 1 选定的信号直接送到与非门 9 1 和通过反相器 9 7 送到与非门 8 9。反相器 9 7 的输出还通过个数为偶数的各反相器 9 9、101、103、105、107 和 109 送到与非门 8 9 的第二个输入端。送到与非门 8 9 第二输入端的信号被延迟了通过串联的反相器 9 9 至 101 的全部传播时间。同样，由传输门 7 9 和 8 1 选定的信号亦通过从反相器 9 7 至 107 偶数个反相器送到与非门 9 1 的第二个输入端，这些反相器产生总的延迟等于这些反相器单个延迟的和。当信号 PHI 1 和 PHI 2 基本上是与由传输门 7 9 和 8 1 选择的信号一起变成低电平时，它们仅仅是在受到一串串联的反相器的影响的延迟时间之后变为高电平。因此，信号 PHI 1 和 PHI 2 如图 4 所示是非重叠的。取决于 HIGH PASS 信号的值，信号 PHI 1 和 PHI 2 的频率或者为 400 HZ 或者为 51.2 KHZ 。

图 6 表示开关电容滤波器 1 1，来自取样-保持电路 5 的取样信号 SHVIN 通过导线 6 送到该滤波器 1 1。示例性的滤波器 7 是一个由三个级联的两极点滤波器级 1 1 1 a、1 1 1 b、和 1 1 1 c 组

图3表示两级的取样—保持电路5。该常规的取样—保持电路包括由具有其反相器49的COMS传输门47、电容51和缓冲放大器53组成的第一级45。串联联接的第二级55包括具有其反相器59的COMS传输门57、电容61和缓冲放大器63。第一级的传输门47受时钟信号PHI1的控制，而第二级的传输门57受时钟信号PHI2的控制。如图4所示，信号PHI1和PHI2是互补的，但不重叠，以保证在某一时刻只有一个门导通。当PHI1为高电平时，该第一级45对所施加的信号VIN的瞬时幅值取样并存储，而PHI2处于低电平使门57关断，使第二级保持其以前存储的值。当PHI1转变为低电平后PHI2转变为高电平时，在第一级取样的幅值转移到第二级55。如图所示，这两级取样—保持电路为该离散时间滤波器7提供稳定的模拟信号。

图5表示两种状态非重叠时钟发生器电路9的细节。由一个外部晶体振荡器产生的脉冲信号时钟CLOCK通过电平变换器65送给该时钟发生器电路9。该变换器65将该CLOCK时钟信号变换为反相的1.5V时钟信号CLOCK。该变换后的时钟信号经过一系列串联的反相器67在导线6.9上产生一个1.5V时钟信号和在导线7.1上产生一个反相时钟信号。这些信号被送到由一串七个触发器7.5组成的分频器电路7.3。该分频电路7.3对输入的时钟信号CLOCK除以128在导线7.7上产生一个400Hz时钟信号。导线6.9上的51.2KHz的信号和导线7.7上的400Hz的信号分别施加到互补传输门7.9和8.1上。为此反相器8.3提供了互补控制信号。这些传输门是由一个高通(HIGH PASS)信号的方

成的第六阶切比雪夫高通滤波器。每个两极点滤波级 111a、111b 和 111c 包括一对运算放大器 113 和 115，一些电容 117 和常开接点开关 119 和 121。这种类型的开关电容滤波器电路已然描述在“在单片 CMOS 上设计的低频率滤波器”（“Designing Low Frequency Filters On the CMOS Monochip”）一书中，作者 Ted W. Pickerrell，由 Interdesign Inc.，1983 年出版。在这一出版物中给出了选择该开关电容滤波器 7 的第一级和第二级 111a 和 111b 的电容相对数值的公式。对于该滤波器的第三级 111c 的电容 117 的相对数值，本专业领域的技术人员可以利用公知的切比雪夫算法以类似的方式导出。用于该示例性滤波器电路的各相对数值如图 6 所示。这些相对数值是根据切比雪夫计算值被调整了，以调整运算放大器增益。因此，每一级中的两个运算放大器的输出都不会饱和。用于滤波器 7 的一个 6 V 基准电压 V_{REF} 由分压器 123 产生并经运算放大器 125 进行缓冲。滤波器 7 利用这 6 V 基准电压作为地电位，使增加幅度的输出接近零伏。

图 7 和图 8 分别表示该接点常开开关 119 和 121 的更为详细的电路。这些开关的每一种都包括一对分别带有其反相器 131 和 133 的 CMOS 传输门 127 和 129，用来产生互补控制信号。在两种类型的开关 119 和 121 中的传输门 127 和 129 是由非重叠定时信号 $\overline{PHI1}$ 和 $\overline{PHI2}$ 控制的。但是， $\overline{PHI1}$ 在开关 119 中控制传输门 129，但在开关 121 中控制传输门 127，而 $\overline{PHI2}$ 在两种类型的开关中控制相反的各传输门。

详细表示在图9的取样-保持和峰值检测电路11包括一个两级取样-保持电路135。与电路5相似，该电路对由离散时间模拟滤波器7产生的波形信号进行取样和保持。但是与电路5相反，取样-保持电路135的第一级137是受PHI2控制，而第二级139是受PHI1控制。滤波器信号波形的离散时间模拟值存贮在取样-保持电路135的第二级139的电容141中，并且通过缓冲放大器143作为滤波器的现行离散时间输出信号予以输出。

电路11还包括受一个数字禁止信号(INHIBITN)控制的峰值检测电路145。该禁止信号是通过一个5V至15V电平变换器147和脉冲整形反相器149分别施加到一个N沟道和一个P沟道场效应管FET151和153的栅极。当禁止信号为高电平，则N沟极FET151导通，将电容155的两端电位抬高到基准电压VREF。当禁止信号变为低电平时，FET151关断和P沟道FET153导通。电容155上的电压在比较器157中与由滤波器电路7产生存贮在电容141上并施加到比较器157的反相输入端的信号的现行离散时间模拟值进行比较。如果电容141上的电压低于电容155上的电压，表示由滤波器7检测的频率的现行幅度超过了由电容155上的电压代表的以前的高数值，则比较器157的输出跳变为低电平，使P沟道FET159导通。随着FET153由于禁止信号INHIBITN的低电平而导通，而使电容155放电，直至电容155上的电压等于电容141上的电压为止。因此，电容器155的电压值越低，被滤波器检测到的寄生频率的峰值幅度就越高。

如上文所述，该寄生频率检测器 1 能够以两种方式操作。在高通滤波器方式中，送到两种状态非重叠时钟发生器 9 的高通信号是高电平，使传输门 7 9 导通，以便使其以 51.2 KHz 频率产生非重叠时钟信号 PHI 1 和 PHI 2 。由信号 PHI 1 和 PHI 2 的控制使取样—保持电路 5 和开关电容滤波电路 7 以 51.2 KHz 频率操作。滤波器 7 以拐点频率约为 800 Hz 的特性使高于 400 Hz 的频率通过。在这些条件下滤波器 7 的频响如图 10 所示。在这种操作方式下高于 400 Hz 频率的滤波器输出的现行模拟值是作为由取样—保持和峰值检测电路 11 产生的“滤波输出” FILTER OUT 信号得到的。该各个频率的峰值是作为 VOUT 信号得到的。

能够产生上述电信号的任何一相的现行模拟值和峰值。当输入信号将要被改变时，禁止信号 INHIBIT N 跳变为高电平，使电容 155 复位。而后将 SELA 1 和 SELA 0 的适当值送到多路转换器 3，选择所希望输入的信号。禁止信号保持高电平直至该滤波器稳定以后，而后跳变为低电平，记录通过滤波器 7 的高于 400 Hz 频率的峰值幅度。

在第二种操作方式中，高通信号设备为低电平，关断传输门 7 9 并导通门 8 1，以便产生 400 Hz 的 PHI 1 和 PHI 2 信号，将对基频进行分析。由取样—保持电路 5 以 400 Hz 的速率对 VIN 信号取样，以交流信号形式出现的基频由高通滤波器 7 予以滤除。也以交流形式出现的基频的各次谐波同样被滤波器 7 滤除。这个由于以很低的取样速率对一个信号取样而造成的现象是已知的混淆现象。这种现象在数字系统中一般认为是不希望有的。然而，本人认为这种现

象能够应用在本发明中作为一种多通带梳状滤波器滤除基频和各次谐波，以便检测出寄生频率。当以 400 HZ 操作时滤波器电路 7 的频率响应如图 11 所示。因为开关频率已用倍数 128 降低了，通过的频率也由相同倍数降低，因此在这种操作方式中，该滤波器具有约为 6.5 HZ 的拐点频率使高于 3.125 的频率通过。因此，如图 11 所示，滤波器电路 7 能够检测除基频和谐波以外的 100% 的约高于 8 HZ 各个寄生频率。

在高通滤波的操作方式中为了避免混淆，滤波器 7 应当至少工作在两倍于所要检测频率的频率上。因为该示例性检测器在高通方式的操作中要求检测的频率高达 20 KHZ，选择 51.2 KHZ 也是因为它基频 400 HZ 的 2 的幂次倍这样一个方便的因子，从而简化了在两种状态非重叠时钟发生器电路 9 的电路结构。

本发明的寄生频率检测器最为理想的是由一个单片集成电路来实现。该示例性的系统是在由 Universal Semiconductor, Inc., San Jose, California 提供的 Universal 6003 模拟 CMOS 阵列上实现的。用作如上述的操作该检测器的外部信号可以是由与本发明所公开的实施例的 VSGF 发生器相关的一个微处理器产生的。

尽管已经对本发明的具体的实施例做了详细的描述，但是本技术领域的人员将会意识到根据本发明公开的整个技术内容能够作出各种改型和对那些细节作出各种变化。因此，上面公开的一些具体的电路安排仅仅是为了说明，而并不作为对本发明范围的限制，本发明的范围将由附在后面的各项权利要求和这些权利要求的任何的等同物的全部范围来给出。

用于附图中的标号的核对表

代表的装置	标号	图号
多路转换器	3	1
取样-保持电路	5	1
开关电容滤波器	7	1
两种状态非重叠		
时钟发生器	9	1
峰值检测和取样		
保持电路	1.1	1

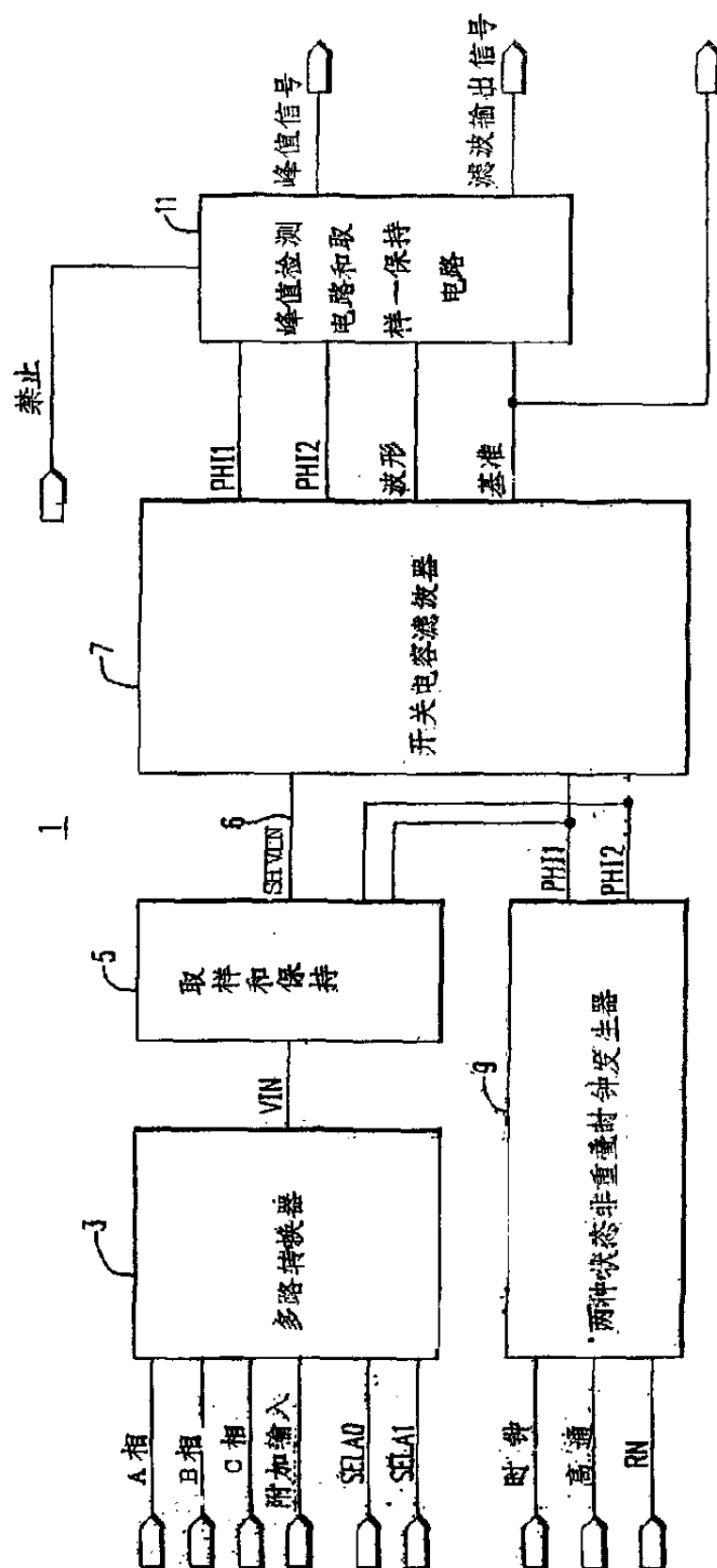
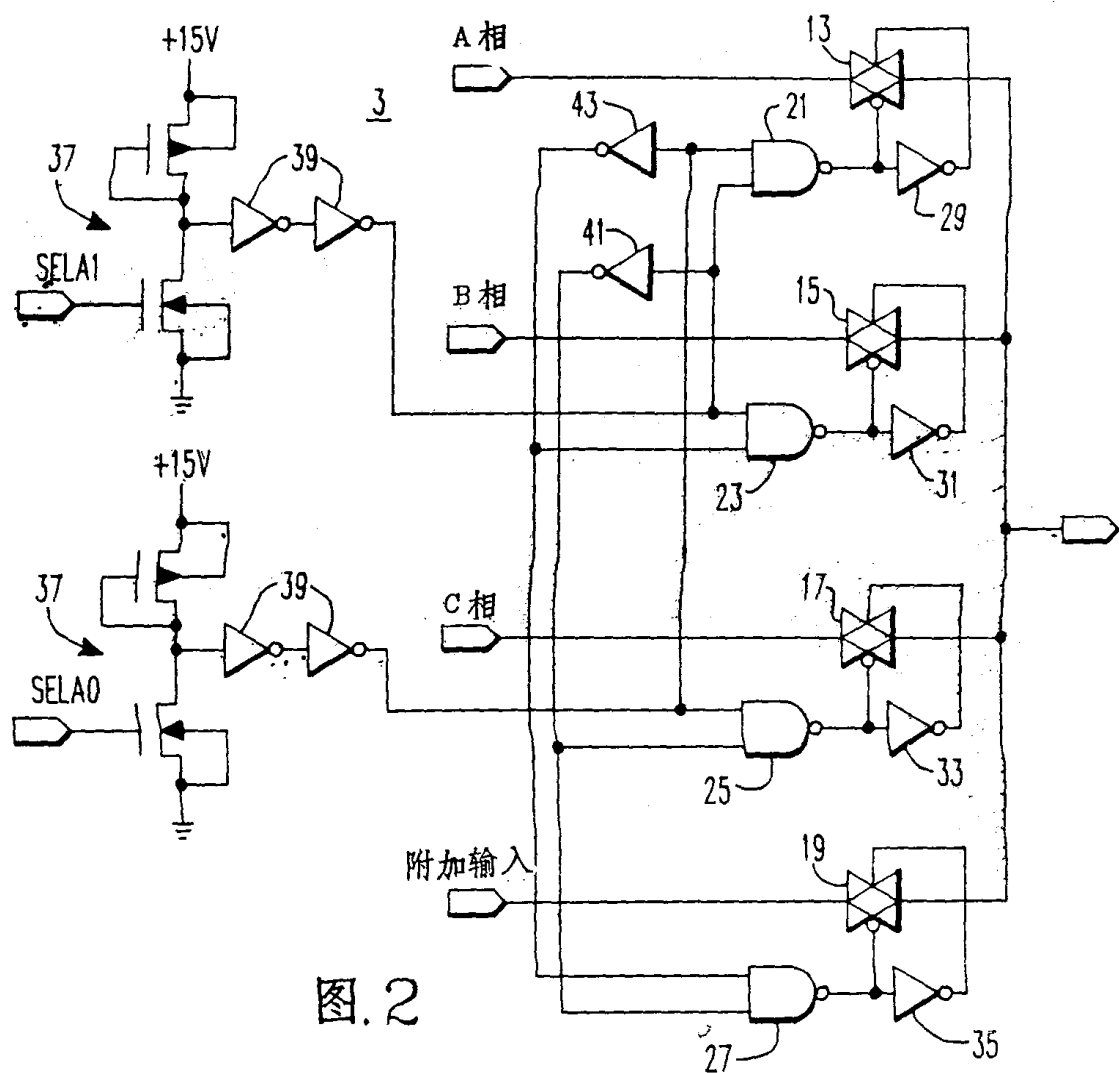
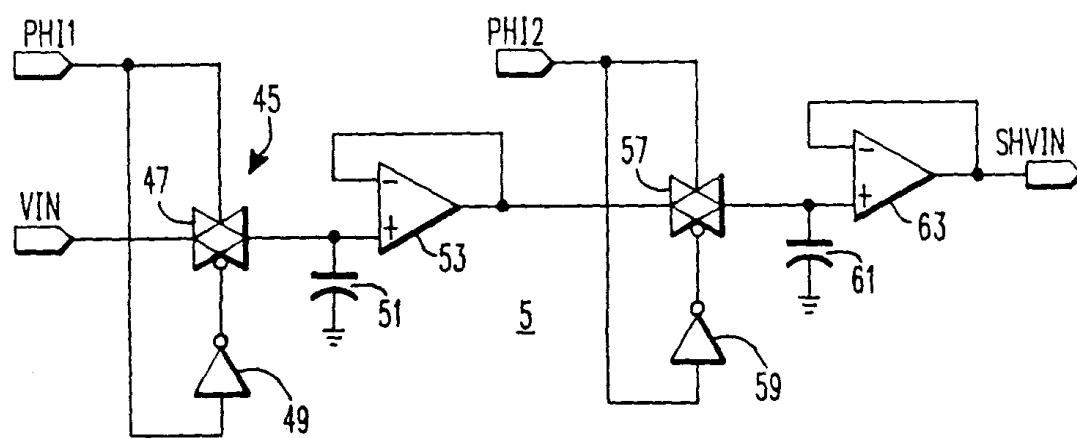


图.1



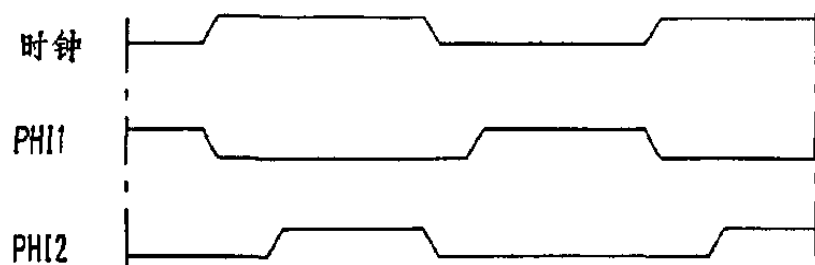


图. 4

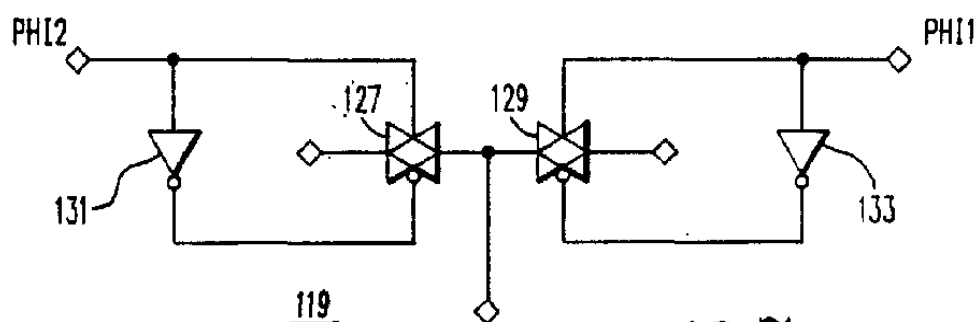


图. 7

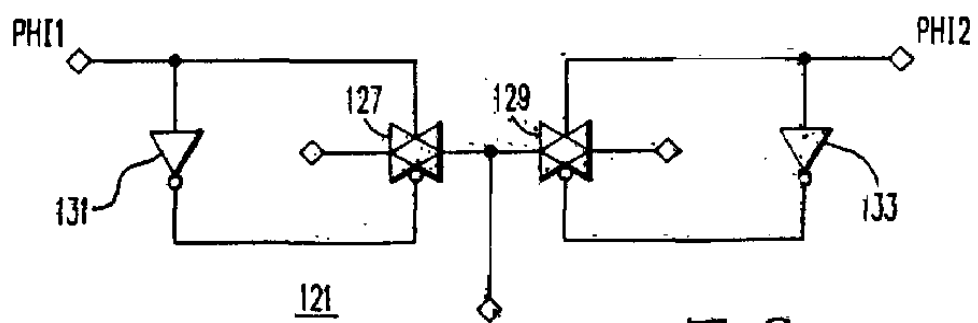
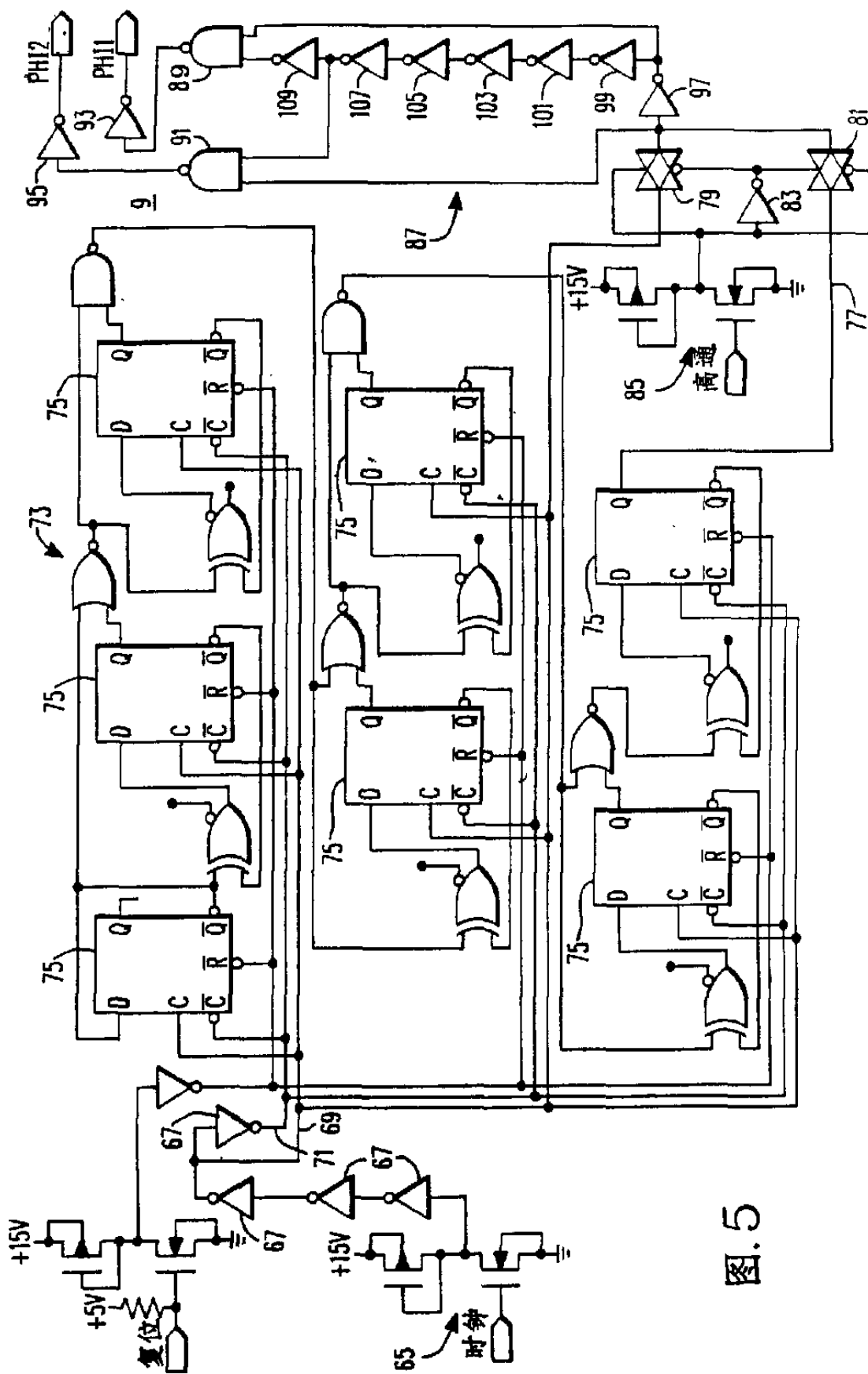


图. 8



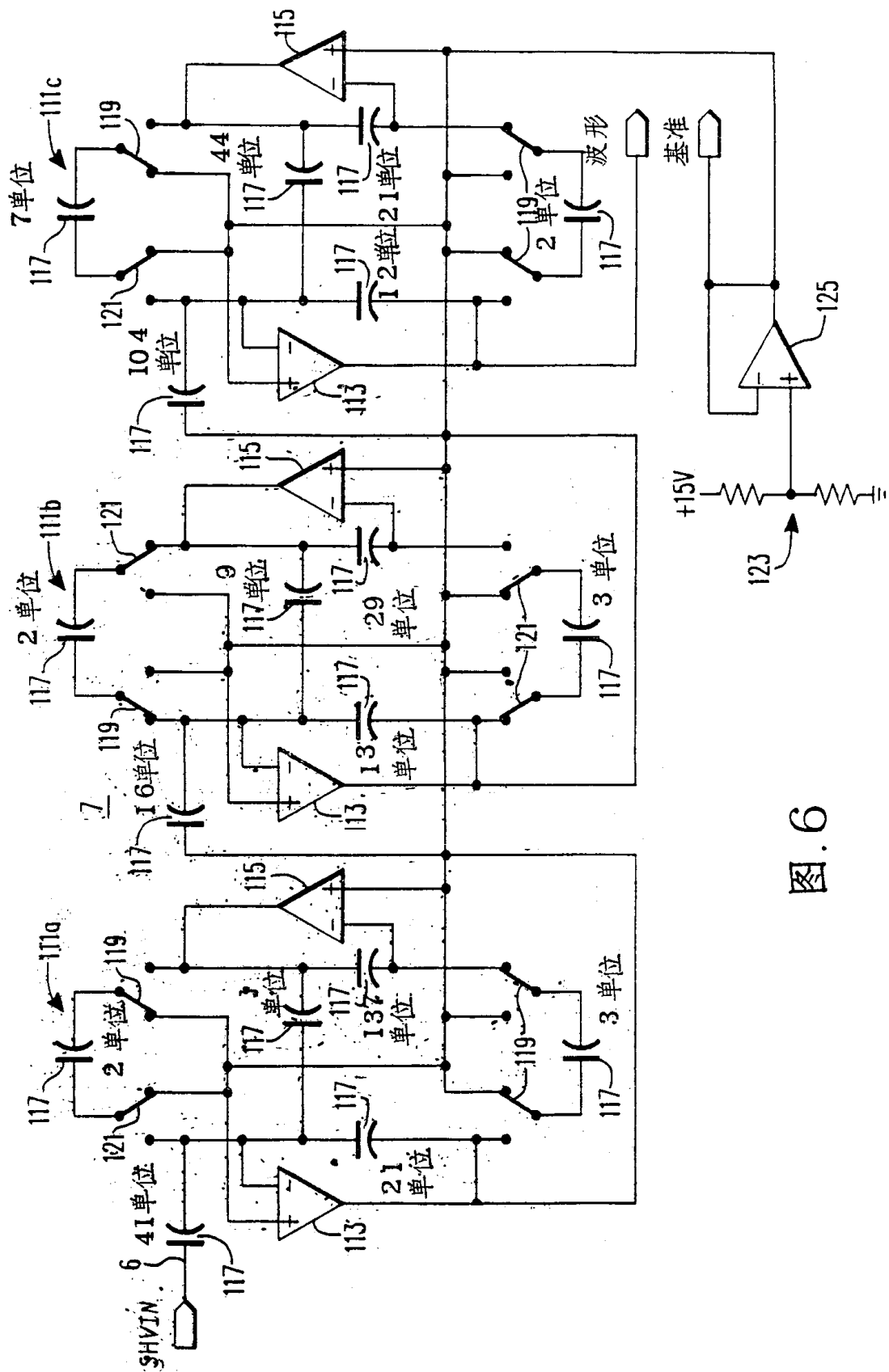
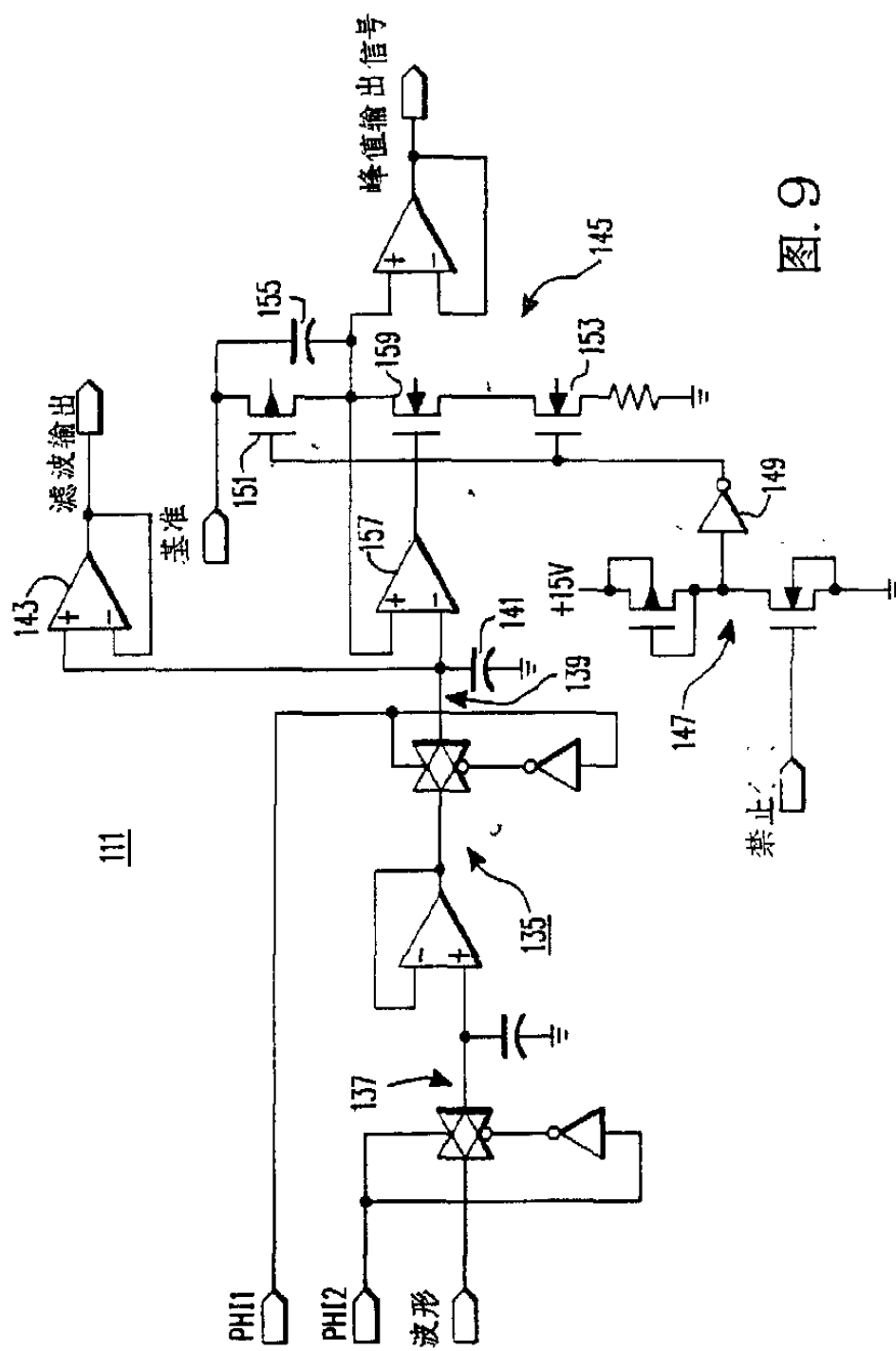


图. 6



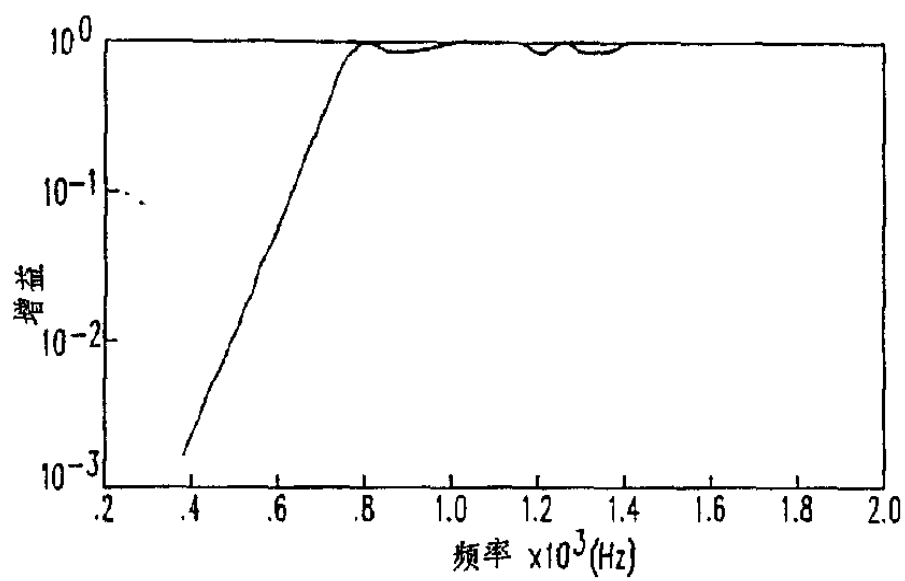


图.10

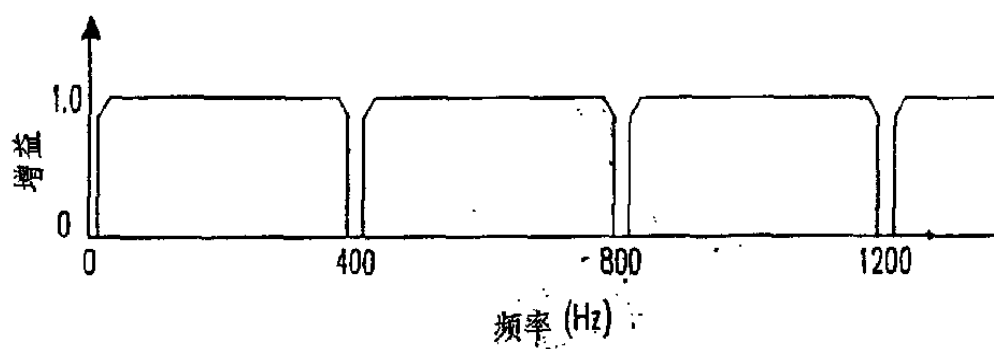


图.11