[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/50 (2006.01)
H01L 21/98 (2006.01)

[12] 发明专利说明书

专利号 ZL 02119894.2

[45] 授权公告日 2006 年 2 月 15 日

[11] 授权公告号 CN 1242463C

[22] 申请日 2002.5.17 [21] 申请号 02119894.2

[30] 优先权

[32] 2001. 5.18 [33] JP [31] 149341/2001

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 松井干雄 大沟尚子 芳村淳 佐藤隆夫

审查员 吴海涛

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 王永刚

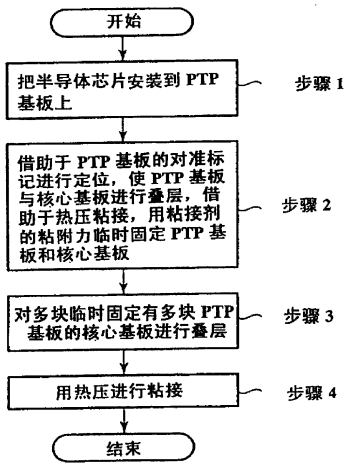
权利要求书 4 页 说明书 11 页 附图 13 页

[54] 发明名称

叠层式半导体器件的制造方法

[57] 摘要

一种半导体器件的制造方法，在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和第 1 对准标记的基板上，在与上述第 1 布线电连接的状态下安装半导体元件。 然后，通过上述第 1 对准标记的识别，对具备第 2 连接电极和已电连接到上述第 2 连接电极上的第 2 布线且在两面上形成有粘接剂层的核心基板与安装有上述半导体元件的基板，在进行定位的同时进行叠层，不使上述粘接剂硬化地在熔融温度下进行热压粘接，用粘接剂的粘附力把安装有上述半导体元件的基板临时固定到上述核心基板上。



1. 一种半导体器件的制造方法，其特征在于：包括：

在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和第 1 对准标记的基板上，在与上述第 1 布线电连接的状态下安装半导体元件；和

通过上述第 1 对准标记的识别，对具备第 2 连接电极和已电连接到上述第 2 连接电极上的第 2 布线且在两面上形成有粘接剂层的核心基板和安装有上述半导体元件的基板，边进行定位边进行叠层，不使上述粘接剂硬化而在熔融温度下进行热压粘接，用粘接剂的粘附力把安装有上述半导体元件的基板临时固定到上述核心基板上。

2. 根据权利要求 1 所述的半导体器件的制造方法，其特征在于：还具备：在进行上述临时固定后，边对临时固定了安装有上述半导体元件的基板的核心基板进行三维定位，边进行多块叠层，并通过热压进行粘接。

3. 根据权利要求 2 所述的半导体器件的制造方法，其特征在于：安装有上述半导体元件的基板和在上述两面上形成有粘接剂层的核心基板的第 2 连接电极部分分别具备填充有金属的贯通孔，在上述热压时，填充到上述贯通孔内的金属进行连接，形成合金层。

4. 根据权利要求 3 所述的半导体器件的制造方法，其特征在于：填充到上述贯通孔内的金属是从由 Cu、Sn 和 Sn-Ag 构成的组中选出来的任何一种材料。

5. 根据权利要求 4 所述的半导体器件的制造方法，其特征在于：还具备：设置在形成于上述贯通孔内的金属的表面上，并由从 Sn、Sn-Ag、Sn-Pb 和 Au 构成的组中选出来的任何一种材料构成的镀层。

6. 根据权利要求 2 所述的半导体器件的制造方法，其特征在于：上述核心基板具有叠层用的第 2 对准标记，用上述第 1 对准标记和上述第 2 对准标记进行上述三维定位。

7. 根据权利要求 1 所述的半导体器件的制造方法，其特征在于：

还具备：在进行上述临时固定之后，边对临时固定了安装有上述半导体元件的基板的核心基板进行三维定位边进行多块叠层，机械性地临时固定上述多块核心基板，通过热压对上述机械性地临时固定的多块核心基板进行粘接。

8. 根据权利要求 7 所述的半导体器件的制造方法，其特征在于：上述核心基板具有叠层用的第 2 对准标记，用上述第 1 对准标记和上述第 2 对准标记进行上述三维定位。

9. 根据权利要求 1 所述的半导体器件的制造方法，其特征在于：还具备：设置在安装有上述半导体元件的基板和上述核心基板中的至少一方完成时要被除去的区域的一部分上，用来使上述粘接剂层的厚度局部性变薄的虚设图形。

10. 一种半导体器件的制造方法，其特征在于：包括：

在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和对准标记的基板上，在与上述第 1 布线电连接的状态下安装半导体元件，

通过上述对准标记的识别，对具备第 2 连接电极、已电连接到上述第 2 连接电极上的第 2 布线和用来进行叠层的定位用插针孔且在两面上形成有粘接剂层的核心基板和安装有上述半导体元件的基板，边进行定位边进行叠层，不使上述粘接剂硬化而在熔融温度下进行热压粘接，用粘接剂的粘附力把安装有上述半导体元件的基板临时固定到上述核心基板上，

用上述定位用的插针孔把多块临时固定了安装有上述半导体元件的基板的核心基板叠层起来组装到安置有插针的安装架板上；和

通过热压把上述多块核心基板粘接起来。

11. 根据权利要求 10 所述的半导体器件的制造方法，其特征在于：安装有上述半导体元件的基板和在上述两面已形成有粘接剂层的核心基板的第 2 连接电极部分，分别具备填充有金属的贯通孔，在上述热压时，填充到上述贯通孔内的金属进行连接而形成合金层。

12. 根据权利要求 10 所述的半导体器件的制造方法，其特征在于：

填充到上述贯通孔内的金属，是从由 Cu、Sn 和 Sn-Ag 构成的组中选出来的任何一种材料。

13. 根据权利要求 12 所述的半导体器件的制造方法，其特征在于：还具备：设置在形成于上述贯通孔内的金属的表面上，由从 Sn、Sn-Ag、Sn-Pb 和 Au 构成的组中选出来的任何一种材料构成的镀层。

14. 根据权利要求 10 所述的半导体器件的制造方法，其特征在于：还具备：设置在安装有上述半导体元件的基板和上述核心基板中的至少一方完成时要被除去的区域的一部分上，用来使上述粘接剂层的厚度局部变薄的虚设图形。

15. 一种半导体器件的制造方法，其特征在于：包括：

在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和定位用的第 1 插针孔的基板上，在与上述第 1 布线电连接的状态下安装半导体元件，

把多块具备第 2 连接电极、已电连接到上述第 2 连接电极上的第 2 布线和用来进行叠层的定位用的第 2 插针孔且在两面上形成有粘接剂层的核心基板和已安装有上述半导体元件的基板，用上述第 1 和第 2 定位用的插针孔，叠层起来后组装到已安置有插针的安装架板上；和

通过热压把已安装有上述半导体元件的基板粘接到核心基板上，同时把多块叠层后的核心基板粘接起来。

16. 根据权利要求 15 所述的半导体器件的制造方法，其特征在于：安装有上述半导体元件的基板和在上述两面形成有粘接剂层的核心基板的第 2 连接电极部分分别具备填充有金属的贯通孔，在上述热压时，填充到上述贯通孔内的金属进行连接，形成合金层。

17. 根据权利要求 16 所述的半导体器件的制造方法，其特征在于：已填充到上述贯通孔内的金属，是从由 Cu、Sn 和 Sn-Ag 构成的组中选出来的任何一种材料。

18. 根据权利要求 17 所述的半导体器件的制造方法，其特征在于：还具备：设置在形成于上述贯通孔内的金属的表面上，由从 Sn、Sn-Ag、Sn-Pb 和 Au 构成的组中选出来的任何一种材料构成的镀层。

19. 根据权利要求 15 所述的半导体器件的制造方法，其特征在于：还具备：设置在安装有上述半导体元件的基板和上述核心基板中的至少一方完成时要被除去的区域的一部分上，用来使上述粘接剂层的厚度局部性变薄的虚设图形。

叠层式半导体器件的制造方法

技术领域

本发明涉及半导体器件的制造方法，特别是涉及叠层安装半导体元件的叠层封装。

背景技术

近年来，为了实现高密度安装化，半导体器件大多使半导体元件叠层起来进行安装。至于现有的叠层式半导体器件（叠层封装），例如已在日本国特许公开 H09-219490、日本国特许公开 H10-135267 以及日本国特许公开 H10-163414 等中进行了讲述。

在这些现有的叠层封装中，在封装到 TSOP（扁平小型封装）、TCP（带载封装）、BGA（球栅阵列）等中之后，使预先设置在各个封装上的外部端子个别地重叠起来地对各个元件进行叠层，然后进行电连接完成叠层封装。

就是说，现有的叠层封装，除去封装到各个封装中去的封装工序之外，还要加上每一个封装的叠层加工工序。因此，将变成为工序数增加叠层个数那么大的量的顺序工作方案，归因于该方法的加工费用的增加，以及归因于要个别地进行叠层而使用衬垫等的构件而产生的造价的增加，就成了问题。

发明内容

本发明的半导体器件的制造方法的一个方面，包括：在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和第 1 对准标记的基板上，在与上述第 1 布线电连接的状态下安装半导体元件；和通过上述第 1 对准标记的识别，对具备第 2 连接电极和已电连接到上述第 2 连接电极上的第 2 布线且在两面上形成有粘接剂层的核心基

板与安装有上述半导体元件的基板，边进行定位边进行叠层，不使上述粘接剂硬化地在熔融温度下进行热压粘接，用粘接剂的粘附力把安装有上述半导体元件的基板临时固定到上述核心基板上。

本发明的半导体器件的制造方法的另一个方面，包括：在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和对准标记的基板上，在与上述第 1 布线电连接的状态下安装半导体元件，通过上述对准标记的识别，对具备第 2 连接电极、已电连接到上述第 2 连接电极上的第 2 布线和用来进行叠层的定位用插针孔且在两面上形成有粘接剂层的核心基板和安装有上述半导体元件的基板，边进行定位边进行叠层，不使上述粘接剂硬化地在熔融温度下进行热压粘接，用粘接剂的粘附力把安装有上述半导体元件的基板临时固定到上述核心基板上，用上述定位用的插针孔，把多块临时固定了安装有上述半导体元件的基板的核心基板叠层起来组装到安置有插针的安装架板上；和通过热压把上述多块核心基板粘接起来。

本发明的半导体器件的制造方法的再一个方面，包括：在具备第 1 连接电极、已电连接到上述第 1 连接电极上的第 1 布线、和定位用的第 1 插针孔的基板上，在与上述第 1 布线电连接的状态下安装半导体元件，把多块具备第 2 连接电极、已电连接到上述第 2 连接电极上的第 2 布线和用来进行叠层的定位用的第 2 插针孔且在两面上形成有粘接剂层的核心基板和已安装有上述半导体元件的基板，用上述第 1 和第 2 定位用的插针孔，叠层起来后组装到已安置有插针的安装架板上；和通过热压把已安装有上述半导体元件的基板粘接到核心基板上，同时把多块叠层后的核心基板粘接起来。

附图说明

图 1 是用来对本发明的实施例 1 的半导体器件的制造方法进行说明的流程图。

图 2 是单片化后的 PTP 基板的平面图。

图 3 的剖面图，示出了使图 2 所示的 PTP 基板和核心基板叠层后

的状态。

图 4 的扩大剖面图，示出了图 3 中的 PTP 基板和核心基板的连接电极部分的构成例。

图 5 的扩大剖面图，示出了图 3 中的 PTP 基板和核心基板的连接电极部分的另一构成例。

图 6 的扩大剖面图，示出了图 3 中的 PTP 基板和核心基板的连接电极部分的再一构成例。

图 7 的扩大剖面图，示出了图 3 中的 PTP 基板和核心基板的连接电极部分的另外的一个构成例。

图 8 的扩大剖面图，示出了图 3 中的 PTP 基板和核心基板的连接电极部分的又一个构成例。

图 9A 的 PTP 基板的平面图，用来说明图 2 所示的 PTP 基板的变形例。

图 9B 的局部剖面图，用来说明图 2 所示的 PTP 基板的变形例，示出了 PTP 基板和核心基板进行叠层后的状态。

图 10A 是用来说明本发明的实施例 2 的半导体器件的制造方法的流程图。

图 10B 和图 10C 的平面图，分别用来说明本发明的实施例 2 的半导体器件的制造方法，示出了设置在核心基板上的叠层用的对准标记的一个例子。

图 11 是用来说明本发明的实施例 3 的半导体器件的制造方法的流程图。

图 12 是用来说明本发明的实施例 4 的半导体器件的制造方法的流程图。

图 13 的斜视图，用来说明本发明的实施例 4 的半导体器件的制造方法，示出了使多块已固定上多块 PTP 基板的核心基板叠层后的状态。

图 14 是用来说明本发明的实施例 5 的半导体器件的制造方法的流程图。

图15是用来说明本发明的实施例6的半导体器件的制造方法的流程图。

图16的斜视图，用来说明本发明的实施例6的半导体器件的制造方法，示出了使多块PTP基板和核心基板叠层后的状态。

具体实施方式

[实施例1]

图1是用来对本发明的实施例1的半导体器件的制造方法进行说明的流程图，图2是单片化后的PTP(Paper Thin Package，纸薄封装)基板的平面图，图3的剖面图示出了使图2所示的PTP基板和核心基板叠层后的状态，此外图4到图8的扩大剖面图分别示出了图3中的PTP基板和核心基板的连接电极部分的构成例，示出了被填充到贯通孔内的金属的种种组合。

首先，如图1和2所示，把半导体芯片(半导体元件)12安装到玻璃环氧树脂或聚酰亚胺等的PTP基板11上(步骤1)。上述PTP基板11具备连接电极、已连接到该连接电极上的Cu布线13和定位用的对准标记14A、14B，上述半导体芯片12，在已与上述Cu布线电连接的状态下安装到PTP基板11上。

其次，通过上述对准标记14A、14B的识别，对上述那样的构成的PTP基板11、和具备连接电极及已电连接到该连接电极上的布线，两面已涂敷上粘接剂的核心基板，边进行定位边进行叠层，用环氧系粘接剂不硬化的温度为120℃以下(例如60℃～120℃)的热压粘接工具，进行PTP基板11与核心基板的热压粘接，通过粘接剂的粘附力进行临时固定(步骤2)。这时，如果使用已把加热工具组装到用来吸附拾取上述PTP基板11的开口夹套内的装置，则可以连续地进行PTP基板11向核心基板上的移送和临时固定。

其次，如图3所示，使临时固定PTP基板11-1～11-3的核心基板15-2～15-4与核心基板15-1、15-5进行叠层(步骤3)，通过热压把所有的层粘接起来(步骤4)。

倘采用这样的粘接方法，通过把 PTP 基板 11-1～11-3 临时固定到核心基板 15-2～15-4 上，即便是在热压时粘接剂熔融，也可以抑制单片化的 PTP 基板 11-1～11-3 的错位。此外，在可以削减制造工序数的同时，还因不再需要用来进行叠层的构件而可以实现低造价化。再有，由于不需要衬垫等的用来进行叠层的构件，故还可以实现叠层封装的薄厚度化。

图 4 的扩大剖面图示出了上述图 3 中的 PTP 基板和核心基板的连接电极部分(用虚线 17 围起来的区域)的构成例。如图 4 所示，在核心基板 15-2 上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）20。在该 Cu 通路 20 的与 PTP 基板 11-1 之间的接合面一侧形成 Sn 镀层 21。此外，在背面一侧则形成 Cu 结合区 22。在上述 PTP 基板 11-1 的与 Cu 通路 20 对应的位置上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）23。在该 Cu 通路 23 的表面上形成 Sn 镀层 24，在背面一侧则形成 Cu 结合区 25。

如上所述，倘采用 Sn/Cu 连接电极构造，则可以对应于无铅封装。

图 5 的扩大剖面图示出了上述图 3 中的 PTP 基板和核心基板的连接电极部分(用虚线 17 围起来的区域)的另一个构成例。如图 5 所示，在核心基板 15-2 上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）20。在该 Cu 通路 20 的与 PTP 基板 11-1 之间的接合面一侧形成 Sn-Pb 镀层 26。此外，在背面一侧则形成 Cu 结合区 22。在该 Cu 结合区 22 的表面上形成 Sn 镀层 27。在上述 PTP 基板 11-1 的与 Cu 通路 20 对应的位置上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Sn-Ag(叫做 Sn-Ag 通路)28。在该 Sn-Ag 通路 28 的背面一侧形成 Cu 结合区 25。此外，在上述 Cu 结合区 25 的与上述 Sn-Pb 镀层 26 对应的位置上形成 Sn-Ag 镀层 29。

如上所述，倘采用 Sn-Ag /Sn-Pb 连接电极构造，则在热压时 Sn-Pb 镀层 26 将熔融，因而可以减小高度的起伏。

图 6 的扩大剖面图示出了上述图 3 中的 PTP 基板和核心基板的连

接电极部分(用虚线 17 围起来的区域)的又一个构成例。如图 6 所示，在核心基板 15-2 上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）20。在该 Cu 通路 20 的与 PTP 基板 11-1 之间的接合面一侧形成 Au 镀层 30。此外，在背面一侧则形成 Cu 结合区 22。在该 Cu 结合区 22 的表面上形成 Au 镀层 31。在上述 PTP 基板 11-1 的与 Cu 通路 20 对应的位置上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）23。在该 Cu 通路 23 的表面一侧形成 Au 镀层 32，在背面一侧形成 Cu 结合区 25。此外，上述 Cu 结合区 25 的与上述 Au 镀层 30 对应的位置上形成 Au 镀层 33。

如上所述，使用 Au/Au 连接电极构造，具有防止结合区 22、25 氧化的效果，由于 Au 柔软，故在挤压时坍塌，因而可以吸收高度的起伏。通过此，可以提高各层的电极连接特性。

图 7 的扩大剖面图示出了上述图 3 中的 PTP 基板和核心基板的连接电极部分(用虚线 17 围起来的区域)的另一个构成例。如图 7 所示，在核心基板 15-2 上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）20。在该 Cu 通路 20 的与 PTP 基板 11-1 之间的接合面的背面一侧形成 Cu 结合区 22。在上述 PTP 基板 11-1 的与 Cu 通路 20 对应的位置上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 贯通孔）23。在该 Cu 结合区 23 的背面一侧形成 Cu 结合区 25。

如上所述，使用 Cu/Cu 连接电极构造是廉价的，也可以对应于封装的无 Pb。

图 8 的扩大剖面图示出了上述图 3 中的 PTP 基板和核心基板的连接电极部分(用虚线 17 围起来的区域)的再一个构成例。如图 8 所示，在核心基板 15-2 上形成贯通孔，在该贯通孔内填充有作为连接电极起作用的 Cu（叫做 Cu 通路）20。在该 Cu 通路 20 的与 PTP 基板 11-1 之间的接合面一侧形成 Sn-Ag 镀层 34。此外，在背面一侧则形成 Cu 结合区 22。在该 Cu 结合区 22 的表面上形成 Sn 镀层 27。在上述 PTP 基板 11-1 的与 Cu 通路 20 对应的位置上形成贯通孔，在该贯通孔内

填充有作为连接电极起作用的 Sn（叫做 Sn 通路）35。在该 Sn 通路 35 的背面一侧形成 Cu 结合区 25。此外，上述 Cu 结合区 25 的与上述 Sn-Ag 镀层 34 对应的位置上形成 Sn 镀层 36。

如上所述，使用 Sn-Ag/Sn 连接电极构成，可以对应于封装的无 Pb 化，可以抑制因结合区 25、22 的氧化而产生的接合不合格。

图 9A 和图 9B 分别示出了上述图 2 所示的 PTP 基板的变形例。如图 9A 所示，在可以成为该 PTP 基板 11'中的用虚线 40 表示的产品的范围之外，设置有由 Cu 等构成的虚设图形 41A、41B。此外，如图 9B 所示，在已涂敷到核心基板 15 上的粘接剂层上，在与上述虚设图形对应的位置上，设置有由 Cu 等构成的虚设图形 42。

若设置这样的虚设图形 41、42，则归因于粘接剂厚度变薄，热压时熔融的粘接剂层就会部分地减少，因而可以进一步减少核心基板与 PTP 基板 11'的错位。

另外，在这里虽然说明的是 PTP 基板 11'和核心基板 15 这两方都设置虚设图形 41、42 的例子，但是也可以是任何一方。

[实施例 2]

图 10A 到图 10C 分别用来说明本发明的实施例 2 的半导体器件的制造方法，图 10A 是流程图，图 10B 和图 10C 分别是设置在核心基板上的叠层用的对准标记的一个例子。在本实施例中，不仅 PTP 基板，在核心基板上也设置叠层用的对准标记，并用叠层用的对准标记进行核心基板的定位。就是说，首先，把半导体芯片 12 安装在由玻璃环氧树脂或聚酰亚胺等构成的 PTP 基板 11 上(步骤 1)。上述 PTP 基板 11，与图 2 同样，具备连接电极、已电连接到该连接电极上的 Cu 布线 13、和在进行叠层时定位用的对准标记 14A、14B，上述半导体芯片 12 要在已与上述 Cu 布线电连接起来的状态下安装到 PTP 基板上。

其次，通过上述 PTP 基板 11 的对准标记 14A、14B 的识别，对上述那样构成的 PTP 基板，和具有连接电极、已电连接到该连接电极上的布线、和与该布线同时图形化形成的图 10B 和图 10C 所示的那种叠层用的对准标记，且两面已涂敷上粘接剂的核心基板，边进行定位

边进行叠层，用环氧系粘接剂不硬化的温度为120℃以下(例如60℃～120℃)的热压粘接工具，进行PTP基板与核心基板的热压粘接，通过粘接剂的粘附力进行临时固定(步骤2)。这时，与上述实施例1同样，如果使用已把加热工具组装到用来吸附拾取上述PTP基板的开口夹套内的装置，则可以连续地进行PTP基板向核心基板上的移送和临时固定。

其次，在上述核心基板的用如图10B和图10C所示的对准标记进行定位后(步骤3)，使多块核心基板进行叠层(步骤4)，通过热压进行粘接(步骤5)。

倘采用这样的粘接方法，由于设置在核心基板上的叠层用的对准标记与布线同时形成，故可以使叠层错位提高到图形精度那种程度。

[实施例3]

图11是用来说明本发明的实施例3的半导体器件的制造方法的流程图。首先，把半导体芯片12安装到玻璃环氧树脂或聚酰亚胺等的PTP基板11上(步骤1)。上述PTP基板11，与图2同样，具备连接电极、已连接到该连接电极上的Cu布线13和定位用的对准标记14A、14B，上述半导体芯片12，要在已与上述Cu布线电连接的状态下安装到PTP基板11上。

其次，通过上述PTP基板的对准标记的识别，对上述那样构成的PTP基板，和具有连接电极、已电连接到该连接电极上的布线、和与该布线同时图形化形成的叠层用的对准标记，且两面已涂敷上粘接剂的核心基板，边进行定位边进行叠层，用环氧系粘接剂不硬化的温度为120℃以下(例如60℃～120℃)的热压粘接工具，进行PTP基板与核心基板的热压粘接，通过粘接剂的粘附力进行临时固定(步骤2)。这时，如果使用已把加热工具组装到用来吸附拾取上述PTP基板的开口夹套内的装置，则可以连续地进行PTP基板向核心基板上的移送和临时固定。

其次，通过核心基板的对准标记，定位已临时固定上多块PTP基板的核心基板(步骤3)，使多块核心基板进行叠层(步骤4)，例如，用钉书机

机械式地临时固定多块核心基板(步骤 5)。

然后，通过热压粘接上述机械式临时固定的核心基板(步骤 6)。

倘采用这样的制造方法，由于先通过临时固定安装 PTP 基板，进行具备叠层用的对准标记的核心基板的定位，接着再机械式地临时固定多块核心基板，然后，再用热压进行粘接，故可以因进一步减小叠层错位而得以高精度地进行叠层。

[实施例 4]

图 12 是用来说明本发明的实施例 4 的半导体器件的制造方法的流程图。此外，图 13 的斜视图示出了使已固定上多块 PTP 基板的多块核心基板叠层后的状态。

首先，把半导体芯片 12 安装到玻璃环氧树脂或聚酰亚胺等的 PTP 基板 11 上(步骤 1)。上述 PTP 基板 11，与图 2 同样，具备连接电极、已连接到该连接电极上的 Cu 布线 13 和定位用的对准标记 14A、14B，上述半导体芯片 12，要在已与上述 Cu 布线电连接的状态下安装到 PTP 基板 11 上。

其次，通过上述 PTP 基板的对准标记的识别，对上述那样构成的 PTP 基板，和具有连接电极、已电连接到该连接电极上的布线、和用来进行叠层的定位用的插针孔，且两面已涂敷上粘接剂的核心基板 50-1～50-3，边进行定位边进行叠层，用环氧系粘接剂不硬化的温度为 120℃以下(例如 60℃～120℃)的热压粘接工具，进行 PTP 基板与核心基板的热压粘接，通过粘接剂的粘附力进行临时固定(步骤 2)。这时，如果使用已把加热工具组装到用来吸附拾取上述 PTP 基板 11 的开口夹套内的装置，则可以连续地进行 PTP 基板向核心基板上的移送和临时固定。

然后，如图 13 所示，使安装架板 52 的插针 51A、51B、51C、…贯通地依次组装到上述核心基板 50-1～50-3 的定位用的插针孔内，进行多块叠层。

接着，通过热压粘接上述 PTP 基板 11-1、11-2、11-3、…和核心基板 50-1～50-3(步骤 4)。

即便是这样的制造方法，也可以得到与上边所说的实施例 1 到 3 的制造方法同样的效果。

[实施例 5]

图 14 是用来说明本发明的实施例 5 的半导体器件的制造方法的流程图。首先，把半导体芯片 12 安装到玻璃环氧树脂或聚酰亚胺等的 PTP 基板 11 上(步骤 1)。上述 PTP 基板 11，与图 2 同样，具备连接电极、已连接到该连接电极上的 Cu 布线 13 和定位用的对准标记 14A、14B，上述半导体芯片 12，要在已与上述 Cu 布线电连接的状态下安装到 PTP 基板 11 上。

其次，通过上述 PTP 基板的对准标记的识别，对上述那样的构成的多个 PTP 基板，和具有连接电极、已电连接到该连接电极上的布线、和叠层时的位置对准用的切槽，且两面已涂敷上粘接剂的核心基板，边进行定位边进行叠层，用环氧系粘接剂不硬化的温度为 120℃以下(例如 60℃～120℃)的热压粘接工具，进行 PTP 基板与核心基板的热压粘接，通过粘接剂的粘附力进行临时固定(步骤 2)。这时，如果使用已把加热工具组装到用来吸附拾取上述 PTP 基板的开口夹套内的装置，则可以连续地进行 PTP 基板向核心基板上的移送和临时固定。

然后，如图 13 所示的实施例 4 同样，使具备位置对准用切槽的核心基板组装到已安置上插针的安装架板上进行多块叠层(步骤 3)。

接着，通过热压粘接上述多块叠层后的 PTP 基板和核心基板(步骤 4)。

即便是这样的制造方法，基本上也可以得到与上边所说的实施例 4 的半导体器件的制造方法同样的作用效果。

[实施例 6]

图 15 是用来说明本发明的实施例 6 的半导体器件的制造方法的流程图。图 16 的斜视图示出了使多块本实施例中的 PTP 基板与核心基板叠层后的状态。首先，把半导体芯片 12 安装到玻璃环氧树脂或聚酰亚胺等的 PTP 基板 11 上(步骤 1)。上述 PTP 基板 11，与图 2 同样，具备连接电极、已连接到该连接电极上的 Cu 布线 13 和叠层时的定位

用的插针孔，上述半导体芯片 12，要在已与上述 Cu 布线电连接的状态下安装到 PTP 基板 11 上。

其次，如图 16 所示，依次把上述那样的构成的 PTP 基板 11-1、11-2、11-3...，和具有连接电极、已电连接到该连接电极上的布线、和叠层用的定位用的插针孔，且两面已涂敷上粘接剂的核心基板 60-1～60-4，组装到已安置上进行各自的定位插针 61A、61B、61C...的安装架板 62 上后进行叠层(步骤 2)。

然后，通过热压，一揽子地对上述核心基板 60-1～60-4 和 PTP 基板 11-1、11-2、11-3...进行粘接。

倘采用这样的制造方法，则可以进一步简化叠层工序，在可以削减工序数的同时，因不再需要用来进行叠层的构件而可以实现低造价化。

如上所述，倘采用本发明的一个方面，则可以得到削减工序数的同时，因不再需要用来进行叠层的构件而可以实现低造价化的半导体器件的制造方法。

对于那些本专业的熟练的技术人员来说还存在着另外一些优点和变形。因此，本发明就其更为广阔的形态来说并不限于上述附图和说明。此外，就如所附权利要求及其等效要求所限定的那样，还可以有许多变形而不偏离总的发明的宗旨。

图 1

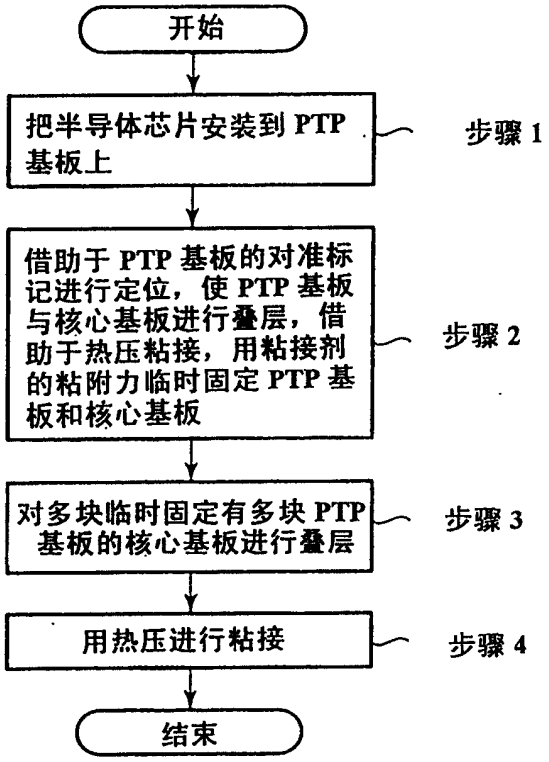

开始
把半导体芯片安装到 PTP 基板上
步骤 1
借助于 PTP 基板的对准标记进行定位，使 PTP 基板与核心基板进行叠层，借助于热压粘接，用粘接剂的粘附力临时固定 PTP 基板和核心基板
步骤 2
对多块临时固定有多块 PTP 基板的核心基板进行叠层
步骤 3
用热压进行粘接
步骤 4
结束

图 2

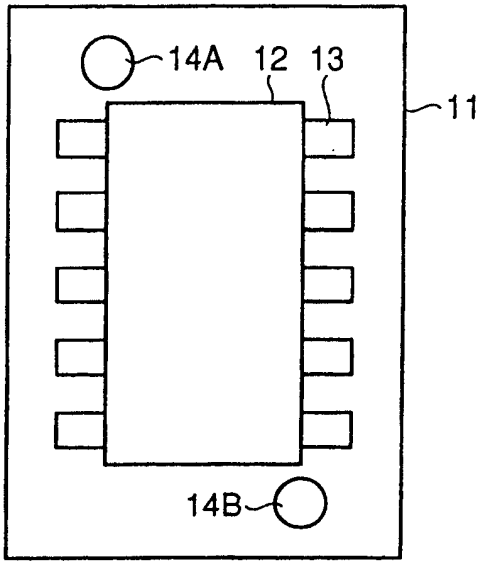


图 3

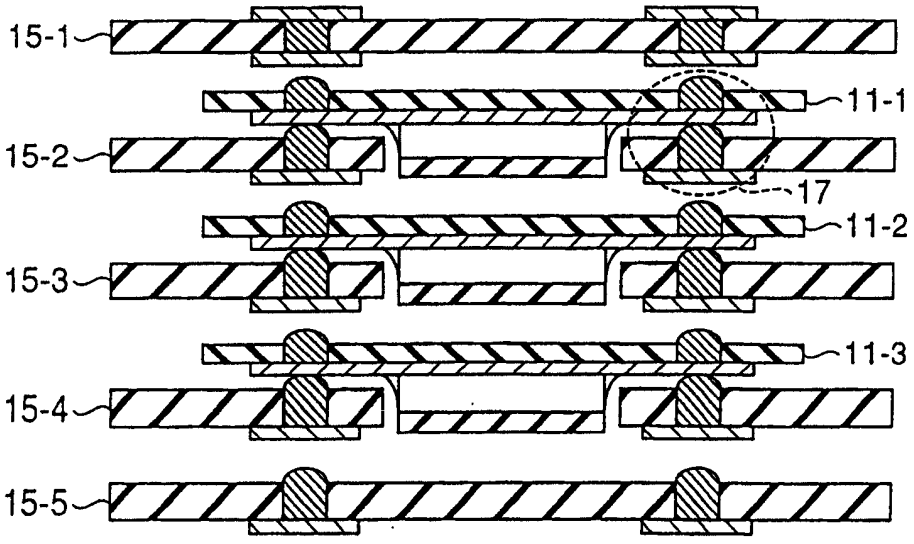


图 4

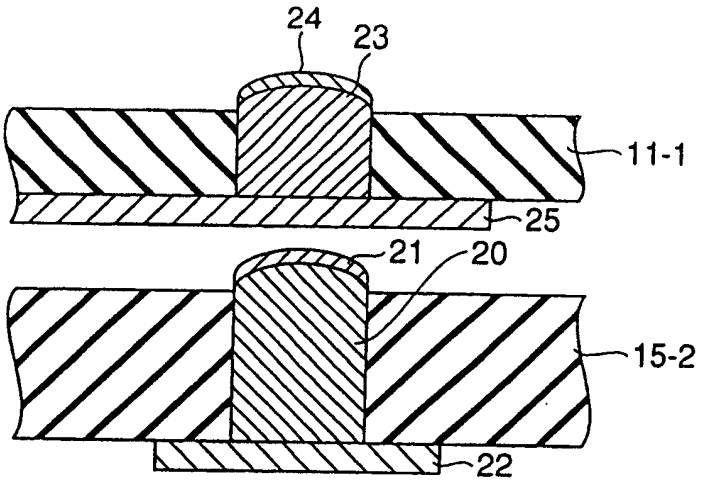


图 5

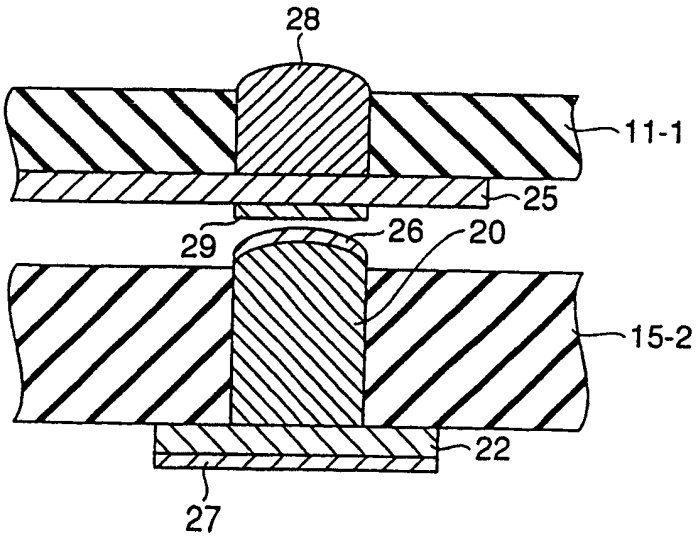


图 6

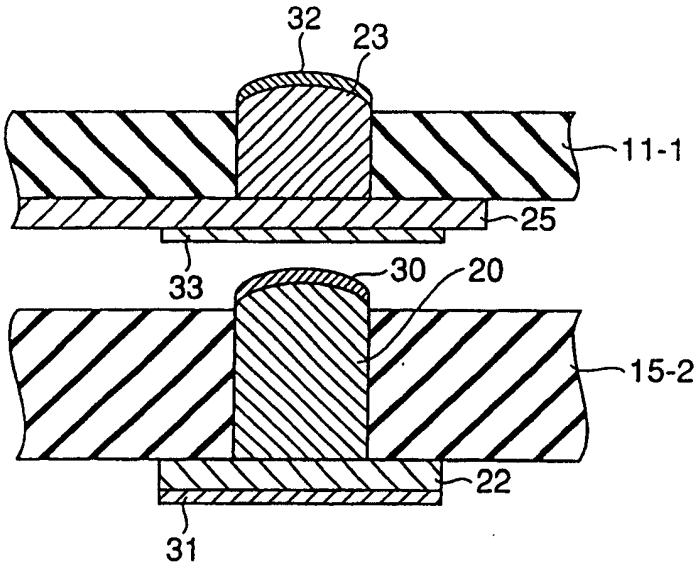


图 7

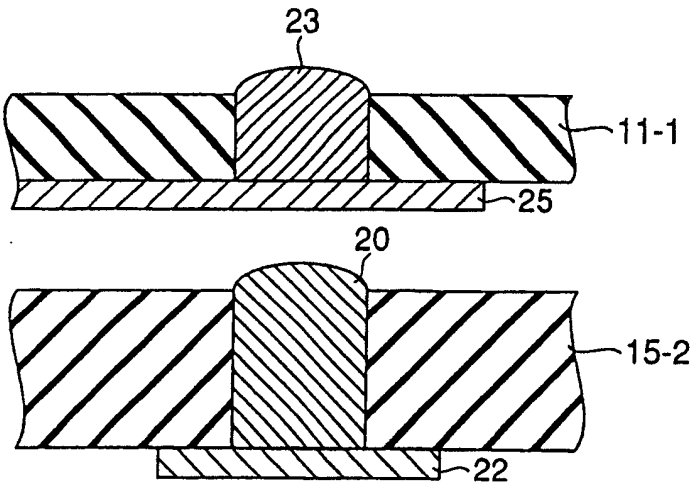


图 8

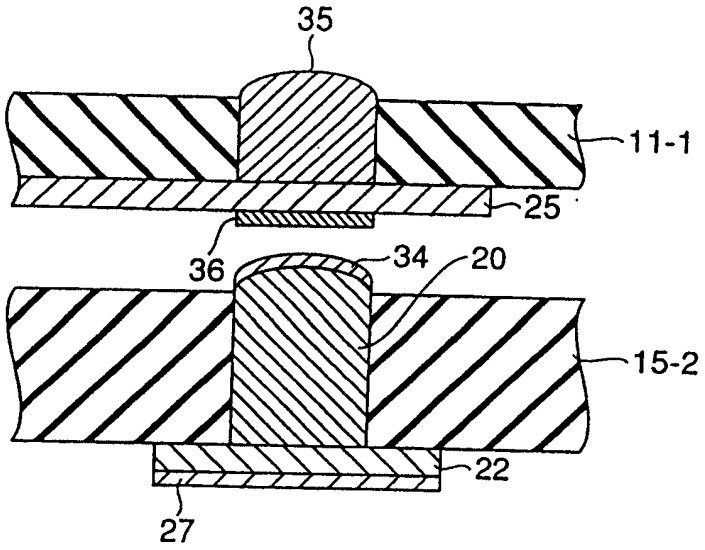


图 9A

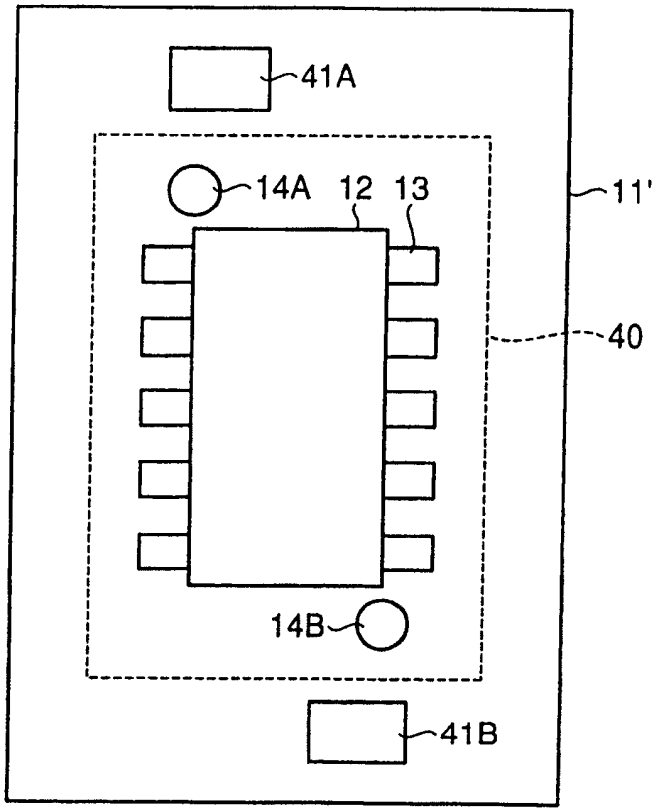


图 9B

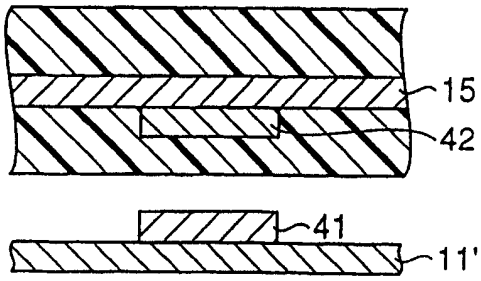


图 10A

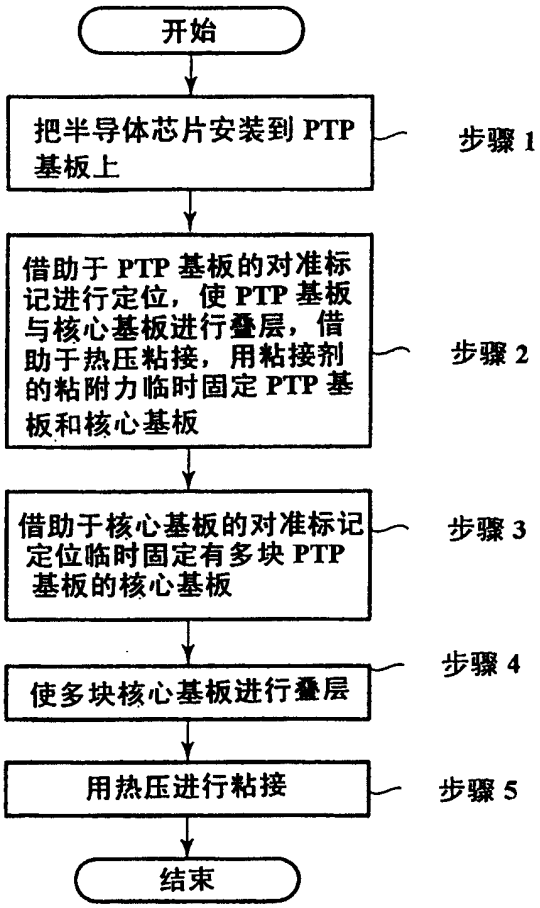


图 10B

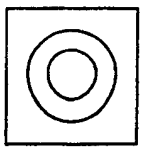


图 10C



图 11

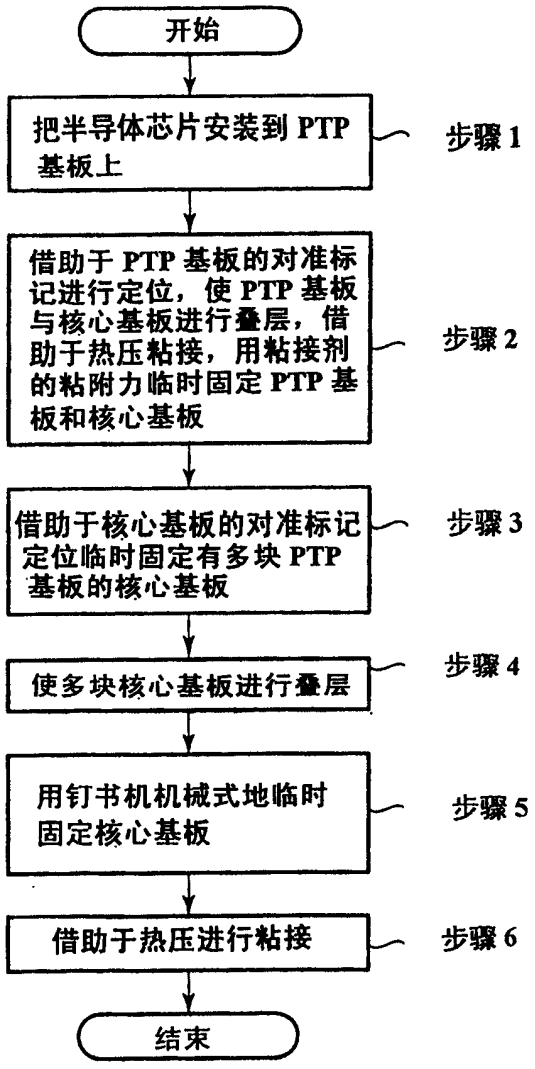

开始
把半导体芯片安装到 PTP 基板上
步骤 1
借助于 PTP 基板的对准标记进行定位，使 PTP 基板与核心基板进行叠层，借助于热压粘接，用粘接剂的粘附力临时固定 PTP 基板和核心基板
步骤 2
借助于核心基板的对准标记定位临时固定有多块 PTP 基板的核心基板
步骤 3
使多块核心基板进行叠层
步骤 4
用钉书机机械式地临时固定核心基板
步骤 5
借助于热压进行粘接
步骤 6
结束

图 12

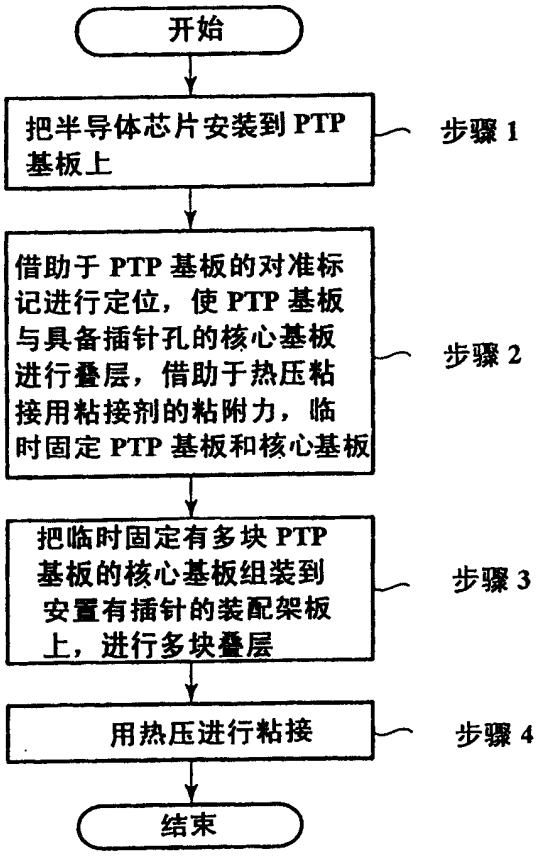

开始
把半导体芯片安装到 PTP 基板上
步骤 1
借助于 PTP 基板的对准标记进行定位，使 PTP 基板与具备插针孔的核心基板进行叠层，借助于热压粘接用粘接剂的粘附力，临时固定 PTP 基板和核心基板
步骤 2
把临时固定有多块 PTP 基板的核心基板组装到安置有插针的装配架板上，进行多块叠层
步骤 3
用热压进行粘接
步骤 4
结束

图 13

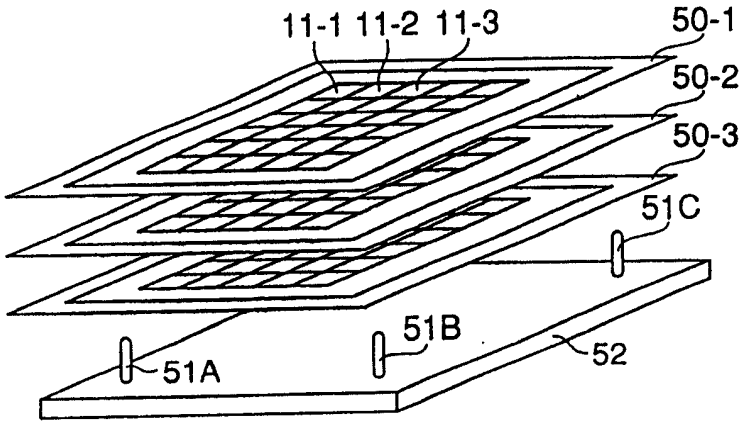


图 14

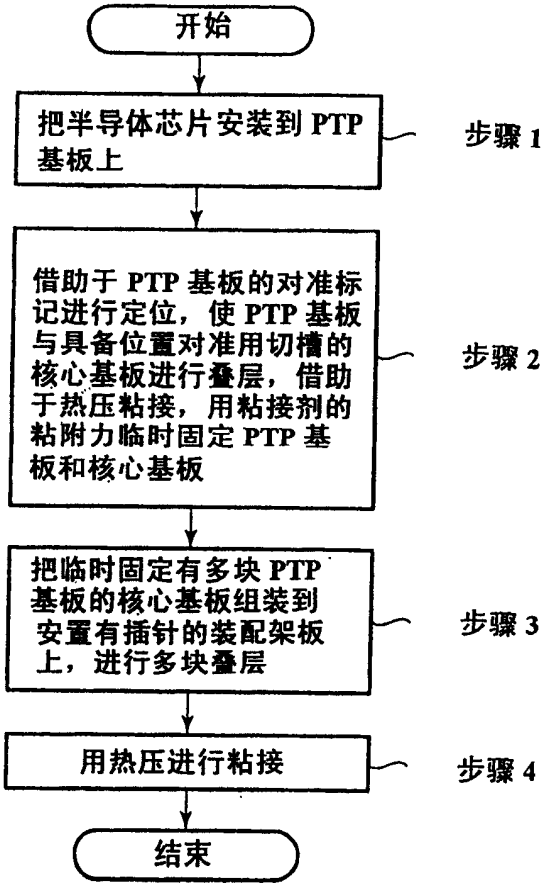

开始
把半导体芯片安装到 PTP 基板上
步骤 1
借助于 PTP 基板的对准标记进行定位，使 PTP 基板与具备位置对准用切槽的核心基板进行叠层，借助于热压粘接，用粘接剂的粘附力临时固定 PTP 基板和核心基板
步骤 2
把临时固定有多块 PTP 基板的核心基板组装到安置有插针的装配架板上，进行多块叠层
步骤 3
用热压进行粘接
步骤 4
结束

图 15

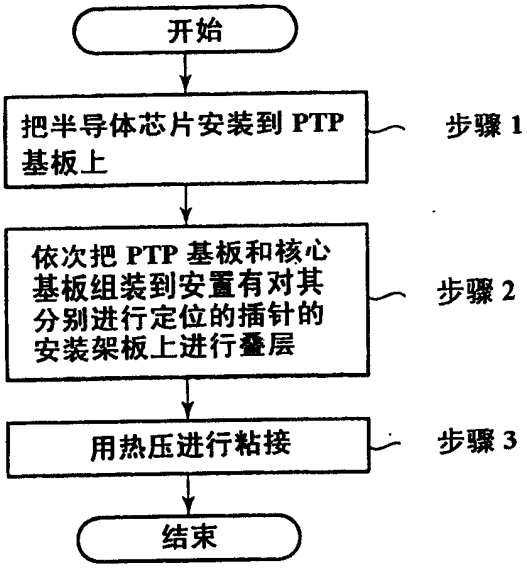

开始
把半导体芯片安装到 PTP 基板上
步骤 1
依次把 PTP 基板和核心基板组装到安置有对其分别进行定位的插针的安装架板上进行叠层
步骤 2
用热压进行粘接
步骤 3
结束

图 16

