

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-283526
(P2008-283526A)

(43) 公開日 平成20年11月20日(2008.11.20)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/693 (2006.01)	H03K 17/693 A	5J042
H03K 19/173 (2006.01)	H03K 19/173 I01	5J055
H03K 17/00 (2006.01)	H03K 17/00 E	

審査請求 未請求 請求項の数 11 O L (全 18 頁)

<p>(21) 出願番号 特願2007-126705 (P2007-126705)</p> <p>(22) 出願日 平成19年5月11日 (2007.5.11)</p> <p>(出願人による申告) 平成18年度独立行政法人科学技術振興機構「Flex Power FPGAチップのアーキテクチャ設計, 回路設計, 試作チップ設計, 周辺ソフトウェアの開発」委託研究、産業活力再生特別措置法第30条の適用を受ける特許出願</p>	<p>(71) 出願人 301021533 独立行政法人産業技術総合研究所 東京都千代田区霞が関1-3-1</p> <p>(72) 発明者 日置 雅和 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内</p> <p>(72) 発明者 松本 洋平 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内</p> <p>(72) 発明者 小池 帆平 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内</p> <p>Fターム(参考) 5J042 BA01 BA11 CA00 CA09 DA00</p>
--	--

最終頁に続く

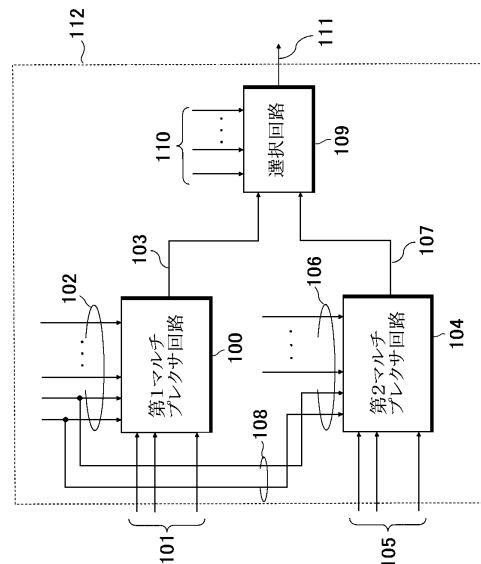
(54) 【発明の名称】 マルチプレクサ回路

(57) 【要約】

【課題】 信号経路に応じて信号伝搬遅延時間を選択できる再構成可能集積回路に用いて好適なマルチプレクサ回路を提供する。

【解決手段】 マルチプレクサ回路は、第一のマルチプレクサ回路と、第二のマルチプレクサ回路と、第一のマルチプレクサ回路と第二のマルチプレクサ回路のどちらかの出力信号を選択して出力する選択回路を有し、第一のマルチプレクサ回路と第二のマルチプレクサ回路のそれぞれの複数の制御信号のうち、少なくとも一つの制御信号を共有する。再構成可能集積回路のロジックブロックにより回路構成する場合にロジックエレメント回路間において、通常速度の信号と高速な信号の選択的出力を可能にし、面積の小さな再構成可能集積回路とするためのマルチプレクサ回路を提供する。第二のマルチプレクサ回路は、前記第一のマルチプレクサ回路とは信号伝搬遅延時間が異なる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

制御信号によって信号経路を決定し、複数の入力信号から一つの信号を選択して出力するマルチプレクサ回路であって、

複数の制御信号入力を有する第一のマルチプレクサ回路と、

複数の制御信号入力を有し前記第一のマルチプレクサ回路とは信号伝搬遅延時間が異なる第二のマルチプレクサ回路と、

一つないし複数の制御信号入力を有し、第一のマルチプレクサ回路と第二のマルチプレクサ回路の出力を選択して出力する機能を有する選択回路とから構成され、

第一のマルチプレクサ回路への複数の制御信号と第二のマルチプレクサ回路への複数の制御信号の少なくとも一つの制御信号を共有する、
ことを特徴とするマルチプレクサ回路。

10

【請求項 2】

請求項 1 に記載のマルチプレクサ回路において、

一つのマルチプレクサ回路が、独立した複数のスイッチング素子を並列に接続したマルチプレクサ回路である

ことを特徴とするマルチプレクサ回路。

【請求項 3】

請求項 1 に記載のマルチプレクサ回路において、

一つのマルチプレクサ回路が、二つのスイッチング素子を並列に接続して構成された 2 入力 1 出力マルチプレクサ回路を階段状に連続して複数接続したマルチプレクサ回路である

ことを特徴とするマルチプレクサ回路。

20

【請求項 4】

請求項 1 に記載のマルチプレクサ回路において、

一つのマルチプレクサ回路が、独立した複数のスイッチング素子を並列に接続したマルチプレクサ回路と、二つのスイッチング素子を並列に接続して構成された 2 入力 1 出力マルチプレクサ回路を階段状に連続して複数接続したマルチプレクサ回路を混載したマルチプレクサ回路である

ことを特徴とするマルチプレクサ回路。

30

【請求項 5】

請求項 1 に記載のマルチプレクサ回路において、

選択回路が、二つのスイッチング素子を並列に接続することで構成された 2 入力 1 出力マルチプレクサ回路を含む選択回路である

ことを特徴とするマルチプレクサ回路。

【請求項 6】

請求項 1 に記載のマルチプレクサ回路において、

選択回路が、二つの入力のどちらかを選択して出力する機能を有するバッファ回路である

ことを特徴とするマルチプレクサ回路。

40

【請求項 7】

請求項 1 に記載のマルチプレクサ回路において、

少なくとも一つの制御信号が、論理回路からの出力信号である

ことを特徴とするマルチプレクサ回路。

【請求項 8】

請求項 1 に記載のマルチプレクサ回路において、

少なくとも一つの制御信号が、メモリ回路からの出力信号である

ことを特徴とするマルチプレクサ回路。

【請求項 9】

請求項 2、3、4、5 のいずれかに記載のマルチプレクサ回路において、

50

少なくとも一つのスイッチング素子が、n型MOSFETで構成されることを特徴とするマルチプレクサ回路。

【請求項10】

請求項2、3、4、5のいずれかに記載のマルチプレクサ回路において、少なくとも一つのスイッチング素子が、p型MOSFETで構成されることを特徴とするマルチプレクサ回路。

【請求項11】

請求項2、3、4、5のいずれかに記載のマルチプレクサ回路において、少なくとも一つのスイッチング素子が、n型MOSFETとp型MOSFETが並列接続されたトランスマッションゲートで構成されることを特徴とするマルチプレクサ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多数の機能回路を集積した半導体集積回路に用いるためのマルチプレクサ回路に関するものであり、更に詳細には、信号経路に応じて異なる信号伝搬遅延時間を選択して用いることができ、再構成可能集積回路において回路構成する場合に用いて好適なマルチプレクサ回路に関するものである。

【背景技術】

【0002】

FPGA (Filed Programmable Gate Array) に代表される再構成可能集積回路は、デバイスに内蔵したメモリに情報を蓄積することによって、プログラマブル配線における配線の結線状態やロジックブロックにおける論理機能、プログラマブル配線とロジックブロックの相互接続状態を自由かつ柔軟に変更することが可能なデバイスである。ユーザは、デバイス内部のメモリに外部から情報を書き込むことによって、所望の規模、所望の機能を有する論理回路を構成することができる。

20

【0003】

前述のような再構成可能集積回路における柔軟な再構成機能のために、再構成可能集積回路は、プログラマブル配線やロジックブロックに回路の選択のための信号線を切り替える多数のマルチプレクサ回路を有する。マルチプレクサ回路は、回路外部からの制御信号によって複数の入力から一つの出力を選択し、入力から出力へ信号を伝播する選択回路である。

30

【0004】

再構成可能集積回路におけるマルチプレクサ回路は、通常、複数のNMOS (N型Metal Oxide Semiconductor) トランジスタをパストランジスタとして使用する。NMOSTランジスタの一方の拡散層に信号を入力し、もう一方の拡散層から信号を出力する。制御信号をNMOSTランジスタのゲートへ入力することにより、NMOSTランジスタの導通、非導通状態を制御し、入力された信号を出力するか否かを制御する。このようなパストランジスタの特性を利用することにより、制御信号によって信号経路を決定し、複数の入力信号から一つの信号を出力として選択するマルチプレクサ回路が構成される。

40

【0005】

再構成可能集積回路におけるマルチプレクサ回路は、大きく分けて二つの種類が存在する。一つはエンコード型マルチプレクサ回路、もう一つはデコード型マルチプレクサ回路である。

【0006】

エンコード型マルチプレクサ回路は、二つのトランジスタを並列に接続することにより構成された2入力1出力マルチプレクサ回路を、階段状に連続して複数接続した構成のマルチプレクサ回路である。2入力1出力マルチプレクサ回路を構成する一方のトランジスタのゲートに制御信号の非反転信号を入力し、もう一方のトランジスタのゲートに制御信

50

号の反転信号を入力することにより、二つの入力のどちらかを選択し出力する。2入力1出力マルチプレクサ回路が階段状に接続されているので、各段において二つの信号の選択が行われ、最終的には複数の入力信号のなかの一つだけが選択され出力される。同一段に存在する2入力1出力マルチプレクサにおいて、制御信号は共有することができる。したがって、エンコード型マルチプレクサ回路は、マルチプレクサ回路を構成する2入力1出力マルチプレクサの接続段数と同数の制御信号を必要とする。

【0007】

デコード型マルチプレクサ回路は、複数の独立したトランジスタを並列に接続した構成の回路である。複数の独立したトランジスタごとに制御信号を用意し、制御信号の非反転信号、もしくは反転信号を各トランジスタのゲートに入力することにより、複数のトランジスタのたった一つだけを導通させ、複数の入力信号のうちの一つだけを出力する回路である。複数の入力ごとにトランジスタが必要であり、各トランジスタを制御するために、トランジスタ数と同数の制御信号を必要とする。

10

【0008】

この種のマルチプレクサ回路に関係する公知文献としては、プログラマブルロジックデバイスの発明が開示された特許文献1が参照できる。ここに記載のプログラマブルロジックデバイスの発明においては、複数の配線を二つのグループに分け、第一の配線グループにおいて、配線の相互接続状態を決定するために、エンコード型マルチプレクサ回路をスイッチとして使用し、第二の配線グループにおいて、デコード型マルチプレクサ回路をスイッチとして使用する。通常速度の信号は、エンコード型マルチプレクサ回路をスイッチとして用いた配線を伝播させ、高速の信号は、デコード型マルチプレクサ回路をスイッチとして用いた配線を伝播させる。

20

【特許文献1】特表2003-511947号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

エンコード型マルチプレクサ回路は、制御信号を供給するため、2入力1出力マルチプレクサ回路の接続段数と同数のメモリ回路を必要とする。このため、入力数が増加に対してメモリ回路数の増加は小さく、その結果、集積回路により構成する場合の面積増加は小さいという利点を有する。しかしながら、前述のマルチプレクサ回路において、信号は2入力1出力マルチプレクサ回路の接続段数と同数のトランジスタを通過するために、マルチプレクサ回路を通過する信号の伝達が遅くなるという欠点を有する。

30

【0010】

デコード型マルチプレクサ回路において、マルチプレクサ回路を通過する信号は一つのトランジスタのみを通過するために、高速に伝達されるという利点を有する。しかしながら、前述のマルチプレクサ回路は、制御信号を供給するため、入力信号線の数と同数の独立したトランジスタと、入力信号線の数と同数の独立したトランジスタを制御するため、その入力信号線の数と同数のメモリ回路が必要である。このため、入力信号線の数の多いマルチプレクサ回路をデコード型で構成する場合、必要なメモリ回路の数が多くなり、面積が大きくなるという欠点を有する。

40

【0011】

ところで、最近の商用の再構成可能集積回路は、クラスタと呼ばれる構成を有する。クラスタ型再構成可能集積回路は、LUT(Look-Up Table)を含むロジックエレメント回路を複数内在する構造となっている。クラスタ型再構成可能集積回路の利点として、以下が挙げられる。

【0012】

一つは、ロジックブロック数が減少し、その結果、配置・配線性が向上し、デザイン時間の短縮につながる。また、複数の論理機能を一つのロジックブロック内部のロジックエレメント回路に実装することができ、通常プログラマブル配線における配線よりも高速なロジックブロック内部のプログラマブルローカル配線の使用率が高くなる。このため、

50

再構成可能集積回路としての動作スピードが改善される。更に、複数の論理機能を一つのロジックブロック内部のロジックエレメント回路に実装することができるので、ロジックブロック間の相互接続が減少し、その結果、プログラマブル配線の面積が減少する。

【0013】

このようなクラスタ型再構成可能集積回路において、前述のマルチプレクサ回路は、具体的には、プログラマブル配線における配線の相互接続状態を決定するためのスイッチ、プログラマブル配線とロジックブロックとの相互接続状態を決定するためのスイッチ、そして、ロジックブロックにおけるプログラマブルローカル配線とロジックブロック内部に複数存在するロジックエレメント回路との相互接続状態を決定するためのスイッチとして使用される。

10

【0014】

プログラマブル配線における配線の相互接続状態を決定するためのスイッチとして、エンコード型マルチプレクサ回路を用いた場合、マルチプレクサ回路を通過する信号は、エンコード型マルチプレクサ回路を構成する複数のトランジスタを通過しなければならないため、信号伝播の遅延が大きい。

【0015】

前述したように、特許文献1においては、複数の配線を二つのグループに分け、第一の配線グループにおいて配線の相互接続状態を決定するため、エンコード型マルチプレクサ回路がスイッチとして使用し、第二の配線グループにおいてデコード型マルチプレクサ回路がスイッチとして使用し、通常の方法の信号は、エンコード型マルチプレクサ回路をス

20

【0016】

プログラマブル配線とロジックブロックとの相互接続のためのスイッチとして、例えば前述した特許文献1のスイッチを用いることが可能であるが、同様に、デコード型マルチプレクサ回路を使用することによって、信号の遅延を低減することができる利点がある一方、エンコード型マルチプレクサ回路のためのメモリ回路とデコード型マルチプレクサ回路のためのメモリ回路をそれぞれ用意しなければならず、メモリ回路の数が増加し、その結果、面積が増加するという欠点を有する。

30

【0017】

また、ロジックブロック内部のプログラマブルローカル配線と、ロジックブロック内部に複数存在するロジックエレメント回路との相互接続状態を決定するスイッチとして、エンコード型マルチプレクサ回路が使用される。この場合、プログラマブル配線から、ロジックブロックに内在する、あるロジックエレメント回路への信号だけでなく、ロジックブロックに内在する、あるロジックエレメント回路から、同一のロジックブロックに内在する別のロジックエレメント回路への信号も、エンコード型マルチプレクサ回路を構成する

40

【0018】

本発明は、上記のような問題を解決するためになされたものであり、本発明の目的は、多数の機能回路を集積した半導体集積回路に用いるためのマルチプレクサ回路を提供することにあり、詳細には、信号経路に応じて信号伝搬遅延時間を選択できる再構成可能集積回路に用いて好適なマルチプレクサ回路を提供することにある。

【課題を解決するための手段】

50

【0019】

上記のような目的を達成するため、本発明によるマルチプレクサ回路は、基本的な構成として、第一のマルチプレクサ回路と、第二のマルチプレクサ回路と、第一のマルチプレクサ回路と第二のマルチプレクサ回路のどちらかの出力信号を選択して出力する選択回路を有し、第一のマルチプレクサ回路と第二のマルチプレクサ回路のそれぞれの複数の制御信号のうち、少なくとも一つの制御信号を共有する。これにより、再構成可能集積回路のロジックブロックにより回路構成する場合にロジックエレメント回路間において、通常速度の信号と高速な信号の選択的出力を可能にし、面積の小さな再構成可能集積回路とするためのマルチプレクサ回路を提供する。この場合、第二のマルチプレクサ回路は、前記第一のマルチプレクサ回路とは信号伝搬遅延時間が異なる。

10

【0020】

本発明によるマルチプレクサ回路は、二つのマルチプレクサ回路のうち、その一方を通常の信号伝播遅延特性を有するマルチプレクサ回路とし、他方を信号伝播遅延の小さい特性を有するマルチプレクサ回路とすることにより、通常速度の信号と高速な信号のどちらにも対応が可能なような構成とされる。

【0021】

また、本発明によるマルチプレクサ回路は、通常速度の信号伝播遅延特性を有するマルチプレクサ回路と信号伝播遅延の小さい特性を有するマルチプレクサ回路のそれぞれの出力を選択できる選択回路を、それぞれのマルチプレクサ回路の出力に設けることで、通常速度の信号と高速な信号とを選択できるように構成されてもよい。

20

【0022】

具体的には、本発明の一つの態様として、本発明によるマルチプレクサ回路は、制御信号によって信号経路を決定し、複数の入力信号から一つの信号を選択して出力するマルチプレクサ回路であって、複数の制御信号入力に有する第一のマルチプレクサ回路と、複数の制御信号入力に有し前記第一のマルチプレクサ回路とは信号伝搬遅延時間が異なる第二のマルチプレクサ回路と、一つないし複数の制御信号入力に有し、第一のマルチプレクサ回路と第二のマルチプレクサ回路の出力を選択して出力する機能を有する選択回路とから構成され、第一のマルチプレクサ回路への複数の制御信号と第二のマルチプレクサ回路への複数の制御信号の少なくとも一つの制御信号を共有することを特徴とするものである。

30

【0023】

この場合に、本発明のマルチプレクサ回路において、一つのマルチプレクサ回路が、独立した複数のスイッチング素子を並列に接続したマルチプレクサ回路であり、または、一つのマルチプレクサ回路が、二つのスイッチング素子を並列に接続して構成された2入力1出力マルチプレクサ回路を階段状に連続して複数接続したマルチプレクサ回路であることを特徴とするものとなっている。

【0024】

また、一つのマルチプレクサ回路が、独立した複数のスイッチング素子を並列に接続したマルチプレクサ回路と、二つのスイッチング素子を並列に接続して構成された2入力1出力マルチプレクサ回路を階段状に連続して複数接続したマルチプレクサ回路を混載したマルチプレクサ回路であるように構成されてもよい。

40

【0025】

本発明のマルチプレクサ回路においては、一つの形態として、選択回路が、二つのスイッチング素子を並列に接続することで構成された2入力1出力マルチプレクサ回路を含む選択回路であり、他の形態では、選択回路が、二つの入力のどちらかを選択して出力する機能を有するバッファ回路である。

【0026】

また、本発明のマルチプレクサ回路において、一つの形態として、少なくとも一つの制御信号が、論理回路からの出力信号であり、または、メモリ回路からの出力信号であり、これらの場合に、少なくとも一つのスイッチング素子が、n型MOSFETで構成されており、または、p型MOSFETで構成される。また、少なくとも一つのスイッチング素

50

子が、n型MOSFETとp型MOSFETが並列接続されたトランスマッションゲートで構成されるようにされても良い。

【発明の効果】

【0027】

本発明のマルチプレクサ回路によれば、マルチプレクサ回路の出力を選択できるように構成することによって、第一のマルチプレクサ回路への複数の制御信号と、第二のマルチプレクサ回路への複数の制御信号との少なくとも一つの制御信号を共有することができ、これにより、本発明のマルチプレクサ回路は、再構成可能集積回路のマルチプレクサ回路における相互接続情報を記憶するためのメモリの共有を可能とし、その結果、マルチプレクサ回路を構成する集積回路の面積を縮小することができる。

10

【0028】

このように、本発明のマルチプレクサ回路を用いることで、再構成可能集積回路においては、第一のマルチプレクサ回路と第二のマルチプレクサ回路の制御信号線を共有することができ、その結果、マルチプレクサ回路を制御するための回路資源を節約でき、集積回路の面積を縮小することができる。更に、制御信号線を共有した第一のマルチプレクサ回路としてデコード型マルチプレクサ回路を、第二のマルチプレクサ回路としてエンコード型マルチプレクサ回路を用いることにより、マルチプレクサ回路自体のトランジスタ数の減少による面積の縮小効果と選択的な信号伝播特性を同時に実現することが可能となる。

【発明を実施するための最良の形態】

【0029】

20

以下、本発明を実施する一形態について図面を参照して説明する。図1は本発明によるマルチプレクサ回路の基本的な構成を説明する図である。このマルチプレクサ回路は、再構成可能集積回路により論理回路を構成する場合の信号伝搬遅延回路として用いられる。マルチプレクサ回路に対する制御信号は、回路構成用の論理回路またはメモリ回路から供給される。

【0030】

図1において、マルチプレクサ回路112は、主な構成として、第一のマルチプレクサ回路100、第二のマルチプレクサ回路104、選択回路109、および複数の制御信号線から構成されている。これらの回路における信号線について説明すると、101は第一のマルチプレクサ回路100へのデータ入力信号線、102は第一のマルチプレクサ回路100への制御信号線、103は第一のマルチプレクサ回路100から選択回路109へのデータ信号線、105は第二のマルチプレクサ回路104へのデータ入力信号線、106は第二のマルチプレクサ回路104への制御信号線、107は第二のマルチプレクサ回路104から選択回路109へのデータ信号線、110は選択回路109への制御信号線、111は選択回路109からのデータ出力信号線である。108は、制御信号線102および制御信号線106のなかの共有される共有信号線である。ここで第一のマルチプレクサ回路100と第二のマルチプレクサ回路104とは信号伝搬遅延時間が異なる。このため、信号経路として、第一のマルチプレクサ回路100または第二のマルチプレクサ回路104の信号経路が選択されることにより、信号伝搬遅延時間が選択できる。

30

【0031】

40

図2は、第一のマルチプレクサ回路100として用いられるデコード型マルチプレクサ回路の一実施例を説明する図であり、図3は、第二のマルチプレクサ回路104として用いられるデコード型マルチプレクサ回路の一実施例を説明する図である。デコード型マルチプレクサ回路は、独立した複数のスイッチング素子200が並列に接続された構成の回路である。

【0032】

図2に示すデコード型マルチプレクサ回路の第一のマルチプレクサ回路100は、複数の制御信号線102がスイッチング素子200のゲートに対して接続されており、制御信号線102の一つに適切な信号を入力することで、独立した複数の並列に接続されたスイッチング素子200のただ一つだけが導通状態となり、データ入力信号線101のただ一

50

つの信号がデータ信号線 103 へ信号が転送される。スイッチング素子 200 には、例えば、n 型 MOSFET の他、p 型 MOSFET、または n 型 MOSFET と p 型 MOSFET を並列に接続した構成の回路である CMOS トランスマッションゲート、その他のスイッチング素子が用いられる。

【0033】

図 3 に示すデコード型マルチプレクサ回路の第二のマルチプレクサ回路 104 は、同様に、複数の制御信号線 106 がスイッチング素子 200 のゲートに対して接続され、制御信号線 106 の一つに適切な信号が入力されることにより、独立した複数の並列に接続されたスイッチング素子 200 のただ一つだけが導通状態となり、データ入力信号線 105 のただ一つの信号がデータ信号線 107 へ信号が転送される。このスイッチング素子 200 には、例えば、n 型 MOSFET の他、p 型 MOSFET、または、n 型 MOSFET と p 型 MOSFET を並列に接続した構成の回路である CMOS トランスマッションゲート、その他のスイッチング素子が用いられる。

10

【0034】

図 4 は第一のマルチプレクサ回路 100 として用いられるエンコード型マルチプレクサ回路の一実施例を説明する図であり、図 5 は第二のマルチプレクサ回路 104 として用いられるエンコード型マルチプレクサ回路の一実施例を説明する図である。エンコード型マルチプレクサ回路は、二つのスイッチング素子 200 を並列に接続することで構成された 2 入力 1 出力マルチプレクサ回路を階段状に連続して複数接続した構成の回路である。

【0035】

図 4 に示すエンコード型マルチプレクサ回路の第一のマルチプレクサ回路 100 は、複数の制御信号 102 に適切な信号が入力されることにより、各段における 2 入力 1 出力マルチプレクサ回路の入力信号が次段の 2 入力 1 出力マルチプレクサ回路へ転送され、その結果、データ入力信号線 101 のただ一つの信号が、データ信号線 103 へ転送される。二つのスイッチング素子 200 としては、例えば、n 型 MOSFET の他、p 型 MOSFET、または、n 型 MOSFET と p 型 MOSFET を並列に接続した構成の回路である CMOS トランスマッションゲート、その他のスイッチング素子が用いられる。

20

【0036】

図 5 に示すエンコード型マルチプレクサ回路の第二のマルチプレクサ回路 104 においても、同様に、複数の制御信号 106 に適切な信号が入力されることにより、各段における 2 入力 1 出力マルチプレクサ回路の入力信号が次段の 2 入力 1 出力マルチプレクサ回路へ転送され、その結果、データ入力信号線 105 のただ一つの信号が、データ信号線 107 へ転送される。スイッチング素子 200 としては、例えば、n 型 MOSFET の他、p 型 MOSFET、または、n 型 MOSFET と p 型 MOSFET を並列に接続した構成の回路である CMOS トランスマッションゲートやその他のスイッチング素子が用いられる。

30

【0037】

図 6 は第一のマルチプレクサ回路 100 として用いられるデコード型マルチプレクサ回路とエンコード型マルチプレクサ回路とを組み合わせた複合型マルチプレクサ回路の一実施例を説明する図であり、また、図 7 は、第二のマルチプレクサ回路 104 として用いられるデコード型マルチプレクサ回路とエンコード型マルチプレクサ回路とを組み合わせた複合型マルチプレクサ回路の一実施例を説明する図である。

40

【0038】

図 6 に示すように、複合型マルチプレクサ回路の第一のマルチプレクサ回路 100 は、デコード型マルチプレクサ回路 201 とエンコード型マルチプレクサ回路 202 が並列に配置され、それらの出力を選択し出力するための 2 入力 1 出力マルチプレクサ回路 203 が配置された構成のマルチプレクサ回路である。複数の制御信号線 102 は、デコード型マルチプレクサ回路 201 とエンコード型マルチプレクサ回路 202 の制御信号線として共有されて接続されると共に 2 入力 1 出力マルチプレクサ回路 203 に接続される。その結果、データ入力信号線 101 のただ一つの信号が、データ信号線 103 へ転送される。

50

ここでのスイッチング素子は、同様に、例えば、 n 型MOSFETの他、 p 型MOSFET、または、 n 型MOSFETと p 型MOSFETを並列に接続した構成の回路であるCMOSTランスマッションゲート、その他のスイッチング素子を用いて構成される。

【0039】

図7に示すように、複合型マルチプレクサ回路の第二のマルチプレクサ回路104は、デコード型マルチプレクサ回路201とエンコード型マルチプレクサ回路202が並列に配置され、それらの出力を選択し出力するための2入力1出力マルチプレクサ回路203が配置された構成の回路である。複数の制御信号線102は、デコード型マルチプレクサ回路201とエンコード型マルチプレクサ回路202の制御信号線として共有されて接続されると共に2入力1出力マルチプレクサ回路203に接続されている。その結果、データ入力信号線105のただ一つの信号が、データ信号線107へ転送される。ここでのスイッチング素子は、同様に、例えば、 n 型MOSFETの他、 p 型MOSFET、または、 n 型MOSFETと p 型MOSFETを並列に接続した構成の回路であるCMOSTランスマッションゲート、その他のスイッチング素子を用いて構成される。

10

【0040】

図8は、選択回路109の一実施例を説明する図である。スイッチング素子200として n 型MOSFETが並列に接続されており、その出力に2段のCMOSインバータ301が接続されている。スイッチング素子(n 型MOSFET)200にハイレベルの信号を通過させた場合、ハイレベルの信号は減衰し、論理振幅は小さくなる。このように小さくなった論理振幅を回復することを目的として、ここでは、二つのCMOSインバータ301とプルアップ回路(p 型MOSFET回路)300を設けている。前段の二つのマルチプレクサ回路からの出力であるデータ信号線103およびデータ信号線107からの信号をスイッチング素子200の入力とする。CMOSインバータ301からの出力がデータ出力信号線111から出力される。スイッチング素子200としては、例えば、 n 型MOSFETの他、 p 型MOSFET、または、 n 型MOSFETと p 型MOSFETを並列に接続した構成の回路であるCMOSTランスマッションゲート、その他のスイッチング素子が用いられる。

20

【0041】

図9は、選択回路109の他の一実施例を説明する図である。CMOSインバータ301と電源との接続を遮断するための p 型MOSFET302と、グランドとの接続を遮断するための n 型MOSFET303を配置したパワーゲーティング機能付きCMOSインバータ304を並列に配置し、前段の二つのマルチプレクサ回路からの出力であるデータ信号線103およびデータ信号線107を入力とする構成の回路である。CMOSインバータ301からの出力がデータ出力信号線111から出力される。前段のマルチプレクサ回路を n 型MOSFETのみで構成した場合、ハイレベルの出力信号は減衰し、その結果論理振幅が小さくなる。このように小さくなった論理振幅を回復することを目的としてプルアップ回路(p 型MOSFET)300が設けられている。図9に示す選択回路109では、制御信号線110に適切な入力を与えることによって、二つのパワーゲーティング機能付きCMOSインバータ304のうちのどちらか一方を動作可能状態に、残りの一方を動作不可能状態とする。これに連動して、プルアップ回路(p 型MOSFET)300からデータ信号線103もしくはデータ信号線107への電流をオンもしくはオフとするため、CMOSTランスマッションゲート305がデータ信号線103およびデータ信号線107にそれぞれ接続されている。

30

40

【0042】

図10は、第一のマルチプレクサ回路100に対する制御方法の一実施例を説明する図である。論理回路400の制御信号により第一のマルチプレクサ回路100を制御するため、論理回路400からの制御信号線が、第一のマルチプレクサ回路100の制御信号線102に接続される。

【0043】

図11は、第二のマルチプレクサ回路104に対する制御方法の一実施例を説明する図

50

である。論理回路400の制御信号により第二のマルチプレクサ回路104を制御するため、論理回路400からの制御信号線が、第二のマルチプレクサ回路104の制御信号線106に接続される。

【0044】

図12は、第一のマルチプレクサ回路100に対する制御方法の他の一実施例を説明する図である。メモリ回路401からの制御信号により第一のマルチプレクサ回路100を制御するため、メモリ回路401からの制御信号線が、第一のマルチプレクサ回路100の制御信号線102に接続されている。この場合、メモリ回路401からの信号線を二つに分割し、一方の信号線にCMOSインバータ回路301を接続し、メモリ回路401からの信号を反転し、反転信号と非反転信号を第一のマルチプレクサ回路100への制御信号線102に入力する。

10

【0045】

図13は、第二のマルチプレクサ回路104に対する制御方法の他の一実施例を説明する図である。メモリ回路401からの制御信号により第二のマルチプレクサ回路104を制御するため、メモリ回路401からの制御信号線が、メモリ回路401が第二のマルチプレクサ回路104の制御信号線106に接続されている。この場合、メモリ回路401からの信号線を二つに分割し、一方の信号線にCMOSインバータ回路301を接続し、メモリ回路401からの信号を反転し、反転信号と非反転信号を第二のマルチプレクサ回路104へ入力する。

【0046】

20

図14(a)は選択回路109に対する制御方法の一実施例を説明する図である。論理回路400の制御信号により選択回路109を制御するため、論理回路400からの制御信号線が、選択回路109の制御信号線110に接続される。

【0047】

図14(b)は選択回路109に対する制御方法の他の一実施例を説明する図である。メモリ回路401からの制御信号により選択回路109を制御するため、メモリ回路401が選択回路109の制御信号線110に接続される。この場合、メモリ回路401からの信号線を二つに分割し、一方の信号線にCMOSインバータ回路301を接続し、メモリからの信号を反転することで、反転信号と非反転信号を選択回路110へ入力する。

【0048】

30

図15は、本発明のマルチプレクサ回路の構成の別の実施例を説明する図である。図15に示すマルチプレクサ回路は、20入力1出力のマルチプレクサ回路である。複数のマルチプレクサ回路が組み合わせられて構成されている。4入力1出力のデコード型マルチプレクサ回路100と、16入力1出力のエンコード型マルチプレクサ回路104とが並列に配置され、これに選択回路109と接続されている。第一のマルチプレクサ回路100としてデコード型マルチプレクサ回路が用いられ、第二のマルチプレクサ回路104としてエンコード型マルチプレクサ回路が用いられている、これに選択回路109が接続される。複数の制御信号線はメモリ回路401に接続される。デコード型マルチプレクサ回路の第一のマルチプレクサ回路100とエンコード型マルチプレクサ回路の第二のマルチプレクサ回路104の両者の制御信号線のすべてを共有の制御信号線108として用い、共有される構成としている。制御信号線の共有は、両者の制御信号線の一部でもよい。

40

【0049】

例えば、8入力1出力のエンコード型マルチプレクサ回路の第二のマルチプレクサ回路104を介してデータ信号を入力した場合、データ信号は8つのn型MOSFETを通過して、選択回路109の出力へと転送されるのに対して、デコード型マルチプレクサ回路の第一のマルチプレクサ回路100を介してデータ信号を入力した場合、たった2つのn型MOSFETを通過して選択回路109の出力へと転送されるので、データ信号の伝播遅延が小さくなる。その結果として、データ信号のより高速な転送が可能となる。また、20入力1出力のマルチプレクサ回路をデコード型マルチプレクサ回路のみで構成する場合、合計165個のトランジスタが必要となるが、エンコード型マルチプレクサ回路のみ

50

で構成する場合には、合計 112 個のトランジスタが必要となる。一方、本発明によるマルチプレクサ回路の場合、合計 82 個のトランジスタのみで構成できるため、面積の縮小が可能である。

【0050】

図 16 は、本発明のマルチプレクサ回路の構成の更に別の実施例を説明する図である。デコード型マルチプレクサ回路とエンコード型マルチプレクサ回路の複合型マルチプレクサ回路を、第二のマルチプレクサ回路 104 として用いる構成のマルチプレクサ回路である。この第二のマルチプレクサ回路 104 では、デコード型マルチプレクサ回路 201 とエンコード型マルチプレクサ回路 202 を並列に配置し、それぞれの出力を選択するための 2 入力 1 出力マルチプレクサ回路 203 を配置した回路である。制御信号線の構成は、
10

【0051】

図 16 に示す実施例のマルチプレクサ回路は、複合型マルチプレクサ回路の第二のマルチプレクサ回路 104 とデコード型マルチプレクサ回路の第一のマルチプレクサ回路 100 を並列に配置し、選択回路 109 を配置し、これらの複合型マルチプレクサ回路（第二のマルチプレクサ回路 104）とデコード型マルチプレクサ回路（第一のマルチプレクサ回路 100）の制御信号線を共有する構成の回路である。この実施例のようなマルチプレクサ回路において、データ信号は、トランジスタを 2 つ通過する経路と、3 つ通過する経路と、5 つ通過する経路の合計 3 つの経路を選択することが可能となり、データ信号の信号伝搬時間を選択できる。
20

【0052】

図 17 は本発明のマルチプレクサ回路が用いられる典型的な FPG A の構成の概略を説明する図である。FPG A は縦方向配線 704 と、横方向配線 703 と、スイッチブロック 700 と、コネクシオンブロック 701 と、ロジックブロック 702 と、横方向配線 703 とスイッチブロック 700 を接続するための配線 706 と、縦方向配線 704 とスイッチブロック 700 を接続するための配線 705 と、縦方向配線 704 とコネクシオンブロック 701 を接続するための配線 707 と、コネクシオンブロック 701 とロジックブロック 702 を接続するための配線 708 を有する構成となっている。この中の信号経路の間に、本発明のマルチプレクサ回路が用いられる。
30

【0053】

図 18 は、本発明のマルチプレクサ回路を一方向配線アーキテクチャを有する FPG A のスイッチブロック 700 に適用した一実施例を説明する図である。スイッチブロック 700 は 4 つのマルチプレクサ回路 112 を有する構成としているものである。

【0054】

図 19 は、本発明のマルチプレクサ回路をコネクシオンブロック 701 に適用した一実施例を説明する図である。コネクシオンブロック 701 は、その内部にロジックブロック 702 の入力数と同数のマルチプレクサ回路 112 を有し、コネクシオンブロック 701 とロジックブロック 702 を接続するための配線 708 を介してロジックブロック 702 の入力へ接続される。
40

【0055】

図 20 は本発明のマルチプレクサ回路を、4 つの 4 入力 1 出力ロジックエレメント 800 を有するクラスタ型ロジックブロック 702 へ適用した一実施例を説明する図である。この実施例では、一つのロジックエレメント 800 の入力に対して 4 つのマルチプレクサ回路 112 が配線 801 を介して接続される。従来のエンコード型マルチプレクサ回路を用いた場合、配線 708 からの信号も、クラスタ化されたロジックエレメントの出力のフィードバック信号も多段のトランジスタを通過することとなる。これは、ロジックエレメントのクラスタ化によるロジックエレメント間の信号速度の高速化の効果を減少させる結果を招く。しかしながら、コネクシオンブロックとロジックブロックを接続するための配線 708 と接続されるロジックブロックローカル配線 802 をマルチプレクサ回路 112
50

のエンコード型マルチプレクサ回路と接続すると同時に、ロジックエレメントの出力からフィードバックさせたロジックブロックローカル配線 8 0 3 をマルチプレクサ回路 1 1 2 のデコード型マルチプレクサ回路に接続することにより、ロジックブロック外部からの信号の伝播速度は従来の信号の伝播速度と同じままで、クラスタ化されたロジックエレメント間の信号伝播速度を高速化することが可能となる。

【図面の簡単な説明】

【 0 0 5 6 】

【図 1】本発明によるマルチプレクサ回路の基本的な構成を説明する図である。

【図 2】第一のマルチプレクサ回路として用いられるデコード型マルチプレクサ回路の一実施例を説明する図である。

10

【図 3】第二のマルチプレクサ回路として用いられるデコード型マルチプレクサ回路の一実施例を説明する図である。

【図 4】第一のマルチプレクサ回路として用いられるエンコード型マルチプレクサ回路の一実施例を説明する図である。

【図 5】第二のマルチプレクサ回路として用いられるエンコード型マルチプレクサ回路の一実施例を説明する図である。

【図 6】第一のマルチプレクサ回路として用いられる複合型マルチプレクサ回路の一実施例を説明する図である。

【図 7】第二のマルチプレクサ回路として用いられる複合型マルチプレクサ回路の一実施例を説明する図である。

20

【図 8】選択回路の一実施例を説明する図である。

【図 9】選択回路の他の一実施例を説明する図である。

【図 10】第一のマルチプレクサ回路に対する制御方法の一実施例を説明する図である。

【図 11】第二のマルチプレクサ回路に対する制御方法の一実施例を説明する図である。

【図 12】第一のマルチプレクサ回路に対する制御方法の他の一実施例を説明する図である。

【図 13】第二のマルチプレクサ回路に対する制御方法の他の一実施例を説明する図である。

【図 14】選択回路に対する制御方法の一実施例を説明する図である。

【図 15】本発明のマルチプレクサ回路の構成の別の実施例を説明する図である。

30

【図 16】本発明のマルチプレクサ回路の構成の更に別の実施例を説明する図である。

【図 17】本発明のマルチプレクサ回路が用いられる典型的な F P G A の構成の概略を説明する図である。

【図 18】本発明のマルチプレクサ回路を一方向配線アーキテクチャを有する F P G A のスイッチブロックに適用した一実施例を説明する図である。

【図 19】本発明のマルチプレクサ回路をコネクションブロックに適用した一実施例を説明する図である。

【図 20】本発明のマルチプレクサ回路を 4 つの 4 入力 1 出力ロジックエレメントを有するクラスタ型ロジックブロックへ適用した一実施例を説明する図である。

【符号の説明】

40

【 0 0 5 7 】

1 0 0 第一のマルチプレクサ回路

1 0 1 データ入力信号線

1 0 2 制御信号線

1 0 3 データ信号線

1 0 4 第二のマルチプレクサ回路

1 0 5 データ入力信号線

1 0 6 制御信号線

1 0 7 データ信号線

1 0 8 共通の制御信号線

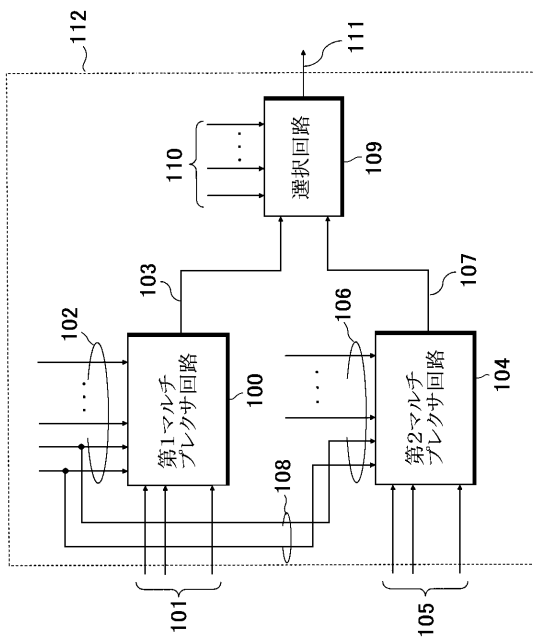
50

- 109 選択回路
- 110 制御信号線
- 111 データ出力信号線
- 112 マルチプレクサ回路
- 200 スwitching素子
- 201 デコード型マルチプレクサ回路
- 202 エンコード型マルチプレクサ回路
- 203 選択回路
- 300 プルアップ回路
- 301 CMOSインバータ回路
- 302 電源カットオフ用p型MOSFET
- 303 電源カットオフ用n型MOSFET
- 304 CMOSインバータ回路
- 305 CMOSトランスマッションゲート
- 400 論理回路
- 401 メモリ回路
- 700 スwitchブロック
- 701 コネクションブロック
- 702 ロジックブロック
- 703 横方向配線トラック
- 704 縦方向配線トラック
- 705 接続用配線
- 706 接続用配線
- 707 接続用配線
- 708 接続用配線

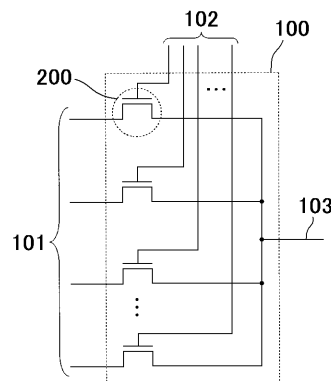
10

20

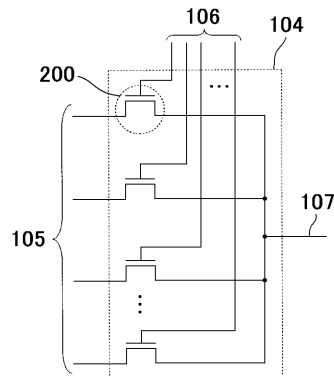
【図1】



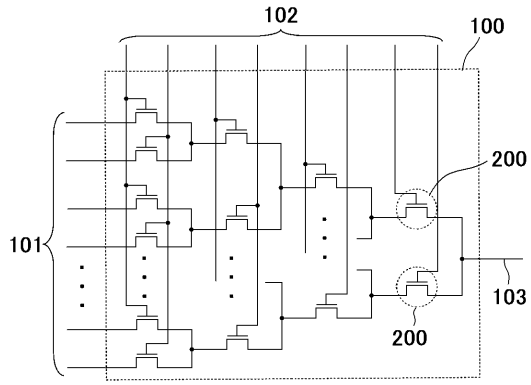
【図2】



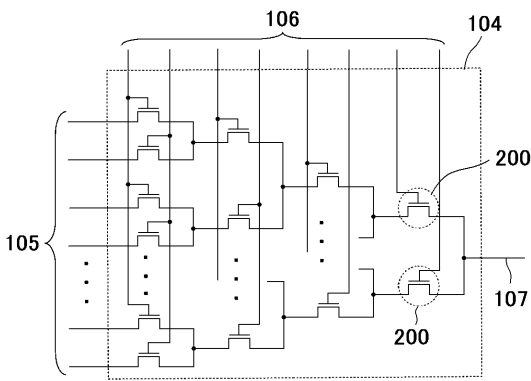
【図3】



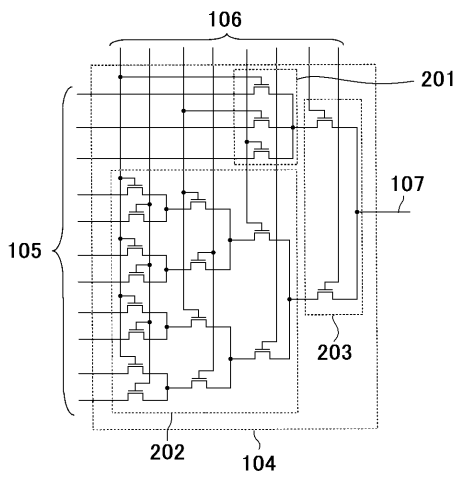
【 図 4 】



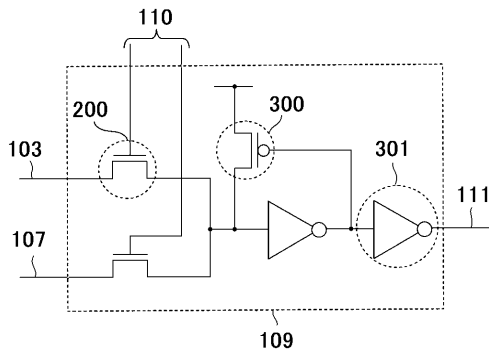
【 図 5 】



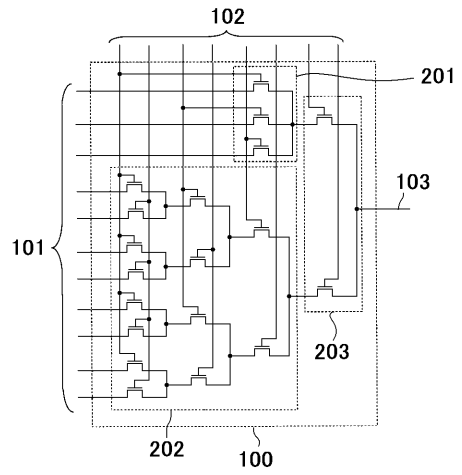
【 図 7 】



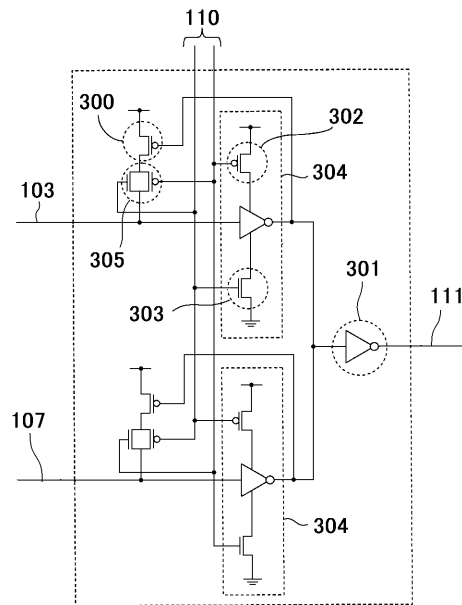
【 図 8 】



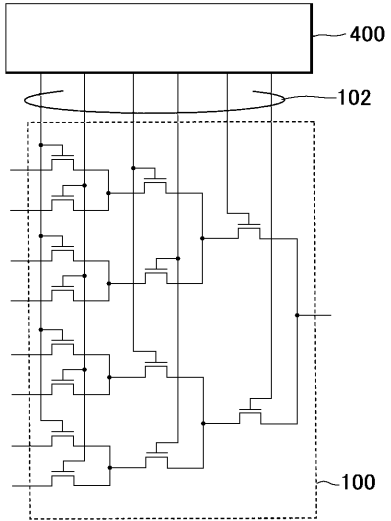
【 図 6 】



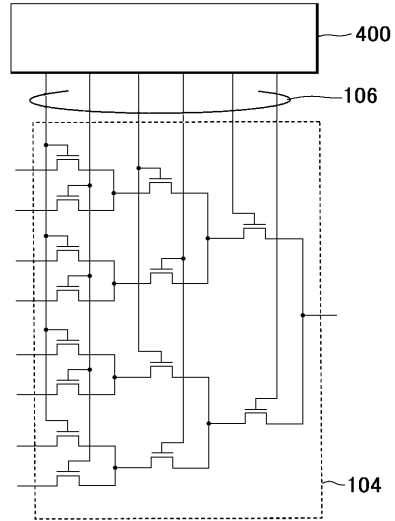
【 図 9 】



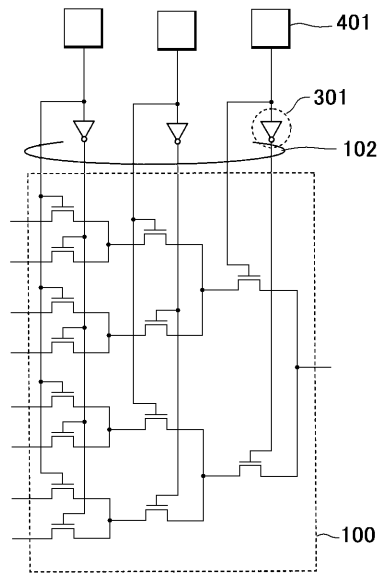
【 図 1 0 】



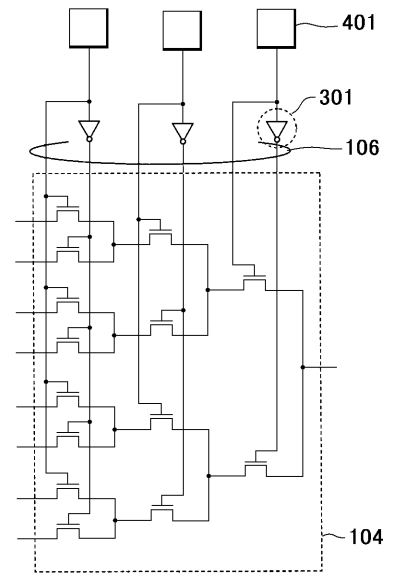
【 図 1 1 】



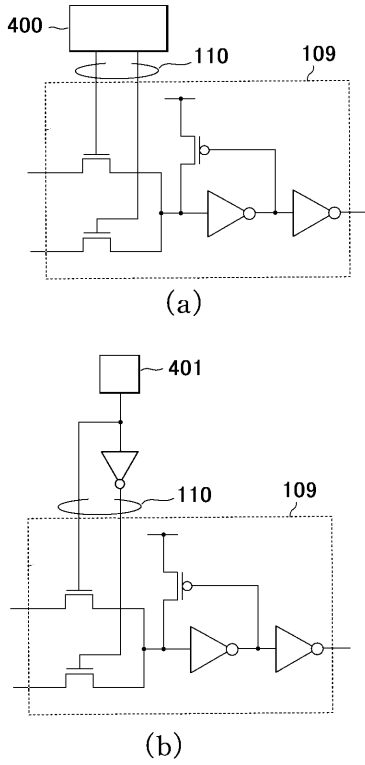
【 図 1 2 】



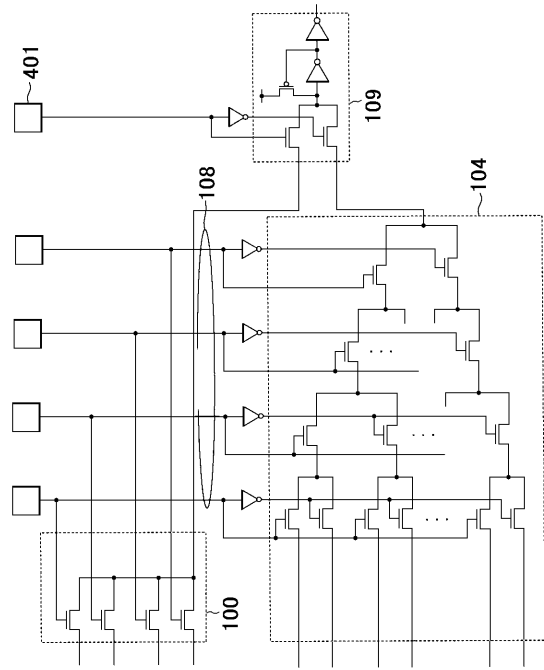
【 図 1 3 】



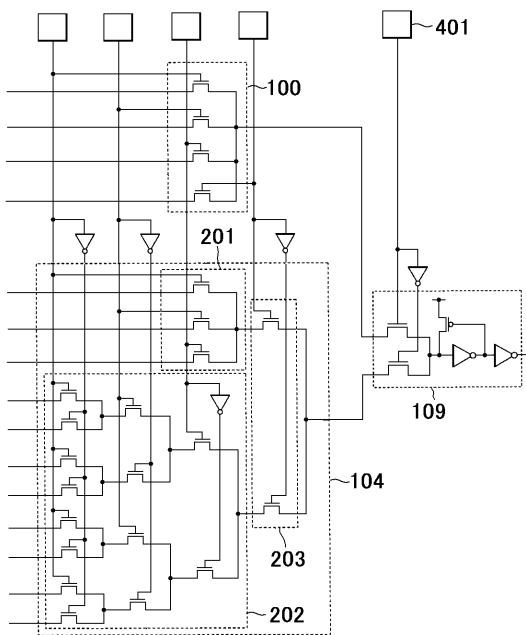
【 図 1 4 】



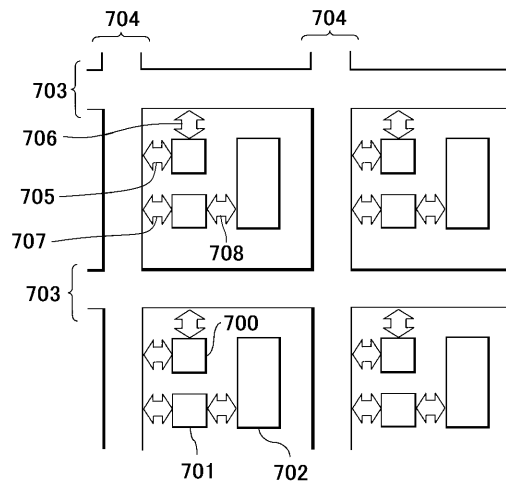
【 図 1 5 】



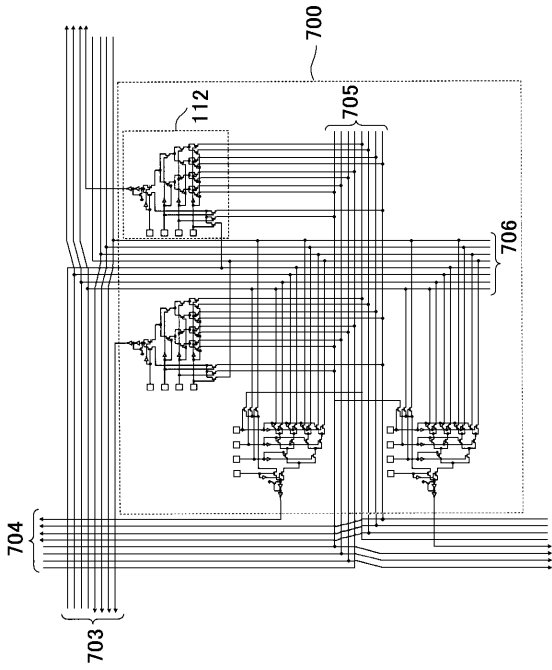
【 図 1 6 】



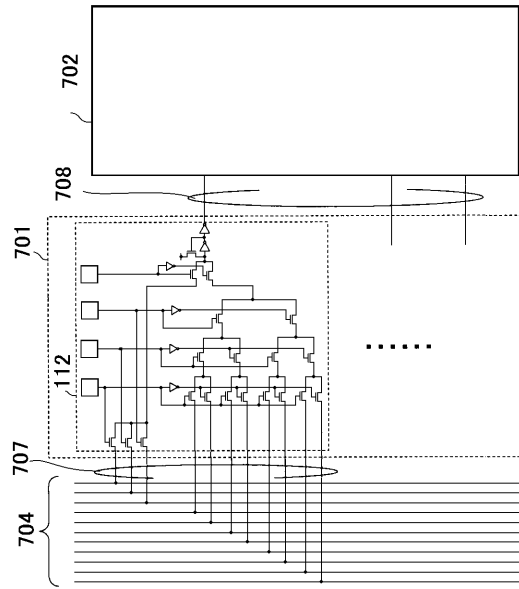
【 図 1 7 】



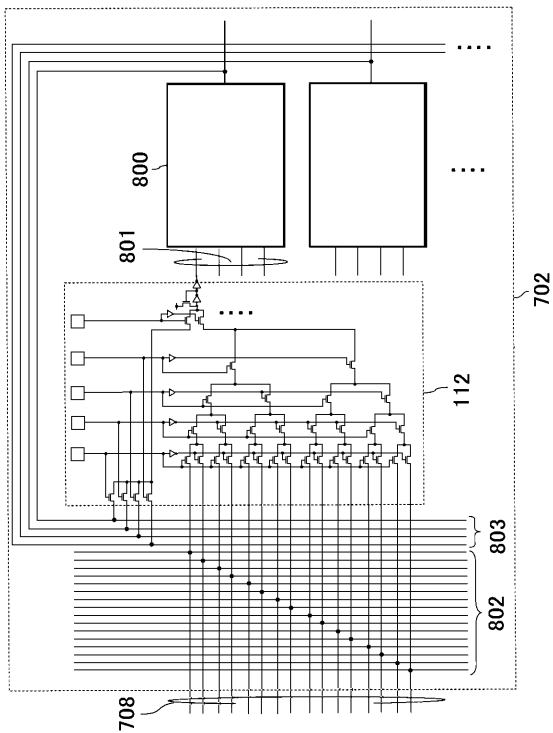
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

Fターム(参考) 5J055 AX02 BX03 CX27 DX22 DX56 DX61 DX62 DX72 DX73 DX74
DX83 EX02 EY21 EZ07 EZ12 EZ13 EZ22 EZ38 FX05 FX12
FX18 FX37 GX01 GX02