

公告本

申請日期	88 年 11 月 15 日
案 號	88119880
類 別	H01L 21/00

A4
C4

442945

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	積體電路晶片、積體電路元件、印刷電路基板、電子機器
	英 文	
二、發明 創作人	姓 名	(1) 川井英次
	國 籍	(1) 日本 (1) 日本國東京都港區赤坂七-----
三、申請人	住、居所	
	姓 名 (名稱)	(1) 新力電腦娛樂股份有限公司 株式会社ソニー・コンピュータエンタテインメント
	國 籍	(1) 日本 (1) 日本國東京都港區赤坂七丁目一番一號
	代 表 人 姓 名	(1) 久野良木健

經濟部智慧財產局員工消費合作社印製

裝

訂

線

442945

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

日本 1998年11月20日 10-331384 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

1

【發明所屬之技術領域】

本發明係關於積體複數之電路模組之積體電路晶片，將上述積體電路晶片成爲封裝之積體電路元件，及搭載上述積體電路元件之電子機器。

【先行技術】

近年，在積體電路之領域，隨著半導體材料之加工製程之進步，設計規則之微細化有所進展，每單位面積可積體之電路規模在增大。因此，若相同電路規模時，較先前可減少積體電路晶片之尺寸。另一方面，積體電路之數位訊號處理電路之資料匯流排寬度，爲較先前增大。由於像這樣積體密度之增大，與匯流排寬度增大之倍乘效果，晶片內之積體電路與外部之訊號之輸出入所需之輸出入端子（I/O 端子）之數目只在增加一途。先前，I/O 端子係將晶片沿著緣排列成一系列配置。例如，若晶片形狀爲四角形時，在4邊毫無間隙地配置。I/O 端子通常爲具有接合焊接點（bonding pad），與緩衝電路。緩衝電路，爲了從外部雜訊等保護晶片內部之電路模組所需之電路，由較大容量之電晶體等所構成。

將積體電路晶片搭載於電子機器之印刷電路基板時，大別爲二種方法。

其一，爲將積體電路晶片封裝於樹脂等之套裝（package）內，成爲積體電路元件，將積體電路元件搭載於印刷電路基板等之方法。此情形時，晶片之I/O 端子內

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(2)

之接合焊接點，係由配置於套裝之外部引出用端子內之接合焊接點之導線接合 (wire bonding) 連接，連接部係封裝於套裝內。藉將外部引出用端子與印刷電路基板連接，連接積體電路晶片與印刷電路基板。此情形時，晶片上之電路模組等因由套裝所保護，所以，具有可提升可靠性之益處。

另一方法，在印刷電路基板直接接合晶片之所謂直接接合方法。直接接合方法為不將晶片封裝於套裝，仍以所謂裸晶片 (bare chip) 直接導線接合於印刷電路基板，所以，不需要套裝之部分，可將積體電路晶片配置於印刷電路基板所需要之面積變小，並且，也具有不需要套裝之成本之益處。

【發明所欲解決之問題】

如上述由於半導體製程之微細化，晶片內之電路模組，雖然尺寸之微小化近年有所進展，但是，I / O 端子之節距，從先前並沒有變成那麼小。此係導線接合時為了回避相鄰接之導線互相發生電氣短路，或導線與鄰接之引線之電氣短路，不能將導線互相之間隔，或與導線相鄰接之引線之間隔變狹所致。

因此，I / O 端子數多時，即使從晶片內部之電路模組之大小決定晶片大小，也會發生晶片外周長度為不足排列 I / O 端子所需長度之現象。此時，就不能只以 I / O 端子數目來決定晶片尺寸，與其尺寸不能將晶片大小變小

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

3

而發生所謂焊接點瓶頸現象。焊接點瓶頸之晶片，係因較內部之電路模組所需晶片尺寸更大之晶片，I/O端子為在周圍毫無間隙之擁擠，與此相較，會發生在晶片內部沒有配置任何電路模組成為所謂空的領域。

像這樣，若超過實際電路模組所需之尺寸晶片尺寸為大時，將變成成本高之晶片。

本發明係鑑於上述現況所發明者，其目的係提供一種回避焊接點瓶頸，可將晶片尺寸因應電路規模之最佳大小之積體電路晶片。

【解決問題之手段】

為了達成上述目的，若依據本發明，可提供如下積體電路晶片。

亦即，其特徵為；具有；基板，與形成於上述基板之電路模組，與對於上述電路模組輸出入訊號所需之輸出入端子，上述輸出入端子，係包括對於上述電路模組動作時輸出入訊號所需之動作時用輸出入端子，與檢查上述電路模組所需之檢查用輸出入端子，

上述動作時用輸出入端子，係沿著上述基板之緣排列配置於上述基板上，上述檢查用輸出入端子及電路模組，係較上述動作時用輸出入端子配置於較基板上內側之領域。

【發明之實施形態】

(請先閱讀背面之注意事項再填寫本頁)

訂

始

五、發明說明(4)

茲就本發明之一實施形態說明如下。

首先，作為第1實施形態，將積體電路晶片10，及就封裝晶片10之積體電路元件20使用第1圖，第2圖，第3圖(a)，(b)說明之。

積體電路晶片10係如第1圖，第3圖(a)所示，具有：橫長度 a ×縱長度 b 之四角形半導體基板1，在其四邊毫無間隙以節距 c 配置成一系列之34個I/O端子2。在由I/O端子2所圍住之內部領域，配置有電路模組6，7，8，與6個I/O端子4。

I/O端子2係此晶片10為封裝(mount)於印刷電路基板時，經由接合線或引線等與印刷電路基板之配線以電氣方式連接，藉此在電路模組6，7，8動作時進行訊號之輸入出之用戶用I/O端子(或動作時用I/O端子)。另一方面，I/O端子4係使用者用I/O端子2以外之從使用者所視之積體電路晶片10之機能或規格無關之I/O端子，是所封裝之晶片10之電路模組6，7，8正常動作時不使用之端子。I/O端子4係例如，於晶片10製造途中或出貨前之檢查時，檢查電路模組6，7，8是否正常動作所需輸出入訊號之測試用I/O端子，製造積體電路晶片10中用來查驗成膜或蝕刻等製造條件所使用之I/O端子，修理或BIST(內建自我測試：Built-in Self Test)/BISR(內建自我修理：Built-in Self Repair)用之I/O端子。以下，也將I/O端子4叫做測試用I/O端子。

I/O端子2，係具有導線接合所用之接合焊接點3

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

，與連接接合焊接點 3 與電路模組 6，7，8 之緩衝電路（沒有圖示）。I / O 端子 4 係具有測試時接觸探針（probe）所用之探針用焊接點 5，與連接探針用焊接點 5 與電路模組 6，7，8 之緩衝電路。I / O 端子 2，4 之緩衝電路，係由電晶體所構成，具有從外部之雜訊保護電路模組 6，7，8 之功能。

又，雖然在第 1 圖雖然省略圖示，但是晶片 10 上面，係由樹脂製之保護膜 9 所覆蓋（第 3 圖（a））。在此保護膜 9 係在接合焊接點 3 及探針用焊接點 5 之部分設有貫通孔，而露出接合焊接點 3 及探針用焊接點 5 上面。

茲就將晶片 10 封裝之積體電路元件 20 使用第 2 圖，第 3 圖（b）說明如下。

積體電路元件 20 係具有晶片 10，與搭載晶片 10 之島 11，與引線 12，與封裝這些之樹脂性之套裝 13。各引線 12 係由導線 14 分別連接於晶片 10 之 I / O 端子 2 之接合焊接點 3。

I / O 端子 4 之焊接點 5 為沒有連接於引入線 12。此係因屬於 I / O 端子 4 如已經所說明動作測試用之端子等，所以，不必與連接於印刷電路基板之配線所致。

茲就上述之晶片 10 及積體電路元件 20 之製造方法說明如下。

首先，設計電路模組 6，7，8 與 I / O 端子 2，4 之電路構成及基板 1 之布置。此時，將晶片 10 所需之 I / O 端子，分類為連接於封裝後之印刷電路基板所需之使

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

6

用者用 I / O 端子 2，與不必連接於測試等所使用之印刷電路基板之測試用 I / O 端子 4。並且，布置成將使用者用 I / O 端子 2，如第 1 圖所示，成爲在基板 1 周圍毫無間隙地排列成一行，將電路模組 6，7，8 及測試用 I / O 端子 4 設計成配置於由使用者用 I / O 端子 2 所圍住之內部領域。基板 1 之大小係成爲此配置所需之最小之大小 $a \times b$ 。

作爲基板 1 使用半導體晶圓，使用成膜或擴散或成像光刻術 (photolithography) 等半導體技術，將電路模組 6，7，8 與 I / O 端子 2，4 形成於基板 1 上。其後，形成保護膜 9。並且，切割半導體晶圓，切出 $a \times b$ 大小之基板 1，完成晶片 10。

在切割前或後，爲了確認電路模組 6，7，8 之動作，使用如第 4 圖所示之探測卡 (probe card) 40 進行測試。

探測卡 40 係在中央具有開口 43，在開口 43 周圍植設有探測頭 41，42。按，於第 4 圖，由於圖示之關係雖然將探測頭 41，42 之數目表示少，但是，實際上，探測頭 41 之數目爲與晶片 10 之使用者用 I / O 端子 2 相同之數目。探測頭 42 之數目，係與晶片 10 之測試用 I / O 端子 4 相同之數目。探測頭 41，42 先端，係向開口 43 之中央晶片 10 所配置之領域集中。探測頭 41 之先端，爲能夠接觸於晶片 10 周圍之各個 I / O 端子 2 之接合焊接點 3 隔一定間隔配置。又，探測頭 42 先

(請先閱讀背面之注意事項再填寫本頁)

訂

4

五、發明說明 (7)

端，為能夠接觸於晶片 10 內部領域之各個 I / O 端子 4 之探針用焊接點 5 隔一定間隔配置。

因此，在探測卡 40 之開口 43 中央部配置切割前之半導體晶圓或切割後之晶片 10，將探測頭 41，42 藉分別接觸於接合焊接點 3 及探針用焊接點 5，經由探測頭 41，42 可從外部電路對於電路模組 6，7，8 訊號之輸出入。藉此，就可進行電路模組 6，7，8 之動作及成膜或蝕刻等是否順利地依照設計之製造條件進行等進行查驗。

其後，進行晶片 10 之封裝。首先，在導線架之島 11 上晶粒鉚接 (die bonding) 晶片 10 之後，將使用者 I / O 端子 2 之接合焊接點 3，與導線架之引線 12 使用導線 14 接合連接 (第 2 圖)。在測試用 I / O 端子 4 之焊接點 5，則不進行接合。其後，在樹脂製之套裝 13 內密封晶片 10 及引線 12 之連接部，將引線 12 及島 11 從導線架 (lead frame) 分開。並且，折彎引線 12 完成積體電路元件 20。

如上述，本實施形態之晶片 10，係將 I / O 端子選別為使用者 I / O 端子 2 與測試用 I / O 端子 4，構成為只將使用者 I / O 端子 2 排列於晶片 10 之周圍。因此，將所有 I / O 端子排列於晶片周圍之先前晶片相較，可將晶片尺寸變小。又，在晶片 10，係由於接合所需之 I / O 端子之數目為少，可將接合在短時間進行，提高製造效率。另一方面，若將晶片 10 成為與先前相同大小之晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

尺寸時，排列於晶片 10 周圍之 I / O 端子之數目減少之份量，因可將使用者用 I / O 端子 2 具充分餘裕配置，容易確保接合導線 14 之間隔，或與接合導線 14 相鄰引線 12 之間隔，可降低不良之發生率。

又，套裝此晶片 10 之積體電路元件 20，因較先前可將晶片 10 變小，所以，在印刷電路基板所占之面積變小，可提高封裝效率。又，將晶片 10 成爲與先前相同大小之晶片尺寸時，因必須配置於晶片 10 周圍之 I / O 端子之數目較先前爲少，所以引線 12 之間隔就較先前變寬。因此，將積體電路元件 20 封裝於印刷電路基板進行軟焊時，可得到鄰接之引線 12 互相由於軟焊而發生短路等不良發生率降低之效果。

在此，作爲比較例，將本實施形態相同之 I / O 端子 2，4 如先前全部配置於基板 1 周圍之晶片 90，91 使用第 9 圖 (a)，(b) 說明如下。

比較例之晶片 90，係將 34 個之使用者 I / O 端子 2 與 6 個之測試用 I / O 端子 4 總計 40 個端子，全部沿著基板 1 之緣配置成一列者。I / O 端子 2 係如第 10 圖具有接合焊接點 3，I / O 端子 4 係雖然沒有圖示但是具有焊接點 5。第 9 圖之 I / O 端子 2，4 之節距 c，雖然與上述實施形態之第 1 圖之 I / O 端子 2 之節距 c 相同，但是，排列於周圍之 I / O 端子之數目，因較第 1 圖多出測試用 I / O 端子 4 數目之份量爲多，所以，基板 1 之一邊長度 d，e 係較第 1 圖基板 1 之長度 a，c 分別變長。

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明(9)

比較例之晶片 90 之電路模組 96, 97, 98, 雖然與上述實施形態之電路模組 6, 7, 8 相同之電路構成, 但是, 較依電路模組 6, 7, 8 更粗之設計規則所設計。因此, 占電路模組 96, 97, 98 之基板 1 上之面積為大。因此, 於晶片 90 由 I/O 端子 2, 4 所圍住之領域, 係約略由電路模組 96, 97, 98 所占。

按, 如比較例之晶片 90 若使用者用 I/O 端子 2 與測試用 I/O 端子 4 摻混排列時, 作為接合裝置之機能不能只接合測試用 I/O 端子 4, 所以, 不只是 I/O 端子 2 之接合焊接點 3 I/O 端子 4 之焊接點 5 也將變成全部接合之構成。所以, 欲套裝時之引線 12 數目, 也需要與 I/O 端子 2, 4 相同之 40 個。

接著, 將比較例之晶片 10 之電路模組 96, 97, 98 之設計規則變更為與本實施形態相同微細化之設計規則, 得到了另外比較例之晶片 91 (第 9 圖 (b))。因此晶片 91 之電路模組 6, 7, 8, 係將設計規則較晶片 91 向長度方向縮小 0.7 倍, 所以, 電路模組 6, 7, 8 占於基板 1 之面積, 係成為電路模組 96, 97, 98 之約 1/2 倍。所以, 在基板 1 內部如第 9 圖 (b) 會發生空的領域。

然而, 於晶片 91, I/O 端子 2, 4 之節距, 係為了將接合線之間隔等維持成一定以上, 不能較節距 c 更小。因此, 基板 1, 係儘管內部具有空領域, 不能將基板 1 之一邊長度成為較長度 d, e 為小。因此, 晶片 91 係儘

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

五、發明說明 (10)

管將設計規則微細化，不能成爲較比較例之晶片 90 爲小，I / O 端子 2，4 數目爲決定基板 1 大小之變成所謂焊接點瓶頸之晶片。

因而，爲了避開焊接點瓶頸，作爲另外之比較例晶片 92，如第 10 圖 (b) 可想到將 I / O 端子 2 在基板 1 周圍交錯地排列 2 列之構成。像這樣，藉將 I / O 端子 2 配置成 2 列，因也可利用基板 1 內側之領域，所以若基板 1 之大小爲相同時認爲可將 I / O 端子 2 數目最大可增加至 1.5 倍程度。

然而，將 I / O 端子 2 交錯地配置之構成，係爲了防止接合線互相之短路，必須某程度確保連接於外周側之 I / O 端子 2 之接合線，與連接於內周側之 I / O 端子 2 之接合線之間隔以上。因此，如第 10 圖 (b) 擴大外周側之 I / O 端子 2 之間隔，必須配置成在其間位有內周側之 I / O 端子 2。又，內周側之 I / O 端子 2 之焊接點 3 之位置，若從基板 1 之緣離開太遠時，在現況之接合裝置因不能接合，所以，將會發生內周側之 I / O 端子 2 之焊接點 3 位置緊靠於外周側之 I / O 端子 2 配置之嚴格限制。所以，欲將 I / O 端子 2 之配置最佳化之設計將變成相當複雜。

對於這些比較例之晶片 90，91，92，，上述之本實施形態之晶片 10，係將 I / O 端子 2 分類爲使用者用 I / O 端子 2 與測試用 I / O 端子 4，測試用 I / O 端子 4 係配置於基板內部之空領域就可以。並且，因測試用

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明 ()
11

I / O 端子 4 沒有接合，只要是可進行由上述探測卡 4 0 之測定之場所時，就可配置於從基板 1 緣離開之位置等空領域之任何處，自由度非常地大。因此，可簡單地進行晶片 1 0 之設計，並且，消除焊接點瓶頸可縮小晶片尺寸。又，因可減少晶片 1 0 之接合處所，也可容易進行接合。所以，也可實現降低直接成本。

又，本實施形態之晶片 1 0，不僅不需要減少測試用 I / O 端子 4 之數目，若在基板 1 之內部領域有空處時也可增加測試用 I / O 端子 4 之數目。所以，由於可得到充分備有電路模組 6，7，8 之動作確認或求出條件等所需之測試用 I / O 端子 4，所以，可提高不合格品之發現率，並且，製造時之求出條件會變成容易。所以，可將高品質之晶片 1 0 以高良率加以製造。

按，於本實施形態，係將測試用 I / O 端子 4 全部配置於基板 1 之內部領域，但是若基板 1 之尺寸容許可將一部分之測試用 I / O 端子 4 連同使用者用 I / O 端子 2 可配置於基板 1 之周圍。又，即使為測試用 I / O 端子也可用來兼做使用者用 I / O 端子 2，或封裝於印刷電路基板之後經由印刷電路基板輸出入訊號之測試用 I / O 端子 4，係配置於基板 1 周圍，進行接合。

又，使用者用 I / O 端子 2 及測試用 I / O 端子 4，係並非限定於本實施形態之第 1 圖所圖示之數目及形狀，可視其需要加以變更。又，基板 1 之形狀也並非限定於第 1 圖所示者。

(請先閱讀背面之注意事項再填寫本頁)

訂

地

五、發明說明 (12)

茲作為第 2 實施形態，參照第 5 圖～第 8 圖，將封裝第 1 實施形態之積體電路元件 20 之印刷電路基板 50，及搭載此印刷電路基板之電子機器 100 簡單說明如下。

在印刷電路基板 50，將第 1 實施形態之積體電路元件 20，與積體電路元件 51，52，53 由軟焊加以封裝。積體電路元件 20 內之晶片 10，係具有電子機器 100 之主處理機功能之電路為由電路模組 6，7，8 形成。在積體電路元件 51 圖像處理專用電路，在積體電路元件 52 有輸出入控制電路，在積體電路元件 53 有記憶電路，分別成為電路模組加以形成。在印刷電路基板 50 上，除了此之外搭載有連接器 55，56，57，58，與沒有圖示之配線。

此印刷電路基板 50 係在電子機器 100 之框體 110 搭載成第 8 圖。電子機器 100 係娛樂裝置，如第 6 圖，第 7 圖具有再生 CD 或 DVD 等碟片之碟片裝置 103，與插槽 (slot) 單元 105，106。電子機器 100 係連接於沒有圖示之圖像顯示裝置。在插槽單元 106 連接有操作裝置 200 之連接器 232。在插槽單元 105 可裝設小型記憶裝置。又，在框體 110 係備有磁碟裝置 103 之頂出開關 (ejector switch) 102，或將框體 110 縱或橫置所用之腳部 107，108。

積體電路元件 20 之主處理器，係進行將儲存有設定於磁碟裝置 103 之托盤 101 之 DVD 之圖像顯示於圖像顯示裝置之動作，或讀入預先記錄於 DVD 或 CD 之程

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明()
13

式之動作。並且，依照所讀入之程式，對於積體電路元件 5 1 之圖像處理專用電路指示圖像之再生，進行將所生成之圖像顯示於圖像顯示裝置之動作。

又，積體電路元件 2 0 之主處理器係受理對於操作裝置 2 0 0 之開關 2 1 0 使用所進行之操作，而依照先前之程式能夠變化圖像指示於積體電路元件 5 1 之圖像處理專用電路。藉此，圖像顯示裝置之圖像就變化，使用者就可享受遊戲等。又，積體電路元件 2 0 之主處理器，係將裝著於插槽單元 1 0 6 之遊戲之進行狀況等儲存於記憶裝置內。

在框體 1 1 0 內部，除了印刷電路基板 5 0 之外配置有電源單元，或開關，進入單元 1 1 6 等。又，在印刷電路基板 5 0 上部，爲了逃逸積體電路 2 0 等之熱量配置有管型散熱片 (pipe type heat sink) 1 1 4，管型散熱片 1 1 4 係連接於散熱片 1 1 2。在框體 1 1 0 安裝有排出散熱片 1 1 2 等熱量之排氣風扇 1 1 5。又，在印刷電路基板 5 0 也具有將積體電路元件 2 0 等從外部之電磁波保護之遮蔽 1 1 3。

封裝於像這種印刷電路基板 5 0 之積體電路元件 2 0 因係第 1 實施形態所說明之構成，所以是小型元件，封裝效率高。因此，整體電子機器 1 0 0 之大小也可小型化。又，因可將積體電路元件 2 0 低成本製造，可達成印刷電路基板 5 0 及電子機器 1 0 0 之低成本化。

按，於上述實施形態，係將晶片 1 0 封裝之積體電路

(請先閱讀背面之注意事項再填寫本頁)

訂

繪

五、發明說明 (14)

元件 20 之形式，搭載於印刷電路基板 50 之構成，但是也可構成爲將晶片 10 直接對於印刷電路基板 50 直接接合之構成。此情形時，因不必套裝，可再提升封裝效率，所以，可實現更小型之印刷電路基板 50 及電子機器。又，因不需要套裝，所以，可將套裝者更加再低成本，可提供低成本之印刷電路基板 50 及電子機器 100。

又，使用者用 I/O 端子 2 之焊接點 3，在本實施形態係由接合線或引線 12，連接於印刷電路基板 50 之構成，但是也可使用膠帶自動銲接 T A B (Tape-automated bonding) 等其他手段與印刷電路基板連接。

上述之電子機器 100 之積體電路元件 20，係爲了控制磁碟裝置 103，操作裝置 200，記憶裝置，圖像顯示裝置等之複數裝置之複雜動作所使用者，需要多數之 I/O 端子。因此，作爲如電子機器 100 裝置之積體電路元件 20 之晶片 10，所以使用第 1 實施形態構成之晶片，小型化及低成本化之點可特別給與大的效果。

【發明效果】

如上述，若依據本發明，可提供回避焊接點瓶頸，可將晶片尺寸因應電路規模之最佳大小之積體電路晶片。

圖式之簡單說明

第 1 圖係表示本發明第 1 實施形態之積體電路晶片 10 構成之上視圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明 ()
15

第 2 圖係表示積體電路晶片 10 之所套裝之積體電路元件 20 構造之剖面圖。

第 3 圖 (a) 係第 1 圖之積體電路晶片 10 之 A - A 剖面圖。

第 3 圖 (b) 係第 1 圖之積體電路元件 20 之 B - B 剖面圖。

第 4 圖係於本發明之第 1 實施形態，表示使用於積體電路晶片 10 之製程之探測卡 40 構成之上視圖。

第 5 圖係表示搭載本發明之第 2 實施形態之積體電路元件 20 之印刷電路基板 50 構成之上視圖。

第 6 圖係表示搭載本發明之第 2 實施形態之印刷電路基板 50 之電子機器 100 之前面圖，與操作裝置 200 之上視圖。

第 7 圖係本發明之第 2 實施形態之電子機器 100 之斜視圖。

第 8 圖係本發明之第 7 圖之電子機器 100 之 C - C 剖面圖。

第 9 圖 (a) 係表示比較例之積體電路晶片 90 構成之說明圖。

第 9 圖 (b) 係表示比較例之積體電路晶片 91 構成之說明圖。

第 10 圖 (a) 係表示比較例之積體電路晶片 91 之 I / O 端子 2 詳細配置之說明圖。

第 10 圖 (b) 係表示比較例之積體電路晶片 92 之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 ()
16

I / O 端子 2 配置之說明圖。

【符號之說明】

- 1 . . . 半導體基板，
- 2 . . . 使用者用 I / O 端子，
- 3 . . . 接合焊接點，
- 4 . . . 測試用 I / O 端子，
- 5 . . . 探測頭用焊接點，
- 9 . . . 保護膜，
- 10 . . . 積體電路晶片，
- 6, 7, 8 . . . 電路模組，
- 11 . . . 島，
- 12 . . . 引線，
- 13 . . . 樹脂套裝，
- 14 . . . 接合導線，
- 20 . . . 積體電路元件，
- 40 . . . 探測卡，
- 41, 42 . . . 探測頭，
- 43 . . . 開口，
- 50 . . . 印刷電路基板，
- 51, 52, 53 . . . 積體電路元件，
- 54 . . . 電路元件，
- 55, 56, 57, 58 . . . 連接器，
- 90, 91, 92 . . . 積體電路晶片，

五、發明說明 (17)

- 96, 97, 98 . . . 電路模組，
- 100 . . . 電子機器，
- 101 . . . 磁碟托盤，
- 102 . . . 頂出開關，
- 103 . . . 磁碟裝置，
- 104 . . . 重置開關，
- 105, 106 . . . 插槽單元，
- 107, 108 . . . 腳部，
- 110 . . . 框體，
- 111 . . . 電源機組，
- 112 . . . 散熱風扇，
- 114 . . . 管型散熱片，
- 115 . . . 排氣風扇，
- 116 . . . 開關進入單元，
- 210 . . . 開關，
- 200 . . . 操作裝置，
- 232 . . . 連接器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:

積體電路晶片，積體電路元件，印刷
電路基板，電子機器)

本發明係提供一種回避焊接點瓶頸 (pad neck)，可將晶片大小形成因應電路規模最佳大小之積體電路晶片。

本發明之解決手段係在基板 1 具有電路模組 6，7，8，與對於電路模組 6，7，8 輸出入訊號所需之輸出入端子 2，4。在輸出入端子 2，4 為在電路模組 6，7，8 動作時包括有輸出入訊號所需之動作時用輸出入端子 2，與檢查電路模組 6，7，8 所需之檢查用輸出入端子 4。動作時用輸出入端子 2，係沿著基板 1 之緣排列於基板 1 所配置，檢查用輸出入端子 4 及電路模組 6，7，9 係較動作時用輸出入端子 2 配置於基板上內側之領域。動作時用輸出入端子 2 雖然由引線 (lead) 1 2 與接合導線 1 4 連接，但是檢查用輸出入端子 4 為沒有連接於引線 1 2。

英文發明摘要(發明之名稱:

六、申請專利範圍

1. 一種積體電路晶片，其特徵為；

具有；基板，與形成於上述基板上之電路模組，與對於上述電路模組輸出入訊號所需之輸出入端子，

上述輸出入端子係包括；在上述電路模組動作時輸出入訊號所需之動作時用輸出入端子，與檢查上述電路模組所用之檢查用輸出入端子，

上述動作時用輸出入端子，係沿著上述基板之緣在上述基板上排列配置，上述檢查用輸出入端子及上述電路模組，係較上述動作時用輸出入端子配置於更上述基板之內側領域。

2. 如申請專利範圍第1項之積體電路晶片，其中上述動作時用輸出入端子，係毫無間隙地沿著上述基板之緣排列成一系列。

3. 如申請專利範圍第1項之積體電路晶片，其中上述動作時用輸出入端子，係具有接合用焊接點，上述檢查用輸出入端子，係具有接觸探測頭所用之焊接點。

4. 一種積體電路晶片，其特徵為；

具有；基板，與形成於上述基板上之電路模組，與對於上述電路模組輸出入訊號所需之輸出入端子，

上述輸出入端子，係包括由接合線與外部導電構件連接之接合用輸出入端子，與由上述接合線不與外部之導電構件連接之非接合用輸出入端子，

上述接合用輸出入端子，係沿著上述基板之緣在上述基板上排列配置，上述非接合用輸出入端子及上述電路模

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

組，係較上述接合用輸出入端子配置於更上述基板上之內側領域。

5. 一種積體電路元件，其特徵為；

具有；積體電路晶片，與引入線，與將上述積體電路晶片與上述引線之一部分密封之套裝，

上述積體電路晶片，係備有；基板，與形成於上述基板上之電路模組，與對於上述電路模組輸出入訊號所用之輸出入端子，

上述輸出入端子，係包括在上述電路模組動作時輸出入訊號所用之動作時用輸出入端子，與檢查上述電路模組所需之檢查用輸出入端子，

上述動作時用輸出入端子，係沿著上述基板之緣排列配置於上述基板上，上述檢查用輸出入端子及上述電路模組，係較上述動作時用輸出入端子配置於更上述基板上之內側領域。

6. 如申請專利範圍第5項之積體電路元件，其中上述動作時用輸出入端子，係與上述引線連接，上述檢查用輸出入端子，係沒有連接於上述導線。

7. 如申請專利範圍第6項之積體電路元件，其中上述檢查用輸出入端子，係具有欲與探測頭接觸之焊接點。

8. 如申請專利範圍第6項之積體電路元件，其中上述動作時用輸出入端子，係具有接合焊接點，上述接合焊接點與上述導線為由接合線線所連接。

9. 如申請專利範圍第5項之積體電路元件，其中上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

述動作時用輸出入端子，係毫無間隙地沿著上述基板排成一列。

10．一種印刷電路基板，其特徵為；

具有申請專利範圍第5項之積體電路元件，與搭載該積體電路元件之電路基板，

上述電路基板，係包括印刷配線，該印刷配線係與上述積體電路元件之上述引線以電氣方式連接。

11．一種電子機器，其係備有印刷電路基板者，其特徵為；

上述印刷電路基板，係具有申請專利範圍第5項之積體電路元件，與搭載該積體電路元件之電路基板，

在上述電路基板係具有印刷配線，該印刷配線係與上述積體電路元件之上述引線以電氣方式連接。

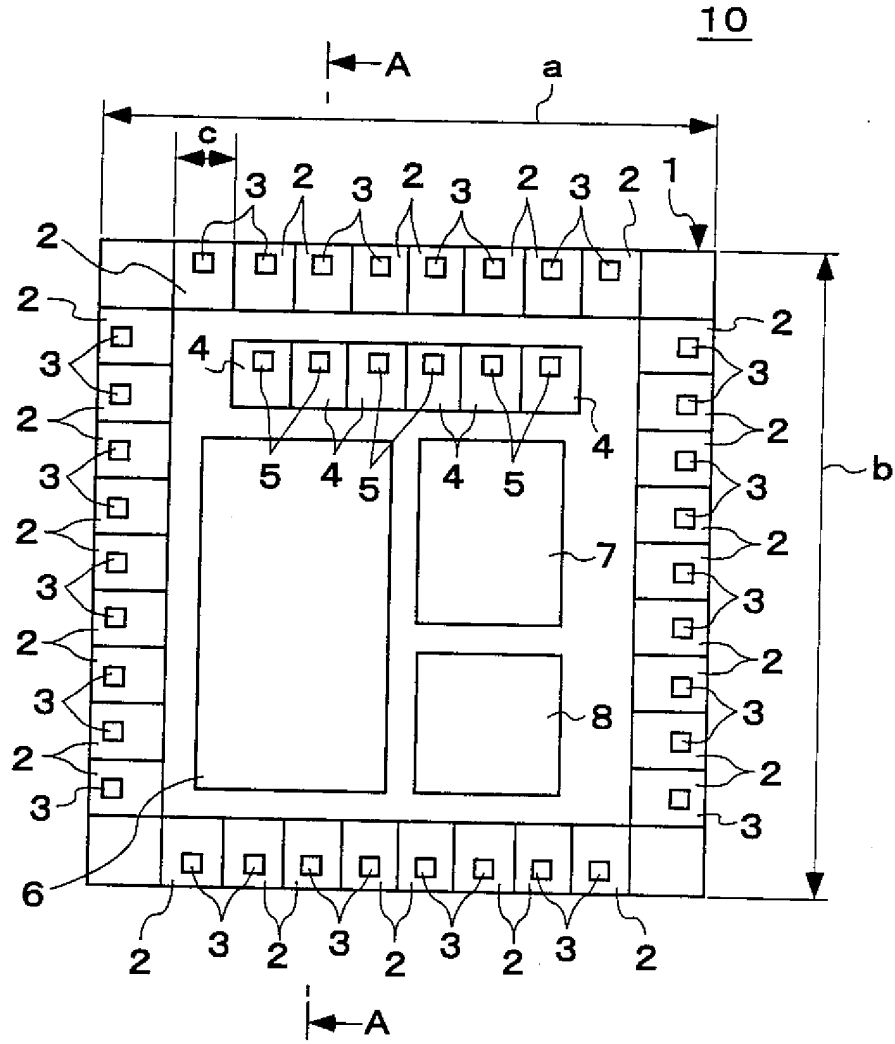
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

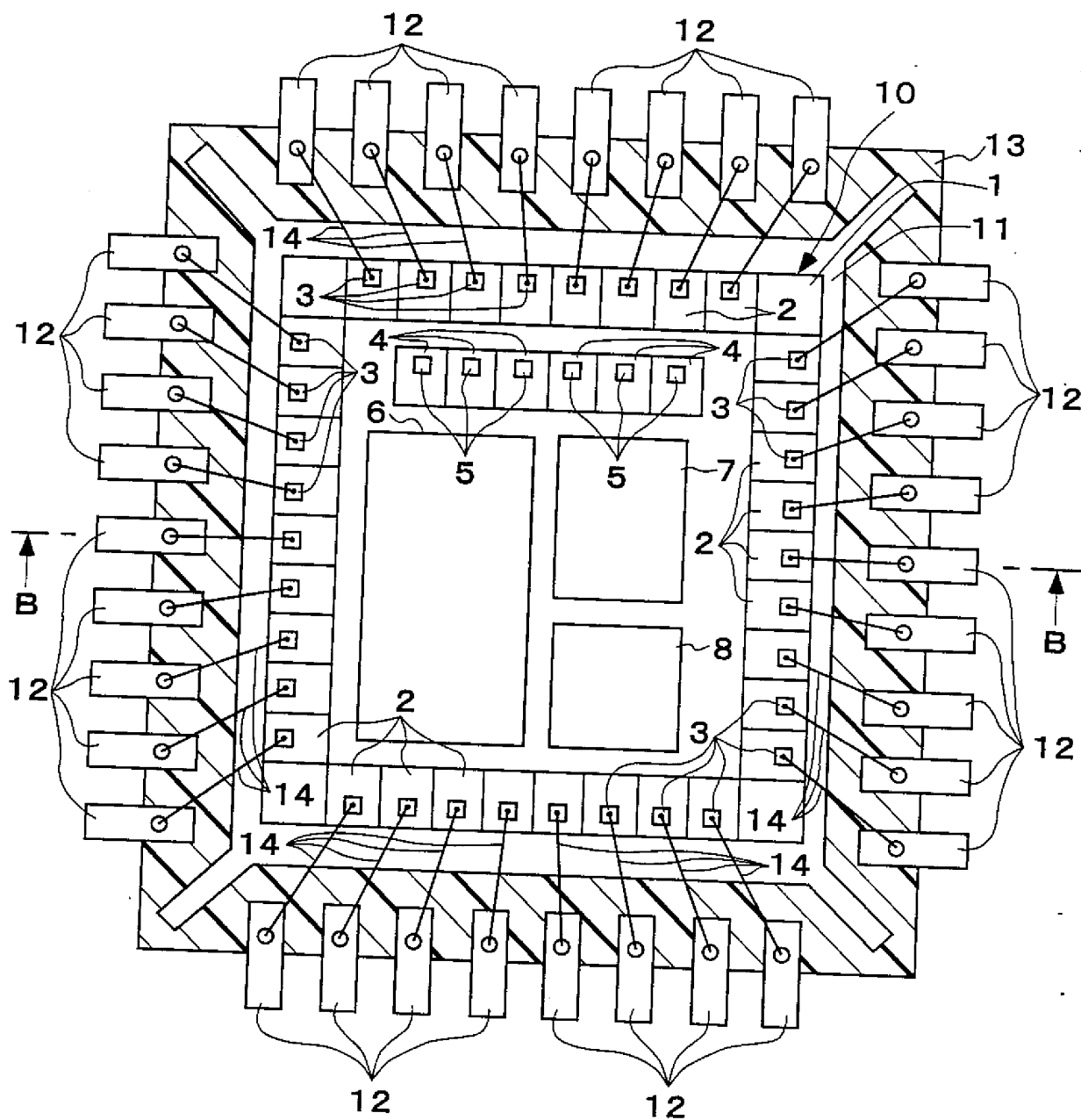
線

第 1 圖

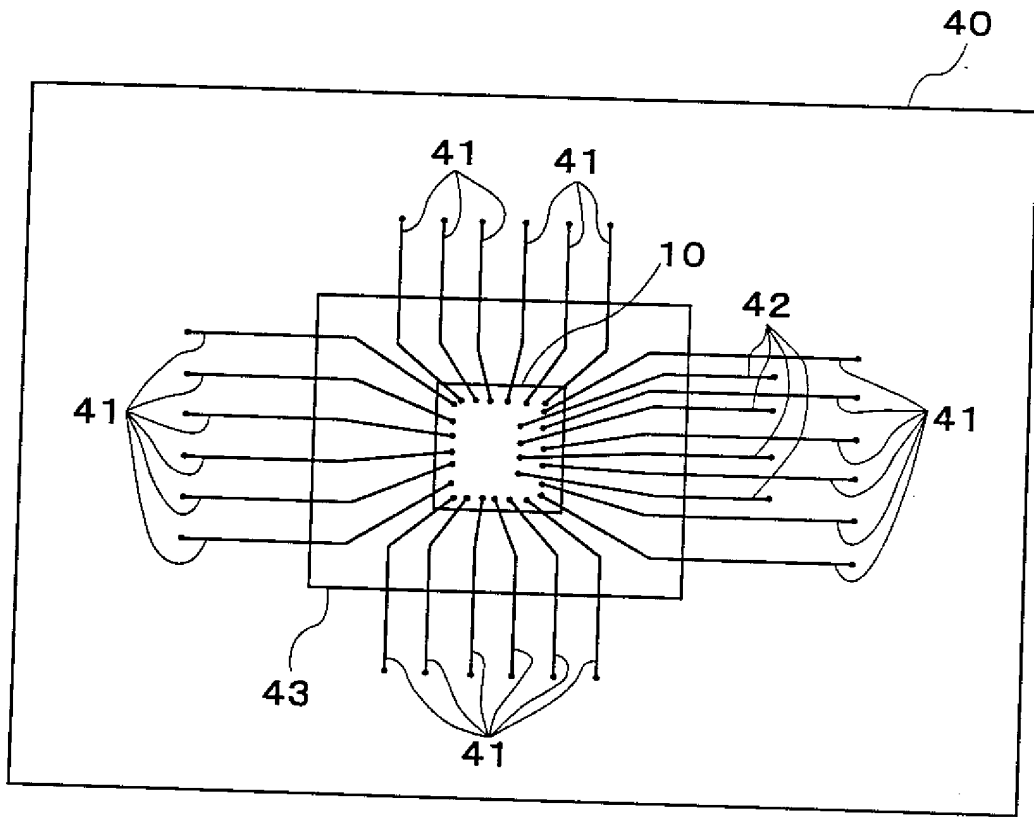


第 2 圖

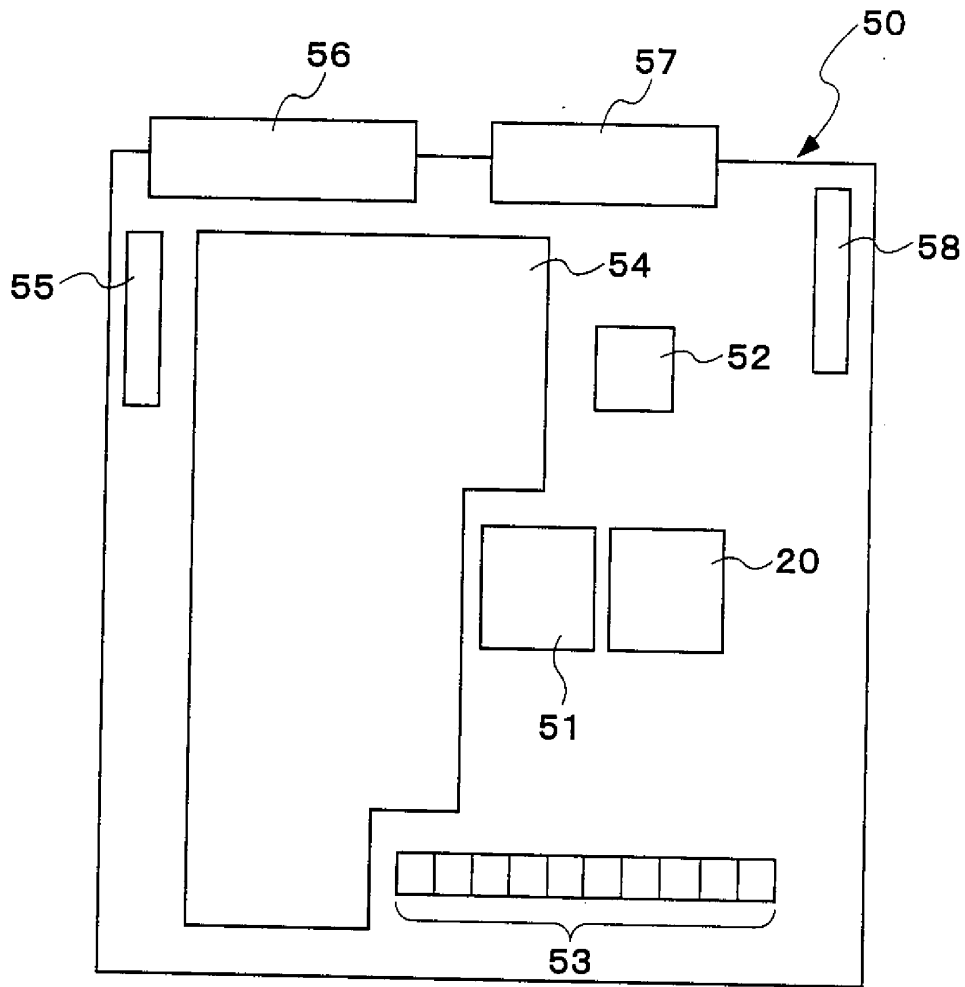
20



第 4 圖



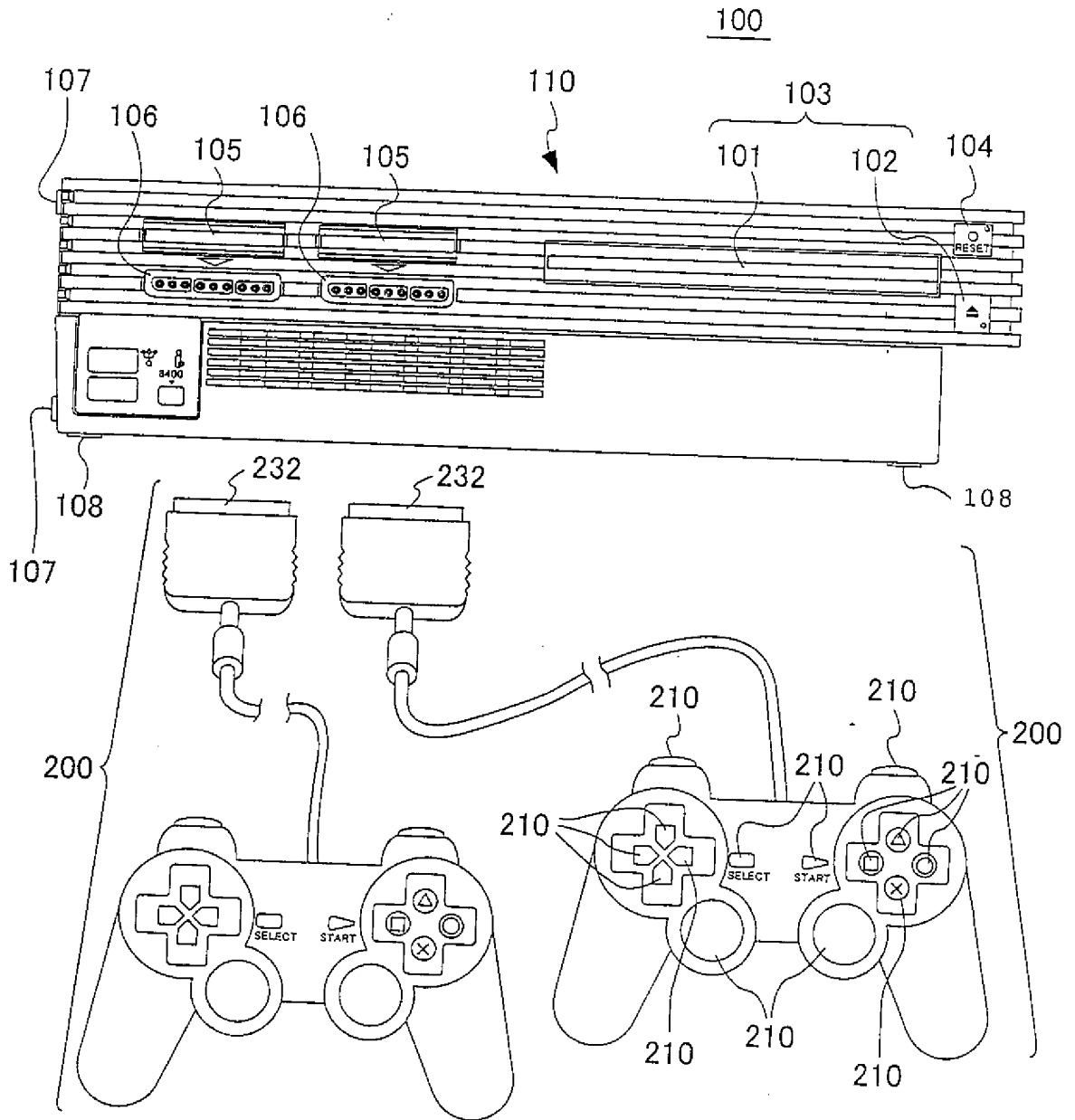
第 5 圖



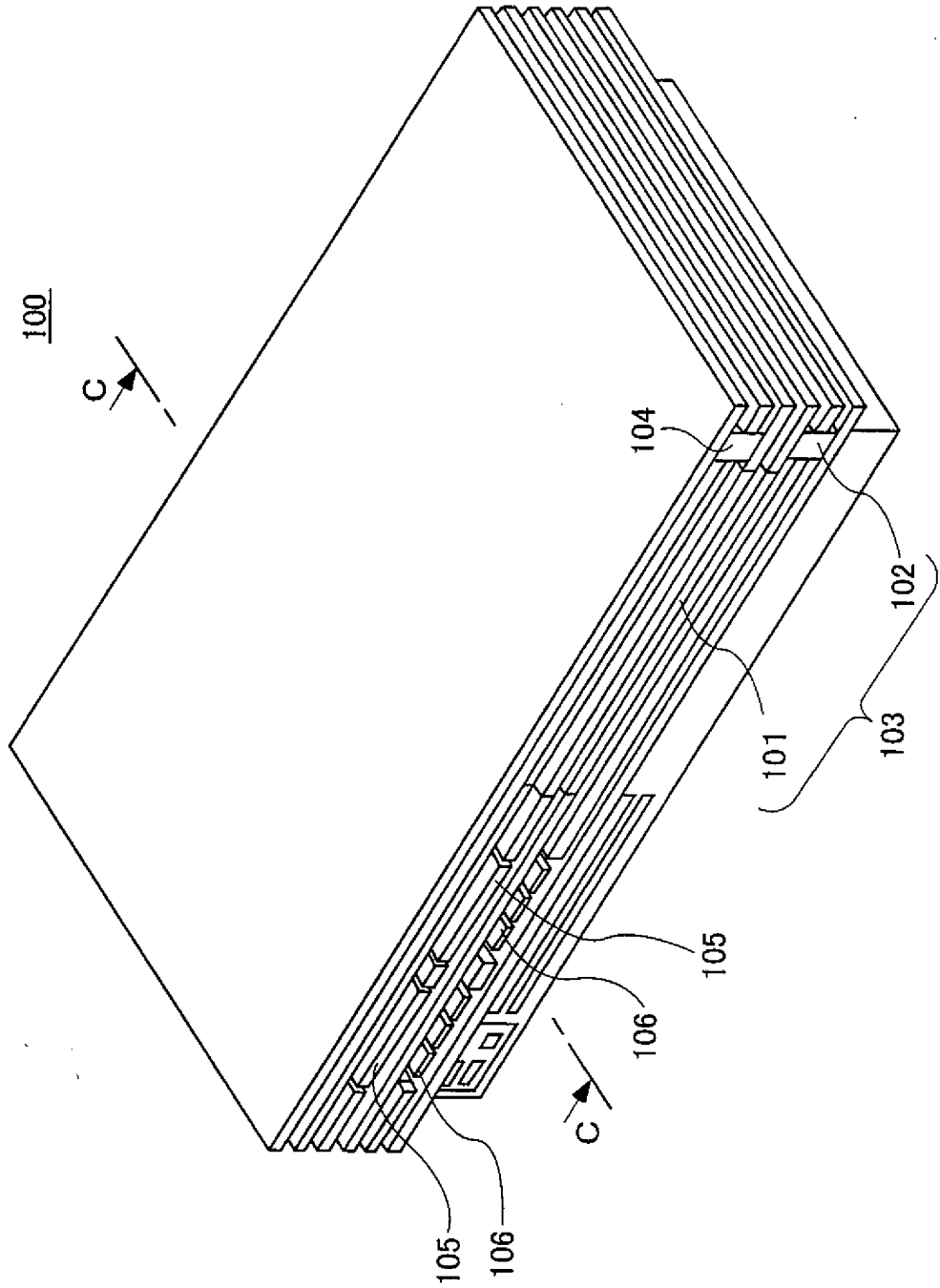
442945

6/10

第 6 圖



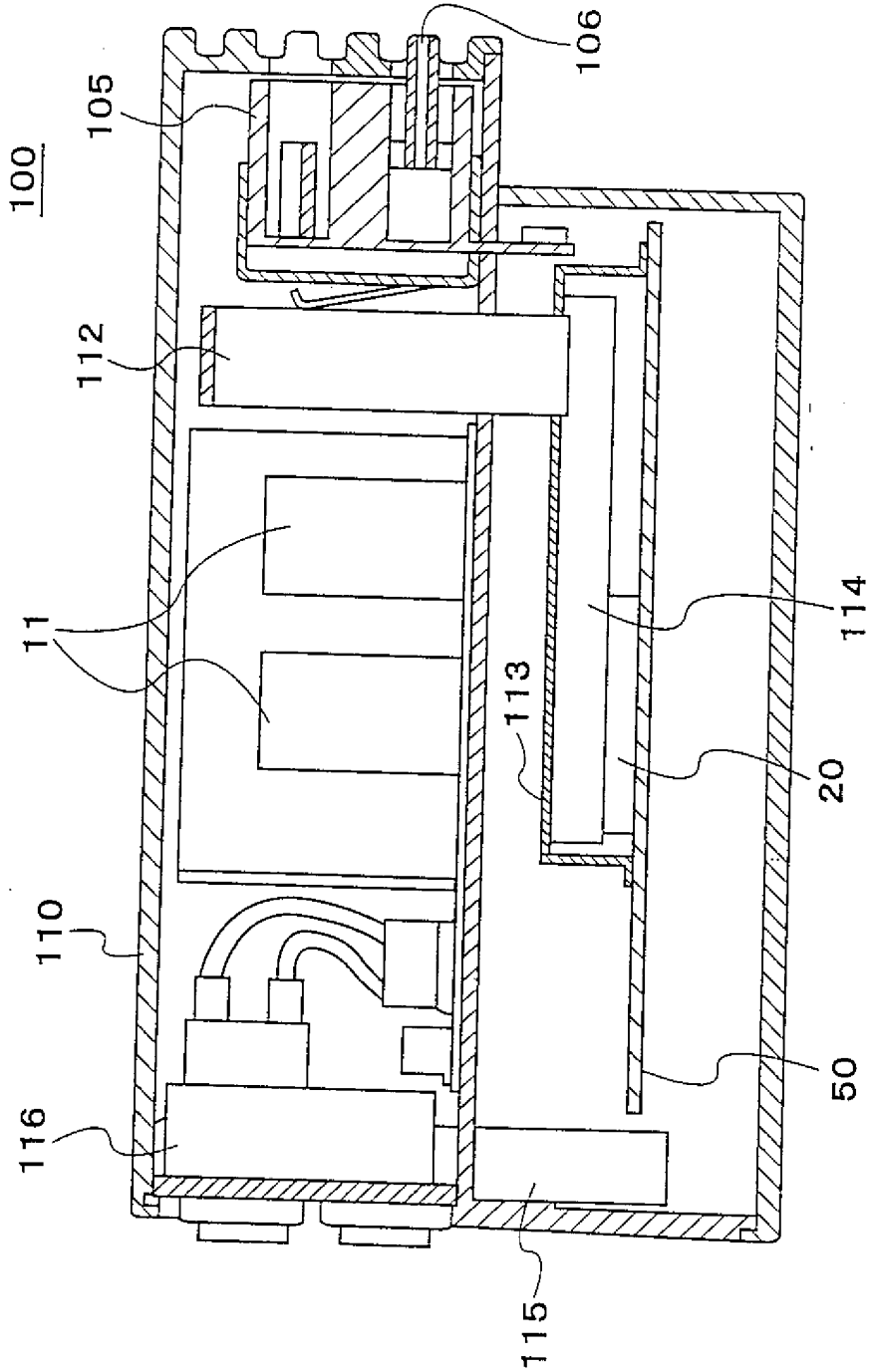
第7圖



修正
補充
1970年4月7日

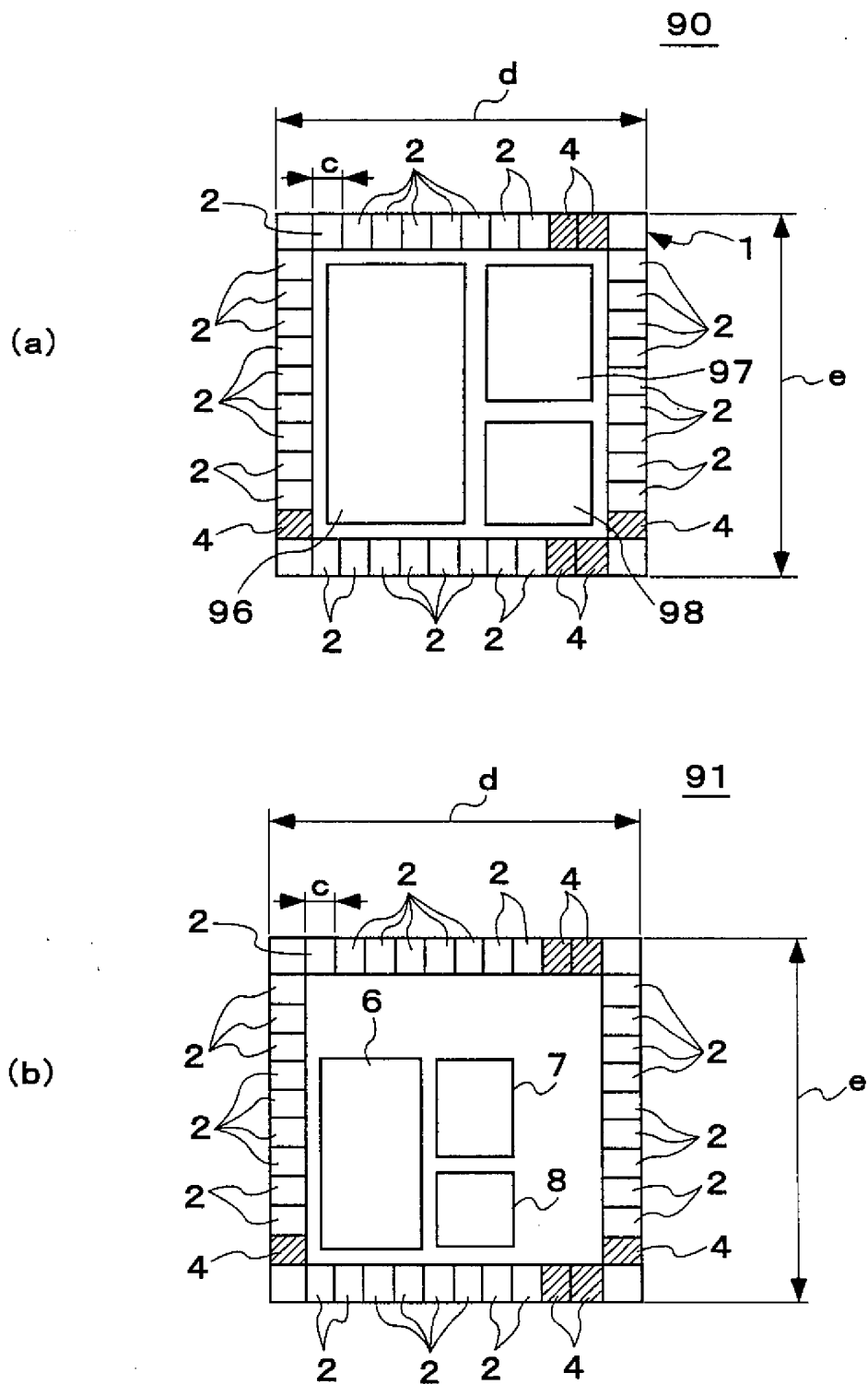
第8圖

C-C剖面圖



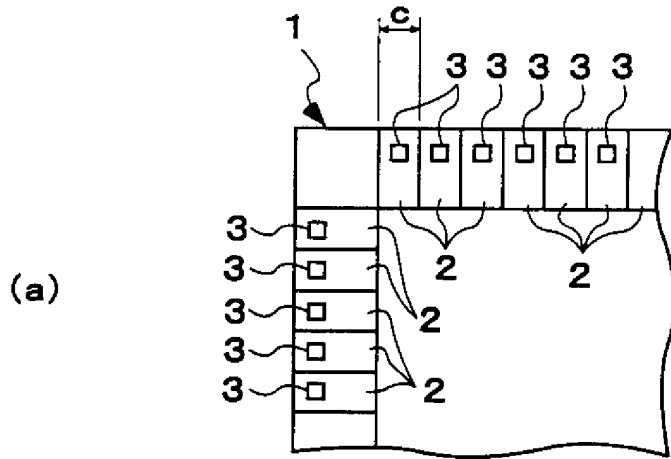
第 9 圖

比較例

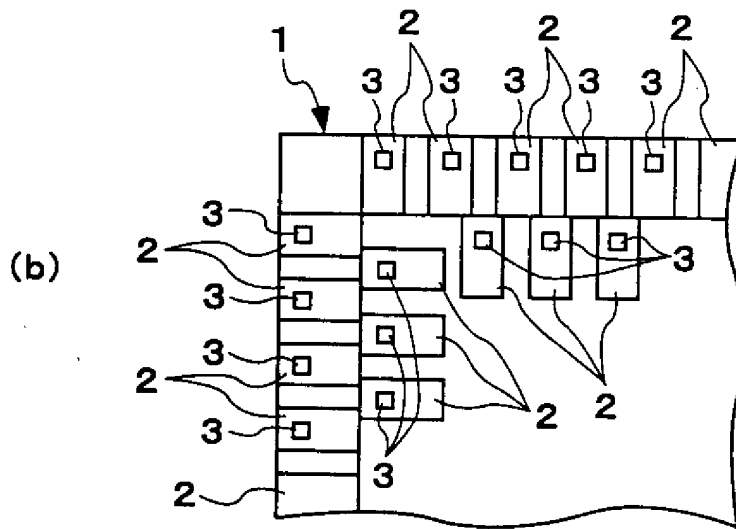


第 10 圖

91



92



五、發明說明(2)

之接合焊接點，係由配置於套裝之外部引出用端子內之接合焊接點之導線接合 (wire bonding) 連接，連接部係封裝於套裝內。藉將外部引出用端子與印刷電路基板連接，連接積體電路晶片與印刷電路基板。此情形時，晶片上之電路模組等因由套裝所保護，所以，具有可提升可靠性之益處。

另一方法，在印刷電路基板直接接合晶片之所謂直接接合方法。直接接合方法為不將晶片封裝於套裝，仍以所謂裸晶片 (bare chip) 直接導線接合於印刷電路基板，所以，不需要套裝之部分，可將積體電路晶片配置於印刷電路基板所需要之面積變小，並且，也具有不需要套裝之成本之益處。

【發明所欲解決之問題】

如上述由於半導體製程之微細化，晶片內之電路模組，雖然尺寸之微小化近年有所進展，但是，I / O 端子之節距，從先前並沒有變成那麼小。此係導線接合時為了回避相鄰接之導線互相發生電氣短路，或導線與鄰接之引線之電氣短路，不能將導線互相之間隔，或與導線相鄰接之引線之間隔變狹所致。

因此，I / O 端子數多時，即使從晶片內部之電路模組之大小決定晶片大小，也會發生晶片外周長度為不足排列 I / O 端子所需長度之現象。此時，就不能只以 I / O 端子數目來決定晶片尺寸，與其尺寸不能將晶片大小變小

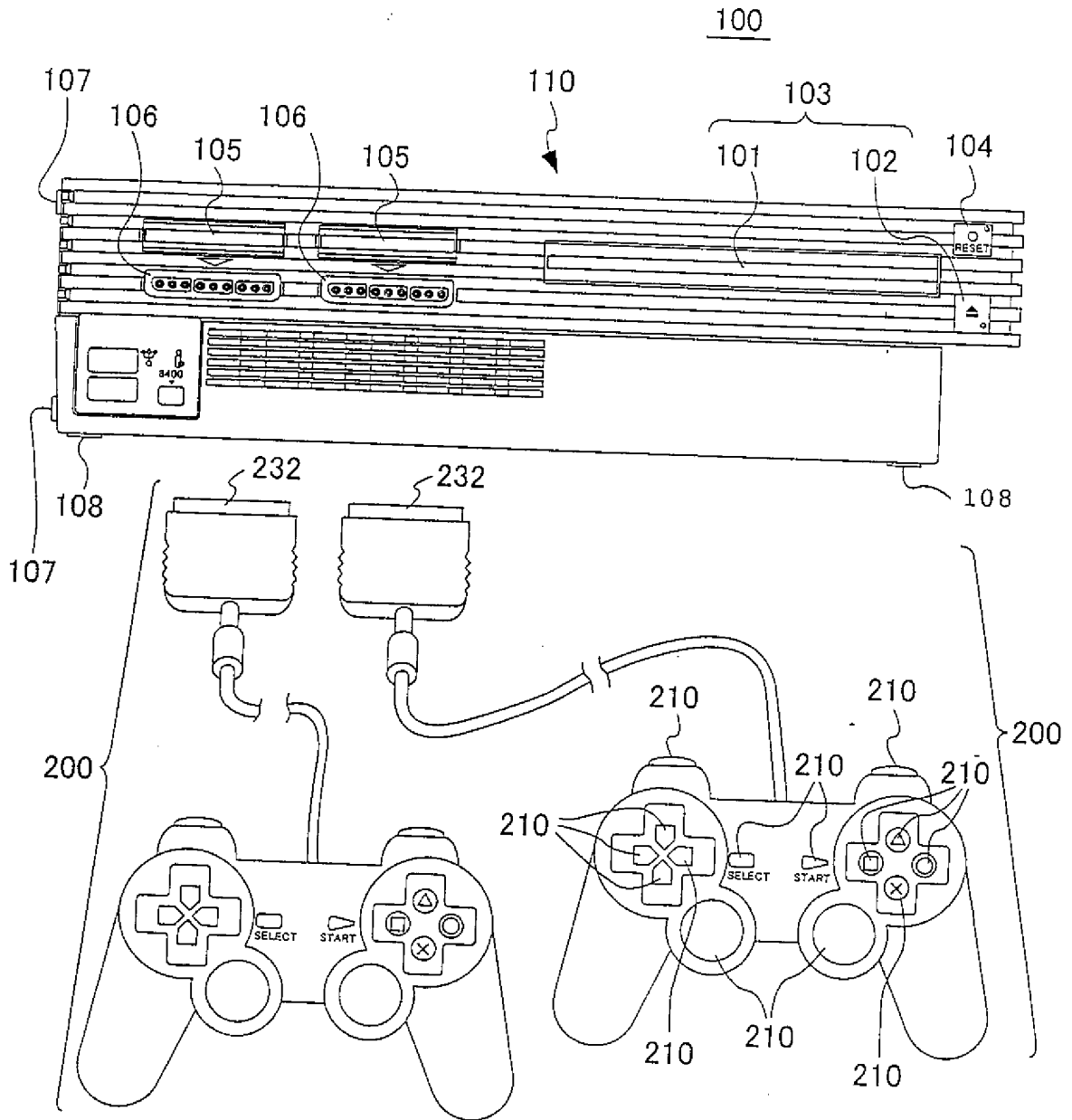
(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

442945

6/10

第 6 圖



修正
補充
1970年4月7日

第8圖

C-C剖面圖

