



(12) 发明专利

(10) 授权公告号 CN 114208405 B

(45) 授权公告日 2024. 11. 08

(21) 申请号 202080044339.5

(22) 申请日 2020.06.09

(65) 同一申请的已公布的文献号
申请公布号 CN 114208405 A

(43) 申请公布日 2022.03.18

(30) 优先权数据
2019-112890 2019.06.18 JP

(85) PCT国际申请进入国家阶段日
2021.12.16

(86) PCT国际申请的申请数据
PCT/JP2020/022662 2020.06.09

(87) PCT国际申请的公布数据
W02020/255791 JA 2020.12.24

(73) 专利权人 凸版印刷株式会社

地址 日本东京

(72) 发明人 狩野典子 马庭进

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112
专利代理师 何立波 张天舒

(51) Int.Cl.
H05K 1/16 (2006.01)
H05K 3/46 (2006.01)
H03H 7/075 (2006.01)

(56) 对比文件
CN 108476014 A, 2018.08.31
JP 2019083282 A, 2019.05.30

审查员 程晓莉

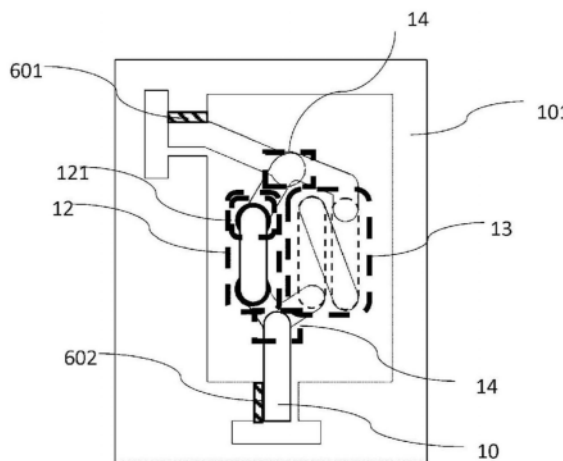
权利要求书2页 说明书11页 附图12页

(54) 发明名称

具有LC谐振电路的多层配线基板以及利用具有LC谐振电路的多层配线基板的电子元件封装

(57) 摘要

提供具有能够提高谐振特性及信号的衰减特性的LC谐振电路的多层配线基板以及利用具有LC谐振电路的多层配线基板的电子元件封装。为此,具有LC谐振电路的多层配线基板是在芯基板的两面交替地层叠导电层和绝缘树脂层而构成的,其中,所述多层配线基板具有:第1组配线,其构成所述LC谐振电路的两端,形成于第1所述导电层;一组通路孔,其将所述绝缘树脂层贯通;以及第2组配线,其与所述LC谐振电路的输入输出端子连接,形成于第2所述导电层,经由所述一组通路孔而将所述第1组配线与所述第2组配线连接。



1. 一种具有LC谐振电路的多层配线基板,其是在芯基板的两面交替地层叠导电层和绝缘树脂层而构成的,其中,

在相对于所述芯基板的剖面将上表面设为表面,将下表面设为背面时,

所述导电层包含直接层叠于所述表面上的第1下部导电层、直接层叠于所述背面的第2下部导电层、以及形成于所述绝缘树脂层上的上部导电层,

所述多层配线基板具有:

第1组配线,其形成于所述第1下部导电层,将在所述第1下部导电层上形成的设置于所述绝缘树脂层内的电容器的下电极、和在所述第1下部导电层上形成的设置于所述芯基板内的电感器的一端连接而构成所述LC谐振电路;

一组通路孔,其将所述绝缘树脂层贯通;以及

第2组配线,其与所述LC谐振电路的输入输出端子连接,形成于所述上部导电层,经由所述一组通路孔而将所述第1组配线与所述第2组配线连接。

2. 根据权利要求1所述的具有LC谐振电路的多层配线基板,其中,所述电容器是将介电质层及上电极层叠于所述下电极而得到的。

3. 根据权利要求1所述的具有LC谐振电路的多层配线基板,其中,所述电感器是将多个配线、和多个贯通孔串联连接的螺线管电感器,所述多个配线形成于所述第1下部导电层和所述第2下部导电层,所述多个贯通孔是将所述芯基板贯通的孔,在该孔的侧壁形成有导电层。

4. 根据权利要求1所述的具有LC谐振电路的多层配线基板,其中,所述上部导电层包含在所述表面上的所述绝缘树脂层上形成的第1上部导电层、以及在所述背面上的所述绝缘树脂层上形成的第2上部导电层,

所述下电极、和形成于所述第1下部导电层的平面线圈在所述第1下部导电层形成连接部,成为谐振电路的一端,

所述连接部成为所述第1组配线,

所述一组通路孔和所述第1上部导电层连接。

5. 根据权利要求4所述的具有LC谐振电路的多层配线基板,其中,构成所述LC谐振电路的电感器将形成于多个所述导电层的多个平面线圈串联连接。

6. 根据权利要求1所述的具有LC谐振电路的多层配线基板,其中,所述LC谐振电路是LC并联谐振电路,

所述第1组配线是将构成所述LC并联谐振电路的电感器的两端与构成所述LC并联谐振电路的电容器的两端连接的配线。

7. 根据权利要求1所述的具有LC谐振电路的多层配线基板,其中,所述LC谐振电路是LC串联谐振电路,

所述第1组配线是下述配线,即,

与构成所述LC串联谐振电路的电感器的、不同于与构成所述LC串联谐振电路的电容器连接的端部的端部连接的配线,

以及与构成所述LC串联谐振电路的电容器的、不同于与构成所述LC串联谐振电路的电感器连接的端部的端部连接的配线。

8. 根据权利要求1所述的具有LC谐振电路的多层配线基板,其中,

所述LC谐振电路是将LC并联谐振电路和LC串联谐振电路组合而得到的。

9. 一种电子元件封装,其使用权利要求1至权利要求8中任一项所述的具有LC谐振电路的多层配线基板,其中,

所述电子元件封装是在所述具有LC谐振电路的多层配线基板安装或内置有无源元件或有源元件而构成的。

具有LC谐振电路的多层配线基板以及利用具有LC谐振电路的多层配线基板的电子元件封装

技术领域

[0001] 本发明涉及具有LC谐振电路的多层配线基板以及利用具有LC谐振电路的多层配线基板的电子元件封装。

背景技术

[0002] 移动仪器的高性能化正在得到发展,关于内部的电子元件,高密度/小型化正在得到发展。根据高性能化的观点,为了进行高速/大容量的数据通信,以相邻的状态利用MHz ~ GHz频带范围的多个频带的频率,并且要利用较高的频率。其中,在仪器内使信号从开关元件通过且在高频前端模块内对信号进行滤波,将信号分割为多个区段而进行信号处理。这样,在移动领域中,需要具有准确地获取所使用的频率频带并将相邻的频带的频率屏蔽的特性的适当的滤波器。

[0003] 移动仪器的发送接收的方法大致划分为FDD方式和TDD方式,当前的前端模块中,还有时复合使用上述两种方式。在使用FDD方式的仪器中,利用BAW滤波器、SAW滤波器之类的表面安装型的选择20 ~ 100MHz和狭窄频带的衰减特性陡峭的滤波器。另一方面,在TDD

[0004] 方式中,需要具有500 ~ 900MHz之类的通过频带的滤波器。BAW、SAW滤波器难以在大于或等于Sub6GHz (3.7/4.5GHz)时覆盖TDD方式所需的较宽的400MHz ~ 900MHz这样的频带。具有对宽频带进行滤波的特性的部件中包含表面安装型的LTCC滤波器,阻带的衰减特性比较平缓。由此,期望能够可靠地将相邻的频带屏蔽的、具有更陡峭的衰减特性的滤波器。

[0005] 在前述的前端模块中,包含滤波器在内的多个无源元件及有源元件等在前端模块基板上搭载有多个。此后也利用多种频带进行高速/大容量的通信,因此发现上述部件增多。鉴于上述情况,提出了如下方案,即,将由电感器、电容器构成的无源元件以及滤波器部件之类的部件内置于配线基板内,由此减少占据基板表面的部件,有助于小型/低高度化。将前述元件内置于基板内,由此能够缩短配线长度,与此同时,能够减弱与焊料等异种部件的接合点处的反射等。因此,对于处理高频的基板较为有利。

[0006] 作为将无源元件即电容器内置于基板内部的方法,除了将该电容器部件埋设于基板内的方法以外,还提出了如下方法,即,灵活运用多层配线基板中层叠的导电层和绝缘树脂的构造,在其内部利用薄膜技术而层叠形成电容器。

[0007] 并且,近年来的贯通孔形成技术有所进步,因此例如能够针对300 μm 厚度的玻璃材料以小于或等于150 μm 的间距高精度地形成小于或等于100 μm 的直径的小径贯通孔。在利用该技术在玻璃基板形成贯通孔之后,实施通电处理而使得玻璃基板的正反面的导电层电连接,由此能够形成具有微小的螺线管电感器的形状的元素。关于上述元件,磁通的中心相对于玻璃的平面方向水平地产生,因此难以对周围施加电磁场的影响,另外,难以从周围受到电磁影响。

[0008] 并且,玻璃基板的平坦/平滑性优异,在形成微细配线时具有接近硅基板的性质,

在电特性中能够获得较高的绝缘性。能够形成发挥平坦/平滑性的小于或等于200nm的薄膜,对于微小且大容量的电容器构造的形成也可以称为优异的材料。上述特性在半导体中介层、高频领域的利用受到关注。电容器构造、电感器构造向玻璃基板的形成,可以作为用于获得小型/低高度化高频前端模块基板的技术而应用。专利文献1中公开了对这种电感器构造和电容器构造进行组合而获得滤频器的技术。

[0009] 专利文献1:日本特愿2018-99705号

发明内容

[0010] 对于专利文献1中公开的在玻璃基板形成的电感器、电容器的配线连接,为了有效地实现配线长度的缩短化,与构成谐振器的一部分配线共用配线本身。因此,产生以谐振频率在LC并联谐振器内流通的电流在还包含主要的信号线(称为主线路)在内的线路内流通的现象。谐振电流流通的路径与主线路的一部分混合,使得滤波器特性恶化。如果是连接有多个谐振器的构造,则信号的劣化会积蓄。

[0011] 本发明就是鉴于上述问题而提出的,其目的在于提供具有能够提高谐振特性及信号的衰减特性的LC谐振电路的多层配线基板以及利用具有LC谐振电路的多层配线基板的电子元件封装。

[0012] 为了解决上述问题,作为代表的本发明的具有LC谐振电路的多层配线基板之一,在电容器和电感器所构成的谐振电路中,利用在层间形成的层间过孔而使谐振电流流通的路径分离,使得谐振频率附近的高频电流流通的路径分离。

[0013] 发明的效果

[0014] 根据本发明,能够提供具有能够提高谐振特性及信号的衰减特性的LC谐振电路的多层配线基板以及利用具有LC谐振电路的多层配线基板的电子元件封装。

[0015] 通过下面对于实施的方式的说明而使得除了上述以外的问题、结构及效果变得更加明确。

附图说明

[0016] 图1-a是本发明的实施方式的具有连接过孔(connecting via)8的并联谐振电路(主线路→GND)的详细的俯视图。

[0017] 图1-b是本发明的实施方式的具有连接过孔8的并联谐振电路的俯视图。

[0018] 图2是本发明的实施方式的具有连接过孔8的多层配线基板的剖面图。

[0019] 图3-a是当前的并联谐振电路的详细的俯视图。

[0020] 图3-b是当前的并联谐振电路的俯视图。

[0021] 图4是当前的多层配线基板的剖面图。

[0022] 图5是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。

[0023] 图6是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。

[0024] 图7是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。

- [0025] 图8是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。
- [0026] 图9是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。
- [0027] 图10是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。
- [0028] 图11是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。
- [0029] 图12是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。
- [0030] 图13是表示本发明的实施方式的具有连接过孔8的多层配线基板的制造工序的剖面图。
- [0031] 图14是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0032] 图15是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0033] 图16是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0034] 图17是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0035] 图18是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0036] 图19是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0037] 图20是表示本发明的实施方式的在芯基板1上形成电容器构造12的工序的剖面图。
- [0038] 图21是表示本发明的实施方式的形成多层配线基板的工序的剖面图。
- [0039] 图22是表示本发明的实施方式的形成多层配线基板的工序的剖面图。
- [0040] 图23-a是双极带通滤波器的等效电路。
- [0041] 图23-b是双极带通滤波器的等效电路。
- [0042] 图24-a是具有衰减极的低通滤波器的等效电路。
- [0043] 图24-b是具有衰减极的低通滤波器的等效电路。
- [0044] 图25-a是本发明的实施例的具有连接过孔8的并联谐振电路的俯视图。
- [0045] 图25-b是当前的并联谐振电路的俯视图。
- [0046] 图26是表示谐振频率的通过特性的曲线图。

具体实施方式

[0047] 下面,参照附图对本发明的实施方式进行说明。此外,本发明并不受到该实施方式的限定。另外,在附图的记载中,对相同部分标注相同的标号而示出。

[0048] 在利用图23-a所示的谐振器的双极带通滤波器中,利用至少2个LC并联谐振器。在该电路中,谐振频率附近的并联谐振器变为阻抗较高的状态,电流向GND线的流入急剧减少。因此,主线路具有带通滤波器特性。

[0049] 在要以任意频率获得较大的并联谐振器的衰减特性的情况下,以谐振频率具有更高的阻抗较为有效。电容器和线圈的电流和电压的相位差为90度、-90度而存在偏差。因此,例如如果是并联连接,则在连接点处产生180度的偏差,成为高频地断开的状态。利用这一点,在本发明的实施方式中,采用了如图23-b所示使谐振器与主线路分离的连接方法。

[0050] 图1-a至图4是作为LC谐振电路的一个例子的最简单的LC并联谐振电路的俯视图及剖面图。图1-a和图1-b是本发明的实施方式的LC并联谐振电路的俯视图,图3-a和图3-b是未使得谐振电流的路径分离的LC并联谐振电路的俯视图。各电路中,元件的大小相同,连接部存在差异。

[0051] 图2是本发明的实施方式的LC并联谐振电路的剖面图。对于将构成谐振器的电感器和电容器连接的、在下部导电层3形成的配线,利用连接过孔8将其连接至与输入输出端子连接的、在上部导电层10形成的配线连接。图4是未使得谐振电流的路径分离的LC并联谐振电路的剖面图。从将构成谐振器的电感器和电容器连接的、在下部导电层3形成的配线分支出与输入输出端子连接的配线。

[0052] 本实施方式所涉及的多层配线基板15在基板内具有电感器构造13,在层叠面具有电容器构造12。而且,作为具有用于移动仪器等的无线通信的LC谐振电路的电子元件而起作用。

[0053] 多层配线基板15具有玻璃基板作为芯基板1。在芯基板1在层叠方向上形成贯通孔2。如果相对于芯基板1的剖面将上表面设为表面,将下表面设为背面,则导电层、绝缘树脂层交替地分别层叠于表面和背面。作为使得相邻的导体层间电导通的部分,在芯基板1形成贯通孔2,在绝缘树脂层9内分别设置电容器上电极上过孔(via)6、层间过孔7、连接过孔8。

[0054] 接下来,利用图5至图13的剖面图对多层配线基板的制造工序进行说明。如图6所示,在图5的玻璃芯基板1形成贯通孔2。如图7所示,在该贯通孔2的内壁面形成镀敷晶种层303。镀敷晶种层还形成于玻璃基板的表面背面301、302。

[0055] 图8中,利用抗蚀剂151在规定的场所形成用于形成镀敷图案的开口。图9中,在图8的开口施加铜镀敷层304,使得玻璃表面背面的膜厚变得均匀。在规定的位置设置形成电容器构造12的场所。另外,与此不同地利用贯通孔2将镀敷的配线图案设置为卷绕于芯基板1,形成螺线管型的电感器构造13。

[0056] 图10中,将抗蚀剂151去除,使得镀敷晶种层和下部导电层3的配线图案残留。然后,图11中,将形成为不需要的部分的镀敷晶种层301、302去除而形成绝缘树脂层901至903。

[0057] 图12中,对绝缘树脂层9进行层叠且在其内部形成MIM电容器。在MIM电容器形成用于进一步与上部导电层10连接的电容器上电极上过孔6。另外,形成用于将形成于下部导电层3的配线图案与上部导电层10连接的层间过孔7、或者本发明的实施方式的连接过孔8。

[0058] 图13中,在绝缘树脂上形成上部导电层10,由此能够以任意的层数层叠而构成多层配线基板15。

[0059] 接下来,对各要素的材质/形状、物性、优选性能进行说明。

[0060] 作为芯基板1的材料,能够想到玻璃、陶瓷、有机树脂、半导体、以及上述材料的复合材料等,如果均是在基板上形成电感器构造13以及电容器构造12的谐振电路的基板,则材料任意。

[0061] 对于芯基板1需要采用尺寸稳定性优异的材料。作为线膨胀系数,优选大于或等于-0.5ppm/K小于或等于15.0ppm/K。另外,本实施方式的多层配线基板可以用于半导体元件的搭载等,因此优选与硅芯片等同的4ppm/K左右的线膨胀系数。

[0062] 并且,对于芯基板1需要采用吸湿性较低的材料。这是因为,如果对芯基板1内部进行吸湿,则因产生排出气体而使得基板内的层间连接等的可靠性降低。

[0063] 玻璃基板的价格低廉且表面平坦性、绝缘性优异,适合于形成高频电路。例如,作为玻璃,能举出无碱玻璃、碱玻璃、硼硅酸玻璃、石英玻璃、蓝宝石玻璃、感光性玻璃等。

[0064] 本实施方式中,鉴于高频用途而采用无碱玻璃。关于本实施方式中处理的采用玻璃的芯基板1,基材的生成方法可以是任意方法,并不限定于特定的方法。另外,可以通过表面处理等而赋予强度、赋予防带电等功能。

[0065] 关于芯基板1的厚度,鉴于形成贯通孔2的工艺、制造时的操作性等,优选大于或等于0.08mm而小于或等于0.8mm。关于芯基板1的处理,可以在粘贴于支撑基板的状态下制造本发明的多层配线基板15。支撑基板的材质并不限定于特定的材质。

[0066] 接着,对于图6中的芯基板1的贯通孔2,通过激光、药品处理、放电加工、或者上述多种方式的组合方法而形成。如图7所示,例如通过溅射处理而对壁面施加镀敷晶种层303。另外,以使壁面变得平滑为目的的药品处理可以在形成贯通孔2之后进行。

[0067] 作为贯通孔2的形成方法,除了激光加工、放电加工以外,在利用感光性抗蚀剂材料的情况下,作为工序可以采用喷砂加工、干蚀刻加工、基于氢氟酸等的化学蚀刻加工。激光加工和放电加工简便且生产率良好,因此为优选。此外,可以从CO₂激光、UV激光、皮秒激光、飞秒激光选择能够使用的激光。关于开口直径,在构造方面优选小于在形成于芯基板1的表面背面的下部导电层3形成的配线的宽度。更优选根据开口的加工精度和光刻的精度,从配线的端部将大于或等于10μm的较小直径的开口配置于与下部导电层3的配线的连接部。

[0068] 图7中,镀敷晶种层301、302、303作为半加成加工方法的形成配线图案时进行的电解镀敷的供电层、贴合层而发挥作用。

[0069] 在玻璃的表面背面301、302以及贯通孔2的内壁303通过溅射法、或者CVD法而形成镀敷晶种层。

[0070] 例如,采用铜、镍、钛、铝、铬、钼、钨、钽、金、钯、铱、钇、钼或者上述多种金属的组合。并且,在镀敷晶种层上实施无电解铜镀敷、无电解镍镀敷。

[0071] 对于图7所示的镀敷晶种层301、302、303,根据电特性、制造的容易性、成本的观点,优选在钛层对铜层进行溅射而形成。为了玻璃基材上的该镀敷晶种层的贴合,在通过半加成法而形成微细配线时,膜厚优选小于或等于1μm。

[0072] 图8中,在形成镀敷晶种层301、302、303之后,形成光致抗蚀剂图案151。作为光致抗蚀剂图案151的形成方法,如果列举一个例子,则对于形成的光致抗蚀剂可以应用负型干膜抗蚀剂、负型液态抗蚀剂、正型液态抗蚀剂。本实施方式中应用了负干膜抗蚀剂。对于负干膜抗蚀剂,可以应用辊层压法、真空层压法。如果为液态型,则可以应用狭缝涂敷、幕式淋

涂、模具涂敷、喷射涂敷、静电喷绘、凹版涂敷、丝网涂敷等。上述光致抗蚀剂的形成方法并不局限于此。

[0073] 图9中,利用通常的光刻方法以使得在光致抗蚀剂层形成有导体层的部分露出的方式而形成抗蚀剂图案151。抗蚀剂层151的厚度取决于导电层的厚度,优选为大于或等于5 μm 而小于或等于25 μm 。

[0074] 对于图7的无电解镀敷层301至303可以应用无电解铜镀敷、无电解镍镀敷等,与玻璃材料或钛层、铜的贴合良好,因此优选无电解镍镀敷。如果无电解镍镀敷厚度过厚,则不仅难以形成微细的配线,而且因膜应力而导致贴合性降低、电阻增大。如果是电阻损失较低、且能够实现与芯基材的贴合性的材料,则可以是任意材料。

[0075] 此外,作为贯通孔2的通电处理的方式,除了溅射工艺以外,还可以采用如下方法等,即,作为提高与玻璃的贴合性的催化剂,生成底漆膜而提高孔内的润湿性,然后在壁面以湿式使得铜析出。

[0076] 接着,在图9中进行用于本实施方式的贯通孔2的壁面的进一步厚膜化的通电处理,形成铜镀敷层304。此时,优选地,铜材料从壁面朝向孔的中心而膜厚大于或等于3 μm 。在对大于或等于2GHz的高频进行处理的方面,表皮效应的影响显著,信号衰减量显著,因此更优选为大于或等于6 μm 。关于贯通孔2内的通电处理,可以由导电材料填充的填充(filled)形状、保形(conformal)形状。作为通电处理方法,能够想到溅射、无电解镀敷、电解镀敷、填充、使用表面处理药液、印刷、涂敷、上述方法的组合,方法是任意的。

[0077] 图9中,芯体表面背面的下部导电层3可以是镍、铬、钯、金、钛等金属材料。该导电层通过电解铜镀敷等而形成。此外,除了电解铜镀敷以外,可以采用电解镍镀敷、电解铬镀敷、电解钯镀敷、电解金镀敷等。作为构成配线图案的配线材料,主要能举出铜,也可以是镍、铬、钯、金、钛等其他金属材料。通过电解铜镀敷而析出的导体层的厚度优选为大于或等于3 μm 而小于或等于30 μm 。

[0078] 图10中,将光致抗蚀剂151去除,使得配线图案304和镀敷晶种层301残留,使得处于抗蚀剂图案151的正下方的玻璃的表面背面的镀敷晶种层301、302露出。关于抗蚀剂的去除方法,这里并不限定,通常存在利用碱水溶液实施去除的方法。

[0079] 图11中,将在芯基板1的表面背面形成的露出部分的镀敷晶种层301、302去除,形成下部导电层3上的配线图案。对于镀敷晶种层的去除,针对无电解镍、铜、钛依次利用化学蚀刻。关于镀敷晶种层去除方法,药液的种类并不特别限定。

[0080] 图12中示出了在绝缘树脂层9形成有电容器构造12的状态。后文中对本实施方式的MIM(Metal-Insulator-Metal)电容器的形成方法详细进行说明。

[0081] 在电容器构造12之上形成开口,与此同时,将绝缘树脂层9贯通而形成到达下部导电层3的开口。对于开口的形成,在绝缘树脂为非感光性树脂的情况下,可以使用激光。此外,可以从CO₂激光、UV激光、皮秒激光、飞秒激光选择能够使用的激光。UV激光、CO₂激光较为简便,从而为优选。图12中,如果绝缘树脂层9是感光性树脂,则可以利用光刻而形成。形成过孔开口之后适当地利用过锰酸溶液进行除污处理,由此进行树脂表面和在树脂开设的开口内的粗化和清洁。由此,能够提高与通电处理中使用的金属层的贴合性。或者,可以通过等离子处理而进行树脂表面和开口内的清洁。

[0082] 图13中,对图12中在绝缘树脂层9内形成的开口实施通电加工。对于绝缘树脂层9、

开口及上部导电层10的形成方法,采用公知的半加成法、减除加工法。可以反复实施上述方法而在上部导电层10上进行层叠。

[0083] 图12所示的MIM电容器构造12通过依次使镀敷晶种层301、铜镀敷层304、贴合层401、介电质层402、贴合层501、镀敷晶种层502层叠而形成。利用图14~图20对形成电容器构造12的方法进行说明。

[0084] 对于图14的镀敷晶种层301即薄膜导体的形成方法,例如采用真空蒸镀、溅射、离子镀、MBE法、激光烧蚀法、CVD法等,也可以采用通常的方法。镀敷晶种层301用作通过半加成法而形成铜镀敷层304的供电层。对于镀敷晶种层301例如可以采用铜、镍、钛、铝、铬、钼、钨、钽、金、钡、铋、钨、铂等或者上述多种金属的组合。因后续的蚀刻去除处理简便而更优选为铜。

[0085] 图14的镀敷晶种层301的厚度优选为大于或等于10nm而小于或等于5 μm 。在镀敷晶种层的厚度小于10nm的情况下,接下来在后续的电解铜镀敷工序中有可能引起导通不良。另外,如果大于或等于5 μm ,则在图案化中为了对去除对象部位进行蚀刻而耗费时间。更优选为大于或等于100nm而小于或等于500nm。

[0086] 图15中,在由铜镀敷层304形成的下电极之上对钛等进行溅射而形成贴合层401。为了改善金属与介电质层的贴合而对提高MIM电容器的可靠性,设置了贴合层401,如果能够确保足够的贴合性则也可以不形成贴合层401。为了实现发挥同样的作用的目的,也可以根据需要而形成贴合层501。并且,作为图15的MIM电容器的介电质层402,例如形成氮化硅的薄膜层。对于介电质层402,可以根据绝缘性、相对介电常数的观点,从氧化铝、二氧化硅、氮化硅、氧化钽、氧化钛、钛酸钙、钛酸钡、钛酸锶选择。

[0087] 介电质层402的厚度优选为大于或等于10nm而小于或等于1 μm 。如果小于或等于10nm,则难以确保绝缘性,有时无法作为电容器而起作用。另外,为了设为大于或等于1 μm 的厚度,对于薄膜的形成而需要时间。因此,电介质厚度更优选为大于或等于50nm而小于或等于500nm。

[0088] 接下来,在贴合层501之上形成镀敷晶种层502,作为用于通过半加成法而形成中间导电层503的供电层。对于镀敷晶种层502例如可以采用铜、镍、铝、钛、铬、钼、钨、钽、金、铋、钨、铂等或者上述多种金属的组合。因后续的蚀刻去除处理变得简便而更优选铜。镀敷晶种层502的厚度优选为大于或等于10nm而小于或等于5 μm 。在镀敷晶种层的厚度小于10nm的情况下,接下来在后续的电解铜镀敷工序中有可能引起导通不良。另外,如果大于或等于5 μm ,则在图案化中为了对去除部位进行蚀刻而耗费时间。更优选为大于或等于100nm而小于或等于500nm。

[0089] 接着,图16中形成抗蚀剂图案152。经由镀敷晶种层502而在抗蚀剂的开口部进行电解镀敷。关于电解镀敷,能举出电解镍镀敷、电解铜镀敷、电解铬镀敷、电解钡镀敷、电解金镀敷等,优选工序简便且价格低廉、电特性良好的材料。电容器的上电极即中间导电层503由铜镀敷层构成。作为形成方法,因简便廉价、且导电性较高而优选为电解铜镀敷。除了铜以外,也可以是镍、铬、钡、金、铋等。

[0090] 图17中,将不需要的抗蚀剂152去除,使得由中间导电层503形成的上电极和镀敷晶种层502在基板上露出。对于抗蚀剂152的去除,可以采用利用碱溶液的化学方法、干蚀刻等,但并不限于该去除方法。

[0091] 接下来,图18中,利用光致抗蚀剂153将实现了图案化的镀敷晶种层502、铜镀敷层503的周围覆盖。接着,如图19所示,使利用光致抗蚀剂153覆盖的部分残留,将除此以外的在芯基板1的表层层叠的贴合层501、介电质层402、贴合层401的不需要部分去除。关于去除方法,除了化学方法以外,还可以利用蚀刻法等而进行,但并不限于此。

[0092] 在图19的状态下,介电质层402较薄,因此在下电极贴合层401与上电极贴合层501的端部之间容易产生短路等。因此,可以采用如下方法,即,根据需要将贴合层501的端部的部分去除,防止与贴合层401的短路。

[0093] 通过如上工序而获得图20所示的电容器构造12。关于本实施方式中形成的电容器构造12的下电极、电介质及上电极等,利用抗蚀剂图案并通过镀敷、蚀刻等而形成形状。但是,如果能够获得为了实现期望的电容值而计算出的导体的电极面积、电介质体积,则电极形状、电介质的形状是任意的。在本实施方式中,电极形状设为圆形,但也可以是多边形、自由的电极形状。

[0094] 在图21的形成多层配线基板15时,使得导电层和绝缘树脂层9交替地层叠。对于该绝缘树脂的材料,可以采用环氧树脂、聚酰亚胺、马来酰亚胺、聚对苯二甲酸乙二醇酯、聚苯醚、液晶聚合物、以及上述材料的复合材料、或者感光性聚酰亚胺树脂、感光性聚苯并恶唑、感光性丙烯酸-环氧树脂。绝缘树脂层9的形成方法并不限定。如果是片材状的材料,则可以采用真空层压法、真空冲压、辊层压法等。

[0095] 如果绝缘树脂层9为液态材料,则可以从狭缝涂敷、幕式淋涂、模具涂敷、喷涂静电涂敷、喷绘涂敷、凹版涂敷、丝网印刷、凹版印刷、旋涂、刮涂等选择确定。另外,在最外层可以采用阻焊剂。

[0096] 在图22的绝缘树脂层9形成的层间过孔7的形成过程中,如果是非感光性树脂,则能够利用激光加工而使得通路孔开口。对于电容器的上电极上过孔6、连接过孔8的开口的形成也可以利用相同的工艺。对于激光能举出CO₂激光、UV激光、皮秒激光、飞秒激光等。如果绝缘树脂是感光性的材料,则可以采用光刻法而形成通路孔。只要是均匀地在绝缘树脂设置开口、且能够形成能够使得下层的导体层和上层的导体层电连接的通路孔方法,则并不限于此。

[0097] 在形成开口之后,适当地利用过锰酸溶液进行除污处理,由此使得树脂表面实现粗化,对通路孔内进行清洁。由此,能够提高铜镀敷层与绝缘树脂层的界面的贴合性。为了贴合性、孔内的清洗而可以采用等离子处理。

[0098] 层间过孔7、连接过孔8是将形成于下部导电层3的配线和上部导电层10电连接的层间连接部。连接过孔8与下部导电层3上的具有形成LC谐振电路的电感器的一端和形成LC谐振电路的电容器下电极的配线图案连接。

[0099] 可以利用公知技术反复形成绝缘树脂层9、通路孔、镀敷层而形成多层配线基板15。

[0100] 在将下部导电层3层叠于芯基板1而形成配线图案的工序中,形成构成本发明的实施方式的LC谐振电路的电感器构造13。该电感器是通过利用由芯基板1内的贯通孔2和在芯基板1的表面背面形成的下部导电层3构成的配线图案将芯基板1的上下层交替地串联连接而得到的。配线图案可以形成为平面状的螺旋电感器。可以利用层间过孔7在绝缘树脂层内3维地形成螺线管型或者螺旋型。只要是具有电感值的构造,则可以是任意结构。在该电感

器和该电容器构成LC谐振电路时,电感器的连接配线的一端位于下部导电层3上的配线图案,利用该下部导电层3上的该配线图案而与电容器电连接。

[0101] 关于电感器构造13具有的电感值,取决于匝数和剖面、电感器长度,在螺线管型线圈中,对于卷芯采用具有磁性的材料而能够对其值进行控制。

[0102] 电容器构造12中,为了获得期望的电容值而可以使得2个电容器构造12串联或并联连接,利用形成于下部导电层3的配线图案或者形成于上部导电层10的配线图案而进行该连接。在该电感器和该电容器构成LC谐振电路时,在下部导电层3上形成的该电容器的下电极利用在下部导电层3上形成的配线图案而与在下部导电层3上形成的该电感器的一端电连接。

[0103] 利用激光等使得本发明的实施方式的层间过孔7和连接过孔8相对于绝缘树脂层9从上层侧形成通路孔开口,通过镀敷填充而进行通电处理。

[0104] 使谐振状态的高频电流在最接近LC谐振电路的路径中停止,因此,在本实施方式中将连接过孔8配置于以电感器的一端和电容器的一端为直径的圆的外侧的弧上。本实施方式中,配置于直径为400 μm 的圆上。关于上电极上过孔6的开口直径,本实施方式中设为35 μm 。开口直径设为小于与过孔连接的下电极或上电极的直径,优选为大于或等于15 μm 小于或等于50 μm 。

[0105] 本实施方式中,经由连接过孔8而与并联谐振电路连接的上部导电层10的配线图案直接与输入输出端子连接。在利用多个谐振电路构成滤波器的图23的情况下,也可以增加利用配线图案将谐振电路连接的部分而应对。在利用主线路上的谐振电路而构成滤波器的图24-a的情况下,也可以利用由配线图案将谐振电路连接的部分而应对。有时高频地将并联谐振电路及串联谐振电路与GND连接,但也可以采用如图24-b所示使用连接过孔8进行连接的方法。

[0106] 如上所述,本发明的实施方式中,在将LC谐振电路的元件端部连接的部分,经由连接过孔8而使LC谐振电路和主线路分离,由此形成电位一致的点而使得高频电流的路径分离。另外,在电路内配置有多个LC谐振电路的结构中,也利用连接过孔8而使得各电流路径分离。

[0107] 由此,能够获得改善频率选择特性的效果,能够在多层配线基板内形成频率选择性较高的滤波器部件。

[0108] 连接过孔8可以在形成上电极上过孔6及层间过孔7的工序中同时形成。将连接过孔8与输入输出端子601至604连接的配线也可以在使得配线形成于上部导电层10的工序中同时形成。因此,无需追加新的工序。

[0109] 实施例

[0110] (实施例1)

[0111] 图25-a和图25-b是由多层配线基板构成最简单的LC并联谐振电路时的俯视图。电容器构造12和电感器构造13相同,元件的尺寸也相同。该电路设计为谐振频率大约为5GHz。L、C的串联谐振、并联谐振频率可以通过 $F=1/(2\pi\sqrt{LC})$ 而求出,为了获得约5GHz的谐振频率,3维地对约1pF的电容器构造和约1nH的电感器进行配置。

[0112] 图25-a是具有本发明的连接过孔8的电路。成为如下结构,即,经由连接过孔8而将下部电极层的配线从上部导电层10向输入输出端子引出。另一方面,图25-b是将下部配线

层的配线直接向输入输出端子引出的电路。配线设为均由绝缘树脂层9将层间覆盖。

[0113] 图25-a、图25-b分别设为具有图2、图4的剖面。作为芯基板1而采用“旭硝子株式会社”制的EN-A1(300 μm 的厚度)。准备300 μm 的厚度的玻璃,利用激光而形成贯通孔2。此时,贯通孔2设计为直径为80 μm 的圆筒型。

[0114] 作为用于形成下部导电层3的镀敷晶种层301,通过溅射而形成钛膜、铜膜,然后进行无电解镍镀敷。钛/铜/镍的膜厚设为50nm/300nm/80nm。

[0115] 接着,在通过辊层压而粘贴感光性干膜抗蚀剂之后,通过光刻而形成抗蚀剂图案。通过铜镀敷而实施7 μm 的下部导电层3的图案化,在碱溶液中进行抗蚀剂图案的剥离。并且,利用硝酸-过氧化氢混合蚀刻液将作为镀敷晶种层的镍去除,利用硫酸-过氧化氢混合蚀刻液将铜去除,利用氢氧化钾-过氧化氢蚀刻液将钛层去除,由此形成期望的电感器构造。用于电感器构造13的配线宽度设为110 μm ,贯通孔2的间距在电感器的径向上设为385 μm ,在长度方向上设为145 μm 的间距,由此形成1.5匝的电感器。形成于下部导电层的配线的宽度可以与电极尺寸相应地设为大于或等于110 μm 。

[0116] 并且,在下部导电层的上层以200nm的厚度形成氮化硅而作为电介质,形成电容器构造12。本实施例中,在下电极上未设置作为贴合层的钛。电容器的上电极以直径为111 μm 的圆形形状经由上电极上过孔6而与在上部导电层10形成有2个电容器的配线宽度为110 μm 的配线图案串联连接。此外,在作为中间导电层5的贴合层501而通过溅射形成50nm的钛之后,通过电解铜镀敷形成2 μm 的中间导电层5,将其设为MIM电容器的上电极。

[0117] 对于绝缘树脂层9而采用增塑树脂的GX-T31(“味の素ファインテクノ”制)。层间过孔直径设为35 μm 。在除污处理、无电解铜镀敷之后,在基板表面背面形成厚度为25 μm 的干膜抗蚀剂。

[0118] 在形成电容器构造12之后形成绝缘树脂层9,然后利用UV激光加工机形成通路孔开口,然后通过铜镀敷处理而使得连接过孔8、层间过孔7、上电极上过孔6通电。

[0119] 在通过光刻而形成抗蚀剂图案之后,在镀敷晶种层上通过电解铜镀敷而形成厚度为7 μm 的导体层。配线宽度设为110 μm ,在局部与电极的尺寸相应地增大。通过反复执行以上工序而能够获得多层配线基板15的构造。

[0120] (LC并联谐振电路)

[0121] 通过模拟而示出利用上述构造进行3维电磁场解析的结果。电磁场解析软件采用ANSYS公司的HFSS。作为评价方法,在图25中,分别将输入输出端子601至602的通过特性作为“ ϕ 35 μm 的直径的连接过孔”,将输入输出端子603至604的通过特性作为“未连接”,在图26的曲线图中表示谐振频率的通过特性。其结果,在存在连接过孔8和不存在连接过孔8的模型中,谐振频率的偏差小于或等于10MHz,存在连接过孔8时能够在谐振频率获得较高阻抗,与不是这样的结构相比,能够获得没有谐振频率偏差且较高的衰减量。

[0122] 以上对本发明的实施方式进行了说明,本发明并不限于上述实施方式,可以在不脱离本发明的主旨的范围内实施各种变更。

[0123] 标号的说明

[0124] 1…芯基板,2…贯通孔,3…下部导电层,4…介电质层,5…中间导电层,6…电容器上电极上过孔,7…层间过孔,8…连接过孔,9…绝缘树脂层,10…上部导电层,101…上部导电层GND,12…电容器构造,121…电容器单体,13…电感器构造,14…谐振电路连接部,15…

多层配线基板,151…抗蚀剂,152…抗蚀剂,153…抗蚀剂,301…表面镀敷晶种层(下部导电层3),302…背面镀敷晶种层(下部导电层3),303…贯通孔内镀敷晶种层,304…铜镀敷层(下部导电层3),401…下电极贴合层(钛等),402…介电质层(氧化铝、氮化硅等),501…上电极贴合层,502…镀敷晶种层,503…中间导电层的厚膜层,601…输入输出端子,602…输入输出端子,603…输入输出端子,604…输入输出端子,901…绝缘树脂层,902…绝缘树脂层,903…绝缘树脂层。

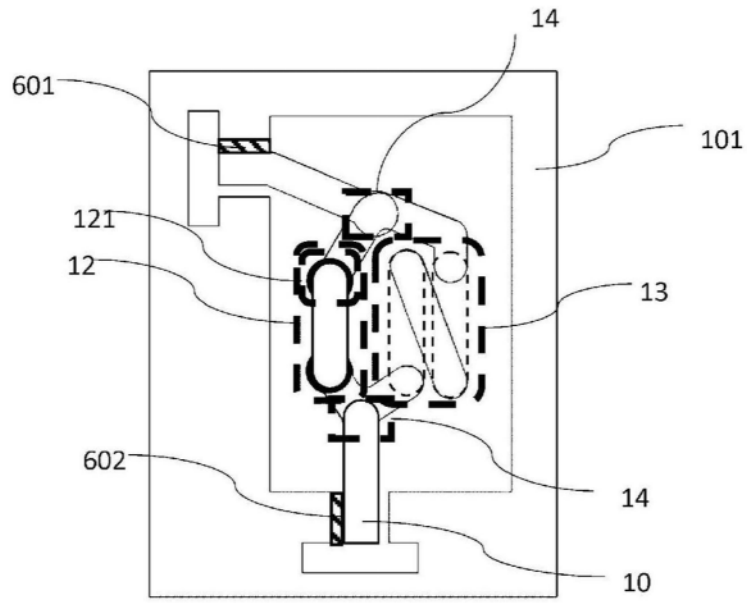


图1-a

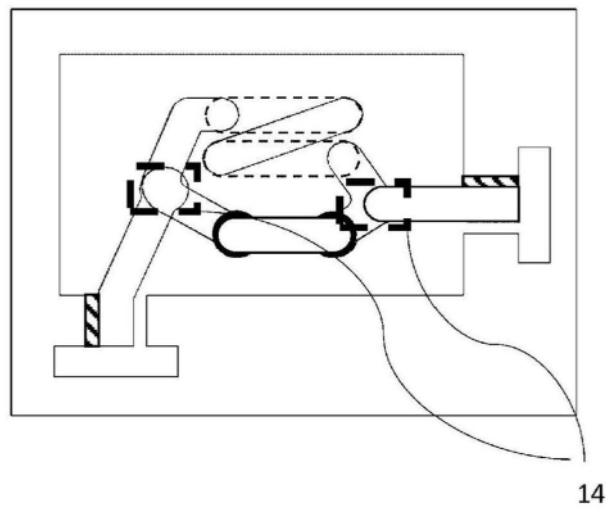


图1-b

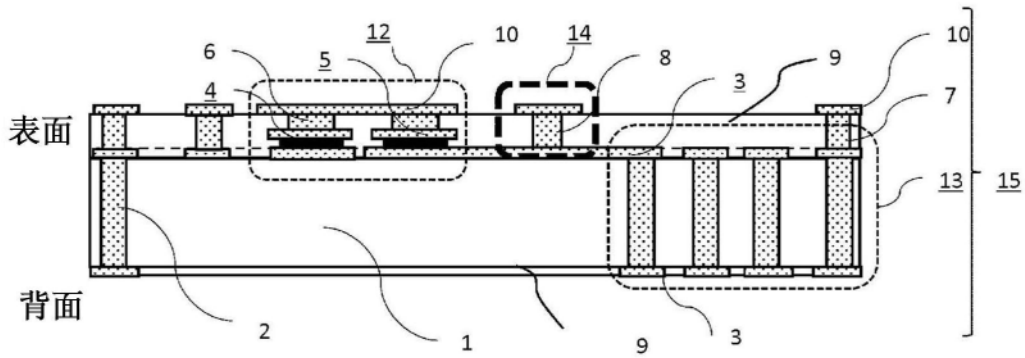


图2

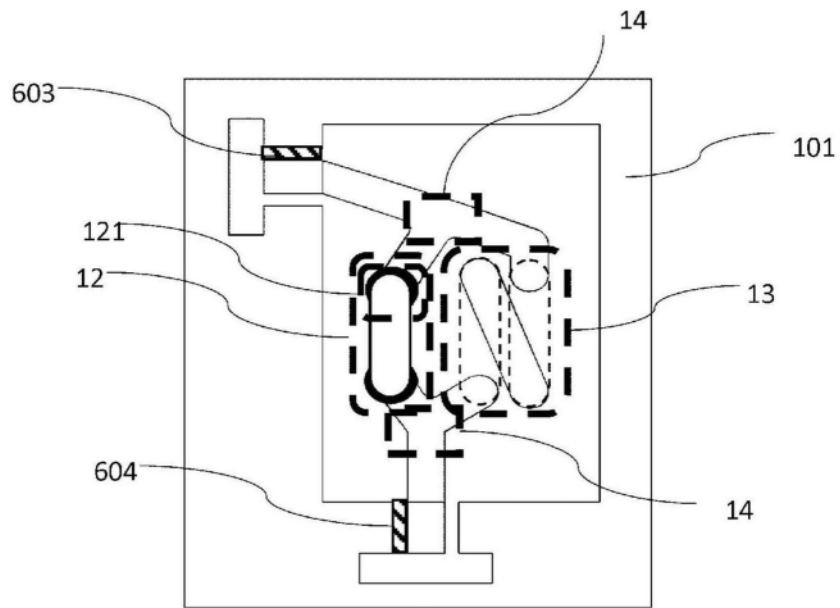


图3-a

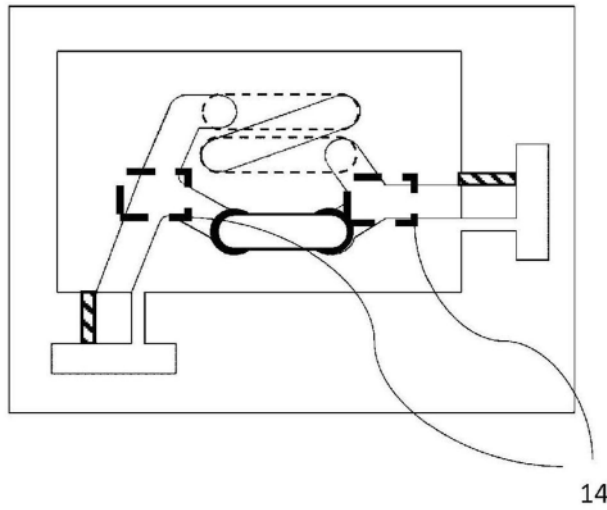


图3-b

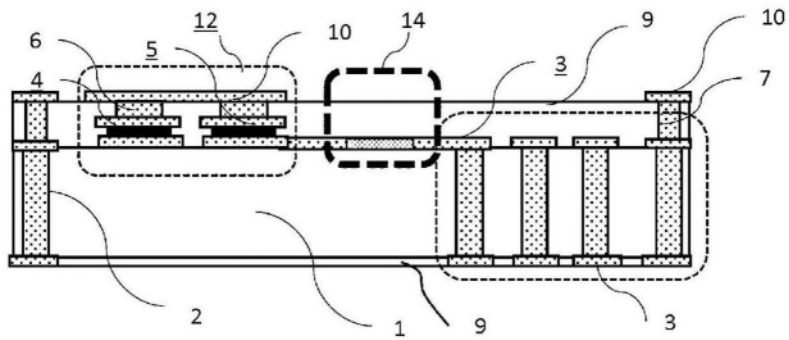


图4

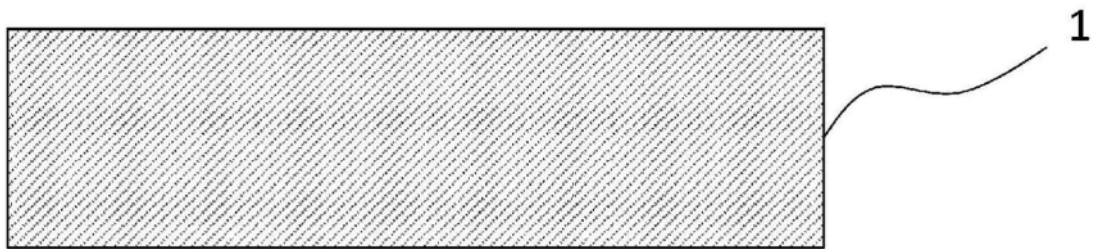


图5

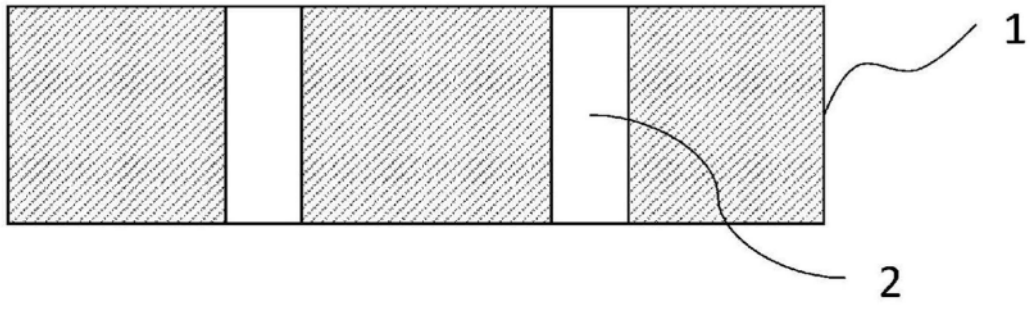


图6

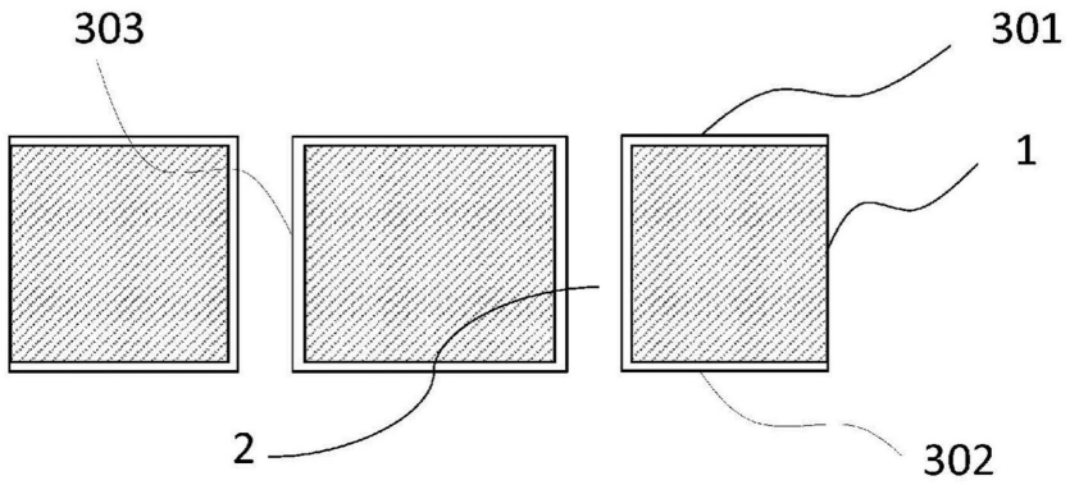


图7

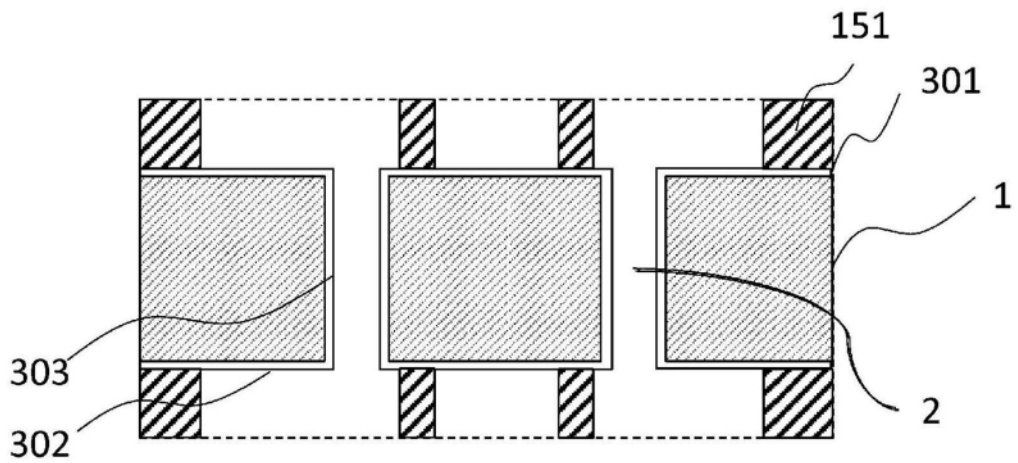


图8

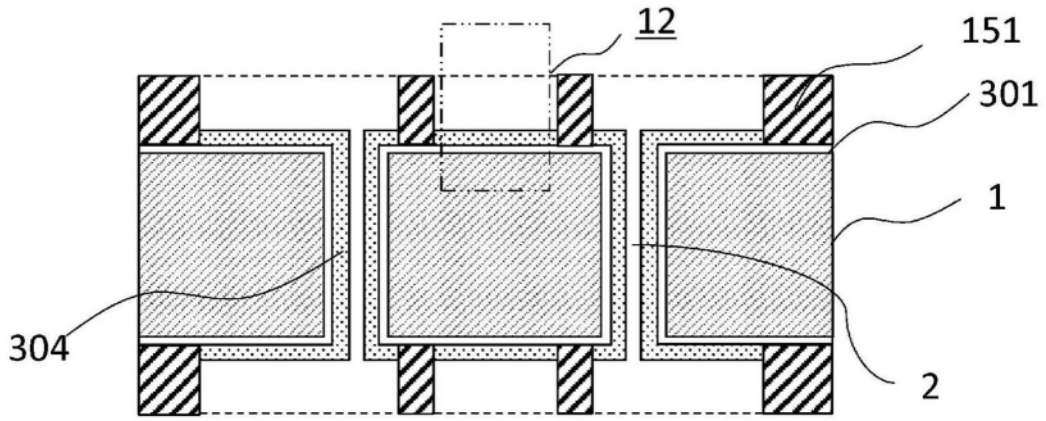


图9

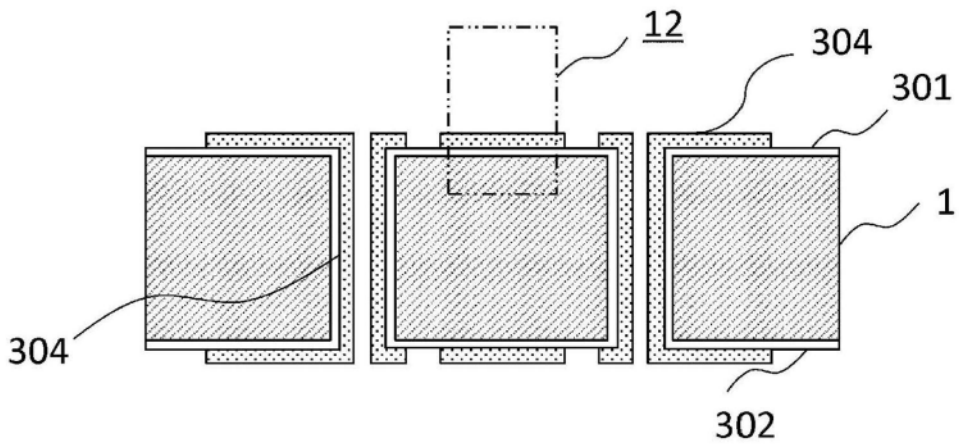


图10

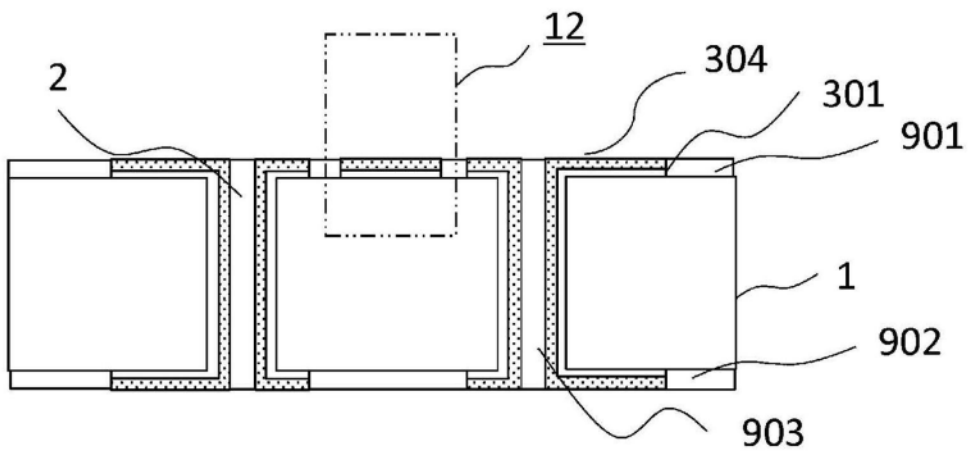


图11

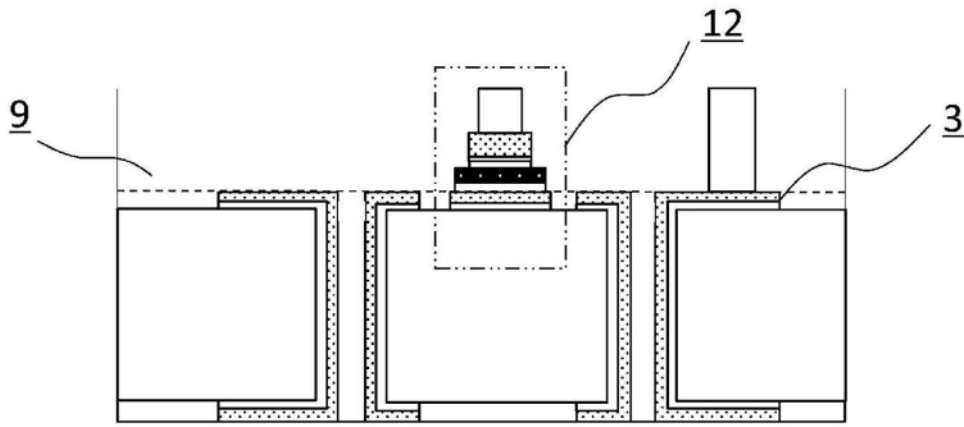


图12

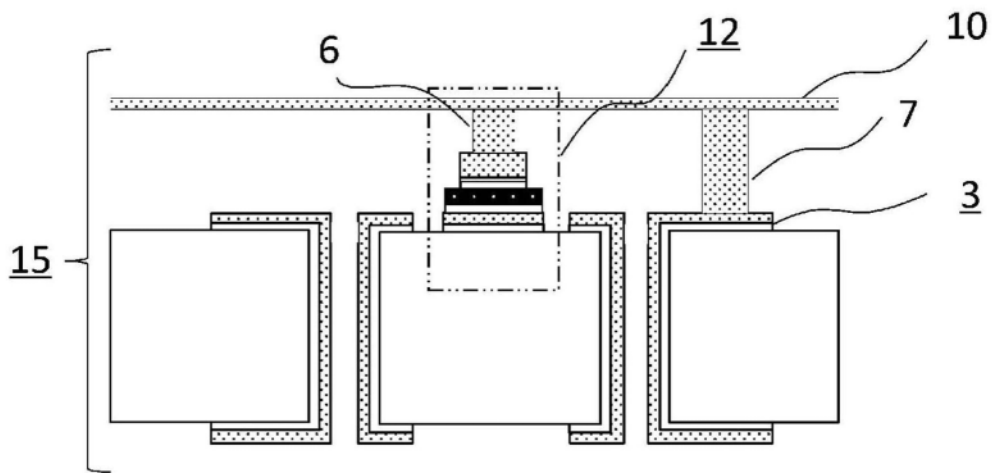


图13

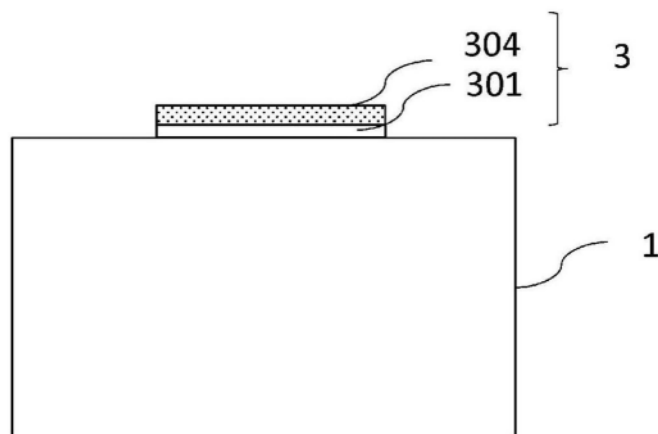


图14

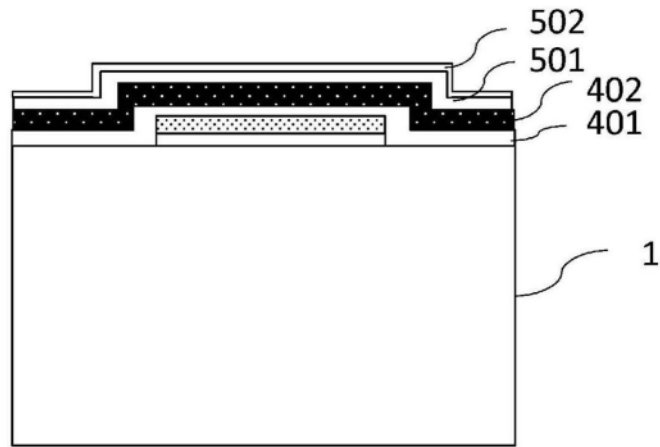


图15

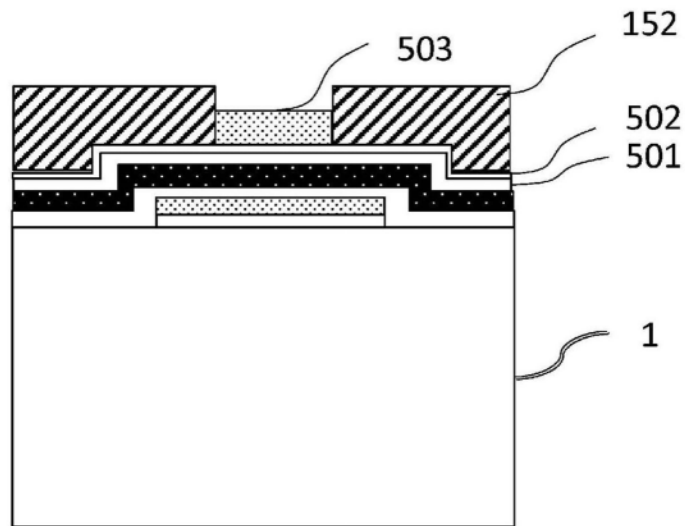


图16

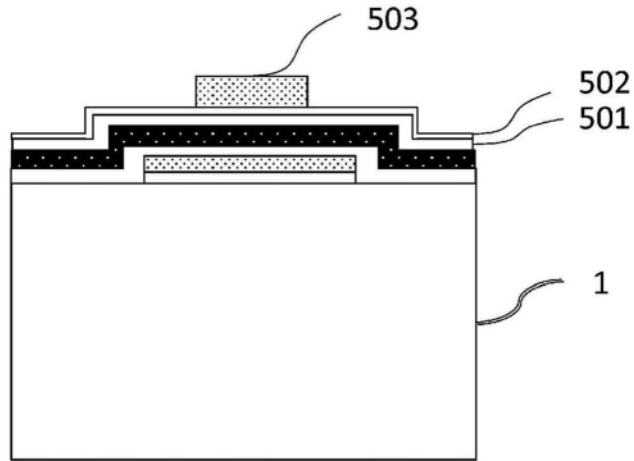


图17

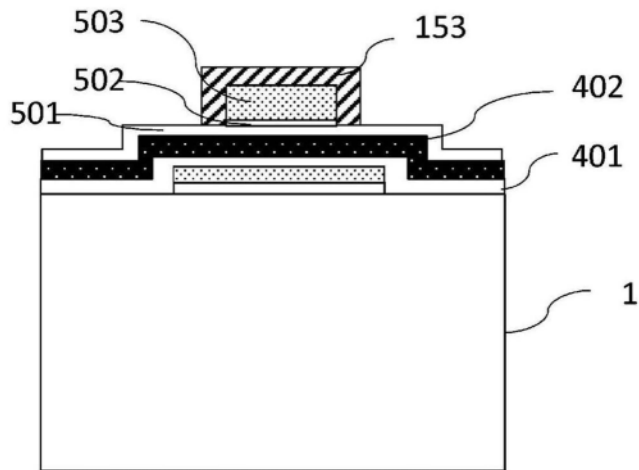


图18

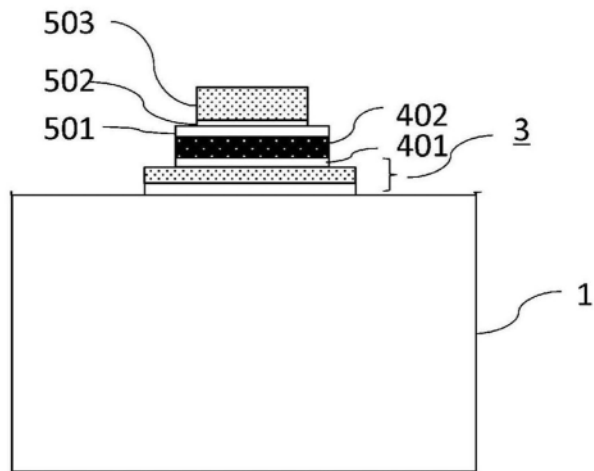


图19

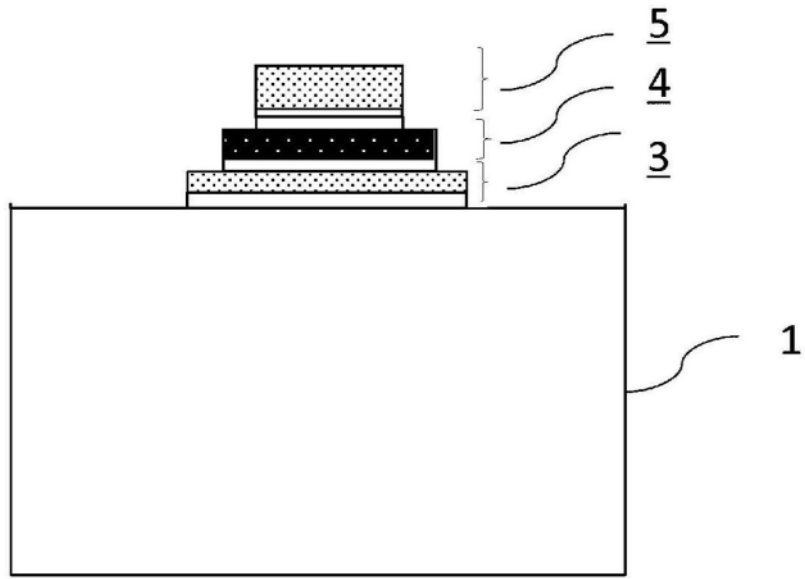


图20

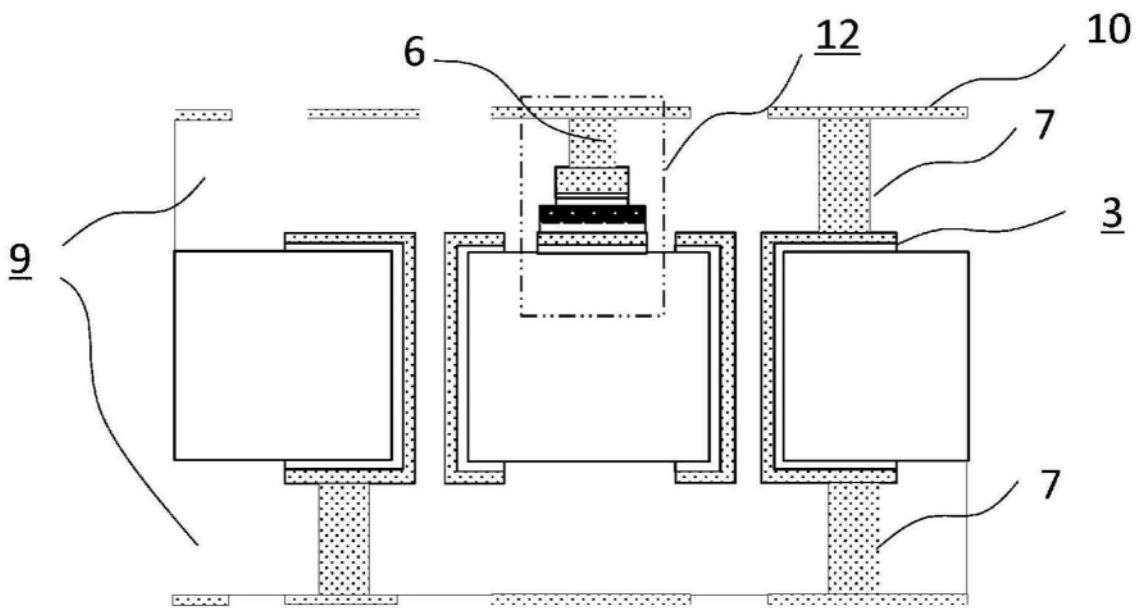


图21

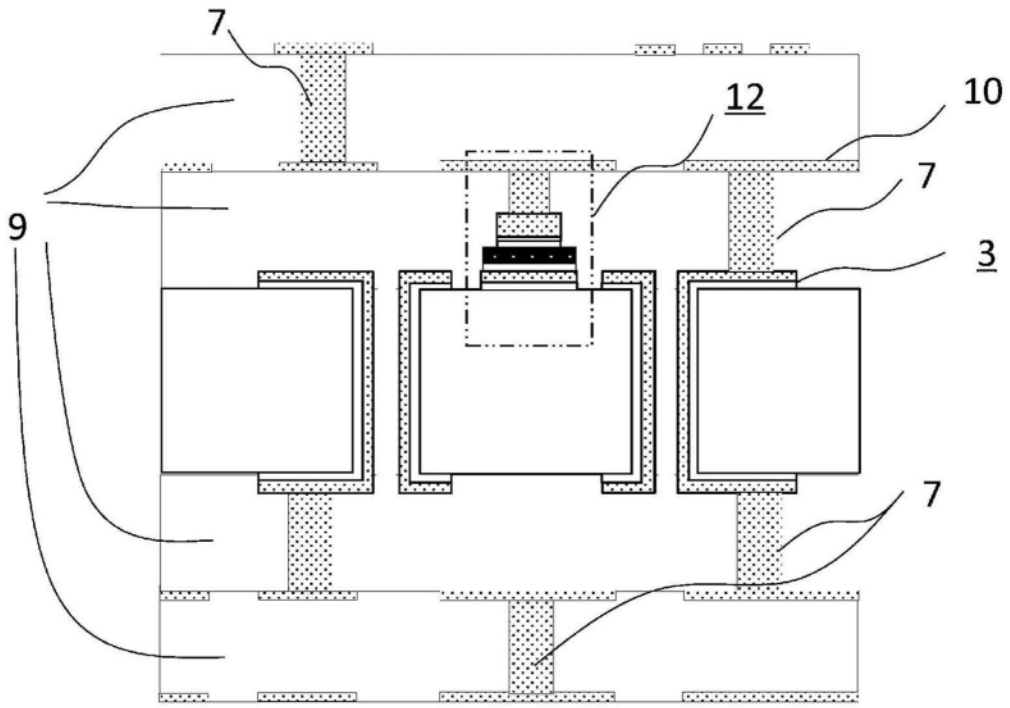


图22

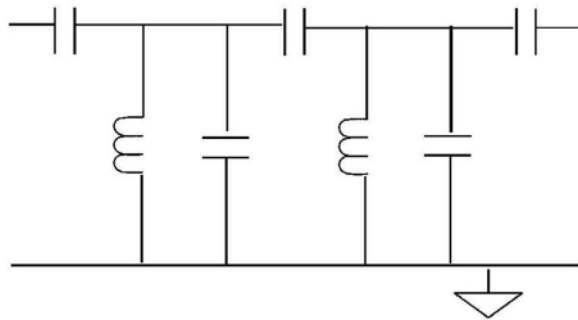


图23-a

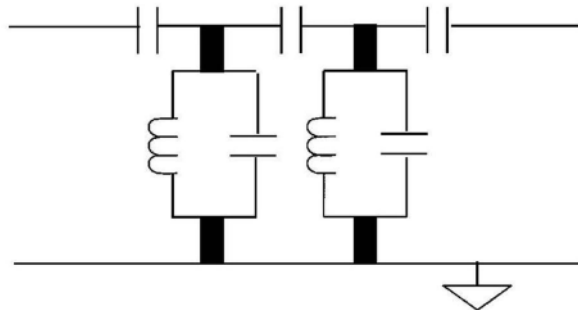


图23-b

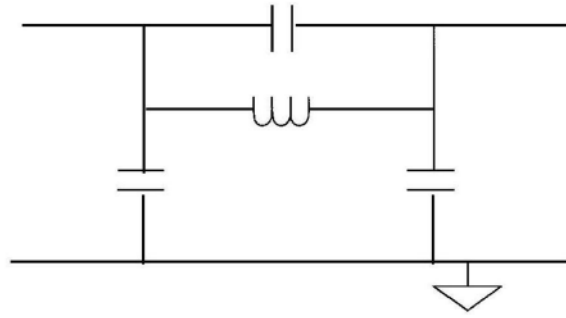


图24-a

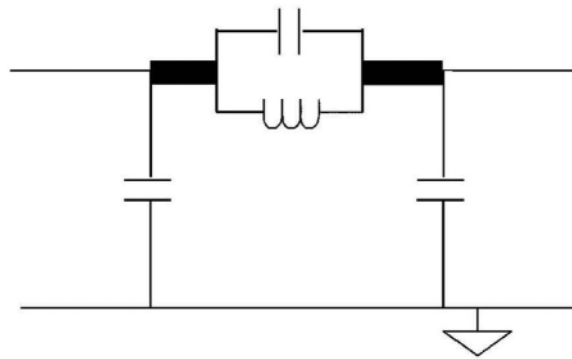


图24-b

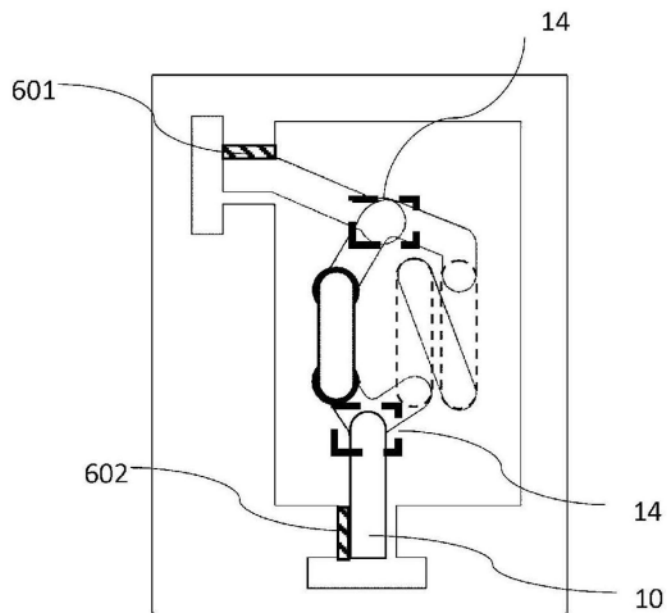


图25-a

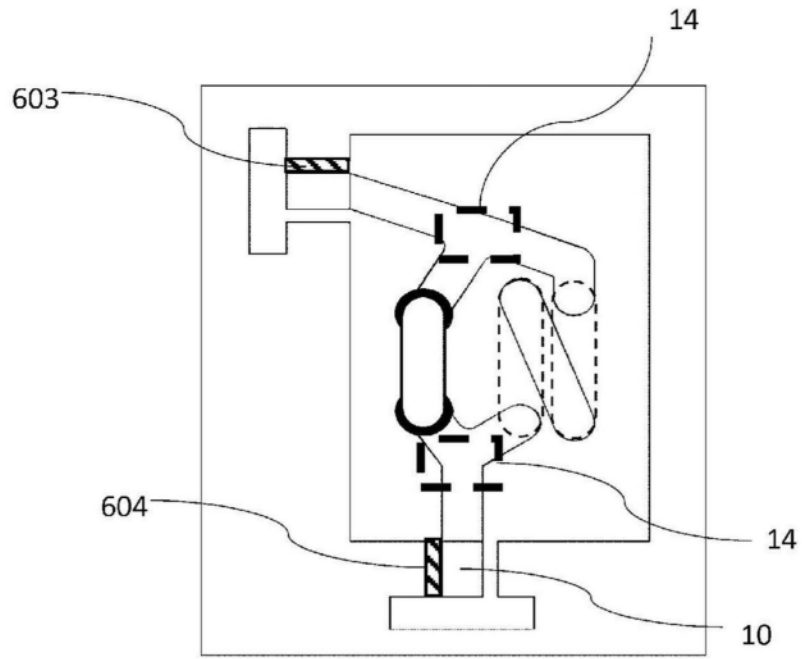


图25-b

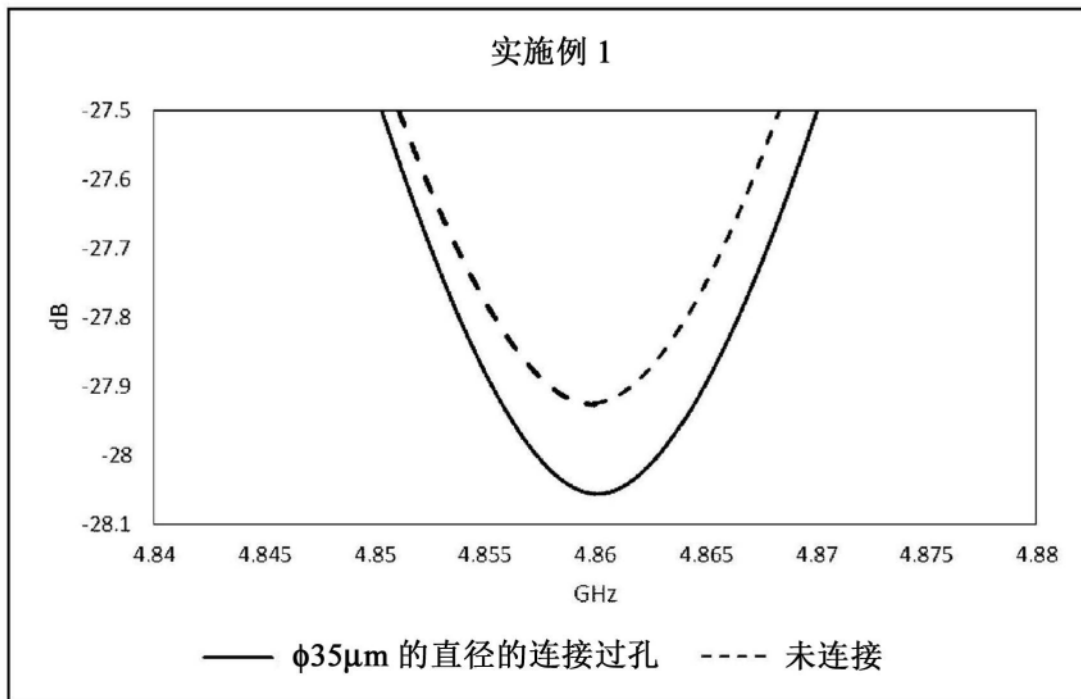


图26