



(12)发明专利申请

(10)申请公布号 CN 110323200 A

(43)申请公布日 2019. 10. 11

(21)申请号 201910228809.2

H01L 25/07(2006.01)

(22)申请日 2019.03.25

(30)优先权数据

18165132.4 2018.03.29 EP

(71)申请人 奥特斯奥地利科技与系统技术有限公司

地址 奥地利莱奥本

(72)发明人 杰拉尔德·魏斯

(74)专利代理机构 成都超凡明远知识产权代理有限公司 51258

代理人 魏彦 洪玉姬

(51)Int.Cl.

H01L 23/498(2006.01)

H01L 23/58(2006.01)

H01L 23/64(2006.01)

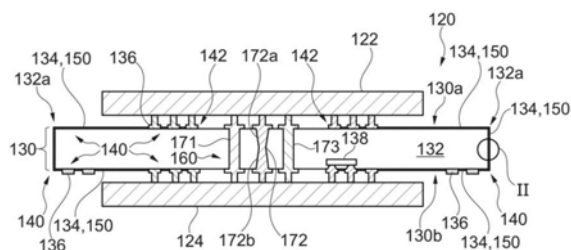
权利要求书2页 说明书10页 附图3页

(54)发明名称

具有阻抗匹配的互连结构的电子组件和电子系统

(57)摘要

提供了一种电子组件,包括:(a)互连承载件,该互连承载件包括电绝缘芯和形成在电绝缘芯处的至少两个导电层;(b)安装在互连承载件的第一侧处的第一集成电路芯片;(c)安装在互连承载件的第二侧处的第二集成电路芯片,其中第二侧与第一侧相反;以及(d)将第一集成电路芯片与第二集成电路芯片电连接的互连结构。电互连结构围绕绝缘芯延伸并包括至少一个电导体路径,该至少一个电导体路径被设计成使得在第一集成电路芯片与第二集成电路芯片之间提供阻抗匹配。此外,提供了一种包括这样的电子组件的电子系统。



1. 一种电子组件(120), 包括:

互连承载件(130), 所述互连承载件包括电绝缘芯(132)和形成在所述电绝缘芯(132)处的至少两个导电层(134);

第一集成电路芯片(122), 所述第一集成电路芯片安装在所述互连承载件(130)的第一侧(130a)处;

第二集成电路芯片(124), 所述第二集成电路芯片安装在所述互连承载件(130)的第二侧(130b)处, 其中, 所述第二侧(130b)与所述第一侧(130a)相反; 以及

互连结构(140), 所述互连结构将所述第一集成电路芯片(122)与所述第二集成电路芯片(124)电连接;

其中, 所述电互连结构(140)围绕所述绝缘芯(132)延伸并包括至少一个电导体路径(150), 所述至少一个电导体路径被设计成使得在所述第一集成电路芯片(122)与所述第二集成电路芯片(124)之间提供阻抗匹配。

2. 根据前一权利要求所述的电子组件(120), 其中, 所述电导体路径(150)围绕所述绝缘芯(132)的至少一个边缘(132a)形成。

3. 根据前述权利要求中任一项所述的电子组件(120), 其中,

所述电导体路径(150)包括至少两个导体径迹(252、256)。

4. 根据前一权利要求所述的电子组件(120), 其中, 所述至少两个导体径迹(252、254)通过分层结构实现, 其中, 绝缘层(256)形成在所述两个导体径迹(252、254)之间。

5. 根据前述权利要求中任一项所述的电子组件(120), 还包括:

另外的互连结构(160), 所述另外的互连结构将所述第一集成电路芯片(122)与所述第二集成电路芯片(124)连接, 其中, 所述另外的互连结构(160)延伸穿过在所述第一集成电路芯片(122)和所述第二集成电路芯片(124)之间的重叠区域中的绝缘芯(132)并且包括至少一个另外的电导体路径(171、172、173)。

6. 根据前一权利要求所述的电子组件(120), 其中, 所述至少一个另外的电导体路径(171、172、173)被设计成使得在所述第一集成电路芯片(122)与所述第二集成电路芯片(124)之间提供另外的阻抗匹配。

7. 根据两项前述权利要求中任一项所述的电子组件(120), 其中, 所述另外的互连结构(160)包括至少一个金属化过孔连接件(171、172、173)。

8. 根据前一权利要求所述的电子组件(120), 其中, 所述金属化过孔连接件(172)具有双截头锥的形状, 其中, 分配给所述互连承载件(130)的第一侧(130a)的第一截头锥(172a)的尖端部分连接至分配给所述互连承载件(130)的第二侧(130b)的第二截头锥(172b)的尖端部分。

9. 根据前述权利要求5至8中任一项所述的电子组件(120), 其中,

所述另外的电导体路径(570a、570b)包括以同轴构造实现的至少两个另外的导体径迹(572a/572b、574)。

10. 根据前述权利要求中任一项所述的电子组件(120), 还包括:

电子部件(138), 所述电子部件被嵌入在所述互连承载件(130)内并且电连接至所述第一集成电路芯片(122)和所述第二集成电路芯片(124)中的至少一个。

11. 根据前述权利要求中任一项所述的电子组件(120), 其中, 所述电子组件(120)包括

下述特征中的至少一个：

所述互连承载件(130)的所述绝缘芯(132)和/或其他绝缘结构(256)包括由下述构成的组中的至少一种：硅；玻璃；陶瓷以及有机电介质，特别是树脂、还特别是增强或非增强树脂，例如环氧树脂或双马来酰亚胺-三嗪树脂、FR-4、FR-5；氰酸酯；聚亚苯基衍生物；预浸材料；聚酰亚胺；聚酰胺；液晶聚合物；环氧基积层膜；聚四氟乙烯；和金属氧化物；

所述电子组件(120)的所述至少两个导电层(252、254)和/或其他导电材料，特别是所述互连结构(140)和/或所述另外的互连结构(160)包括由下述构成的组中的至少一种：铜、铝、镍、银、金、钯和钨，上述材料中任何一种都可选地涂覆有超导材料诸如石墨烯；

所述电子组件(120)包括特别是嵌入到所述互连承载件(130)中和/或表面安装在所述互连承载件上的至少一个部件(138)，其中，所述至少一个部件特别地选自下述构成的组：电子部件、不导电嵌体和/或导电嵌体、热传递单元、能量收集单元、有源电子部件、无源电子部件(138)、电子芯片、存储装置、滤波器、集成电路、信号处理部件、功率管理部件、光电接口元件、电压转换器、加密部件、发射器和/或接收器、机电换能器、致动器、微机电系统、微处理器、电容器、电阻器、电感、累加器、开关、相机、天线、磁性元件、光导元件、另外的部件承载件以及逻辑芯片；

所述互连承载件(130)被成形为板；以及

所述互连承载件(130)被构造成印刷电路板或基板。

12. 一种电子系统(300、400、600)，包括：

部件承载件(390、690)；和

根据前述权利要求中任一项所述的电子组件(120)，其中，所述第一集成电路芯片(122)和/或所述第二集成电路芯片(124)与所述部件承载件(390)的导体路径和/或端子焊盘电连接。

13. 根据前述权利要求12所述的电子系统(300、400)，其中，

所述部件承载件(390)包括腔(392)，所述电子组件(120)部分地容纳在所述腔中，其中特别地，所述第一集成电路芯片(122)和所述第二集成电路芯片(124)中的一个完全容纳在所述腔(392)内，并且所述互连承载件(130)安装至所述部件承载件(390)的表面。

14. 根据前述权利要求12所述的电子系统(600)，其中，

所述部件承载件(690)包括腔，所述电子组件(120)完全地容纳在所述腔中，其中特别地，所述第一集成电路芯片(122)和所述第二集成电路芯片(124)中的至少一个的表面与所述部件承载件(690)的表面相对准。

15. 根据前述权利要求12至14所述的电子系统(400)，还包括：

模制结构(494)，所述模制结构形成在所述电子组件(120)的至少一部分之上和所述部件承载件(390)的至少一部分之上。

具有阻抗匹配的互连结构的电子组件和电子系统

技术领域

[0001] 本发明大体上涉及电子组件的技术领域,其中,至少两个半导体芯片(a)彼此互连以及(b)与形成在承载件处或承载件内的其他导体结构连接。具体地,本发明涉及具有两个集成电路芯片的一种电子组件,两个集成电路芯片以面对面的方式安装在互连承载件结构的两个相反侧处。此外,本发明涉及一种包括这样的电子组件的电子系统。

背景技术

[0002] 多年来,在电子制造领域,对实现增多具有减小的结构形状的电子组件的产品功能存在持续的需求。随着电子组件小型化的持续增加,满足了这种需求。因此,通过例如,(i)较小的导体迹线和/或(ii)允许“三维”内的布线电路的多层结构,不仅可以增加芯片封装件内部的半导体芯片和集成电路(IC)结构的集成密度,而且可以增加其他部件诸如部件承载件和互连装置的集成密度。此外,存在其中电子部件嵌入在部件承载件诸如印刷电路板(PCB)内的(小型化)方法。

[0003] 芯片封装件内的小型IC结构需要连接至其他IC和/或连接至“外界”,诸如形成在部件承载件上或部件承载件处的导体路径或接触焊盘。特别是在高频(HF)应用中,为了避免由于阻抗跳跃引起的HF信号反射,通常需要具有从一端到另一端相同截面的小型互连。例如在许多过孔连接件中考虑到这样的不想要的阻抗跳跃,其中两个芯片之间的电接触通过全部或部分金属化的过孔实现,该完全或部分金属化的过孔已经在与多层部件承载件的层结构的平面的取向垂直的方向上被形成在多层部件承载件内。

[0004] 可能需要改善包括至少两个半导体芯片的电子组件内的电特性。

发明内容

[0005] 根据本发明的第一方面,提供了一种电子组件,包括(a)互连承载件,该互连承载件包括电绝缘芯和形成在电绝缘芯处的至少两个导电层;(b)安装在互连承载件的第一侧处的第一集成电路芯片;(c)安装在互连承载件的第二侧处的第二集成电路芯片,其中,第二侧与第一侧相反;以及(d)互连结构,该互连结构将第一集成电路芯片与第二集成电路芯片电连接。根据本发明,电互连结构围绕绝缘芯延伸并且包括至少一个电导体路径,该电导体路径被设计成使得在第一集成电路芯片与第二集成电路芯片之间提供阻抗匹配。

[0006] 所描述的电子组件基于以下构思:通过形成在安装于互连承载件的相反表面处的两个集成电路芯片的对应电连接件——相应地为端子——之间延伸的适当(空间)设计的电导体路径,可以实现这两个集成电路芯片之间的阻抗匹配互连。因此,为了提供电导体路径所需的阻抗,应该使用针对导体路径的适当空间尺寸。优选地,电导体路径的阻抗与第一集成电路芯片的输出阻抗和第二集成电路芯片的输入阻抗两者完全相同。然而,如果这些阻抗不匹配,则可以将电导体路径的阻抗选择成使得它在两个不同的阻抗之间。一般而言,电导体路径的阻抗值应当被选择成使得存在引起在两个集成电路芯片之间行进的高质量信号的最佳阻抗匹配。具体地,特别是对于高频(HF)应用,适当的阻抗匹配可以使在阻抗不

连续或阻抗跳跃的情况下的不想要的信号反射显著地减少。

[0007] 要提到的是,在以上描述的输出阻抗和输入阻抗之间没有(完美的)阻抗匹配的情况下,电导体路径可以被设计成使得它包括或引起至少两个较小的阻抗不连续,这与较少数量的(较大)阻抗不连续相比可能引起较少的信号反射。

[0008] 描述性地,所描述的电子组件可以为具有阻抗控制接口的“面对面”芯片互连提供“极端”封装方案。至少一些阻抗匹配电导体路径形成在互连承载件的表面处或表面上。因此,电子导体路径可以至少部分地由一个或多个所描述的导电层形成,该导电层本身形成在互连承载件的电绝缘芯处。

[0009] 在本文件中,术语“互连承载件”可以指代可以用作用于两个集成电路芯片的并且可选地用于另外的电子(半导体)部件的“安装基座”的任何结构。可以例如通过已知用于半导体应用的(硅)基板、层叠结构诸如(多层)印刷电路板(PCB)等来实现互连承载件。

[0010] 要提到的是,(至少)两个导电层二者形成在互连承载件的第一侧和第二侧处。这意味着两个导电层中的一个形成在第一侧处,并且两个导电层中的另一个形成在相反的第二侧上。

[0011] 要指出的是,所提到的第一侧和所提到的第二侧不是必须指代所描述的电子组件的平坦的表面。被分配至每侧的表面可以可选地包括芯片可以被容纳或嵌入其中的至少一个凹部或腔。

[0012] 互连承载件的绝缘芯可以由任何适当的介电材料,诸如树脂和/或玻璃纤维,所谓的预浸料或FR4材料制成。此外,可以采用如下所描述的所谓的高频(HF)材料。绝缘芯可以是单层材料或多层结构。具有交替顺序的电绝缘和导电层的多层结构也是可以的。层叠结构可以包括电绝缘芯和可选地其他绝缘层以及所描述的至少两个导电层,它们可以特别地通过施加机械压力附接至彼此,如果需要则由热能支撑。在一些应用中,所描述的互连承载件可以提供能够为另外的电子部件提供大的安装表面且仍然非常薄且紧凑的板状部件承载件。另外的电子部件可以是(a)至少一个另外的集成芯片、(b)至少一个有源电子部件,诸如例如晶体管、和(c)至少一个无源电子部件,诸如电阻器、电容器或电感器。

[0013] 根据本发明的另外的实施方式,电导体路径围绕绝缘芯的至少一个边缘形成。这意味着电导体路径可以被视为“边缘镀覆信号传输径迹(track,迹线)”,该“边缘镀覆信号传输径迹”允许在两个集成电路芯片之间延伸(不是笔直的)的导体路径上有小的或可忽略量的不想要的信号反射。此外,围绕绝缘芯的边缘或整个互连承载件的边缘形成电导体路径可以提供以下优点:可获得足够量的空间,其中电导体路径可以在空间上被设计成使得将会实现所期望的阻抗匹配。

[0014] 根据本发明的另外的实施方式,电导体路径包括至少两个导体径迹。这可以提供以下优点:(HF)信号可以在两个集成电路芯片之间以高信号质量传输。因此,两个导体径迹中的一个可以用于承载信号,并且两个导体径迹中的另一个可以用于接地(GND)。取决于两个导体径迹之间的空间关系,用于GND的导体径迹可以用作屏蔽结构,使得可以实现所描述的电子组件的高电磁兼容性(EMC)。这既适用于由电子组件发射的电磁辐射,也适用于由电导体路径从“外界”无意捕获的电磁辐射。发射的电磁辐射可能危害其他电子装置。捕获的电磁辐射可能危害所描述的电子组件的运行,特别是当用于HF应用时和/或当捕获HF电磁辐射时。

[0015] 根据本发明的另外的实施方式,通过分层结构实现至少两个导体径迹,其中在两个导体径迹之间形成绝缘层。因此,分层结构可以是“夹层结构”,其中绝缘层插入两个导体径迹中,相应地形成在两个导体径迹之间。这可以提供以下优点:可以以容易的方式实现上述的高信号质量以及增强的电磁兼容性。

[0016] 要提到的是,通过在绝缘芯处形成上述至少两个导电层——如果这些传导层以适当的方式被结构化相应地被图案化——则可以实现两个导体径迹中的至少一个。

[0017] 根据本发明的另外的实施方式,电子组件还包括将第一集成电路芯片与第二集成电路芯片连接的另外的互连结构,其中,另外的互连结构延伸通过在第一集成电路芯片与第二集成电路芯片之间的重叠区域中的绝缘芯并且包括至少一个另外的电导体路径。(除了围绕至少电绝缘芯的边缘形成的互连结构之外)这还可以提供在两个集成电路芯片之间建立另外的非常短的电连接的优点。这样的短的芯片间连接可以用于例如功率信号,这些功率信号由于另外的互连结构的短的长度,分别遭受相应地经历仅小的阻尼。此外,特别是对于HF应用,短的另外的电导体路径在EMC的背景下也是有利的。

[0018] 根据本发明的另外的实施方式,至少一个另外的电导体路径被设计成使得提供了第一集成电路芯片与第二集成电路芯片之间的另外的阻抗匹配。

[0019] 同样,可以通过选择至少一个另外的电导体路径的适当的空间设计和/或适当空间尺寸来实现另外的阻抗匹配。因此,可以通过选择适当的截面面积来选择另外的电导体路径的适当阻抗。这意味着除了有利的功率传输能力之外,还可以实现至少近似阻抗匹配,这特别地对于HD应用是有利的。

[0020] 要提到的是,互连结构,相应地,至少一个电导体路径的多级阻抗不连续的以上描述的方面也适用于另外的互连结构,相应地,另外的电导体路径。

[0021] 根据本发明的另外的实施方式,另外的互连结构包括至少一个金属化过孔连接件。穿过电绝缘芯的这样的过孔连接件可以称作直接竖向过孔连接件。依靠众所周知的过孔成型和过孔金属化技术可以提供以下优点:可以以简单且可靠的方式实现另外的互连结构。

[0022] 取决于具体应用,过孔的形成可以通过机械钻孔和/或激光钻孔来完成。此外,过孔的金属化可以通过侧壁金属化或完全(过孔填充)金属化来实现。在这方面,明显的是,与仅过孔侧壁金属化相比,完全的金属化产生相应的另外的电导体路径的较大的截面。这也适用于具有不同厚度的侧壁的金属化。结果,通过使用用于过孔连接件的金属的量的变化,可以选择适当的阻抗值。当然,过孔的直径也是针对另外的电导体路径的期望阻抗值的重要参数。

[0023] 优选地,利用铜来实现至少一个过孔的金属化,铜是相对便宜、具有非常高的导电性的材料,这特别地对于高功率应用是有利的。然而,取决于具体应用,也可以使用其他适当的(传导)金属。

[0024] 在一些实施方式中,金属化过孔连接件沿其穿过互连承载件的延伸部包括恒定的截面。在其他实施方式中,金属化过孔连接件沿其穿过互连承载件的延伸部包括变化的截面。

[0025] 如上已经提到,另外的电导体路径的截面对其阻抗值具有重要影响。在恒定截面——该恒定截面可以特别地在使用机械过孔钻孔时——的情况,实现沿着另外的电导体

路径的整个延伸部的恒定阻抗值。与此对照,变化的截面沿着另外的电导体路径产生变化的阻抗,这可以用于实现特别是从被分配至第一集成电路芯片(的输出)的第一阻抗值到被分配至第二集成电路芯片(的输入)的第二阻抗值的持续更改的阻抗。

[0026] 根据本发明的另外的实施方式,金属化过孔连接件具有双截头锥的形状,其中被分配至互连承载件的第一侧的第一截头锥的尖端部分连接至被分配至互连承载件的第二侧的第二截头锥的尖端部分。在这方面,术语“尖端部分”可以特别指截头锥的具有最小(圆形)截面的端部。

[0027] 所描述的双截头锥形设计可以提供以下优点:可以为另外的电导体路径获得适当的功率传递能力。因此,为了最终获得适当的功率传递能力的阻抗值(分布),除了选择全部金属化或仅选择侧壁金属化之外,还可以选择相应的截头锥的直径、开口或顶角和/或高度。

[0028] 特别是通过激光钻孔可以实现双截头锥形状,其中第一截头锥通过第一激光束冲击在互连承载件的第一侧上形成,并且第二截头锥通过第二激光束冲击在互连承载件的第二侧上形成。

[0029] 根据本发明的另外的实施方式,另外的电导体路径包括以同轴构造实现的至少两个另外的导体径迹。因此,两个另外的导体径迹中的第个导体径迹可以是内导体,并且两个另外的导体径迹中的另一个导体径迹可以是以同轴或同心的方式围绕内导体(径迹)的外导体。在内导体和外导体之间可以设置电绝缘或介电材料。因此,以已知的方式,第一内(另外的)导体(径迹)的直径、第二外(另外的)导体(径迹)的直径和在两个另外的导体径迹之间设置的材料的介电常数是用于以同轴构造实现的另外的电导体路径的阻抗的相关参数。

[0030] 可以通过(机械和/或激光)钻孔来实现另外的电导体路径的同轴构造。因此,首先可以在互连承载件内形成具有大直径的大过孔。其次,大过孔优选地通过已知的金属化程序不是完全金属化,而是仅在其侧壁上金属化。第三,将介电材料填充到大过孔中。第四,通过在大过孔内通过穿透(填充的)介电材料同心地钻出具有小直径的小过孔。第五,通过已知的金属化程序再次将小过孔完全金属化或仅在其侧壁处金属化。

[0031] 另外的导体径迹的同轴构造可以沿着至少近似直线延伸穿过第一集成电路芯片与第二集成电路芯片之间的互连承载件。然而,取决于空间约束,另外的互连结构还可以包括具有至少一个角部(和至少两条直线)的空间路线。

[0032] 此外,要提到的是,另外的互连结构可以包括直接将两个集成电路芯片彼此连接的至少一个另外的导体路径。可替换地,可以提供至少一个另外的导体路径,该至少一个另外的导体路径通过对相应的另外的导体路径的有效阻抗值有影响的电或电子部件间接地连接的两个集成电路芯片。

[0033] 根据本发明的另外的实施方式,电子组件还包括嵌入在互连承载件内并且电连接至第一集成电路芯片和第二集成电路芯片中的至少一个的电子部件。

[0034] 所描述的电子部件可以是无源电子部件或有源电子部件。优选地,无源电子部件是或包括电阻器、电容器和/或电感器。此外,无源电子部件也可以是磁性部件诸如铁氧体,通过该磁性部件,可以以期望的方式调节或更改相应的另外的电导体路径的阻抗值或阻抗分布。此外,通过电容器,也可以稳定用于第一集成电路芯片和/或用于第二集成电路芯片的电源。为此目的,电容器应当被已定位成接近或至少靠近相应的集成电路芯片。

[0035] 根据本发明的另外的实施方式,电子组件包括以下特征中的至少一个:

[0036] (A) 互连承载件的绝缘芯和/或其他绝缘结构包括由以下构成的组中的至少一个:硅;玻璃;陶瓷以及有机电介质,特别是树脂、还特别是增强或非增强树脂,例如环氧树脂或双马来酰亚胺-三嗪树脂、FR-4、FR-5;氰酸酯;聚亚苯基衍生物;预浸材料;聚酰亚胺;聚酰胺;液晶聚合物;环氧基积层膜;聚四氟乙烯和金属氧化物。

[0037] (B) 电子组件特别是互连结构和/或另外的互连结构的至少两个导电层和/或其他导电材料包括由下述构成的组中的至少一种:铜、铝、镍、银、金、钯和钨,任何上述材料可选地涂覆有超导材料诸如石墨烯。

[0038] (C) 电子组件包括特别是嵌入到互连承载件中和/或表面安装在互连承载件上的至少一个部件,其中,所述至少一个部件特别是选自由下述构成的组:电子部件、不导电嵌体和/或导电嵌体、热传递单元、能量收集单元、有源电子部件、无源电子部件、电子芯片、存储装置、滤波器、集成电路、信号处理部件、功率管理部件、光电接口元件、电压转换器、加密部件、发射器和/或接收器、机电换能器、致动器、微机电系统、微处理器、电容器、电阻器、电感、累加器、开关、相机、天线、磁性元件、光引导元件、另外的部件承载件以及逻辑芯片。

[0039] (D) 互连承载件被成形为板状。

[0040] (E) 互连承载件被构造为印刷电路板或基板。

[0041] 在本上下文中,术语“成形为板状”可以意味着互连承载件以平面或平坦设计实现。因此,当然,互连承载件具有一定的厚度。实现处于板的形状的互连承载件可以提供以下优点:可以提供用于在其上安装(其他)部件的大基座。

[0042] 此外,术语“印刷电路板”(PCB)可以特别地指可以是板状的、例如当使用3D打印制造时是三维曲面的、或者可以具有任何其他形状的部件承载件。PCB可以通过将若干导电层结构与若干电绝缘层结构层叠来实现,上述实现过程例如通过施加压力,如果需要伴随有热能的供应。作为用于PCB技术的优选材料,导电层结构由铜制成,而电绝缘层结构可以包括树脂和/或玻璃纤维、所谓的预浸料或FR4材料。通过形成穿过层叠体的通孔,例如通过激光钻孔或机械钻孔,并且通过用导电材料(特别地铜)填充这些通孔,由此形成作为通孔连接的过孔,来使各个导电层结构可以以期望的方式连接至彼此。除了可以嵌入在PCB的一个或多个部件之外,PCB通常被构造成在一个或两个相反表面上容纳一个或多个部件。部件可以通过焊接连接至相应的主表面。PCB的介电部分可以由具有加强纤维(诸如玻璃纤维)的树脂构成。

[0043] 在本申请的上下文中,术语“基板”可以特别地指与待安装在其上的第一集成电路芯片和/或第二集成电路芯片具有大致相同的大小的小型部件承载件。更具体地,基板可以理解为用于电连接或电网络的承载件以及与印刷电路板(PCB)相当的部件承载件,然而具有显著较高密度的横向和/或竖向布置的连接件。横向连接件例如为传导路径,而竖向连接件可以为例如金属化钻孔。这些横向和/或竖向连接件布置在基板内,并且可以用于提供所容置的部件或未容置的部件(诸如裸晶片)与PCB或中间PCB的电连接和/或机械连接。因此,术语“基板”还包括“IC基板”。基板的介电部分可以由具有增强球体(诸如玻璃球)的树脂构成。

[0044] 根据本发明的另外的方面,提供了一种电子系统,包括(a) 部件承载件;(b) 如上所述的电子组件,其中第一集成电路芯片和/或第二集成电路芯片与部件承载件的导体路径

和/或端子焊盘电连接。

[0045] 所描述的电子系统基于以下构思:通过将以上描述的电子组件安装和电连接在部件承载件处或安装和电连接至部件承载件,可以以紧凑的设计实现高度集成的电子装置。因此,部件承载件可以是能够配备有电子部件的任何结构,使得“借助”导体路径,建立具有期望的电或电子功能的电子电路。部件承载件可以是本文件中上面指定的PCB。

[0046] 第一集成电路芯片和/或第二集成电路芯片可以直接安装至部件承载件。这样的构造可以例如通过所谓的“直接板附接”概念来实现。

[0047] 根据本发明的另外的实施方式,部件承载件包括腔,电子组件部分地容纳在该腔中。特别地,第一集成电路芯片和第二集成电路芯片中的一个完全容纳在腔内,并且互连承载件安装至部件承载件的表面。

[0048] 在该实施方式中,互连承载件不仅可以与部件承载件建立机械连接。在互连承载件和部件承载件(横向区域)之间、围绕和/或位置靠近腔的部件承载件部分处也可以存在电连接。

[0049] 在该实施方案中描述的腔可以是所谓的敞开腔,该敞开腔的厚度小于500 μm ,优选小于250 μm ,并且更优选小于100 μm 。

[0050] 敞开腔可以形成在分层PCB内,其中嵌入的释放层嵌体在空间上受限于其中将要形成腔的区域。通过在嵌入的释放层嵌体的区域内切割PCB的至少一个顶层,产生至少一个顶层的切口,该切口可以与释放层嵌体一起被移除以形成腔。申请人将利用其可以形成非常薄的腔的这种程序称为所谓的2.5D技术(参见申请人的网站:<http://ats.net/products-technology/technology/2-5d-technology-platform/>)。

[0051] 根据本发明的另外的实施方式,部件承载件包括腔,电子组件完全地容纳在该腔中。因此,特别地,第一集成电路芯片和第二集成电路芯片中的至少一个的表面与部件承载件的表面对准。这可以提供以下优点:一方面,电子系统可以以紧凑的设计实现,其中电子组件的大多数部件由部件承载件机械地保护免受外部影响,否则可能对电子组件造成损坏。另一方面,通过将集成电路芯片的表面与部件承载件的对应表面对准,整个系统易于接近,使得特别是可以容易地提供“至外界”的电连接。

[0052] 部件承载件可以是例如PCB。可替换地,部件承载件可以是具有用于容纳电子组件的适当大小或尺寸的开口的模具。

[0053] 根据本发明的另外的实施方式,电子系统还包括形成在电子组件的至少一部分之上和部件承载件的至少一部分之上的模制结构。这可以提供以下优点:简单地通过利用众所周知的模制技术、模制程序和模制材料,可以以容易的方式实现电子组件的机械保护。优选地,模制结构与部件承载件一起完全包封电子组件。因此,两个集成电路芯片中的一个嵌入在腔内,而互连承载件利用其横向部分放置在部件承载件的表面上或表面。结果,两个集成电路芯片中的另一个的位置在部件承载件的外部。结果,模制结构保护部件承载件的一些部分。然而,可能最重要的是模制结构用于机械地保护两个集成电路芯片中的另一个的保护能力。

[0054] 必须注意,已经参考不同的主题描述了本发明的实施方式。然而,本领域技术人员将从以上和以下描述中得知,除非另有注明,否则除了属于一种类型主题的特征的任何组合之外,还将与不同主题相关的特征之间的任何组合视为与本文件一同被公开。

[0055] 根据下文描述的实施方式的实施例,本发明的以上定义的方面和另外的方面变得明显,并且参考实施方式的实施例对这些方面进行说明。下文将参照实施方案的实施例更详细地描述本发明,但本发明并不受限于此。

附图说明

[0056] 图1示出了具有两个集成电路芯片的电子组件,两个集成电路芯片分别面对面地安装在互连承载件的一侧处并且通过阻抗匹配互连结构彼此电连接。

[0057] 图2示出了具有由绝缘层分开的两个导体径迹的电导体路径的放大图,其中,电导体路径形成在图1所示的互连承载件的绝缘芯的边缘处。

[0058] 图3示出了一种包括部件承载件和安装在该部件承载件处的图1的电子组件的电子系统。

[0059] 图4示出了包括用于保护电子组件的模制结构的电子系统。

[0060] 图5a和图5b以截面视图示出了电导体路径,该电导体路径以具有内导体和外导体的同轴构造实现,该内导体和外导体通过绝缘材料彼此分开。

[0061] 图6示出了包括完全嵌入在部件承载件内的电子组件的电子系统。

具体实施方式

[0062] 附图中的图示是示意性的。应注意,在不同的图中,相似或相同的元件或特征设置有相同的附图标记或设置仅有在首位数字与对应的附图标记不同的附图标记。为了避免不必要的重复,关于前面描述的实施方式已经阐明的元件或特征在说明书的稍后部分不再阐明。

[0063] 此外,空间相对术语,诸如“前”和“后”、“上”和“下”、“左”和“右”等用于描述如图中所示的元件与另一元件的关系。因此,空间相对术语在使用时可以应用至与附图中描绘的取向不同的取向。显然,所有这样的空间相对术语仅仅是为了便于描述而参考图中所示的取向,并且不一定是限制性的,因为根据本发明的实施方式的电子组件或电子系统在使用时可以采用与图中所示的那些取向不同的取向。

[0064] 图1示出了电子组件120,该电子组件包括互连承载件130和两个集成电路芯片——第一集成电路芯片122和第二集成电路芯片124。第一集成电路芯片122安装至互连承载件130的上部表面或第一侧130a。第二集成电路芯片124安装至互连承载件130的下部表面或第二侧130b。

[0065] 互连承载件130包括绝缘芯132和形成在该绝缘芯上的传导层结构134。在第二部位130b处形成若干接触焊盘136,以使电子组件120与外部部分诸如例如印刷电路板(PCB)或其他(相对较大的)电子装置或电力装置接触。

[0066] 如从图1可以看出,传导层结构134也形成在绝缘芯132的两个边缘132a处。因此,传导层结构134在结构上被相应地图案化成使得形成至少一个电导体路径150。该至少一个电导体路径150形成电互连结构140的一部分,该电互连结构的一部分将第一集成电路芯片122的至少一些接触端子与第二集成电路芯片124的至少一些接触端子电连接。

[0067] 电互连结构140,相应地,该互连结构140的电导体路径150被(空间地)设计成使得为在第一集成电路芯片122与第二集成电路芯片124之间行进的信号提供了阻抗匹配。

[0068] 为了说明根据本文描述的実施方式的信号路径150的空间设计,在互连承载件130的右侧处示出了(在图1中)由“II”命名的圆。图2以放大视图示出了该圆II。如从该图2可以看出,导体路径150包括通过绝缘层256彼此分开的两个导体径迹252和254。通过选择例如两个导体径迹252、254和绝缘层256的适当厚度,可以选择用于电导体路径150的期望的阻抗值。当然,根据基本物理原理,绝缘层256的电常数也会对阻抗产生影响。

[0069] 回到图1。根据本文描述的実施方式,第一集成电路芯片122与互连承载件130的附接以及第二集成电路芯片124与该互连承载件的附接通过多个热压粘合元件142实现。热压粘合技术是本领域技术人员公知的,并且在本文件不再进一步详细阐明。

[0070] 在本文描述的実施方式中,在两个集成电路芯片122、124中的每个与互连承载件130的相应表面之间提供间隔。要提到的是,例如通过使用其他公知的技术来将集成电路芯片122、124附接至互连承载件130,与图1中所描绘的尺寸相比,也可以选择较大或较小的间隔。还可以将两个集成电路芯片122、124中的至少一个直接附接至互连承载件130。在这种情况下,不会存在这样的间隔。

[0071] 用于实现互连结构140的适当阻抗值的另外的可选措施是嵌入的无源部件138,该嵌入的无源部件与互连结构140连接或形成互连结构140的一部分。根据本文所描述的実施方式,该无源部件是电容器138。明显的是,这样的电容器138(以及例如电感器)对相应的电导体路径150的阻抗值有影响并且还对整个互连结构140有影响。

[0072] 要指出的是,电容器138也可以用于稳定用于集成电路芯片的直流(DC)电源。在本文描述的実施方式中,电容器138使用于第二集成电路芯片124的电源稳定。当然,至少一个另外的电容器也可以出于相同的目的用于第一集成电路芯片122。就此,要提到的是,当电容器138被定位成尽可能靠近相应的集成电路芯片时,可以实现良好的稳定性。

[0073] 如从图1可以看出,在本文描述的実施方式中,存在使集成电路芯片122、124彼此连接的另外的互连结构160。另外的互连结构160通过若干过孔连接件实现,过孔连接件笔直延伸通过互连承载件130,相应地,通过互连承载件130的绝缘芯132。这意味着另外的互连结构160提供两个集成电路芯片122、124的对应连接之间的最短电连接。

[0074] 具体地,另外的互连结构160包括分别通过柱形金属化过孔连接件实现的两个另外的电导体路径171和173。因此,金属化可以完全填充柱形过孔,或者可以仅设置在相应柱形过孔的侧壁处。柱形过孔可以通过已知的机械钻孔程序形成。此外,根据本文描述的実施方式,另外的互连结构160包括具有双截头锥形状的(另外的)另外的导体路径172。互连承载件130内的这种金属化过孔结构172可以通过已知的激光钻孔程序形成,其中,第一截头锥172a通过第一激光束冲击在互连承载件130的第一侧130a上形成,并且第二截头锥172b通过第二激光束冲击在互连承载件130的第二侧130b上形成。

[0075] 要指出的是,另外的互连结构160也可以在空间上被设计成使得提供了两个集成电路芯片122和124之间的适当阻抗匹配。这样的阻抗匹配可以例如通过选择另外的电导体路径171、172、173的适当直径来实现。因此,可以为柱形金属化过孔连接件171和173选择适当的恒定直径。适当变化的直径——沿着通过互连承载件130的另外的电导体路径172的延伸部进行变化——也可以用于阻抗匹配。

[0076] 此外,如从图5a和图5b可以看出,另外的电导体路径171、172、173也可以利用形成同轴的另外的电导体路径570的两个同心过孔金属化实现。因此,在(较大的)过孔内,提供

了代表外导体574的第一敷金属(metallization,金属镀覆、镀金属)并且(较小的)过孔被全部金属化(参见图5a)或仅在其侧壁(参见图5b)处金属化,使得形成内导体572。在外导体574与内导体572之间提供了绝缘材料576。以上已经阐明了用于形成这样的同轴的另外的电导体路径570的对应程序及其步骤。

[0077] 图3示出了包括部件承载件390和电子组件120的电子系统300。部件承载件390可以是例如印刷电路板(PCB)。然而,至少在本文中,任何其他结构,例如,基板、层叠体等也代表部件承载件(因为这样的结构也承载(第二)集成电路芯片124)。

[0078] 如从图3可以看出,部件承载件390包括腔392。腔392是所谓的敞开腔,其可以通过从部件承载件390的预制品切出材料来形成。因此,可以从部件承载件390的预制品的至少一个(未描绘的)绝缘层和可选地部件承载件390的预制品的至少一个(未描绘的)金属层取出相应的切出材料。为了实现腔392,可以使用被称为2.5D技术的上述程序。

[0079] 在本文描述的实施方式中,电子组件120部分地容纳在腔392内。具体地,腔392的大小被选择成使得:一方面,下部第二集成电路芯片124容纳在腔392中并且互连承载件130的边缘区域可以放置在部件承载件390的顶部表面上,其中可选地,可以在互连承载件130和部件承载件390之间证实电接触结构394。

[0080] 图4示出了一种电子系统,该电子系统与图3中所示的电子系统的不同之处仅在于,围绕互连承载件130且特别是围绕上部第一集成电路芯片122设置了模制结构494。如以上已经描述的那样,模制结构494特别地为电子组件120提供机械保护。

[0081] 图6示出了包括如图1中所描绘的电子组件120的电子系统600。与图4中所示的实施方式相对照,电子组件120完全嵌入在部件承载件690内。再次,部件承载件690可以是PCB或任何能够容纳电子组件120的结构。

[0082] 电子系统600可以通过模制电子组件120和/或通过提供适当层叠结构来形成,该适当层叠结构包括用于电子组件120的各个部分的不同腔或开口。因此,在将电子组件120插入适当形状的开口中之后,可以用已知的方式用适当的填充材料填充剩余的开口空间。

[0083] 应当注意,术语“包括”不排除其他元件或步骤,并且冠词“一(a)”或“一(an)”的使用不排除多个。同样,结合不同实施方式描述的元件可以组合。还应注意,权利要求中的附图标记不应理解为限制权利要求的范围。

[0084] 附图标记列表

[0085] 120 电子组件

[0086] 122 第一集成电路芯片

[0087] 124 第二集成电路芯片

[0088] 130 互连承载件

[0089] 130a 互连承载件的第一侧

[0090] 130b 互连承载件的第二侧

[0091] 132 绝缘芯

[0092] 132a 绝缘芯的边缘

[0093] 134 传导层结构

[0094] 136 接触焊盘

[0095] 138 嵌入的部件/电容器

- [0096] 140 互连结构
- [0097] 142 热压粘合元件
- [0098] 150 电导体路径
- [0099] 160 另外的互连结构
- [0100] 171 另外的电导体路径/金属化过孔连接件(柱形的)
- [0101] 172 另外的电导体路径/金属化过孔连接件(双截头锥)
- [0102] 172a 第一截头锥
- [0103] 172b 第二截头锥
- [0104] 173 另外的电导体路径/金属化过孔连接件(柱形的)
- [0105] 252 第一导体径迹
- [0106] 254 第二导体径迹
- [0107] 256 绝缘层
- [0108] 300 电子系统
- [0109] 390 部件承载件(具有部分嵌入的电子组件)
- [0110] 392 腔
- [0111] 394 接触结构
- [0112] 400 电子系统
- [0113] 494 模制结构
- [0114] 570a/b 同轴的另外的电导体路径
- [0115] 572 内导体
- [0116] 574 外导体
- [0117] 576 绝缘材料
- [0118] 600 电子系统
- [0119] 690 部件承载件/嵌入结构(具有完全嵌入的电子组件)。

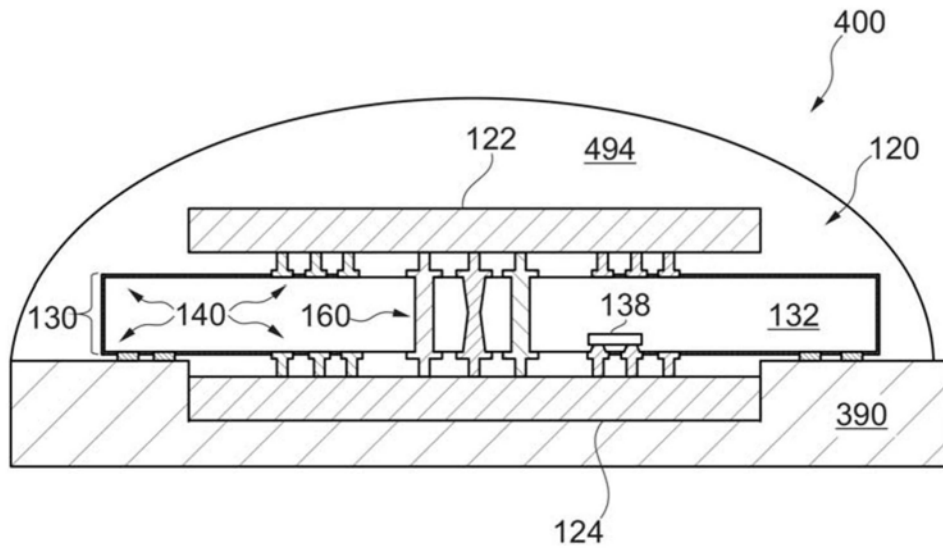


图4

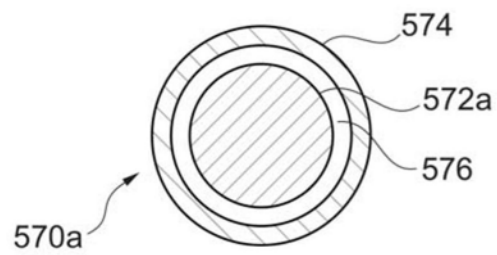


图5a

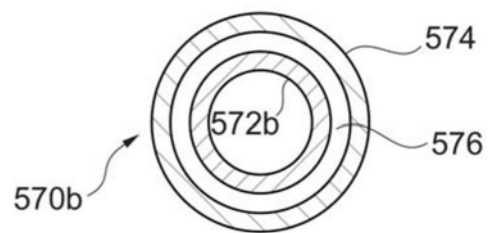


图5b

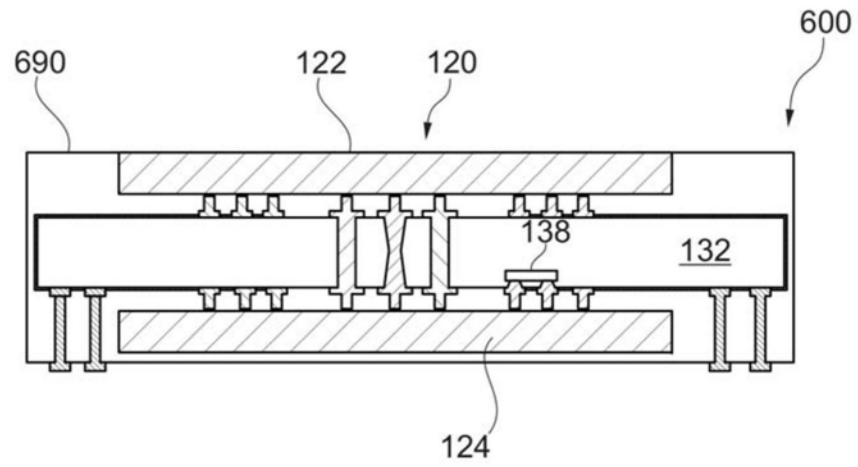


图6