



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0020582  
(43) 공개일자 2013년02월27일

(51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01) *H01L 21/336* (2006.01)  
(21) 출원번호 10-2012-0088767  
(22) 출원일자 2012년08월14일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2011-178799 2011년08월18일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398  
(72) 발명자  
오카자키 겐이치  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
와타나베 마사히로  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
마시야마 미츠오  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인  
장훈

전체 청구항 수 : 총 17 항

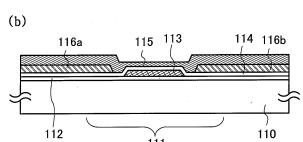
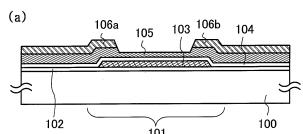
(54) 발명의 명칭 반도체 장치

### (57) 요 약

본 발명은 도전성이 높은 산화물 반도체층을 포함한 산화물 반도체 트랜지스터를 제공한다.

인듐, 갈륨, 및 아연을 함유한 산화물(IGZO) 및 산화인듐의 입자를 포함한 산화물 반도체층과, 상기 산화물 반도체층의 채널 형성 영역과, 게이트 절연막을 개재하여 중첩된 게이트 전극과, 상기 산화물 반도체층의 소스 영역 및 드레인 영역과 중첩된 소스 전극 및 드레인 전극을 포함한 반도체 장치에 관한 것이다. 상기 반도체 장치는 톱 게이트형 산화물 반도체 트랜지스터 및 보텀 게이트형 산화물 반도체 트랜지스터 중 어느 쪽이라도 좋다. 또한, 상기 산화물 반도체층은 소스 전극 및 드레인 전극 위에 형성되어 있어도 좋고, 소스 전극 및 드레인 전극 아래에 형성되어 있어도 좋다.

### 대 표 도 - 도1



## 특허청구의 범위

### 청구항 1

반도체 장치에 있어서,

인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함하는 산화물 반도체층과;

게이트 절연막을 개재하여 상기 산화물 반도체층의 채널 형성 영역과 중첩된 게이트 전극과;

상기 산화물 반도체층의 소스 영역 및 드레인 영역과 중첩된 소스 전극 및 드레인 전극을 포함하는, 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 산화물 반도체층은 상기 채널 형성 영역에 인접된 오프셋 영역을 포함하는, 반도체 장치.

### 청구항 3

제 1 항에 있어서,

상기 산화물 반도체층 아래에 기판과 하지 절연막을 더 포함하는, 반도체 장치.

### 청구항 4

반도체 장치에 있어서,

게이트 전극과;

상기 게이트 전극을 덮는 게이트 절연막과;

인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함하고 상기 게이트 절연막을 개재하여 상기 게이트 전극과 중첩되는 산화물 반도체층과;

상기 산화물 반도체층의 소스 영역 및 드레인 영역 위의 소스 전극 및 드레인 전극을 포함하는, 반도체 장치.

### 청구항 5

제 4 항에 있어서,

상기 산화물 반도체층은 채널 에치형 트랜지스터에 포함되는, 반도체 장치.

### 청구항 6

제 4 항에 있어서,

상기 산화물 반도체층은 채널 보호형 트랜지스터에 포함되는, 반도체 장치.

### 청구항 7

제 4 항에 있어서,

상기 게이트 전극 아래에 기판과 하지 절연막을 더 포함하는, 반도체 장치.

### 청구항 8

반도체 장치에 있어서,

게이트 전극과;

상기 게이트 전극을 덮는 게이트 절연막과;

상기 게이트 절연막 위의 소스 전극 및 드레인 전극과;

인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함하고 상기 게이트 절연막을 개재하여 상기 게이트 전극 위에 위치하고 상기 소스 전극 및 상기 드레인 전극 위에 위치하는 산화물 반도체층을 포함하는, 반도체 장치.

#### 청구항 9

제 8 항에 있어서,

상기 산화물 반도체층은 채널 에치형 트랜지스터에 포함되는, 반도체 장치.

#### 청구항 10

제 8 항에 있어서,

상기 산화물 반도체층은 채널 보호형 트랜지스터에 포함되는, 반도체 장치.

#### 청구항 11

제 8 항에 있어서,

상기 게이트 전극 아래에 기판과 하지 절연막을 더 포함하는, 반도체 장치.

#### 청구항 12

반도체 장치에 있어서,

인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함하는 산화물 반도체층과;

상기 산화물 반도체층의 소스 영역 및 드레인 영역 위의 소스 전극 및 드레인 전극과;

상기 산화물 반도체층, 상기 소스 전극, 상기 드레인 전극을 덮는 게이트 절연막과;

상기 게이트 절연막을 개재하여 상기 산화물 반도체층의 채널 형성 영역 위의 게이트 전극을 포함하는, 반도체 장치.

#### 청구항 13

제 12 항에 있어서,

상기 산화물 반도체층은 상기 채널 형성 영역에 인접된 오프셋 영역을 포함하는, 반도체 장치.

#### 청구항 14

제 12 항에 있어서,

상기 산화물 반도체층 아래에 기판과 하지 절연막을 더 포함하는, 반도체 장치.

#### 청구항 15

반도체 장치에 있어서,

소스 전극 및 드레인 전극과;

상기 소스 전극 및 상기 드레인 전극 위의 산화물 반도체층으로서, 인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함하고 상기 소스 전극 및 상기 드레인 전극과 중첩되는 소스 영역 및 드레인 영역을 포함하는, 상기 산화물 반도체층과;

상기 산화물 반도체층을 덮는 게이트 절연막과;

상기 게이트 절연막을 개재하여 상기 산화물 반도체층의 채널 형성 영역 위의 게이트 전극을 포함하는, 반도체 장치.

#### 청구항 16

제 15 항에 있어서,

상기 산화물 반도체층은 상기 채널 형성 영역에 인접된 오프셋 영역을 포함하는, 반도체 장치.

### 청구항 17

제 15 항에 있어서,

상기 산화물 반도체층 아래에 기판과 하지 절연막을 더 포함하는, 반도체 장치.

## 명세서

### 기술 분야

[0001]

기재되는 발명의 일 형태는 반도체 장치에 관한 것이다.

### 배경기술

[0002]

최근, 산화물 반도체를 사용하여 트랜ジ스터를 제작하고 전자 디바이스나 광 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 특히 문헌 1 및 특히 문헌 2에는 산화물 반도체로서 In(인듐), Ga(갈륨), Zn(아연)을 함유한 산화물(이하에서 ‘IGZO’라고 부름)을 사용하여 형성한 트랜ジ스터를 사용하여 표시 장치를 제작하는 기술이 기재되어 있다.

### 선행기술문헌

#### 특허문헌

[0003]

(특허문헌 0001) 일본 특개2007-123861호 공보

(특허문헌 0002) 일본 특개2007-96055호 공보

### 발명의 내용

#### 해결하려는 과제

[0004]

IGZO는 도전성이 낮으므로 활성층에 IGZO를 사용한 산화물 반도체 트랜ジ스터는 예를 들어 온 전류가 낮다는 점이 우려된다.

[0005]

기재되는 발명의 일 형태에서는 상술한 점을 감안하여 도전성이 높은 산화물 반도체층을 포함한 산화물 반도체 트랜ジ스터를 제공하는 것을 과제 중 하나로 한다.

#### 과제의 해결 수단

[0006]

기재되는 발명의 일 형태는 인듐, 갈륨, 및 아연을 함유한 산화물(IGZO) 및 산화인듐의 입자를 포함한 산화물 반도체층과, 게이트 절연막을 개재(介在)하여 상기 산화물 반도체층의 채널 형성 영역과 중첩된 게이트 전극과, 상기 산화물 반도체층의 소스 영역 및 드레인 영역과 중첩된 소스 전극 및 드레인 전극을 포함한 것을 특징으로 하는 반도체 장치에 관한 것이다.

[0007]

기재되는 발명의 일 형태에서 산화물 반도체층은 IGZO를 구성하는 일부의 인듐과 산소가 결합함으로써 IGZO 내에 산화인듐( $In_2O_3$ )의 결정체가 입자로서 존재하는 산화물 반도체층이다.

[0008]

산화인듐은 에너지 갭이 2.8eV이며 절연체에 가까운 반도체다. IGZO를 구성하는 일부의 인듐과 산소가 결합하여 절연체에 가까운 산화인듐의 입자가 형성되면, 상기 IGZO에서 전하 분포가 불균일하게 된다. 즉 IGZO에서 산화인듐의 입자는 절연체에 가깝고, 산화인듐의 입자를 형성하기 위하여 인듐과 산소가 뽑아진 부분은 다른 부분보다 도전성이 높다. 또한, 산화인듐의 입자는 산화물 반도체층 내에 흘어져 있으므로 캐리어의 이동을 방해하지 않는다. 상술한 이유로 산화인듐의 입자가 IGZO 내에 존재하는 산화물 반도체층은 높은 도전성을 갖는다.

[0009]

따라서, 이러한 높은 도전성을 갖는 산화물 반도체층을 산화물 반도체 트랜ジ스터의 산화물 반도체층으로서 사

용하면 캐리어의 이동도가 향상되어 산화물 반도체 트랜지스터의 온 전류가 높게 된다.

[0010] 기재되는 발명의 일 형태는 게이트 전극과, 상기 게이트 전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 게이트 전극과 중첩되며 인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함한 산화물 반도체층과, 상기 산화물 반도체층의 소스 영역 및 드레인 영역 위에 제공된 소스 전극 및 드레인 전극을 포함한 것을 특징으로 하는 반도체 장치에 관한 것이다.

[0011] 기재되는 발명의 일 형태는 게이트 전극과, 상기 게이트 전극을 덮는 게이트 절연막과, 상기 게이트 절연막 위에 형성된 소스 전극 및 드레인 전극과, 상기 게이트 절연막을 개재하여 상기 게이트 전극 위 및 상기 소스 전극 및 드레인 전극 위에 형성된 인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함한 산화물 반도체층을 포함한 것을 특징으로 하는 반도체 장치에 관한 것이다.

[0012] 기재되는 발명의 일 형태는 인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함한 산화물 반도체층과, 상기 산화물 반도체층의 소스 영역 및 드레인 영역 위에 형성된 소스 전극 및 드레인 전극과, 상기 산화물 반도체층 및 상기 소스 전극 및 드레인 전극을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 산화물 반도체층의 채널 형성 영역 위에 형성된 게이트 전극을 포함한 것을 특징으로 하는 반도체 장치에 관한 것이다.

[0013] 기재되는 발명의 일 형태는 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 위에 소스 영역 및 드레인 영역이 중첩되도록 형성되며 인듐, 갈륨, 및 아연을 함유한 산화물 및 산화인듐의 입자를 포함한 산화물 반도체층과, 상기 산화물 반도체층을 덮는 게이트 절연막과, 상기 게이트 절연막을 개재하여 상기 산화물 반도체층의 채널 형성 영역 위에 형성된 게이트 전극을 포함한 것을 특징으로 하는 반도체 장치에 관한 것이다.

### 발명의 효과

[0014] 기재되는 발명의 일 형태에 의하여 도전성이 높은 산화물 반도체층을 포함한 산화물 반도체 트랜지스터를 제공할 수 있다.

### 도면의 간단한 설명

[0015] 도 1a 및 도 1b는 반도체 장치의 단면도.

도 2a 및 도 2b는 반도체 장치의 단면도.

도 3은 산화물 반도체층의 단면 TEM 사진.

도 4는 산화물 반도체층을 TEM-FFT로 해석한 결과를 도시한 도면.

도 5는 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 6은 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 7은 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 8은 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 9는 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 10은 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 11은 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

도 12는 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시한 도면.

### 발명을 실시하기 위한 구체적인 내용

[0016] 본 명세서에 기재되는 발명의 실시형태에 대하여 도면을 참조하여 이하에 설명한다. 다만, 본 명세서에 기재되는 발명은 많은 상이한 형태로 실시할 수 있고, 본 명세서에 기재된 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 도시된 도면에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일 부호를 붙이고 반복 설명은 생략한다.

- [0017] 또한, 본 명세서에 기재된 발명에서 반도체 장치란 반도체를 이용함으로써 기능하는 소자 및 장치 전반을 가리키고, 전자 회로, 표시 장치, 및 발광 장치 등을 포함한 전기 장치 및 그 전기 장치를 탑재한 전자 기기를 그 범주에 포함한다.
- [0018] 또한, 도면 등에 도시된 각 구성의 위치, 크기, 및 범위 등은 설명의 편의상 실제 위치, 실제 크기, 및 실제 범위 등을 나타낸 것이 아닌 경우가 있다. 따라서, 기재하는 발명은 반드시 도면 등에 기재된 위치, 크기, 및 범위 등에 한정되지 않는다.
- [0019] 또한, 본 명세서 등에 기재된 “제 1” “제 2” “제 3” 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙이는 것이고, 개수를 한정하는 것이 아닌 것을 부기한다.
- [0020] 도 1a 내지 도 2b에 본 실시형태의 산화물 반도체 트랜지스터의 구성을 도시하였다.
- [0021] 도 1a에 도시된 산화물 반도체 트랜지스터(101)는 기판(100) 위에 하지 절연막(102)이 형성되어 있고, 하지 절연막(102) 위에 형성된 게이트 전극(103)과, 하지 절연막(102) 및 게이트 전극(103)을 덮는 게이트 절연막(104)과, 게이트 절연막(104)을 개재하여 게이트 전극(103)과 중첩되며 활성층으로서 기능하는 산화물 반도체층(105)과, 산화물 반도체층(105)의 소스 영역 및 드레인 영역 위에 형성된 소스 전극 및 드레인 전극으로서 기능하는 전극(106a) 및 전극(106b)을 포함한다.
- [0022] 도 1a에 도시된 산화물 반도체 트랜지스터(101)는 게이트 전극(103)이 산화물 반도체층(105) 아래에 형성된 보텀 게이트형이며 또 소스 전극 및 드레인 전극으로서 기능하는 전극(106a) 및 전극(106b)이 산화물 반도체층(105) 위에 형성된 톱 콘택트형이다.
- [0023] 또한, 도 1a에 도시된 산화물 반도체 트랜지스터(101)는 산화물 반도체층(105)의 게이트 전극(103)과 중첩된 영역(즉 채널 형성 영역)의 막 두께가 예칭 등에 의하여 다른 영역의 막 두께보다 얇다. 이와 같이 채널 형성 영역의 막 두께가 얇은 트랜지스터를 채널 에치형 트랜지스터라고 부르기로 한다. 도 1a에 도시된 산화물 반도체 트랜지스터(101)는 채널 에치형 트랜지스터에 한정되지 않고 채널 형성 영역 위에 보호 절연막이 형성된 채널 보호형 트랜지스터라도 좋다.
- [0024] 도 1b에 도시된 산화물 반도체 트랜지스터(111)는 기판(110) 위에 하지 절연막(112)이 형성되어 있고, 하지 절연막(112) 위에 형성된 게이트 전극(113)과, 하지 절연막(112) 및 게이트 전극(113)을 덮는 게이트 절연막(114)과, 게이트 절연막(114) 위에 형성된 소스 전극 및 드레인 전극으로서 기능하는 전극(116a) 및 전극(116b)과, 게이트 절연막(114)을 개재하여 게이트 전극(113) 위 및 소스 전극 및 드레인 전극으로서 기능하는 전극(116a) 및 전극(116b) 위에 형성되며 활성층으로서 기능하는 산화물 반도체층(115)을 포함한다.
- [0025] 또한, 도 1b에서 소스 전극 및 드레인 전극으로서 기능하는 전극(116a) 및 전극(116b)은 게이트 전극(113)과 중첩되어 있지 않지만, 필요에 따라 전극(116a)의 일부 및 전극(116b)의 일부는 각각 게이트 절연막(114)을 개재하여 게이트 전극(113)과 중첩되어 있어도 좋다.
- [0026] 도 1b에 도시된 산화물 반도체 트랜지스터(111)는 게이트 전극(113)이 산화물 반도체층(115) 아래에 형성되어 있는 보텀 게이트형이며 또 소스 전극 및 드레인 전극으로서 기능하는 전극(116a) 및 전극(116b)이 산화물 반도체층(115)의 일부 아래에 형성된 보텀 콘택트형이다.
- [0027] 도 2a에 도시된 산화물 반도체 트랜지스터(201)는 기판(200) 위에 하지 절연막(202)이 형성되어 있고, 하지 절연막(202) 위에 형성되며 활성층으로서 기능하는 산화물 반도체층(203)과, 산화물 반도체층(203) 위에 형성된 소스 전극 및 드레인 전극으로서 기능하는 전극(204a) 및 전극(204b)과, 산화물 반도체층(203), 전극(204a) 및 전극(204b) 위의 게이트 절연막(206)과, 게이트 절연막(206)을 개재하여 산화물 반도체층(203)의 채널 형성 영역(209)과 중첩되는 위치에 형성된 게이트 전극(207)을 포함한다.
- [0028] 도 2a에 도시된 산화물 반도체 트랜지스터(201)는 게이트 전극(207)이 산화물 반도체층(203) 위에 형성되어 있는 톱 게이트형이며 또 소스 전극 및 드레인 전극으로서 기능하는 전극(204a) 및 전극(204b)이 산화물 반도체층(203) 위에 형성되어 있는 톱 콘택트형이다.
- [0029] 산화물 반도체층(203)에서 전극(204a) 및 전극(204b)과 중첩된 영역(208a) 및 영역(208b)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0030] 또한, 채널 형성 영역(209) 및 영역(208a) 사이에는 영역(211a)이 형성되어 있고, 채널 형성 영역(209) 및 영역(208b) 사이에는 영역(211b)이 형성되어 있고, 오프셋 영역으로서 기능한다.

- [0031] 도 2b에 도시된 산화물 반도체 트랜지스터(221)는 기판(220) 위에 하지 절연막(222)이 형성되어 있고, 하지 절연막(222) 위에 형성되며 소스 전극 및 드레인 전극으로서 기능하는 전극(224a) 및 전극(224b)과, 활성층으로서 기능하며 전극(224a) 및 전극(224b) 위에 각각 소스 영역 및 드레인 영역이 중첩되도록 형성된 산화물 반도체층(223)과, 산화물 반도체층(223), 전극(224a) 및 전극(224b) 위의 게이트 절연막(226)과, 게이트 절연막(226)을 개재하여 산화물 반도체층(223)의 채널 형성 영역(229)과 중첩된 위치에 형성된 게이트 전극(227)을 포함한다.
- [0032] 또한, 도 2b에서 소스 전극 및 드레인 전극으로서 기능하는 전극(224a) 및 전극(224b)은 게이트 전극(227)과 중첩되어 있지 않지만, 필요에 따라 전극(224a)의 일부 및 전극(224b)의 일부는 각각 산화물 반도체층(223) 및 게이트 절연막(226)을 개재하여 게이트 전극(227)과 중첩되어 있어도 좋다.
- [0033] 도 2b에 도시된 산화물 반도체 트랜지스터(221)는 게이트 전극(227)이 산화물 반도체층(223) 위에 형성되어 있는 톱 게이트형이며 또 소스 전극 및 드레인 전극으로서 기능하는 전극(224a) 및 전극(224b)이 산화물 반도체층(223) 아래에 형성된 보텀 콘택트형이다.
- [0034] 산화물 반도체층(223)에서 전극(224a) 및 전극(224b) 각각과 중첩된 영역(228a) 및 영역(228b)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0035] 또한, 채널 형성 영역(229) 및 영역(228a) 사이에는 영역(231a)이 형성되어 있고, 채널 형성 영역(229) 및 영역(228b) 사이에는 영역(231b)이 형성되어 있고, 오프셋 영역으로서 기능한다.
- [0036] 도 1a의 산화물 반도체 트랜지스터(101)의 산화물 반도체층(105), 도 1b의 산화물 반도체 트랜지스터(111)의 산화물 반도체층(115), 도 2a의 산화물 반도체 트랜지스터(201)의 산화물 반도체층(203), 도 2b의 산화물 반도체 트랜지스터(221)의 산화물 반도체층(223)은 IGZO 및 산화인듐의 입자를 포함한 산화물 반도체층이다.
- [0037] 상술한 바와 같이, IGZO 및 산화인듐의 입자를 포함한 산화물 반도체층이란 IGZO를 구성하는 일부의 인듐과 산소가 결합하여 산화인듐( $In_2O_3$ )의 결정체가 입자로서 IGZO 내에 존재하는 산화물 반도체층이다.
- [0038] 산화인듐은 에너지 갭이 2.8eV이며 절연체에 가까운 반도체다. IGZO를 구성하는 일부의 인듐과 산소가 결합하여 절연체에 가까운 산화인듐의 입자가 형성되면, 상기 IGZO에서 전하 분포가 불균일하게 된다. 즉 IGZO에서 산화인듐의 입자는 절연체에 가깝고, 산화인듐의 입자를 형성하기 위하여 인듐과 산소가 뽑아진 부분은 다른 부분보다 도전성이 높다. 또한, 산화인듐의 입자는 산화물 반도체층 내에 흩어져 있으므로 캐리어의 이동을 방해하지 않는다. 상술한 이유로 산화인듐의 입자가 IGZO 내에 존재하는 산화물 반도체층은 높은 도전성을 갖는다.
- [0039] 따라서, IGZO 및 산화인듐의 입자를 포함한 산화물 반도체층을 포함한 산화물 반도체 트랜지스터는 도전성이 높다. 도전성이 높은 산화물 반도체 트랜지스터는 예를 들어 온 전류가 높다는 이점을 갖는다.
- [0040] 도 3은 본 실시형태에 사용하는 IGZO 및 입자를 포함한 산화물 반도체층의 단면 TEM 사진이다.
- [0041] 도 3에 나타낸 IGZO 및 입자를 포함한 산화물 반도체층은 기판 온도 250°C로 스퍼터링법을 사용하여 형성하였다.
- [0042] 입자를 푸리에 변환 투과 전자 현미경(Transmission Electron Microscopy-Fast Fourier Transform: TEM-FFT)으로 해석한 결과, 입자가 산화인듐인 것이 확인되었다. 입자가 산화인듐인 것을 이하에 설명한다.
- [0043] TEM-FFT에서는 얻어진 격자상 패턴을 푸리에 변환함으로써 패턴의 스포트 위치를 해석할 수 있다. 이로써, 결정면 간격이나 결정 면 방위를 해석할 수 있다.
- [0044] 본 실시형태에서는 산화물 반도체층 내의 입자를 TEM-FFT로 해석한 결과, 결정 면 간격을 얻었다. 산화물 반도체층 내의 입자의 d값은 A:0.501nm, B:0.265nm, C:0.302nm이었다(도 4 참조). 산화인듐( $In_2O_3$ )의 d값은 A:0.506nm, B:0.270nm, C:0.320nm이므로 입자 성분이 산화인듐( $In_2O_3$ )인 것이 시사되었다.
- [0045] 도 5 내지 도 12에 본 실시형태의 산화물 반도체층을 사용한 산화물 반도체 트랜지스터의 드레인 전류(Id) 및 게이트 전압(Vg)의 관계를 도시하였다.
- [0046] 도 5 내지 도 12의 측정에서 사용한 산화물 반도체 트랜지스터는 도 1a에서 도시한 보텀 게이트·톱 콘택트형 산화물 반도체 트랜지스터(101)다. 도 5의 측정에서 사용한 산화물 반도체 트랜지스터(101)에서 하지 절연막(102)으로서 막 두께가 100nm인 질화실리콘막에 막 두께가 150nm인 산질화실리콘막을 적층한 것을 사용하였다. 게이트 전극(103)으로서는 막 두께가 100nm인 텅스텐(W)을 사용하였다. 게이트 절연막(104)으로서는 막 두께가

100nm인 산소 함유 질화실리콘막을 사용하였다.

[0047] 산화물 반도체층(105)은 성막 압력 0.3Pa, 성막 파워 9kW(AC), 아르곤에 대한 산소( $O_2$ ) 유량비 50%, 기판 온도 150°C의 조건으로 막 두께가 35nm가 되도록 형성하였다. 또한, 상기 조건으로 성막한 후, 질소 분위기하에서 350°C로 1시간 소성하고 나서 질소 및 산소 분위기하에서 350°C로 1시간 소성한 산화물 반도체층(도 5, 도 7, 도 9, 도 11) 및 질소 분위기하에서 450°C로 1시간 소성하고 나서 질소 및 산소 분위기하에서 450°C로 1시간 소성한 산화물 반도체층(도 6, 도 8, 도 10, 도 12)을 산화물 반도체층(105)으로서 사용하였다.

[0048] 전극(106a) 및 전극(106b)은 막 두께가 100nm인 티타늄막, 막 두께가 400nm인 알루미늄막, 및 막 두께가 100nm인 티타늄막을 적층한 적층막을 사용하여 형성하였다.

[0049] 또한, 채널 길이 L 및 채널 폭 W가 3μm 및 3μm(도 5 및 도 6), 3μm 및 50μm(도 7 및 도 8), 6μm 및 50μm(도 9 및 도 10), 및 10μm 및 50μm(도 11 및 도 12)의 산화물 반도체 트랜지스터를 제작하였다.

[0050] 중간 절연막(도시하지 않았음)은 막 두께가 400nm인 산화실리콘막 및 막 두께가 1500nm인 감광성 아크릴 수지막을 사용하여 산화물 반도체 트랜지스터(101)를 덮도록 형성하였다.

[0051] 또한, 마지막에 질소 분위기하에서 250°C로 1시간 소성하였다.

[0052] 도 5 내지 도 12에 도시한 바와 같이, 도 5 내지 도 12의 측정에서 사용한 산화물 반도체 트랜지스터는 온 전류의 값에 약간 차이가 있지만 모두 높은 온 전류를 나타냈다. 따라서, 본 실시형태에 의하여 온 전류가 높은 양호한 산화물 반도체 트랜지스터를 얻을 수 있었다.

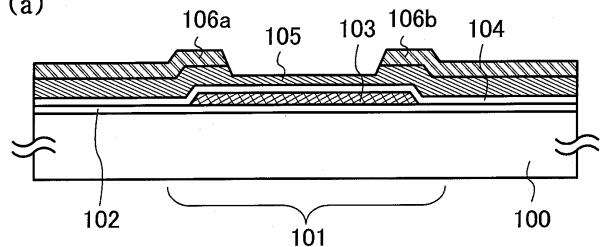
### 부호의 설명

100: 기판	101: 산화물 반도체 트랜지스터
102: 하지 절연막	103: 게이트 전극
104: 게이트 절연막	105: 산화물 반도체층
106a: 전극	106b: 전극
110: 기판	111: 산화물 반도체 트랜지스터
112: 하지 절연막	113: 게이트 전극
114: 게이트 절연막	115: 산화물 반도체층
116a: 전극	116b: 전극
200: 기판	201: 산화물 반도체 트랜지스터
202: 하지 절연막	203: 산화물 반도체층
204a: 전극	204b: 전극
206: 게이트 절연막	207: 게이트 전극
208a: 영역	208b: 영역
209: 채널 형성 영역	211a: 영역
211b: 영역	220: 기판
221: 산화물 반도체 트랜지스터	222: 하지 절연막
223: 산화물 반도체층	224a: 전극
224b: 전극	226: 게이트 절연막
227: 게이트 전극	228a: 영역
228b: 영역	229: 채널 형성 영역
231a: 영역	231b: 영역

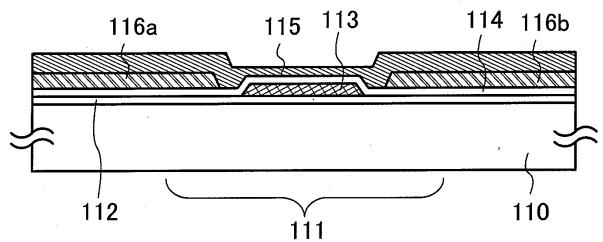
도면

도면1

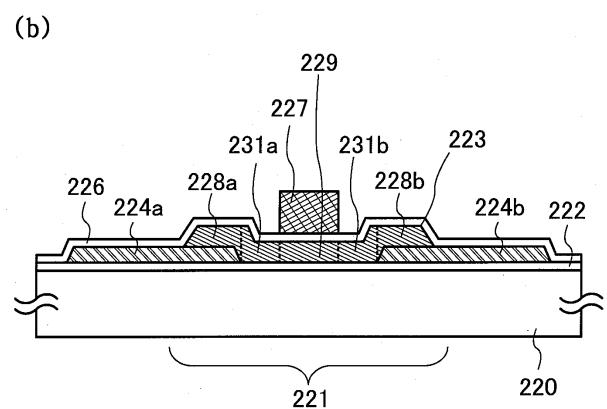
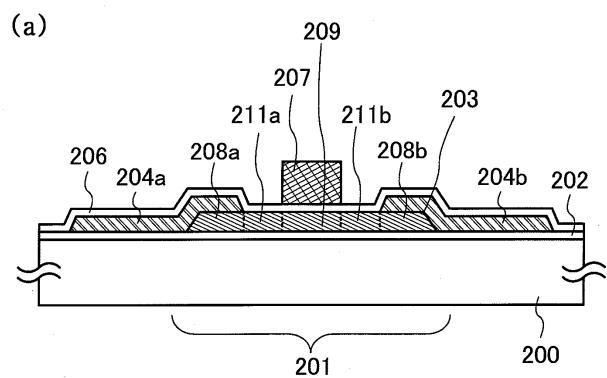
(a)



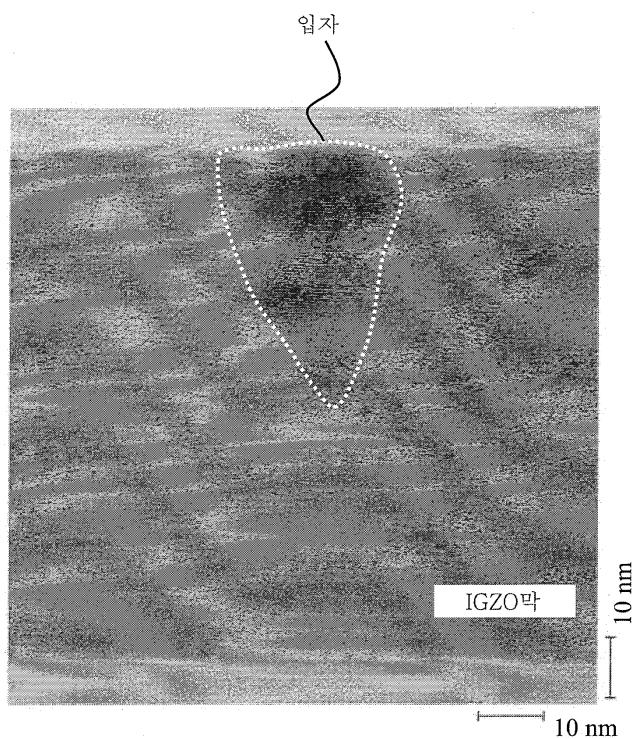
(b)



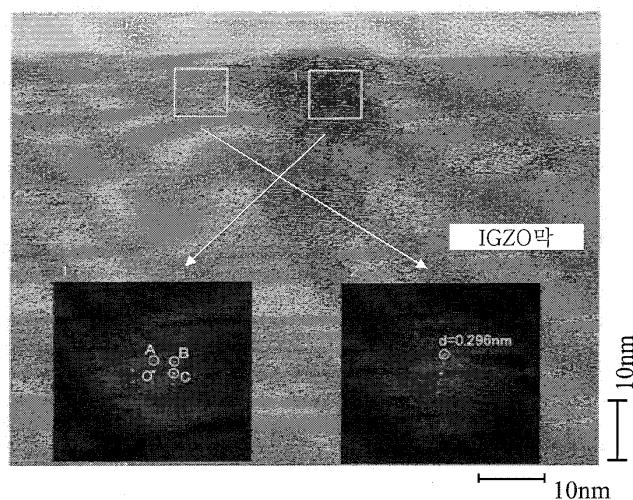
## 도면2



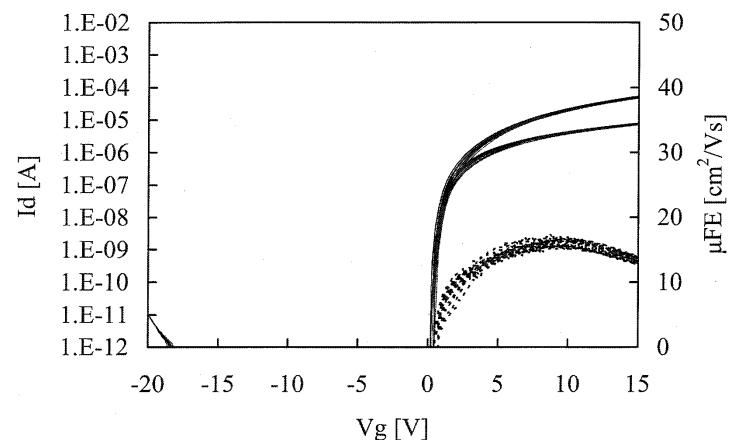
도면3



도면4

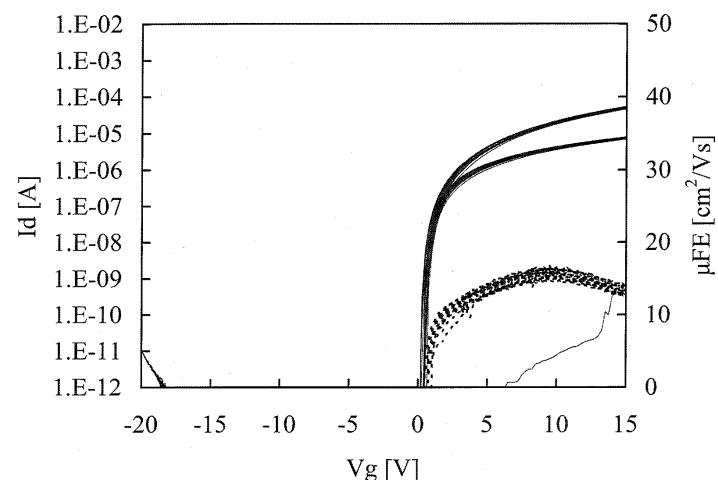


## 도면5



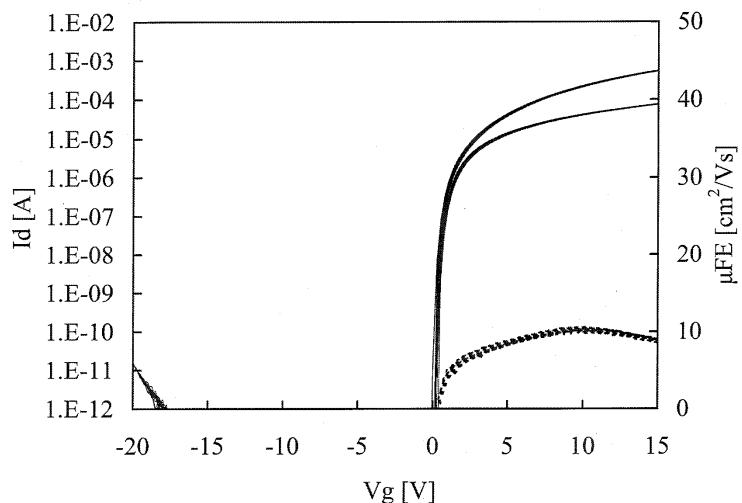
L/W : 3  $\mu\text{m}/3 \mu\text{m}$   
조건 : 350°C, 1h, N<sub>2</sub> → 350°C, 1h, N<sub>2</sub>+O<sub>2</sub>

## 도면6



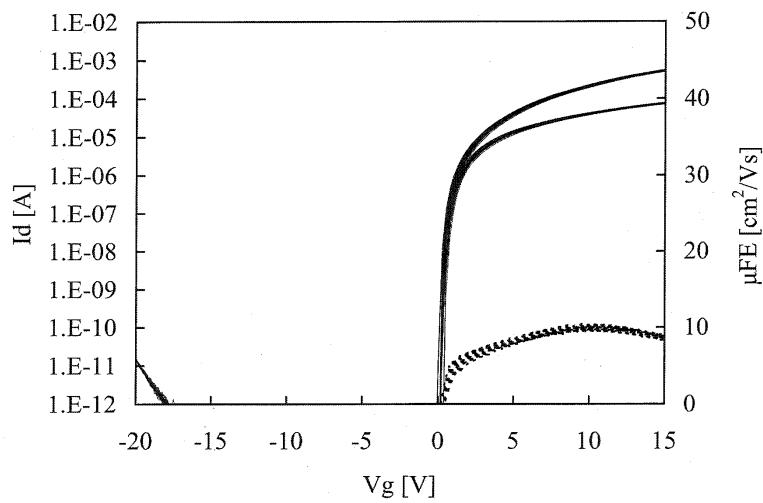
L/W : 3  $\mu\text{m}/3 \mu\text{m}$   
조건 : 450°C, 1h, N<sub>2</sub> → 450°C, 1h, N<sub>2</sub>+O<sub>2</sub>

## 도면7



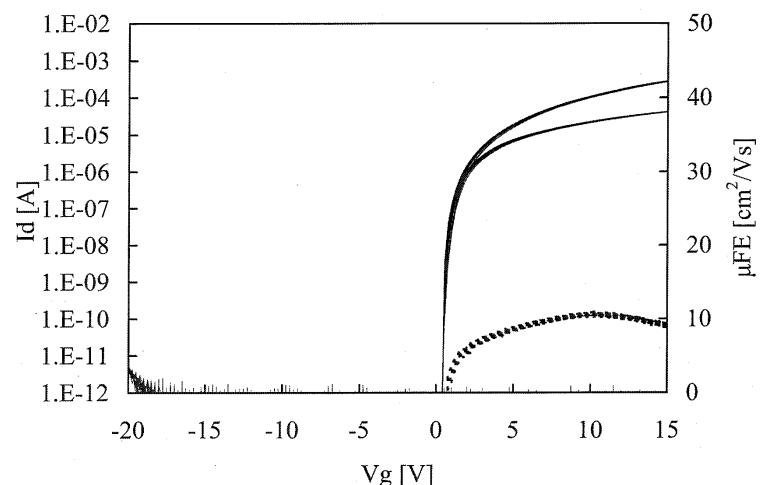
L/W : 3  $\mu\text{m}$ /50  $\mu\text{m}$   
조건 : 350°C, 1h, N<sub>2</sub> → 350°C, 1h, N<sub>2</sub>+O<sub>2</sub>

## 도면8



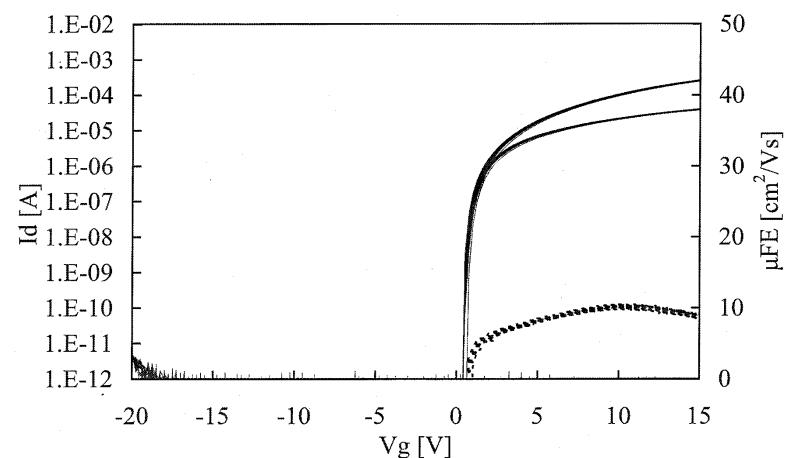
L/W : 3  $\mu\text{m}$ /50  $\mu\text{m}$   
조건 : 450°C, 1h, N<sub>2</sub> → 450°C, 1h, N<sub>2</sub>+O<sub>2</sub>

## 도면9



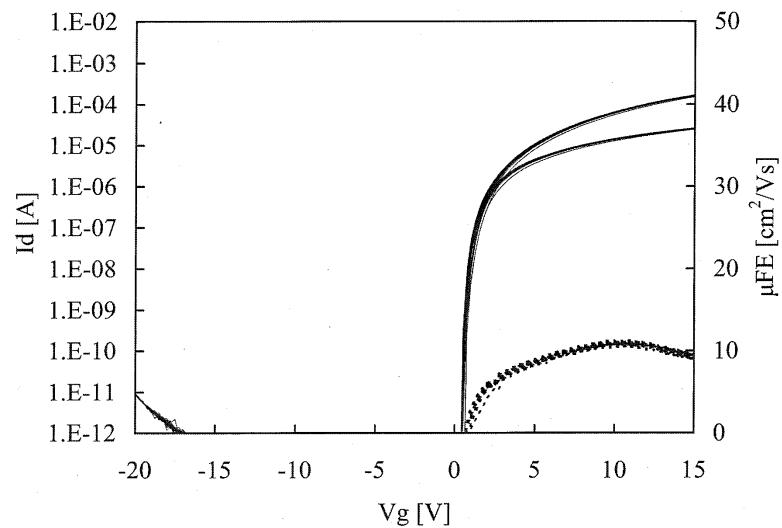
L/W : 6  $\mu\text{m}/50 \mu\text{m}$   
조건 : 350°C, 1h, N<sub>2</sub> → 350°C, 1h, N<sub>2</sub>+O<sub>2</sub>

## 도면10



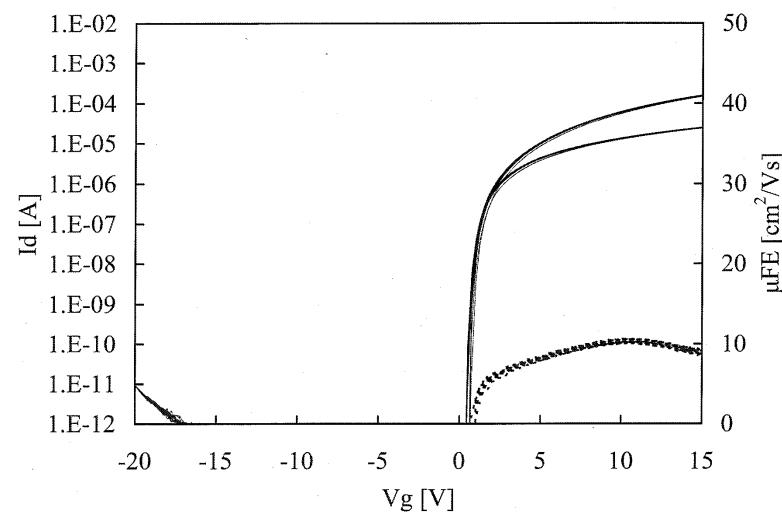
L/W : 6  $\mu\text{m}/50 \mu\text{m}$   
조건 : 450°C, 1h, N<sub>2</sub> → 450°C, 1h, N<sub>2</sub>+O<sub>2</sub>

도면11



L/W :  $10 \mu\text{m}/50 \mu\text{m}$   
조건 :  $350^\circ\text{C}, 1\text{h}, \text{N}_2 \rightarrow 350^\circ\text{C}, 1\text{h}, \text{N}_2+\text{O}_2$

도면12



L/W :  $10 \mu\text{m}/50 \mu\text{m}$   
조건 :  $450^\circ\text{C}, 1\text{h}, \text{N}_2 \rightarrow 450^\circ\text{C}, 1\text{h}, \text{N}_2+\text{O}_2$