



(12)发明专利

(10)授权公告号 CN 106338938 B

(45)授权公告日 2019.06.21

(21)申请号 201610797529.X

(22)申请日 2016.08.31

(65)同一申请的已公布的文献号  
申请公布号 CN 106338938 A

(43)申请公布日 2017.01.18

(73)专利权人 浙江安控科技有限公司  
地址 310000 浙江省杭州市经济技术开发  
区东部国际商务中心1幢601室

(72)发明人 李堂忠 何肖平 徐昌华 张枫轩  
林春荣

(74)专利代理机构 广东广信君达律师事务所  
44329  
代理人 杨晓松 杨冬玲

(51)Int.Cl.  
G05B 19/042(2006.01)

(56)对比文件

- US 6754720 B1, 2004.06.22,
- CN 1670717 A, 2005.09.21,
- CN 105260337 A, 2016.01.20,
- CN 1708022 A, 2005.12.14,
- CN 101145046 A, 2008.03.19,
- CN 101167341 A, 2008.04.23,
- CN 102722110 A, 2012.10.10,
- DE 102011076554 A1, 2012.11.29,
- CN 105116830 A, 2015.12.02,

审查员 王涛

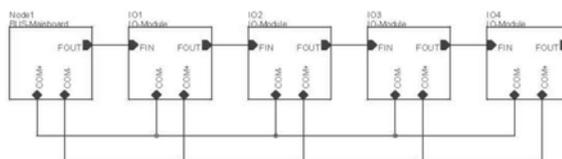
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种底板总线通讯编址系统及方法

(57)摘要

本发明公开了一种底板总线通讯编址系统，包括主控模块、I/O模块，所述的I/O模块设置有分频电路，各I/O模块为串联连接，各I/O模块的分频电路的按照I/O模块串联顺序依次串联连接，各I/O模块的分频电路的分频系数相同。同时公开了一种底板总线通讯编址方法，其方案是主控模块向串联的I/O模块中的首个I/O模块发送预设频率初始时钟信号；各I/O模块对初始时钟信号进行分频处理后，将分频后的时钟信号发送给相邻的下一个I/O模块，各I/O模块检测输入时钟信号频率，并根据该输入时钟信号的频率确定该I/O模块的通讯地址。本发明技术方案能够有效提高编址效率，简化编址操作。



1. 一种底板总线通讯编址系统,包括主控模块、I/O模块,其特征是,所述的I/O模块设置有分频电路,各I/O模块为串联连接,各I/O模块的分频电路的按照I/O模块串联顺序依次串联连接,各I/O模块的分频电路的分频系数相同,分频电路为固定分频系数电路,其中,所述的固定分频系数电路包括一个编址频率输入端口和一个编址频率输出端口,各个I/O模块的编址频率输出端口连接相邻的下一个I/O模块的编址频率输入端口,首个I/O模块的输入端连接主控模块输出端;将检测的输入时钟信号的频率作为编址标识,按照串联顺序自动设置各I/O模块的地址位。

2. 根据权利要求1所述的一种底板总线通讯编址系统,其特征是,I/O模块设置有总线通讯板,分频电路集成于总线通讯板内。

3. 根据权利要求1所述的一种底板总线通讯编址系统,其特征是,所述分频电路的固定分频系数为二分频或三分频或四分频。

4. 一种底板总线通讯编址方法,其特征是,包括以下步骤:

主控模块向串联的I/O模块中的首个I/O模块发送预设频率初始时钟信号;

首个I/O模块对初始时钟信号进行分频处理后,将分频后的时钟信号发送给相邻的下一个I/O模块,各I/O模块对相邻的上一个I/O模块输出的时钟信号进行分频处理后,输出至相邻的下一个I/O模块,所述各I/O模块分频处理的分频系数相同;

各I/O模块检测输入时钟信号频率,并根据该输入时钟信号的频率确定该I/O模块的通讯地址。

5. 根据权利要求4所述的一种底板总线通讯编址方法,其特征是,I/O模块对时钟信号进行分频处理的步骤包括:各I/O模块通过其设置的分频电路对输入的时钟信号进行固定分频系数的分频处理。

6. 根据权利要求4或5所述的一种底板总线通讯编址方法,其特征是,各I/O模块检测输入时钟信号频率,并根据该输入时钟信号的频率确定该I/O模块的通讯地址的步骤,进一步包括:

各I/O模块内部设置有一个输入时钟信号频率与通讯地址对应的查找表;所述查找表中一个通讯地址对应唯一的一个约定的输入信号频率;各I/O模块根据检测到的输入时钟信号频率根据查找表查找到对应的通讯地址并设定该I/O模块的通讯地址。

## 一种底板总线通讯编址系统及方法

### 技术领域

[0001] 本发明涉及总线通讯技术领域,尤其涉及总线通讯编址技术领域。

### 背景技术

[0002] 模块化的远程终端模块(I/O)在工业现场信号的采集和设备的控制领域应用广泛。在实际使用中通常会将众多的I/O并排安装并通过总线连接使用,通过连接数据总线的方式进行模块间的电源供应和内部数据通讯。实际使用中,必解决多个硬件和软件上完全相同的模块在同一总线上实现自动地址分配和地址识别的问题。

[0003] 目前地址的配置方式主要包括硬件设置和软件分配,其中硬件设置是指通过设置拨码开关组合或手持设定器,选择某个通信站地址,实现手动配置;其中软件分配一般是通过对主站对从站进行地址分配而实现。但是,随着网络节点数的扩展,系统设备人员对站地址的管理难度不断增加,易造成网络站地址使用混淆,每个站地址作用和使用意义不明确。尤其对于通过主站进行地址分配的方式,复杂的网络拓扑结构和任务关系使得主站的识别难度及复杂度剧增,难以实现地址自动分配功能,并且对于传统自动地址配置方式实现通常发生在网络初始化和故障恢复过程中,各网络通信站通过检测网络的异常行为,实现网络地址的自动分配,然而在网络正常运行中,系统无法识别是否有新的节点加入,即从站不具备即插即用能力,灵活性和可扩展能力弱。

### 发明内容

[0004] 本发明是为了解决现有技术中的I/O模块并排串联安装使用中编址方法的上述不足之处,提供基于频率检测的一种底板总线通讯编址系统及方法,有效提高编址效率,简化编址操作。

[0005] 本发明提供一种底板总线通讯编址系统,包括主控模块、I/O模块,所述的I/O模块设置有分频电路,各I/O模块为串联连接,各I/O模块的分频电路的按照I/O模块串联顺序依次串联连接,各I/O模块的分频电路的分频系数相同。

[0006] 作为优选,I/O模块设置有总线通讯板,分频电路集成于总线通讯板内。

[0007] 作为优选,分频电路为固定分频系数电路。

[0008] 作为优选,所述分频电路的固定分频系数为二分频或三分频或四分频。

[0009] 作为优选,所述的固定分频系数电路包括一个编址频率输入端口和一个编址频率输出端口,各个I/O模块的编址频率输出端口连接相邻的下一个I/O模块的编址频率输入端口,首个I/O模块的输入端连接主控模块输出端。

[0010] 本发明同时提供一种底板总线通讯编址方法,本方法是基于上述的底板总线通讯编址系统实现,包括以下步骤:

[0011] 主控模块向串联的I/O模块中的首个I/O模块发送预设频率初始时钟信号;首个I/O模块对初始时钟信号进行分频处理后,将分频后的时钟信号发送给相邻的下一个I/O模块,各I/O模块对相邻的上一个I/O模块输出的时钟信号进行分频处理后,输出至相邻的下

一个I/O模块,所述各I/O模块分频处理的分频系数相同;各I/O模块检测输入时钟信号频率,并根据该输入时钟信号的频率确定该I/O模块的通讯地址。

[0012] 作为优选,I/O模块对时钟信号进行分频处理的步骤包括:各I/O模块通过其设置的分频电路对输入的时钟信号进行固定分频系数的分频处理。

[0013] 作为优选,各I/O模块检测输入时钟信号频率,并根据该输入时钟信号的频率确定该I/O模块的通讯地址的步骤,进一步包括:各I/O模块内部设置有一个输入时钟信号频率与通讯地址对应的查找表;所述查找表中一个通讯地址对应唯一的一个约定的输入信号频率;各I/O模块根据检测到的输入时钟信号频率根据查找表查找到对应的通讯地址并设定该I/O模块的通讯地址。

[0014] 本发明提供的技术方案应用于多个I/O模块并排串联连接使用的场合,在进行编址操作时,由主控模块对串联的I/O模块的首个I/O模块输入一个预设频率的时钟信号,首个I/O模块对该时钟信号进行二分频处理后发送至相邻的下一个I/O模块,此后各个I/O模块都会对输入的时钟信号进行二分频处理并发送至相邻的下一个I/O模块。由于各I/O模块为串联连接结构,且各I/O模块中分频电路也为串联结构,因此各个I/O模块中分频电路的输入频率各不相同且为二分频的关系。同时第n个I/O模块的时钟信号的输入频率相对于初始的时钟信号频率的分频系数,同时为基于I/O模块串联顺序的 $(1/2)^{n-1}$ 。因此可以将检测的输入时钟信号的频率作为编址标识,按照串联顺序自动设置各I/O模块的地址位。

[0015] 本方案中具体编址方式:通过预设的查找表,各I/O模块通过检测输入时钟信号频率根据查找表查找对应的通讯地址,由于各I/O模块的输入频率为二分频关系,因此频率识别度较高不易出现编址错误的情况。

[0016] 因此本发明提供一种底板总线通讯编址系统及方法,只需要在I/O模块的总线通讯板中集成一个有单个D触发器设置的二次分频电路,通过主控板输出预设频率的时钟信号即可完成对多个串联I/O模块的通讯地址编址工作。相比现有技术中的多种编址方法,只需要极少的电路结构改进,且不需要拨码开关组合或手持设定器等额外工具,大大简化了编址工作。并且编址工作不易出错,效率更高。

## 附图说明

[0017] 图1为本发明实施提供的一种底板总线通讯编址系统的电路结构示意图。

## 具体实施方式

[0018] 下面结合附图和具体实施方式对本发明做进一步描述。

[0019] 实施例1:如图1所示,本发明实施例提供一种底板总线通讯编址系统,包括主控模块、I/O模块,所述的I/O模块设置有分频电路,各I/O模块为串联连接,各I/O模块的分频电路的按照I/O模块串联顺序依次串联连接,各I/O模块的分频电路的单次分频系数相同。

[0020] I/O模块设置有总线通讯板,分频电路集成于总线通讯板内。分频电路为固定分频系数电路。根据实际需求,可以将设置不同的分频电路结构,使固定分频系数设置为二分频或三分频或四分频等多种分频系数,只要满足各I/O模块的单次分频系数相同。具体的分频电路结构为本领域技术人员公知常识在此不在赘述。本实施例中分频电路的固定分频系数为二分频。

[0021] 所述的固定分频系数电路包括一个编址频率输入端口和一个编址频率输出端口，各个I/O模块的编址频率输出端口连接相邻的下一个I/O模块的编址频率输入端口，首个I/O模块的输入端连接主控模块输出端。

[0022] 本实施例提供的底板总线通讯编址结构技术方案应用于多个I/O模块并排串联连接使用的场合，在进行编址操作时，由主控模块对串联的I/O模块的首个I/O模块输入一个预设频率的时钟信号，首个I/O模块对该时钟信号进行二分频处理后发送至相邻的下一个I/O模块，此后各个I/O模块都会对输入的时钟信号进行二分频处理并发送至相邻的下一个I/O模块。由于各I/O模块为串联连接结构，且各I/O模块中分频电路也为串联结构，因此各个I/O模块中分频电路的输入频率各不相同且为二分频的关系。同时第n个I/O模块的时钟信号的输入频率相对于初始的时钟信号频率的分频系数，同时为基于I/O模块串联顺序的 $(1/2)^{n-1}$ 。因此可以将检测的输入时钟信号的频率作为编址标识，按照串联顺序自动设置各I/O模块的地址位。只需要在I/O模块的总线通讯板中集成一个有单个D触发器设置的二次分频电路，通过主控板输出预设频率的时钟信号即可完成对多个串联I/O模块的通讯地址编址工作。相比现有技术中的多种编址方法，只需要极少的电路结构改进，且不需要拨码开关组合或手持设定器等额外工具，大大简化了编址工作。并且编址工作不易出错，效率更高。

[0023] 实施例2：本发明实施例同时提供一种底板总线通讯编址方法，包括以下步骤：

[0024] 主控模块向串联的I/O模块中的首个I/O模块发送预设频率初始时钟信号；

[0025] 首个I/O模块对初始时钟信号进行分频处理后，将分频后的时钟信号发送给相邻的下一个I/O模块，各I/O模块对相邻的上一个I/O模块输出的时钟信号进行分频处理后，输出至相邻的下一个I/O模块，所述各I/O模块分频处理的分频系数相同；

[0026] 优选的，各I/O模块通过其设置的分频电路对输入的时钟信号进行固定分频系数的分频处理。实际应用中固定分频系数设置为二分频或三分频或四分频等多种分频系数，均可实现本方法，只要满足各I/O模块的单次分频系数相同。本实施例中二分频的固定分频系数具体说明。

[0027] 各I/O模块检测输入时钟信号频率，并根据该输入时钟信号的频率确定该I/O模块的通讯地址。

[0028] 优选的，该步骤进一步包括：各I/O模块内部设置有一个输入时钟信号频率与通讯地址对应的查找表；所述查找表中一个通讯地址对应唯一的一个约定的输入信号频率；各I/O模块根据检测到的输入时钟信号频率根据查找表查找到对应的通讯地址并设定该I/O模块的通讯地址。

[0029] 例如对应初始时钟信号频率为F0的查找表形式如下：

|        |     |      |
|--------|-----|------|
| [0030] | 地址位 | 输入频率 |
|--------|-----|------|

|        |       |                |
|--------|-------|----------------|
| [0031] | 1     | F0             |
|        | 2     | F0/2           |
|        | 3     | F0/4           |
|        | ..... | .....          |
|        | n     | $F0/2^{(N-1)}$ |

[0032] 优选的,由于检测频率和计算过程中会产生误差,因此在实际操作过程中,可以是检测到的实际输入频率的数据查找查找表中最接近的输入频率数值编辑I/O模块的地址,因为各相邻的I/O模块输入频率都为二分频关系,因此并不会发生查找表查找错误的问题。

[0033] 本方法只需要在I/O模块的总线通讯板中集成一个有单个D触发器设置的二次分频电路,通过主控板输出预设频率的时钟信号即可完成对多个串联I/O模块的通讯地址编址工作。相比现有技术中的多种编址方法,只需要极少的电路结构改进,且不需要拨码开关组合或手持设定器等额外工具,大大简化了编址工作。并且编址工作不易出错,效率更高。

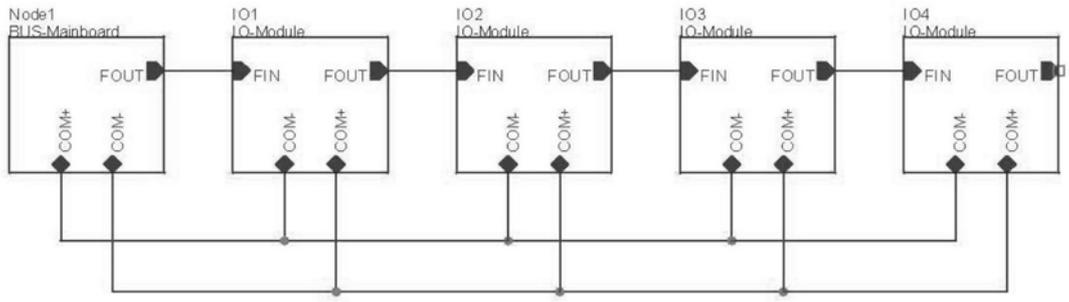


图1