

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014376 A1

- (51) 国際特許分類:
G01R 33/07 (2006.01) H01L 43/06 (2006.01)
H01L 27/22 (2006.01)
- (21) 国際出願番号: PCT/JP2011/003762
- (22) 国際出願日: 2011年6月30日(30.06.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-173025 2010年7月30日(30.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小松 茂行 (KOMATSU, Shigeyuki). 富田 英雄 (TOMITA, Hideo).
- (74) 代理人: 新居 広守 (NIJ, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

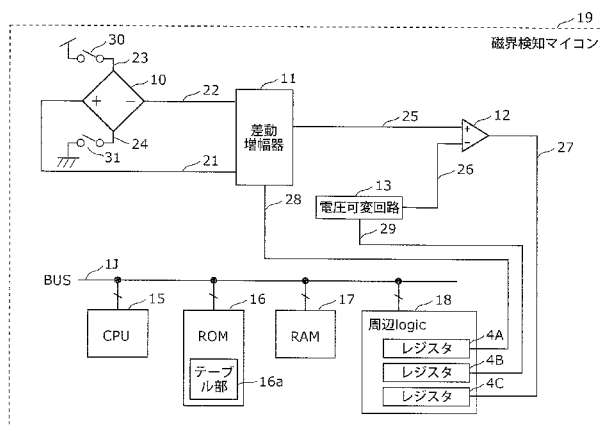
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: MICROCOMPUTER FOR DETECTING MAGNETIC FIELD, AND METHOD FOR DETECTING MAGNETIC FIELD

(54) 発明の名称: 磁界検知マイコンおよび磁界検知方法

【図1】



- 4A, 4B, 4C REGISTER
- 11 DIFFERENTIAL AMPLIFIER
- 13 VARIABLE VOLTAGE CIRCUIT
- 16a TABLE SECTION
- 18 PERIPHERAL LOGIC
- 19 MICROCOMPUTER FOR DETECTING MAGNETIC FIELD

(57) Abstract: A microcomputer (19) for detecting a magnetic field is provided with: a magnetic field detecting element (10); a differential amplifier (11); a variable voltage circuit (13), which generates a variable reference voltage; a comparator (12), which compares output from the differential amplifier (11) with the reference voltage; a register (4B), which outputs a voltage control value to the variable voltage circuit; ROM (16), which previously stores data as a first table by associating magnetic field intensities and voltage control values with each other; and a CPU (15), which sets a voltage control value to the register (4B), and determines presence/absence of the magnetic field intensity that corresponds to the voltage control value, on the basis of the first table, and the comparison results obtained from the comparator (12).

(57) 要約: 磁界検知マイコン (19) は、磁界検知素子 (10) と、差動増幅器 (11) と、可変である基準電圧を生成する電圧可変回路 (13) と、差動増幅器 (11) の出力と基準電圧とを比較する比較器 (12) と、電圧制御値を前記電圧可変回路に出力するレジスタ (4B) と、磁界強度と前記電圧制御値とを対応させて第1

テーブルとして予め記憶するROM (16) と、レジスタ (4B) に電圧制御値を設定し、前記比較器 (12) の比較結果および前記第1テーブルから、当該電圧制御値に対応する磁界強度の有無を判定するCPU (15) とを備える。

WO 2012/014376 A1

明 細 書

発明の名称：磁界検知マイコンおよび磁界検知方法

技術分野

[0001] 本発明は磁界検知機能を有する磁界検知マイコンおよび磁界検知方法に関する。

背景技術

[0002] 近年におけるシステムLSIの集積度は、セットの高機能化及びプロセスの微細化とともに年々向上し続けている。それに伴い、従来複数チップから構成された機器システムのワンチップ化が実現されつつある。その中で、特にワンチップ化が困難なのが、センサー系アナログブロックである。センサー系アナログブロックは、微小のアナログ信号を扱うため、センサーの感度を上げる半導体プロセスと、低コスト微細化を向上させるプロセスは必ずしも同じプロセスとはならない。

[0003] 例えば図21は従来技術におけるセンサーICとマイコンを示す図である。図21に示すように、センサーICXとマイコンYとの2チップで構成され、センサーICXからの信号を出力するための出力端子X3とセンサーICXへの信号を入力するための入力端子X4が信号線を介してマイコンYに接続されているケースがある（例えば、特許文献1参照）。

[0004] また図22は従来技術における磁界検知回路を示す図である。図22に示すとおり、センサーICの温度特性を向上させるために以下の処理が行われる。増幅回路AMP1によって増幅されたホール素子HAL1の出力OUTAは、比較回路CMP1に入力される。また、基準電圧回路BL1は、基準電圧VTH1、VTH2を生成する分圧回路だけを有し、温度補償する。基準電圧回路BL1が生成する基準電圧VTH1、VTH2のうち、出力OUTAの温度係数とほぼ等しい温度係数を有する1つの基準電圧がスイッチ回路SW1によって選択されて、比較回路CMP1に基準電圧OUTBとして入力される。

[0005] そして、比較回路CMP 1は、出力OUT Aと基準電圧OUT Bとを比較して、出力OUTの値により磁界を検出するように、センサーの出力と比較する基準電位発生回路の相関において、温度特性を打ち消す様な回路を追加する。このような構成により、センサーIC単体の性能向上を図る方法が開示されている（例えば、特許文献2参照。）。以下においては、特許文献2の技術を従来技術Bともいう。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-032424号公報（第29頁、図19）

特許文献2：特開2009-047478号公報（第10頁、図4、図3）

発明の概要

発明が解決しようとする課題

[0007] しかしながら、従来技術Bの構成では、温度特性を打ち消すための2種類以上の温度特性係数を持つ抵抗を組み合わせた、2種類の基準電圧を生成する電圧可変回路（基準電圧回路BL1）が必要となる。そのため、従来技術Bの電圧可変回路の構成は複雑である。

[0008] なお、特許文献1には、センサーICとマイコンの組合せ事例は記載されているが、磁界強度の有無を容易に判定するための技術については記載がない。

[0009] 本発明は前記従来課題を解決するもので、複雑な構成の電圧可変回路を必要とせず、磁界強度の有無を容易に判定することが可能な磁界検知マイコンおよび磁界検知方法を提供することを目的とする。

課題を解決するための手段

[0010] 上記課題を解決するため本発明の一形態における磁界検知マイコンは、磁界を検知するための磁界検知素子と、前記磁界検知素子の出力電圧を増幅する差動増幅器と、電圧制御信号に応じて、可変である基準電圧を生成する電圧可変回路と、前記差動増幅器の出力と、前記電圧可変回路が生成した基準

電圧とを比較する比較器と、前記電圧可変回路が生成する基準電圧のレベルを制御するための電圧制御値を保持し、当該電圧制御値をもつ前記電圧制御信号を前記電圧可変回路に出力する電圧制御レジスタと、前記磁界検知素子にかかる磁界の強度である磁界強度と、前記電圧制御値を増加または減少させた場合に前記比較器の出力が反転する直前または直後の前記電圧制御値とを対応させて第1テーブルとして予め記憶する記憶部と、前記電圧制御レジスタに検知対象の磁界に対応する電圧制御値を設定し、前記比較器の比較結果および前記第1テーブルから、当該電圧制御値に対応する磁界強度の有無を判定するCPUとを備える。

[0011] この構成によれば、電圧制御値と磁界強度とを予め記憶部に予め記憶させ、電圧制御レジスタに検知対象の磁界に対応する電圧制御値を設定するという簡単な処理により、電圧制御値に対応する磁界強度の有無を判定することができる。すなわち、電圧制御値に対応する磁界強度の有無を容易に判定することができる。

[0012] また、従来の電圧可変回路は、2種類の基準電圧を生成する構成である。しかしながら、本発明の一形態における磁界検知マイコンの電圧可変回路は、1つの基準電圧を生成する構成である。そのため、本発明の一形態における磁界検知マイコンの電圧可変回路の構成を簡素にすることができる。したがって、複雑な構成の電圧可変回路を必要とせず、磁界強度の有無を容易に判定することができる。

[0013] ここで、前記差動増幅器は、ゲイン制御信号に応じてゲイン可変であり、前記磁界検知マイコンは、さらに、前記差動増幅器のゲインを設定するためのゲイン制御値を保持し、当該ゲイン制御値をもつゲイン制御信号を前記差動増幅器に出力するゲイン制御レジスタを備え、前記第1テーブルは、ゲイン制御値毎に、前記磁界強度および前記電圧制御値を予め記憶するようにしてもよい。

[0014] この構成によれば、ゲインを設定することにより磁界を検知する感度を制御することができる。

- [0015] ここで、前記CPUは、前記電圧制御レジスタに保持された前記電圧制御値を順次増加または減少させ、前記比較器の出力が反転したときに、当該電圧制御値に対応する磁界強度を前記第1テーブルから検知した磁界強度として読み出すようにしてもよい。
- [0016] この構成によれば、広範囲の磁界強度を精度良く検知することができる。
- [0017] ここで、前記電圧可変回路はD/Aコンバータであってもよい。
- [0018] この構成によれば、通常のマイコンに搭載されているD/Aコンバータを、電圧可変回路として利用するので、回路規模を低減することができる。
- [0019] ここで、前記磁界検知マイコンは、さらに、前記磁界検知素子にかかるS極の磁界強度と、前記比較器の出力が反転する条件を示す電圧制御値とを予め記憶し、前記第1テーブルは、前記磁界検知素子にかかるN極の磁界強度と、前記比較器の出力が反転する条件を示す電圧制御値とを予め記憶するようにしてもよい。
- [0020] この構成によれば、磁界強度に加えて磁界の方向（極性）も検知することができる。
- [0021] ここで、前記CPUは、前記第1テーブルを用いた磁界検知と、前記第2テーブルを用いた磁界検知とを所定回数ずつ交互に行うようにしてもよい。
- [0022] この構成によれば、異なる方向（極性）の磁界の有無の判定を所定回数ずつ交互に時分割で効率良く検出することができる。
- [0023] ここで、前記磁界検知マイコンは、さらに、電源電圧を昇圧する昇圧回路と、昇圧された電源電圧と昇圧されていない電源電圧の一方を選択し、選択した電源電圧を前記磁界検知素子に供給する電圧切替回路とを備え、前記第1テーブルは、昇圧された電源電圧および昇圧されていない電源電圧のそれぞれに対応する、前記磁界強度および前記電圧制御値を予め記憶し、前記CPUは、前記電圧切替回路により選択された電源電圧に対応する電圧制御値を用いて磁界強度を検知するようにしてもよい。
- [0024] この構成によれば、昇圧された電源電圧と昇圧されていない電源電圧を選択することにより前記磁界検知素子の感度を切り換えることができる。

- [0025] ここで、前記磁界検知素子はホール素子であり、前記磁界検知素子、前記差動増幅器、前記電圧可変回路、前記比較器、前記電圧制御レジスタ、前記記憶部、および前記CPUは、同一半導体基板上に形成されていてもよい。
- [0026] この構成によれば、磁界検知素子、前記増幅器、前記電圧可変回路、比較器、電圧制御レジスタ、記憶部、およびCPUを、同一半導体基板上に同一プロセスで実現出来るので、小面積、低コスト化することができる。
- [0027] ここで、前記ホール素子は、前記半導体基板の4隅のうちの少なくとも1隅に形成されていてもよい。
- [0028] この構成によれば、従来、半導体基板の空き領域であった4隅のうちの少なくとも1隅に前記ホール素子が配置されるので、回路面積を削減できる。また、ホール素子以外の回路の形成可能な面積を増大できる。
- [0029] ここで、前記磁界検知マイコンは、さらに、前記磁界検知素子と同じ構成の3つの磁界検知素子と、前記差動増幅器、前記電圧可変回路および前記比較器を含むセットと同じ構成の3つのセットとを有し、4つの前記磁界検知素子は、前記半導体基板の4隅に配置され、前記CPUは、4つのセットのそれぞれを用いて磁界を検知するようにしてもよい。
- [0030] この構成によれば、半導体基板の対角線上の4隅に磁界検知素子を配置するので、磁界の方向を敏感に検知することが出来る。
- [0031] 本発明の一形態における磁界検知方法は、磁界検知マイコンにおける磁界検知方法であって、前記磁界検知マイコンは、磁界を検知するための磁界検知素子と、前記磁界検知素子の出力電圧を増幅する差動増幅器と、電圧制御信号に応じて可変である基準電圧を生成する電圧可変回路と、前記差動増幅器の出力と、前記電圧可変回路が生成した基準電圧とを比較する比較器と、前記電圧可変回路が生成する基準電圧のレベルを制御するための電圧制御値を保持し、当該電圧制御値をもつ前記電圧制御信号を前記電圧可変回路に出力する電圧制御レジスタと、前記磁界検知素子にかかる磁界の強度である磁界強度と、前記電圧制御値を増加または減少させた場合に前記比較器の出力が反転する直前または直後の前記電圧制御値とを対応させて第1テーブルと

して予め記憶する記憶部とを備え、前記磁界検知方法は、前記電圧制御レジスタに検知対象の磁界に対応する電圧制御値を設定し、前記比較器の出力が反転したか否かを判定し、前記比較器の出力が反転したと判定された場合、当該電圧制御値に対応する磁界強度を前記第1テーブルから読み出す。

[0032] この構成によれば、上記の磁界検知マイコンと同等の作用および効果がある。

発明の効果

[0033] 本発明の磁界検知マイコンによれば、複雑な電圧可変回路を必要とせず、磁界強度の有無を容易に判定することができる。

図面の簡単な説明

[0034] [図1]図1は、本発明の第1の実施の形態に係る磁界検知マイコンのブロック図である。

[図2A]図2Aは、磁界検知判定テーブルである。

[図2B]図2Bは、逆極性の磁界を検知するための磁界検知判定テーブルである。

[図2C]図2Cは、ゲイン制御値を含む磁界検知判定テーブルである。

[図3]図3は、磁界検知の動作タイミングチャートである。

[図4A]図4Aは、磁界検知設定アルゴリズムの全体の処理フローを示す図である。

[図4B]図4Bは、磁界検知設定アルゴリズム中のサンプルバラツキ補正アルゴリズムの処理フローを示す図である。

[図4C]図4Cは、磁界X判定処理の処理フローを示す図である。

[図4D]図4Dは、磁界Y判定処理の処理フローを示す図である。

[図4E]図4Eは、磁界Z判定処理の処理フローを示す図である。

[図5]図5は、磁界検知設定アルゴリズム実行時の動作タイミングチャートである。

[図6]図6は、本発明の第2の実施の形態第1に係る磁界検知マイコンのブロック図である。

[図7]図7は、マイコンと磁石の関係を示す図である。

[図8]図8は、本発明の第3の実施の形態に係るN極側接近時の正極磁界検知の設定アルゴリズムと動作タイミングチャートである。

[図9]図9は、本発明の第3の実施の形態に係るS極側接近時の負極磁界検知の設定アルゴリズムと動作タイミングチャートである。

[図10]図10は、本発明の第3の実施の形態に係るN極/S極印加判定マイコン実行シーケンスである。

[図11]図11は、電圧可変回路の内部回路を示す図である。

[図12]図12は、差動増幅器の内部回路を示す図である。

[図13]図13は、本発明の第4の実施の形態に係る磁界検知マイコンのブロック図である。

[図14]図14は、本発明の第5の実施の形態に係る磁界検知マイコンに使用される半導体基板の斜視図である。

[図15]図15は、本発明の第6の実施の形態に係る磁界検知マイコンの半導体レイアウト図である。

[図16]図16は、図15の領域の詳細レイアウト図である。

[図17]図17は、本発明の第7の実施の形態に係る磁界検知マイコンのブロック図である。

[図18]図18は、本発明の第7の実施の形態に係る磁界検知マイコンの動作タイミングチャートである。

[図19]図19は、発明の第7の実施の形態に係る磁界検知マイコンの半導体レイアウト図及び磁界印加状態を示す図である。

[図20]図20は、磁界検知マイコンの特徴的な機能構成を示すブロック図である。

[図21]図21は、従来技術におけるセンサICとマイコンを示す図である。

[図22]図22は、従来技術における磁界検知回路を示す図である。

発明を実施するための形態

[0035] 以下本発明を実施するための最良の形態について、図面を参照しながら説

明する。

[0036] (第1の実施の形態)

図1は、本発明の実施の形態1に係る磁界検知マイコン19のブロック図であり、図2Aの磁界検知判定テーブル、図3の磁界検知の動作タイミングチャート、図4A～図4Eの磁界検知設定アルゴリズム、図5の磁界検知設定アルゴリズム実行時の動作タイミングチャートで説明する。以下においては、図2Aの磁界検知判定テーブルを、単に、図2Aのテーブルともいう。

[0037] 図1に示すように、磁界検知マイコン19は、4端子を有する磁界検知素子10と、前記磁界検知素子10の出力電圧を増幅する差動増幅器11と、前記差動増幅器11の出力と電圧可変回路13が生成した基準電圧とを比較する比較器12と、CPU15と、ROM16と、RAM17と、周辺I/O 18とを備える。

[0038] 磁界検知素子10は、磁界を検知するための素子である。

[0039] 前記磁界検知素子10の第一の端子としての端子23は高電位側の電位VDDにスイッチ30を介して接続される。第二の端子としての端子24は低電位側の電位VSSにスイッチ31を介して接続され、第三の端子としての端子21および第四の端子としての端子22は前記差動増幅器11の入力に接続される。スイッチ30およびスイッチ31は、CPU15の制御により、磁界検知時およびテーブル部16aの設定時にオンになる。

[0040] 以下において、制御信号、出力等の信号を伝達する信号線に構成要素Aが接続されているという構成を表現する場合、構成要素Aは信号（制御信号、出力等）に接続されると表現する。例えば、制御信号を伝達する信号線に構成要素Aが接続されているという構成を表現する場合、構成要素Aは、制御信号に接続されると表現する。また、例えば、ある回路の出力を伝達する信号線に構成要素Aが接続されているという構成を表現する場合、構成要素Aは、出力に接続されると表現する。

[0041] 前記差動増幅器11は、ゲイン制御信号としての制御信号28に応じて、ゲイン可変、つまり、出力25（出力電圧）の増幅度を切替えられる。すな

わち、差動増幅器 11 は、ゲイン制御信号に応じてゲイン可変である。前記制御信号 28 は前記周辺 logic 18 (レジスタ 4A) と接続される。

[0042] 前記差動増幅器 11 の出力 25 は前記比較器 12 の+入力に接続される。前記電圧可変回路 13 の出力 26 は基準電圧として前記比較器 12 の-入力に接続される。すなわち、電圧可変回路 13 の出力 26 は、当該電圧可変回路 13 が生成した基準電圧である。つまり、出力 26 は、アナログ出力である。

[0043] 前記電圧可変回路 13 は、電圧制御信号としての制御信号 29 に接続される。電圧可変回路 13 は、可変である基準電圧 (出力 26 の電圧) を生成する。電圧制御信号としての制御信号 29 は、前記電圧可変回路 13 が生成する基準電圧のレベルを制御するための電圧制御値を有する。すなわち、電圧制御信号としての制御信号 29 は、電圧可変回路 13 が生成する基準電圧のレベルを変化させるための信号である。つまり、電圧可変回路 13 は、電圧制御信号としての制御信号 29 に応じて、可変である基準電圧 (出力 26 の電圧) を生成する。

[0044] 比較器 12 は、前記差動増幅器 11 の出力 25 と、前記電圧可変回路 13 が生成した基準電圧とを比較する。そして、比較器 12 は、当該比較の結果を、出力 27 として出力する。出力 27 は、Hレベル (1) またはLレベル (0) を示す信号である。

[0045] 前記周辺 logic 18 は、制御信号 29 と接続される。前記比較器 12 の出力 27 は周辺 logic 18 に接続される。前記 CPU 15、ROM 16、RAM 17、周辺 logic 18 は、互いに共通の BUS 1J に接続されている。

[0046] レジスタ 4A は、ゲイン制御値を保持し、当該ゲイン制御値をもつゲイン制御信号 (制御信号 28) を差動増幅器 11 に出力するゲイン制御レジスタである。ゲイン制御値は、前記差動増幅器のゲインを設定するための値である。

[0047] レジスタ 4B は、電圧可変回路 13 が生成する基準電圧のレベルを制御す

るための電圧制御値を保持し、当該電圧制御値をもつ電圧制御信号（制御信号 29）を電圧可変回路 13 に出力する電圧制御レジスタである。電圧可変回路 13 は、前記電圧制御信号（制御信号 29）が有する電圧制御値に応じて、可変である基準電圧（出力 26 の電圧）を生成する。すなわち、電圧可変回路 13 は、電圧制御信号としての制御信号 29 に応じて、可変である基準電圧（出力 26 の電圧）を生成する。

[0048] ROM 16 は、テーブル部 16 a を含む。テーブル部 16 a は、図 2 A ~ 図 2 C のようなテーブルを有する。図 2 A の磁界検知判定テーブルは、以下の第 1 テーブルである。すなわち、記憶部としての ROM 16 は、磁界検知素子 10 にかかる磁界の強度である磁界強度と、電圧制御値を増加または減少させた場合に比較器の出力が反転する直前または直後の電圧制御値とを対応させて第 1 テーブル（図 2 A の磁界検知判定テーブル）として予め記憶する。磁界検知素子 10 にかかる磁界の強度とは、磁界検知素子 10 に印加される磁界の強度である。

[0049] すなわち、磁界検知素子 10 は、磁界検知素子 10 に印加される磁界の強度を検知（検出）するためのセンサー（素子）である。

[0050] ここで、互いに直交する X 軸、Y 軸及び Z 軸を規定する。本明細書において、X 軸に沿った 2 つの方向のうち一方の方向および他方の方向を、それぞれ、X 方向および -X 方向ともいう。また、Y 軸に沿った 2 つの方向のうち一方の方向および他方の方向を、それぞれ、Y 方向および -Y 方向ともいう。また、Z 軸に沿った 2 つの方向のうち一方の方向および他方の方向を、それぞれ、Z 方向および -Z 方向ともいう。

[0051] また、以下においては、X 方向の磁界を、磁界 X または X 磁界ともいう。また、以下においては、-X 方向の磁界を、磁界 -X または -X 磁界ともいう。また、以下においては、Y 方向の磁界を、磁界 Y または Y 磁界ともいう。また、以下においては、-Y 方向の磁界を、磁界 -Y または -Y 磁界ともいう。また、以下においては、Z 方向の磁界を、磁界 Z または Z 磁界ともいう。また、以下においては、-Z 方向の磁界を、磁界 -Z または -Z 磁界と

もいう。

- [0052] また、CPU 15は、第1テーブルを作成する場面では、図4Aに示すように、既知の磁界（例えば、図2Aの無磁界、磁界X、磁界Y、磁界Z等の何れか）を磁界検知素子10に印加した状態で、電圧制御レジスタ（レジスタ4B）の保持値を順次増加または減少させる。そして、CPU 15は、比較器12の出力が反転したときに、当該反転の直前または直後のレジスタ4Bの値を、当該既知の磁界に対応する電圧制御値として第1テーブルに書き込む。
- [0053] CPU 15は、磁界を検知する場合（例えば磁界Xの有無を検知する場合）には、図2A～図2Cに示すように、検知対象の磁界に対応する電圧制御値を電圧制御レジスタ（レジスタ4B）に設定する。そして、CPU 15は、前記比較器12の出力が反転したか否かを判定する。CPU 15は、前記比較器12の出力が反転したと判定された場合、電圧制御レジスタ（レジスタ4B）に設定された当該電圧制御値に対応する磁界強度を前記第1テーブルから読み出す。これにより、CPU 15は、当該電圧制御値に対応する磁界強度の有無を判定する。
- [0054] すなわち、CPU 15は、比較器12の比較結果および第1テーブルから、当該電圧制御値に対応する磁界強度の有無を判定する。
- [0055] 例えば、CPU 15は、磁界を検知する場面では、電圧制御レジスタ（レジスタ4B）に保持された電圧制御値を順次増加または減少させ、比較器の出力が反転したときに、当該電圧制御値に対応する磁界強度を第1テーブルから検知した磁界強度として読み出すようにしてもよい。
- [0056] ここで、差動増幅器11の増幅度を切替えるための制御信号28、電圧可変回路13の基準電圧を切替えるための制御信号29、および、比較器12の出力27は、それぞれ、前記周辺logic 18ブロック内のレジスタ4A、レジスタ4B、レジスタ4Cに接続される。これにより、マイコンのプログラムにより任意に前記レジスタ4A、レジスタ4B、レジスタ4Cの値は書き換えることが出来る構成となっている。マイコンとは、各実施の形態

で説明する磁界検知マイコン（例えば、磁界検知マイコン19）に相当する。

- [0057] レジスタ4Cには、比較器12が異なる値を示す出力27を出力する毎に、比較器12の出力27（0または1）が書き込まれる。0は、Lレベルに対応する値である。1は、Hレベルに対応する値である。
- [0058] 以下においては、LレベルおよびHレベルを、それぞれ、LおよびHと表記する場合がある。
- [0059] CPU15は、レジスタ4Cの値を常に参照しているとともに、比較器12の出力（レジスタ4Cの値）が反転したか否かを判定する。比較器12の出力が反転するとは、レジスタ4Cの値が変化するということである。レジスタ4Cの値の変化は、例えば、0（L）から1（H）への変化である。
- [0060] CPU15は、前記比較器12の出力27が反転したと判定された場合、電圧制御レジスタ（レジスタ4B）に設定された当該電圧制御値に対応する磁界強度を、ROM16内の前記第1テーブルから読み出す。この場合、CPU15は、当該電圧制御値に対応する磁界強度が有ると判定する。一方、前記比較器12の出力27が反転したと判定されない場合、CPU15は、当該電圧制御値に対応する磁界強度が無いと判定する。これにより、CPU15は、当該電圧制御値に対応する磁界強度の有無を判定する。
- [0061] かかるブロック構成において、まず磁界検知素子10は、前記磁界検知素子10の平面上の垂直方向に印可される磁界の大きさに比例した電圧を、端子21、端子22間に発生させる。前記差動増幅器11は、前記端子21、前記端子22間の差電圧を任意の増幅倍率に増大させて出力25にアナログ電圧を出力する。出力25は、アナログ出力である。
- [0062] ここで、前記差動増幅器11の前記増幅倍率はマイコンのプログラムによりレジスタ4Aに任意のデジタル値を書き込むことで、増幅倍率を2倍、4倍に設定することが出来る。
- [0063] 前記比較器12は、前記差動増幅器11の出力25と前記電圧可変回路13の出力26とを比較する。前記出力25の方が大きい場合、前記比較器1

2の出力27はHレベル(1)を示し、前記出力25の方が出力26より小さい場合、前記比較器12の出力27はLレベル(0)を示す。

[0064] 図2Aは磁界検知判定テーブルである。

[0065] 図2Aにおいて、磁界強度X[mT]は、磁界のX方向の強度である。磁界強度Y[mT]は、磁界のY方向の強度である。磁界強度Z[mT]は、磁界のZ方向の強度である。

[0066] 以下においては、磁界強度X[mT]を有する磁界を、磁界X[mT]またはX[mT]ともいう。また、以下においては、磁界強度Y[mT]を有する磁界を、磁界Y[mT]またはY[mT]ともいう。また、以下においては、磁界強度Z[mT]を有する磁界を、磁界Z[mT]またはZ[mT]ともいう。

[0067] また、以下においては、-X方向に磁界強度X[mT]を有する磁界を、磁界-X[mT]または-X[mT]ともいう。また、以下においては、-Y方向に磁界強度Y[mT]を有する磁界を、磁界-Y[mT]または-Y[mT]ともいう。また、以下においては、-Z方向に磁界強度Z[mT]を有する磁界を、磁界-Z[mT]または-Z[mT]ともいう。

[0068] 図2Aの磁界検知判定テーブルは、例えば、前記レジスタ4BにデジタルコードX1を設定することにより、磁界強度X[mT]を検知するためのテーブルである。図2Aの磁界検知判定テーブルは、複数の磁界強度Y[mT]、Z[mT]を持つことが出来る。

[0069] 図2Bは、図2Aとは逆極性の磁界を検知するための磁界検知判定テーブルである。以下においては、図2Bの磁界検知判定テーブルを、単に、図2Bのテーブルともいう。

[0070] 図2Bにおいて、-X[mT]とは、磁界の-X方向の強度である。-Y[mT]とは、磁界の-Y方向の強度である。-Z[mT]とは、磁界の-Z方向の強度である。

[0071] また、図2Cは、差動増幅器11の増幅倍率(ゲイン)を設定するためのゲイン制御値を含む磁界検知判定テーブルである。ゲイン制御値は、例えば

、G 1 と表記される。

[0072] ここで、前記磁界検知素子 10 の面に対し、垂直方向に N 極の磁石を近接させた時における磁界検知素子 10 に印加される磁界を正の磁界と規定する。また、磁界検知素子 10 の面に対し、S 極の磁石を近づけた場合における磁界検知素子 10 に印加される磁界を負の磁界と規定する。

[0073] かかるブロック構成において、前記 ROM 16 には図 2 A～図 2 C に示す少なくとも 1 つの磁界検知判定テーブルが予め書き込まれており、本磁界検知マイコンを実行動作させることで、図 3 に示す磁界検知の動作タイミングチャートに示す動作を行う。図 3 の処理は、CPU 15 が行う。

[0074] 図 3 に示す通り、CPU 15 は、検知したい磁界（例えば、磁界 X [mT]）に対し、予め前記レジスタ 4 B にデジタルコード X 1 を設定する（S 11）。そして、磁界検知素子 10 に印可される磁界の強度が X [mT] より小さい場合は（S 12 で No）、前記比較器 12 の出力 27 は L となる（S 13）。一方、磁界検知素子 10 に印可された磁界の強度が X [mT] 以上の場合（S 12 で Yes）は前記比較器 12 の出力 27 は H を示す（S 14）。この場合、レジスタ 4 C に 1 が書き込まれる。CPU 15 は、レジスタ 4 C の値が変化した否か、すなわち、比較器 12 の出力 27 が反転したか否かにより、磁界検出を行う。

[0075] ここで、図 2 A に示す磁界印加判定テーブルを決定するための磁界検知設定アルゴリズム及び実行時の動作を図 4 A の磁界検知設定アルゴリズム、図 5 の動作タイミングチャートを用いて説明する。

[0076] なお、図 4 B は図 4 A の磁界検知設定アルゴリズム中のサンプルバラツキ補正アルゴリズムの処理フローを示す図である。本明細書において、サンプルとは、センサーとしての磁界検知素子 10 である。

[0077] 図 4 C は、図 4 A の磁界検知設定アルゴリズム中の磁界 X 判定処理の処理フローを示す図である。図 4 D は、図 4 A の磁界検知設定アルゴリズム中の磁界 Y 判定処理の処理フローを示す図である。図 4 E は、図 4 A の磁界検知設定アルゴリズム中の磁界 Z 判定処理の処理フローを示す図である。

- [0078] まず、マイコンのプログラムにより、前記レジスタ4 Bに任意のデジタル値を設定することが出来る。設定するデジタル値の大きさに比例して前記電圧可変回路1 3の出力2 6は大きくなる回路構成になっている。
- [0079] 図1 1は、前記電圧可変回路1 3のブロック内部回路を示す。前記電圧可変回路1 3は、基準抵抗4 2、4 4、4 6、4 9、アナログスイッチ4 3、4 5、4 7、4 8で構成される。前記基準抵抗4 2の一方の端子はGNDに接続され、基準抵抗4 2の他方の端子には基準抵抗4 4と前記アナログスイッチ4 3が接続される。同様にアレイ状に前記基準抵抗4 4、4 6、4 9は、それぞれ、前記アナログスイッチ4 5、4 7、4 8と接続される。基準抵抗4 9の最終端はVDDに接続されている。
- [0080] 前記各アナログスイッチ4 3、4 5、4 7、4 8のゲートは図1の前記制御信号2 9に接続されている。前記制御信号2 9のデジタル値により、前記アナログスイッチ4 3、4 5、4 7、4 8のいずれか一つが選択されることにより、VDD-VSS間を任意の基準抵抗の分割比に基づいた電圧が、出力2 6として出力される。
- [0081] 同様に前記差動増幅器1 1の動作を説明する。図1 2は、前記差動増幅器1 1の内部回路を示す。差動増幅器1 1は、2つのオペアンプ6 0、6 1と基準抵抗R 1、R 2で構成される。前記基準抵抗R 2は可変抵抗で構成されており、前記制御信号2 8により基準抵抗R 2の抵抗値を変えることが出来る。
- [0082] 前記オペアンプ6 0の+入力の前記磁界検知素子1 0の一方の前記端子2 2と接続される。前記オペアンプ6 1の+入力の前記磁界検知素子1 0の端子2 1と接続されている。前記オペアンプ6 1の-入力6 7とオペアンプ6 1の出力6 8とはショートされる。また、出力6 8は、基準抵抗R 1の一方に接続される。
- [0083] 前記基準抵抗R 1の他方は前記オペアンプ6 0の-入力6 5と前記基準抵抗R 2の一方の端子に接続されている。前記基準抵抗R 2の他方の端子は前記オペアンプ6 0の出力6 6および出力2 5と接続されている。

- [0084] なお基準抵抗 R_2 が可変抵抗となっているが、代わりに基準抵抗 R_1 が可変抵抗で構成されていても良い。
- [0085] ここで、前記端子 21 に前記磁界検知素子 10 のプラス側電圧 V_p 、前記端子 22 に前記磁界検知素子 10 のマイナス電圧 V_n が発生している。ここで、磁界検知素子 10 において磁界が発生していない無磁界状態では $V_p = V_n = \text{約} V_{DD} / 2$ となる。すなわち、 V_p と V_n の差電圧が理想的には 0 V となる。磁界検知素子 10 に対して磁界が印加されることにより、 V_p と V_n の間に電圧が発生し、前記出力 25 には $V_{DD} / 2 + (V_p - V_n) \times (R_2 / R_1 + 1)$ の電位が発生する。
- [0086] 図 1 の前記比較器 12 の+入力に前記差動増幅器 11 の出力 25 が接続されており、比較器 12 の-入力に前記電圧可変回路 13 の出力 26 が接続されている。前記出力 26 より前記出力 25 が大きい時、前記出力 27 は H (1) を示し、前記出力 25 より前記出力 26 が大きい時、前記出力 27 は L (0) を示す。
- [0087] 図 4 A のサンプルバラツキ補正アルゴリズム (S110) を説明する。ここでは無磁界状態の V_p と V_n の差電圧が、説明上分かりやすくするため、限りなく 0 V に近いと考える。この場合、無磁界状態において前記出力 25 は、 $V_{DD} / 2 + (V_p - V_n) \times (R_2 / R_1 + 1)$ の第二項目が 0 となるため、約 $V_{DD} / 2$ となる。
- [0088] 約 $V_{DD} / 2$ を図 5 では電圧 A と示している。ここで前記電圧可変回路 13 の出力 26 は、前記レジスタ 4 B に設定されたデジタル値により、内部の抵抗分割に基づき任意の電圧値となる。
- [0089] レジスタ 4 B の値が 00 の時、前記電圧可変回路 13 の出力 26 は V_{SS} を示すとする。また、レジスタ 4 B の値が FF の時、出力 26 は V_{DD} を示すとする。図 4 B、図 5 に示す通り、CPU 15 は、前記レジスタ 4 B に 00 を書き込むことにより、電圧可変回路 13 の出力 26 が V_{SS} になる様に初期設定する。
- [0090] この時、無磁界状態において前記出力 25 は $V_{DD} / 2$ を示す (S111

）。そのため、前記比較器 12 の出力 27 は H となる。この時、前記比較器 12 の出力 27 が L になるまで (S 112 で Yes)、CPU 15 は、前記電圧可変回路 13 のレジスタ 4B のデジタル設定値をインクリメントして (S 113)、比較動作を繰り返す。

[0091] 前記電圧可変回路 13 の出力 26 が前記出力 25 より大きい値になった時、前記比較器 12 の出力 27 は L となる。CPU 15 は、この時の前記電圧可変回路 13 のレジスタ 4B の値を前記 ROM 16 に初期値 N として保持する (S 114)。この値は、プロセスバラツキに起因し、サンプル毎にばらつく。そのため、この値を前記 ROM 16 に書き込み、必要な時に読み出すことで、後のサンプルバラツキ補正に適用出来る。

[0092] 次に、図 4C の磁界検出 X 判定アルゴリズムとしての磁界 X 判定処理 (S 120) を説明する。

[0093] CPU 15 が、前記初期値 N を設定した状態では、比較器 12 の出力 27 は L を示しているが、磁界検知素子 10 に磁界 X [mT] を印加した場合 (S 121)、磁界 X [mT] に相応して前記 V_p と V_n の差電圧が大きくなる。その結果、出力 25 は、 $(V_p - V_n) \times (R_2 / R_1 + 1)$ 分だけ増幅される。前記増幅電圧が、初期値 N 時の差動増幅器 11 の出力電圧 (電圧 A ($V_{DD} / 2$)) に加算され、電圧 B となる (図 5 参照)。

[0094] この時、前記電圧 B の方が、電圧可変回路 13 の出力 26 より大きくなるため、前記比較器 12 の出力 27 が H となる。この時、CPU 15 は、同様に前記比較器 12 の出力 27 が L となるまで (S 124 で Yes)、前記電圧可変回路 13 のレジスタ 4B のデジタル設定値をインクリメントして (S 123)、比較動作を繰り返す。

[0095] 前記電圧可変回路 13 の出力 26 が前記出力 25 より大きい値になった時、前記比較器 12 の出力 27 は L となる。図 5 ではレジスタ 4B の値が 7A であることを示している (S 125)。この時の前記電圧可変回路 13 のレジスタ 4B の値 (7A) から 1 以上引いたデジタル値 (つまり直前の値) を前記 ROM 16 に $X - 1$ として保持する (S 126)。

- [0096] 図4Dの磁界検出Y判定アルゴリズムとしての磁界Y判定処理(S130)は、前記磁界X判定処理(S120)と同様の処理が行われる。すなわち、磁界検知素子10に磁界Y[mT]が印加され(S131)、前記電圧可変回路13のレジスタ4Bのデジタル設定値をインクリメントして(S134)、比較動作(S134)を繰り返す。
- [0097] 前記電圧可変回路13の出力26が前記出力25より大きい値になった時、前記比較器12の出力27はLとなる(S134でYes)。図5ではレジスタ4Bの値が7Cであることを示している(S135)。CPU15は、この時の前記電圧可変回路13のレジスタ4Bの値(7C)から1以上引いたデジタル値を前記ROM16にY1-1として保持する(S136)。
- [0098] 磁界検出Z判定アルゴリズムとしての磁界Z判定処理(S140)は、磁界X判定処理、磁界Y判定処理と同様の処理が行われる。すなわち、磁界検知素子10に磁界Z[mT]が印加される(S141)。ステップS142~145の処理が行われる。これにより、前記ROM16にZ1-1が保持される(S146)。
- [0099] 前記ROM16に書き込まれたX1-1、Y1-1、Z1-1の値は、磁界印加の検知をする時にマイコンのプログラムによりレジスタ4Bに書き込むことで、前記電圧可変回路13の出力26が検知するための任意の電圧に設定することが出来る。
- [0100] 本アルゴリズムに基づいて、前記ROM16に図2Aに示す磁界印加判定テーブルが書き込まれている。そのため、例えば、磁界Xを検出したい場合は、図3に示す動作の通り、CPU15は、磁界検知素子10に印可される磁界の強度がX[mT]以上になると(S12でYes)、前記比較器12の出力27にHになる(S14)。これにより、CPU15は、磁界の有無を判定することが出来る。
- [0101] この様に、図1に示すブロック構成及び図4A~図4Eに示す磁界検知設定アルゴリズムの実行により、サンプル毎に確実に磁界検知の設定値を前記ROM16に書き込むことが出来る。そのため、サンプルバラツキを低減し

、かつ、CPU 15は、複数の磁界強度 X [mT]、Y [mT]、Z [mT] を検知することが出来る。

[0102] 図4A～図4Eに示す磁界検知設定アルゴリズムは、セット上に実装されたマイコン（磁界検知マイコン19）に対して実行することで、サンプル毎の磁界検知レベルの誤差を低減し、確実に磁界検知が出来、また複数の磁界強度レベルを検知することが出来る。また、さらに、磁界検知マイコンとしてマイコン出荷検査時に対して、図4A～図4Eに示す磁界検知設定アルゴリズムを実行し、マイコン出荷時に機能させることが出来る。つまり、図4A～図4Eの処理を磁界入力判定テーブル実装化のためのマイコン出荷検査時の磁界検知設定アルゴリズムとして実施する。この場合、マイコン（磁界検知マイコン）を組み込むセット側で対処する手間が省けるため、特に有効となる。

[0103] また、マイコン検査時に図4A～図4Eに示す磁界検知設定アルゴリズムを実行する場合、さらに以下のメリットがある。一般に半導体チップの出荷検査は、決められた温度範囲で動作することを保証するために低温、常温、高温等の何れか複数の温度条件で検査することが多い。この時、磁界 X [mT] を検知するためのレジスタ4Bに設定するデジタル値は X 1 より 1 つ以上低い値である X 1 - 1 であることは先ほど述べた。

[0104] ここでより正確に磁界 X [mT] を判定する方法について述べる。一般に、磁界検知素子 10 に磁界 X [mT] を印加した時、前記磁界検知素子 10 の V_p と V_n の差電圧（磁界感度）には温度特性依存がある。

[0105] 一方、前記電圧可変回路 13 は図 11 に示す前記基準抵抗 42、44、46、49 を同一種類の抵抗アレイで設計した場合、分圧比は温度によらず常にほぼ一定である。また、特に前記磁界検知素子 10 の温度特性に合わせて温度補償する必要も無い。ここで、前記磁界検知素子 10 において、低温、常温より高温の方が磁界感度が低いとする。

[0106] この場合、磁界検知素子 10 に同じ磁界 X [mT] を印加しても、低温、常温より高温時の方が、 $V_{DD}/2 + (V_p - V_n) \times (R_2/R_1 + 1)$

の値が低くなる。そのため、図5で説明する出力電圧（電圧B）が低くなる。このことは、低温、常温でレジスタ4BにX1-1を設定した場合、高温時においては前記出力電圧Bは前記電圧可変回路13の出力26より低くなり、磁界X[mT]を検知できなくなる可能性がある。温度特性を加味した上でのX1-1を設定する必要がある。

[0107] この場合、磁界印加時の前記出力電圧Bが最も低くなる温度条件（本説明では高温）において、図4A～図4Eに示す磁界検知設定アルゴリズムをマイコン出荷検査時に実行する。これにより、サンプルバラツキだけでなく、温度バラツキも低減させて確実に検知することが出来るものであることは言うまでも無い。

[0108] この様に、マイコン出荷検査時に、図4A～図4Eに示す磁界検知設定アルゴリズムを、磁界感度が弱くなる温度条件で実行することで、より精度の高い磁界検知を実現することが出来るものである。

[0109] 以上説明してきたように本実施の形態における磁界検知マイコンは、磁界を検知するための磁界検知素子10と、磁界検知素子10の出力電圧を増幅する差動増幅器11と、電圧制御信号（制御信号29）に応じて、可変である基準電圧を生成する電圧可変回路13と、差動増幅器11の出力と、電圧可変回路13が生成した基準電圧とを比較する比較器12と、前記電圧可変回路が生成する基準電圧のレベルを制御するための電圧制御値を保持し、当該電圧制御値をもつ電圧制御信号（制御信号29）を電圧可変回路13に出力する電圧制御レジスタ（レジスタ4B）と、磁界検知素子10にかかる磁界の強度である磁界強度と、電圧制御値を増加または減少させた場合に比較器の出力が反転する直前または直後の電圧制御値とを対応させて第1テーブルとして予め記憶する記憶部（ROM16）と、前記電圧制御レジスタに検知対象の磁界に対応する電圧制御値を設定し、比較器12の比較結果および第1テーブルから、当該電圧制御値に対応する磁界強度の有無を判定するCPU15とを備える。

[0110] この構成によれば、電圧制御値と磁界強度とを予め記憶部（ROM16）

に予め記憶させ、電圧制御レジスタ（レジスタ４Ｂ）に検知対象の磁界に対応する電圧制御値を設定するという簡単な処理により、電圧制御値に対応する磁界強度の有無を判定することができる。すなわち、電圧制御値に対応する磁界強度の有無を容易に判定することができる。

[0111] また、従来の電圧可変回路は、２種類の基準電圧を生成する構成である。しかしながら、本実施の形態における磁界検知マイコン１９の電圧可変回路１３は、１つの基準電圧（出力２６）を生成する構成である。そのため、電圧可変回路１３の構成を簡素にすることができる。

[0112] したがって、本実施の形態における磁界検知マイコン１９は、複雑な構成の電圧可変回路を必要とせず、磁界強度の有無を容易に判定することができる。すなわち、磁界検知マイコン１９は、簡素な構成の電圧可変回路１３を用いて、磁界強度の有無を容易に判定することができる。

[0113] また、電圧制御値と磁界強度とを予め記憶部（ROM１６）に予め記憶させることにより、電圧制御値に対応する磁界強度の有無を容易に判定することができる。また、複雑なアナログ回路を必要とせず、センサー（磁界検知素子１０）の特性バラツキを容易に低減することができる。

[0114] 差動増幅器１１は、ゲイン制御信号に応じてゲイン可変である。すなわち、ゲイン制御信号がもつゲイン制御値に応じて、差動増幅器１１の出力のゲイン（増幅度）は切り替わる。磁界検知マイコン１９は、さらに、ゲイン制御値を保持し、当該ゲイン制御値をもつゲイン制御信号（制御信号２８）を差動増幅器１１に出力するゲイン制御レジスタ（レジスタ４Ａ）を備える構成であってもよい。

[0115] 第１テーブルは、ROM１６に記憶され、ゲイン制御値毎に、磁界強度および電圧制御値を予め記憶する。

[0116] CPU１５は、磁界を検知する場面では、電圧制御レジスタ（レジスタ４Ｂ）に保持された電圧制御値を順次増加または減少させ、比較器の出力が反転したときに、当該電圧制御値に対応する磁界強度を第１テーブルから検知した磁界強度として読み出す。

- [0117] CPU 15は、テーブルを設定する場面では、既知の磁界（例えば、無磁界、磁界X、Y、Z等の何れか）を磁界検知素子10にかけた状態で、電圧制御レジスタ（レジスタ4B）の保持値を順次増加または減少させ、比較器の出力が反転したときに、反転の直前または直後のレジスタ4Bの値を、当該既知の磁界に対応する電圧制御値として第1テーブル（図2Aのテーブル）に書き込む。図2Bのテーブル（第2テーブル）、図2Cのテーブルも同様に作成することができる。
- [0118] なお、上記実施形態では、任意の磁界の例として磁界X、磁界Y、磁界Zの3つの例を用いて説明したが、3つに限らずいくつでもよい。
- [0119] （第2の実施の形態）
- 図6は、本発明の実施の形態2に係る磁界検知マイコン19Aのブロック図である。
- [0120] 以下、磁界検知マイコン19Aの構成について、図1の磁界検知マイコン19と異なる点を主に説明する。
- [0121] 図6に示すように、磁界検知マイコン19Aは、図1の磁界検知マイコン19と比較して、電圧可変回路13が、DAC50に置換えられている。DAC50は、D/Aコンバータである。すなわち、前記電圧可変回路13はD/Aコンバータ（DAC50）であってもよい。DAC50は、基準電圧としての出力51を生成する。
- [0122] また、前記DAC50の出力51は、アナログ出力選択回路54の入力に接続される。前記アナログ出力選択回路54には、出力26、52のどちらか一方を選択するための制御信号55が接続される。前記制御信号55はレジスタ4Dに接続されている。
- [0123] 出力52は、マイコンの半導体チップ上の信号の取り出し口となるパッド53に、DAC出力端子として接続されている。かかる構成によれば、汎用的にDAC50を使用したい場合は、マイコンのプログラムによりレジスタ4Dの値を任意に設定し、前記DAC50の出力51を、DAC出力端子（パッド53）に出力することができる。

- [0124] また磁界検知を行いたい場合は、前記DAC50の出力51を、出力26として、出力することが出来る。ゆえにマイコンのプログラムにより、任意のデジタルコードに応じたアナログ出力を端子に出すことが出来、DACとして機能する。
- [0125] 一方、制御信号55により、出力26を選択した時は磁界の検出が可能である。マイコンには汎用的な目的として、DACを元々内蔵している場合がある。DAC内蔵マイコンに対して本実施の形態を適用すると、電圧可変回路13が不要となり、チップ面積を削減することが出来る。
- [0126] マイコン（磁界検知マイコン19A）に内蔵されるDAC50は一般に8-bit分解能以上であることが多い。DAC50が8-bitDACである場合、電源電圧VDDが例えば3Vの場合、DAC50の分解能は、 $3V / (2^8 - 1) = \text{約} 1.2 \text{ mV}$ の分解能となる。この場合、図4A～図4Eのアルゴリズムに基づき、GNDからVDDまで広範囲に精度高く、アナログ出力選択回路54の出力26の電位を設定可能となる。
- [0127] また、マイコン内蔵のDAC50はシステム用途に合わせて、DAC出力端子としてのパッド53に出力すること、及び磁界検知として前記出力26に出力することをプログラマブルに実行することで、時分割で兼用することが出来る。そのため、電圧可変回路13は不要となり、最小かつ高精度な磁界検知マイコンを提供するものである。
- [0128] ここで、図6の出力25は、 $VDD / 2 + (Vp - Vn) \times (R2 / R1 + 1)$ の電位が発生することは前回説明した。本実施の形態に基づく出力26には、前記DAC50の出力（ $(VDD / (2^n - 1)) \times \text{DAC設定値}$ ）の電位が発生する。nは、n-bitDACのnである。ある任意の磁界X[mT]を検知したい場合、磁界X[mT]を印加時に、以下の式1が成立する様に、CPU15がDAC50の値（DAC設定値）を設定すると、CPU15は、磁界X[mT]を検知することが出来る。
- [0129] $VDD/2+(Vp-Vn) \times (R2/R1+1) > ((VDD/(2^n-1)) \times \text{DAC設定値}) \dots$ (式1)
- [0130] よって、本実施の形態による磁界検知マイコン19Aは、複数の磁界強度

に対し、式 1 に基づく D A C 設定値により、容易に磁界検知の設定が可能となる。その結果、磁界検知を行うための複雑なアナログ回路等を必要としない。前記 D A C 設定値は図 5 のアルゴリズムによりサンプル毎に D A C 設定値を設定できる。そのため、サンプル毎のプロセスバラツキを低減し、確実かつ容易に複数の磁界検知を実現することが出来る。

[0131] (第 3 の実施の形態)

図 8、図 9 および図 10 は、本発明の実施の形態 3 に係る磁界検知マイコンの磁界極性を検知するアルゴリズムであり、以下にその動作を説明する。本実施の形態に係る磁界検知マイコンは、第 1 の実施の形態に係る磁界検知マイコン 19 である。

[0132] 本実施の形態に係る磁界検知マイコン 19 は、前記磁界検知素子 10 にかかる S 極の磁界強度と、前記比較器 12 の出力が反転する条件を示す電圧制御値とを予め記憶する。前記第 1 テーブル (図 2 A のテーブル) は、前記磁界検知素子 10 にかかる N 極の磁界強度と、前記比較器 12 の出力が反転する条件を示す電圧制御値とを予め記憶する。前記 C P U 15 は、前記第 1 テーブルを用いた磁界検知と、前記第 2 テーブル (図 2 B のテーブル) を用いた磁界検知とを所定回数ずつ交互に行う。

[0133] 以下、本実施の形態に係る磁界検知マイコン 19 が行う具体的な処理を説明する。

[0134] 図 7 は、磁界検知素子を内蔵したマイコンと磁石の関係を示しており、マイコンチップとしてのマイコンの平面に対し垂直に磁界が印加されている。マイコンとは、各実施の形態で説明する磁界検知マイコン (例えば、磁界検知マイコン 19) に相当する。

[0135] 本実施の形態に係る磁界検知マイコン 19 は、前記磁界検知素子 10 にかかる S 極の磁界強度と、前記比較器 12 の出力が反転する条件を示す電圧制御値とを予め記憶している。本実施の形態で使用される前記第 1 テーブル (図 2 A のテーブル) は、前記磁界検知素子にかかる N 極の磁界強度と、前記比較器の出力が反転する条件を示す電圧制御値とを予め記憶する。

- [0136] 磁石のN極をマイコンに近づけた場合、正極性の磁界が発生し、磁石のS極をマイコンに近づけた場合、負極性の磁界が発生する。図7に示す磁界方向を検知する方法を、図8、図9および図10で示す。以下においては、磁石のN極およびS極を、単に、N極をおよびS極ともいう。
- [0137] 図8は、マイコンに対し、N極側接近時の正極磁界検知の設定アルゴリズムと動作タイミングチャートを示している。
- [0138] 図8の設定アルゴリズムでは、例えば図2Aの磁界検知判定テーブルが作成される。N極をマイコンに近接した場合、 $V_p > V_n$ の電位差が発生する。そのため、出力25には、 $V_{DD}/2 + (V_p - V_n) \times (R_2/R_1 + 1)$ の式の第二項が正となることにより、 $V_{DD}/2$ より高い電圧が発生する。
- [0139] 本実施の形態における検知レベルのアルゴリズムは図5で説明したものと同一である。すなわち、磁界X [mT]を検知するためのDAC50の出力電圧（出力51）が定めれば、図8に示す通り、無磁界と磁界X [mT]との印加に応じて、前記比較器12の出力X1-1により判定することが出来る。
- [0140] 図9は、マイコンにS極側を接近させた時の負極磁界検知の設定アルゴリズムを示す。図9の設定アルゴリズムでは、例えば図2Bの磁界検知判定テーブルが作成される。
- [0141] 以下に本実施の形態の動作を説明する。図9は、図8の正極性のX [mT]の印加に対し、負極性の $-X$ [mT]を印加することと等しい。S極をマイコンに近接した場合、 $V_p < V_n$ の電位差が発生する。そのため、 $V_{DD}/2 + (V_p - V_n) \times (R_2/R_1 + 1)$ の式の第二項が負となる。そのため、 $V_{DD}/2$ より低い電圧が出力25に発生する。
- [0142] このとき、図9に示すように、磁界検知素子10に磁界 $-X$ を印加した時の差動増幅器11の出力電圧は、電圧 $-B$ になる。この時、CPU15は、前記比較器12の出力27がHになるまで、前記電圧可変回路13のレジスタ4Bのデジタル設定値をデクリメントして、比較動作を繰り返す。

- [0143] 前記電圧可変回路 13 の出力 26 が前記出力 25 より小さい値になった時、前記比較器 12 の出力 27 は H となる。CPU 15 は、この時の前記電圧可変回路 13 のレジスタ 4B の値から 1 以上足したデジタル値（つまり直後の値）を前記 ROM 16 に $-X1 + 1$ として保持する。
- [0144] 磁界 $-X$ [mT] を検知するための DAC 50 の出力電圧 $-X1 + 1$ が定められ、図 9 に示す通り、磁界検知素子 10 に対する無磁界および磁界 $-X$ [mT] の印加に応じて、CPU 15 は、前記比較器 12 の出力 27 により N/S 極を判定することが出来る。
- [0145] 次に、図 10、図 3 を用いて、N 極/S 極印加判定マイコン実行シーケンスを説明する。磁界検知素子 10（マイコン）に対する N 極の磁界の印加を判定するため、CPU 15 は、前記 ROM 16 に書かれた $X1 - 1$ の値をレジスタ 4B に保持させ（S11）、図 3 に示す動作に基づき、 X 磁界の判定を行う。
- [0146] 次に、S 極の磁界を判定するため、CPU 15 は、前記 ROM 16 に書かれた $-X1 + 1$ の値を、レジスタ 4B に保持させ、図 3 に示す動作と同様に、 $-X$ 磁界の判定を行う。図 10 に示す通り、時分割にマイコンプログラムを実行する。すなわち、前記 CPU 15 は、前記第 1 テーブルを用いた磁界検知と、前記第 2 テーブルを用いた磁界検知とを所定回数ずつ交互に行う。
- [0147] これにより、CPU 15 は、N/S 極の磁界が、磁界検知素子 10（マイコン）に印加されているか否かを判定をすることが出来る。
- [0148] 時分割のタイミング頻度は、要求するセット仕様に合わせてプログラムにより最適に設定できることは言うまでもない。図 10 の電源オフは、磁界検知素子 10 のスイッチ 30、31 をオフさせた状態を示している。電源オフにより、磁界検知素子 10 に流れる電流を削減させている。
- [0149] 本実施の形態によれば、半導体基板上の垂直の磁界の向き（N 極/S 極）の検知、及び複数の所望の磁界強度の検知を行うことができる。
- [0150] （第 4 の実施の形態）

図13は、本発明の実施の形態4に係る磁界検知マイコン19Bのブロック図である。

- [0151] 本実施の形態における磁界検知マイコン19Bは、電源電圧を昇圧する昇圧回路100と、昇圧された電源電圧と昇圧されていない電源電圧の一方を選択し、選択した電源電圧を前記磁界検知素子に供給する電圧切替回路104とを備える。第1テーブル（図2Aのテーブル）は、昇圧された電源電圧および昇圧されていない電源電圧のそれぞれに対応する、前記磁界強度および前記電圧制御値を予め記憶する。前記CPU15は、前記電圧切替回路104により選択された電源電圧に対応する電圧制御値を用いて磁界強度を検知する。
- [0152] 次に、磁界検知マイコン19Bの構成および、磁界検知マイコン19Bが行う具体的処理について説明する。
- [0153] まず、磁界検知マイコン19Bの構成について、図6の磁界検知マイコン19Aと異なる点を主に説明する。
- [0154] 図13に示すように、磁界検知マイコン19Bは、図6の磁界検知マイコンと比較して、昇圧回路100と電圧切替回路104とをさらに備える。昇圧回路100は、電源電圧を昇圧する。
- [0155] 前記昇圧回路100は、昇圧の基準電位101に電源VDDを接続し、昇圧後の出力信号としての出力102が前記電圧切替回路104の一方の入力に接続される。電圧切替回路104の入力103はVDDに接続される。
- [0156] 電圧切替回路104は、制御信号106に応じて、前記出力102、前記入力103のどちらか一方を、出力105として、出力する。すなわち、電圧切替回路104は、昇圧された電源電圧と昇圧されていない電源電圧の一方を選択し、選択した電源電圧を前記磁界検知素子に供給する。制御信号106はレジスタ4Eに接続される。レジスタ4Eには、CPU15により任意に値を設定することが可能である。
- [0157] 昇圧回路100は一般にLCD表示機能内蔵マイコンにおいて、LCDを駆動するためのLCD昇圧回路が内蔵されている。

[0158] なお、前記昇圧回路100は、前記LCD昇圧回路と兼用しても良い。前記昇圧回路100がk倍昇圧回路である場合、出力102は、 $k \times VDD$ の電位となる。前記昇圧回路100の出力102が、磁界検知素子10の電源電圧として選択される場合、マイコンのプログラムにより、レジスタ4Eに選択値が設定される。

[0159] 磁界検知素子10は、印加される電源電圧に比例して前記端子21と前記端子22との差電圧が大きくなる。この時、磁界検知素子10の電源電圧感度係数をhとした場合、式1より、出力25は、 $k \times VDD / 2 + h (Vp - Vn) \times (R2 / R1 + 1)$ となる。そのため、hの係数分だけ、出力25（出力電圧）が大きくなる。これにより、特に微小磁界を検出する時に有効である。このとき、ある任意の微小の磁界 ΔX [mT]を検知したい場合、磁界 ΔX [mT]を印加時に、以下の式2が成立する様に、CPU15がDAC50の値（DAC設定値）を設定することにより、CPU15は、微小の磁界 ΔX [mT]を検知することが出来る。すなわち、前記CPU15は、前記電圧切替回路104により選択された電源電圧に対応する電圧制御値を用いて磁界強度を検知する。

[0160] $k \times VDD / 2 + h (Vp - Vn) / (R2 / R1 + 1) > ((VDD / (2^n - 1)) \times DAC \text{設定値}) \dots$ (式2)

[0161] (第5の実施の形態)

図14は、本発明の第5の実施の形態に係る磁界検知マイコンに使用される半導体基板200の斜視図である。第5の実施の形態に係る磁界検知マイコンは、磁界検知マイコン19、19A、19Bのいずれであってもよい。

[0162] 前記磁界検知素子10、前記差動増幅器11、前記電圧可変回路13、前記比較器12、前記電圧制御レジスタ（レジスタ4B）、前記記憶部（ROM16）、および前記CPU15は、同一の半導体基板200上に形成されている。

[0163] なお、図14には、図の簡略化のため、磁界検知マイコンに含まれる全ての構成要素のうち、半導体基板200に形成される一部の構成要素のみが示される。例えば、図14には、差動増幅器11、電圧可変回路13、比較器

12、レジスタ4B、ROM16、CPU15等は示されていない。

[0164] 以下、半導体基板200の構成について詳細に説明する。

[0165] 半導体基板200は、P型基板とする。なお、半導体基板200は、P型基板に限定されず、N型基板であってもよい。

[0166] 半導体基板200には、磁界検知素子10が形成される。

[0167] また、半導体基板200には、Nwell (Nウエル) 201、202が形成されている。Nwell 201の四隅には、端子21、22、23、24が形成されている。端子21、22、23、24は、電極取り出し口として機能する。

[0168] すなわち、半導体基板200には、ホール素子としての磁界検知素子10が形成されている。すなわち、前記磁界検知素子10はホール素子である。

[0169] Nwell 202には、PチャネルトランジスタとしてP型にドーパされたソース203、ドレイン205、ゲート204が形成されている。また、半導体基板200には、NチャネルトランジスタとしてN型にドーパされたソース208、ドレイン206、ゲート207が形成されている。

[0170] Pチャネルトランジスタを形成しているNwell 202と、ホール素子を形成しているNwell 201は同一のNwellである。

[0171] Nwell 202は微細CMOSを形成するNwellであり、Nwell 202の濃度は微細プロセスに適した濃度になっている。

[0172] 一般にホール素子の感度はキャリア移動度 μ に比例し、Nwellの濃度は低いほどキャリア移動度 μ は高くなる。よってホール素子の感度を高めるために単体ホール素子、及び単体ホールICではキャリア移動度 μ が大きくなる様にNwellの濃度を適切に調整している。

[0173] しかしながらマイコンと同一基板、同一微細CMOSプロセスでホール素子を形成する場合は、微細CMOSで形成されるNwellの濃度で形成せざるを得ない。そのため、最適なプロセスを用いた単体ホール素子、単体ホールICより、内蔵ホール素子(磁界検知素子10)の感度を高めることは一般に困難である。

[0174] しかしながら、図1、図6または図13に示す磁界検知マイコン、及び図5等の磁界検知設定アルゴリズムを利用すれば、前記差動増幅器11への制御信号28により、前記基準抵抗R2の抵抗を可変させることにより、差動増幅器11の増幅率を向上させることが出来る。

[0175] さらに、電圧可変回路13の制御信号29をマイコンプログラムにより任意に設定することでサンプルバラツキを低減させることが出来る。さらに、前記昇圧回路100により前記ホール素子（磁界検知素子10）の感度を高めることが出来き、かつマイコン出荷検査時に温度特性バラツキを低減出来る。そのため、微細CMOS上のNwellを用いても、磁界感度の低下を補い確実に磁界検知を実現できるものである。

[0176] この様に、従来、ホール素子またはホールICとマイコンを同一プロセスで実現することは困難であったが、同一基板上に同一プロセスで実現出来ることにより、小面積、低コストな磁界検知マイコンを実現することができる。

[0177] 特に、不揮発性Flashマイコンにおいては、通常の揮発性CMOSマスクROMマイコンより高耐圧トランジスタを搭載していることが多い。その場合、ホール素子の感度が高くなるNwell、つまりキャリア移動度 μ が高くなる高耐圧素子を形成するNwellを用いてホール素子を形成することはさらに有効である。

[0178] （第6の実施の形態）

図15は、本発明の第6の実施の形態に係る磁界検知マイコンの半導体レイアウト図である。図15に示される各構成要素は、半導体基板200上に形成される。

[0179] 半導体基板200の四隅（コーナセル上）には、ホール素子部300、301、302、303が形成される。

[0180] ホール素子部300、301、302、303の各々は、図14のホール素子としての磁界検知素子10が形成される部分（領域）である。

[0181] 前記ホール素子部300、301、302、303に挟まれた領域314

、 315、316、317には、IOセル305、306、307、308、309、310、311、312、313が配置されている。

[0182] 前記IOセル305、306、307、308、309、310、311、312、313の各々の中には、パッド304が配置される。また、領域314、315、316、317で囲まれる領域は、ROM16、RAM17、周辺logic18等が形成される回路領域である。当該回路領域は、スタンダードセルで組まれた回路領域である。

[0183] 次に、図15の領域350について、図16を用いて詳細なレイアウトを説明する。

[0184] 図16では、図15に対してIOセル308、309の電源ライン352、電源ライン353をさらに示す。電源ライン352は、電圧VDDを供給する線である。電源ライン353は、電圧VSSを供給する線である。

[0185] 電源ライン352、電源ライン353は、各IOセル308、309の電源として接続されている。電源ライン352、電源ライン353は、前記ホール素子部301の端子21、22、23、24とは交差しない様に配置されている。

[0186] 図16には、ホール素子部301のNwell201、IOセル305のNwell354、IOセル309のNwell355が示される。

[0187] この様にIOセル308とIOセル309に挟まれた四隅のコーナセル領域は一般に電源ライン352、353が配置されているのみで、空き領域になっている。前記空き領域にNwell201を配置し、Nwell201に、電極としての端子21、22、23、24を接続することにより、ホール素子部301において磁界検知素子10を構成することが可能である。

[0188] かかる構成によれば、図1の磁界検知素子10をホール素子で形成する場合、ホール素子の面積を増やすことなく、磁界検知素子10をワンチップ上に配置することが出来、低コスト化を実現することが出来る。

[0189] またワンチップ上において、前記ホール素子としての磁界検知素子10（センサー）に対するノイズ源となる各種回路から最も離れた場所である四隅

に前記ホール素子（磁界検知素子10）を配置出来るため、マイコン動作時のノイズの影響を受けにくく、有効である。

[0190] 本実施の形態では、ホール素子としての磁界検知素子10は、前記半導体基板200の4隅に形成される。なお、ホール素子は、半導体基板200の4隅全てに限定されず、例えば、半導体基板200の4隅のうちの1隅のみに形成されてもよい。すなわち、前記ホール素子としての磁界検知素子10は、前記半導体基板200の4隅のうちの少なくとも1隅に形成される。

[0191] （第7の実施の形態）

図17は、本発明の実施の形態7に係る磁界検知マイコン405のブロック図である。

[0192] 図17に示すように、磁界検知マイコン405は、磁界検知回路ブロック400、401、402、403と、CPU15と、ROM16と、RAM17と、周辺logic18とを備える。

[0193] 磁界検知回路ブロック400は、図1に示される、ホール素子としての磁界検知素子10、差動増幅器11、比較器12、電圧可変回路13、及び各制御信号28、29を含む。なお、磁界検知素子10、差動増幅器11、比較器12、電圧可変回路13等の接続構成は、図1の接続構成と同様である。

[0194] 磁界検知回路ブロック401、402、403の各々の構成は、磁界検知回路ブロック400の構成と同一である。

[0195] すなわち、磁界検知マイコン405は、磁界検知回路ブロック401に加え、さらに、前記磁界検知素子10と同じ構成の3つの磁界検知素子10と、前記差動増幅器11、前記電圧可変回路13および前記比較器12を含むセットと同じ構成の3つのセットとを有する。前記CPU15は、4つのセット（磁界検知回路ブロック400、401、402、403）のそれぞれを用いて磁界を検知する。

[0196] 磁界検知回路ブロック400、401、402、403は、それぞれ、ホール素子部300、301、302、303を含む。ホール素子部300の

出力は、出力27に相当する。また、ホール素子部301、302、303の出力は、それぞれ、出力410、出力420、出力430に相当する。

[0197] ホール素子部300、301、302、303は、図15で説明したように、半導体基板200の四隅に配置される。ホール素子部300、301、302、303の各々には、磁界検知素子10が形成される。すなわち、4つの前記磁界検知素子10は、前記半導体基板200の4隅に配置される。

[0198] かかる構成によれば、ホール素子部300、301、302、303は半導体基板200上の空き領域である四隅コーナセルに配置される。これにより、ホール素子部を配置するための面積が削減できる。

[0199] また、半導体基板200の対角線上最外郭にホール素子部300、301、302、303を配置可能なため、CPU15は、磁界の方向を敏感に検知することが出来る。

[0200] そのことを図18の動作タイミングチャート、図19の磁界印加状態を示す図で説明する。図18における出力27、出力410、出力420、出力430は、それぞれ、図15、図17のホール素子部300、301、302、303における出力27、410、420、430に対応している。

[0201] 図18におけるH出力パルスのタイミング、すなわち、各ホール素子上の垂直磁界が所望の磁界強度に達した時にHパルスを出力して磁界検知したものとする。図19は図15に対し磁界の方向（向き）YL、XR、YR、XLを追加図示したものである。

[0202] 図18において、CPU15が、出力27、出力410の順に磁界を検知した場合、磁界の向きは図19に示す磁界YL方向である。CPU15が、出力410、出力420の順に磁界を検知した場合、磁界の向きは図19に示す磁界XR方向である。

[0203] CPU15が、出力420、出力430の順に磁界を検知した場合、磁界の向きは図19に示す磁界YR方向である。CPU15が、出力430、出力27の順に磁界を検知した場合、磁界の向きは図19に示す磁界XL方向である。磁界の向きはホール素子面上の垂直磁界の強度により時間軸上の位

相として現れる。

- [0204] 図18に示すCLKはマイコンのクロックであり、CLKを前記周辺Logic18に含まれたタイマーカウンタでCLKをカウントすることで位相のズレを検知することが出来る。また、CPU15は、上述のように、マイコン制御により磁界の方向（向き）YL、XR、YR、XLを検知することが出来る。
- [0205] また磁界検知に際しマイコンのプログラムにより前記昇圧回路100、前記差動増幅器11の増幅度、前記電圧可変回路13を各々最適な値に設定することで、最適な検知状態に設定できることは言うまでも無い。
- [0206] この様に本実施の形態によれば、前記ホール素子部を配置するための面積が削減でき、既存のマイコンプロセスでホール素子とのマイコン混載ワンチップ化が実現できる。すなわち、既存のマイコンの製造プロセスにおいて、ホール素子とのマイコン混載ワンチップ化が実現できる。
- [0207] また、半導体基板水平方向の磁界の向き（チップIO上辺のX方向、チップIO左辺のY方向、チップIO下辺のX方向、チップIO右辺のY方向）を検知することが出来、低コストの磁界検知マイコンを提供することが出来る。すなわち、サンプル毎のホール素子のオフセット誤差の低減、温度特性の低減等を最小面積で低コストに実現出来る。
- [0208] また、本実施の形態ではワンチップ上の四隅だけでなく、IO帯の任意の場所にホール素子を追加配置して、磁界方向の検出精度を高めることも可能である。またチップサイズは正方形の方が各四隅のホール素子に対して均一な条件となるため、特に有効である。すなわち、半導体基板200の形状は、正方形であることが好ましい。
- [0209] 以上の各実施の形態により、最小限の手段により、センサーのサンプルバラツキ誤差を低減することができる。また、半導体基板200上の垂直の磁界の向き（N極/S極）の検知、及び複数の所望の磁界強度レベルの検知を行うことができる。また、ホール素子部を配置するための面積が削減でき、既存のマイコンプロセスでホール素子とのマイコン混載ワンチップ化が実現出

来る。また、半導体基板 200 の水平方向の磁界の向き（チップ 10 上辺の X 方向、チップ 10 左辺の Y 方向、チップ 10 下辺の X 方向、チップ 10 右辺の Y 方向）を検知することが出来、低コストの磁界検知マイコンを提供することが出来る。

[0210] (機能ブロック図)

図 20 は、磁界検知マイコン 500 の特徴的な機能構成を示すブロック図である。磁界検知マイコン 500 は、前述の磁界検知マイコン 19、19A、19B、405 のいずれかに相当する。つまり、図 20 は、磁界検知マイコン 19、19A、19B、405 のいずれかの有する機能のうち、本発明に関わる主要な機能を示すブロック図である。

[0211] 磁界検知マイコン 500 は、磁界検知素子 510 と、差動増幅器 520 と、電圧可変回路 530 と、比較器 540 と、電圧制御レジスタ 550 と、記憶部 560 と、CPU 570 とを備える。

[0212] 磁界検知素子 510 は、磁界を検知するための素子である。磁界検知素子 510 は、磁界検知素子 10 に相当する。

[0213] 差動増幅器 520 は、前記磁界検知素子 510 の出力電圧を増幅する。差動増幅器 520 は、差動増幅器 11 に相当する。

[0214] 電圧可変回路 530 は、電圧制御信号（制御信号 29）に応じて、可変である基準電圧を生成する。電圧可変回路 530 は、電圧可変回路 13 または DAC 50 に相当する。

[0215] 比較器 540 は、前記差動増幅器 520 の出力と、前記電圧可変回路 530 が生成した基準電圧とを比較する。そして、比較器 540 は、当該比較結果を出力する。比較器 540 は、比較器 12 に相当する。比較器 540 が出力する比較結果は、出力 27 に相当する。

[0216] 電圧制御レジスタ 550 は、電圧制御値を保持し、当該電圧制御値をもつ前記電圧制御信号を前記電圧可変回路 530 に出力する。当該電圧制御値は、前記電圧可変回路が生成する基準電圧のレベルを制御するための値である。電圧制御レジスタ 550 は、レジスタ 4B に相当する。

- [0217] 記憶部560は、前記磁界検知素子510にかかる磁界の強度である磁界強度と、前記電圧制御値を増加または減少させた場合に前記比較器540の出力が反転する直前または直後の前記電圧制御値とを対応させて第1テーブルとして予め記憶する。記憶部560は、ROM16に相当する。第1テーブルは、例えば、図2Aの磁界検知判定テーブルに相当する。
- [0218] CPU570は、前記電圧制御レジスタ550に検知対象の磁界に対応する電圧制御値を設定する。また、CPU570は、前記比較器540の比較結果および前記第1テーブルから、当該電圧制御値に対応する磁界強度の有無を判定する。CPU570は、CPU15に相当する。
- [0219] なお、磁界検知マイコン500に含まれる差動増幅器520、電圧可変回路530、比較器540、電圧制御レジスタ550、記憶部560およびCPU570の全てまたは一部は、1つのLSI (Large Scale Integration : 大規模集積回路) 等のハードウェアで構成されてもよい。
- [0220] 以上、本発明における磁界検知マイコンについて、実施の形態に基づいて説明したが、本発明は、これらの実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもの、あるいは異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。
- [0221] また、本発明は、上記の各実施の形態に係る磁界検知マイコンが備える特徴的な構成部の動作をステップとする磁界検知方法として実現してもよい。また、本発明は、そのような磁界検知方法に含まれる各ステップをコンピュータに実行させるプログラムとして実現してもよい。また、本発明は、そのようなプログラムを格納するコンピュータ読み取り可能な記録媒体として実現されてもよい。また、当該プログラムは、インターネット等の伝送媒体を介して配信されてもよい。
- [0222] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての

変更が含まれることが意図される。

産業上の利用可能性

[0223] 本発明は、複雑な構成の電圧可変回路を必要とせず、磁界強度の有無を容易に判定することが可能な磁界検知マイコンとして、有用である。

符号の説明

[0224] 1 J BUS
4 A、4 B、4 C、4 D、4 E レジスタ
1 0、5 1 0 磁界検知素子
1 1、5 2 0 差動増幅器
1 2、5 4 0 比較器
1 3、5 3 0 電圧可変回路
1 5、5 7 0 CPU
1 6 ROM
1 6 a テーブル部
1 7 RAM
1 8 周辺logic
1 9、1 9 A、1 9 B、4 0 5、5 0 0 磁界検知マイコン
2 1、2 2、2 3、2 4 端子
2 5、2 6、2 7、5 1、5 2、6 6、6 8、1 0 2、1 0 5、4 1 0、4
2 0、4 3 0、OUT、OUTA 出力
2 8、2 9、5 5、1 0 6 制御信号
3 0、3 1 スイッチ
4 2、4 4、4 6、4 9、R 1、R 2 基準抵抗
4 3、4 5、4 7、4 8 アナログスイッチ
5 0 DAC
5 3、3 0 4 パッド
5 4 アナログ出力選択回路
6 0、6 1 オペアンプ

65、67 ー入力
100 昇圧回路
101 基準電位
103 入力
104 電圧切替回路
200 半導体基板
201、202、354、355 Nwell
203、208 ソース
204、207 ゲート
205、206 ドレイン
300、301、302、303 ホール素子部
305、306、307、308、309、310、311、312、31
3 IOセル
314、315、316、317、350 領域
352、353 電源ライン
400、401、402、403 磁界検知回路ブロック
550 電圧制御レジスタ
560 記憶部
X センサーIC
X3 出力端子
X4 入力端子
Y マイコン
HAL1 ホール素子
AMP1 増幅回路
CMP1 比較回路
BL1 基準電圧回路
SW1 スイッチ回路
OUTB、VTH1、VTH2 基準電圧

請求の範囲

- [請求項1] 磁界を検知するための磁界検知素子と、
前記磁界検知素子の出力電圧を増幅する差動増幅器と、
電圧制御信号に応じて、可変である基準電圧を生成する電圧可変回路と、
前記差動増幅器の出力と、前記電圧可変回路が生成した基準電圧とを比較する比較器と、
前記電圧可変回路が生成する基準電圧のレベルを制御するための電圧制御値を保持し、当該電圧制御値をもつ前記電圧制御信号を前記電圧可変回路に出力する電圧制御レジスタと、
前記磁界検知素子にかかる磁界の強度である磁界強度と、前記電圧制御値を増加または減少させた場合に前記比較器の出力が反転する直前または直後の前記電圧制御値とを対応させて第1テーブルとして予め記憶する記憶部と、
前記電圧制御レジスタに検知対象の磁界に対応する電圧制御値を設定し、前記比較器の比較結果および前記第1テーブルから、当該電圧制御値に対応する磁界強度の有無を判定するCPUとを備える
磁界検知マイコン。
- [請求項2] 前記差動増幅器は、ゲイン制御信号に応じてゲイン可変であり、
前記磁界検知マイコンは、さらに、
前記差動増幅器のゲインを設定するためのゲイン制御値を保持し、当該ゲイン制御値をもつゲイン制御信号を前記差動増幅器に出力するゲイン制御レジスタを備え、
前記第1テーブルは、ゲイン制御値毎に、前記磁界強度および前記電圧制御値を予め記憶する
請求項1記載の磁界検知マイコン。
- [請求項3] 前記CPUは、前記電圧制御レジスタに保持された前記電圧制御値を順次増加または減少させ、前記比較器の出力が反転したときに、当

該電圧制御値に対応する磁界強度を前記第1テーブルから検知した磁界強度として読み出す

請求項1または2記載の磁界検知マイコン。

[請求項4] 前記電圧可変回路はD/Aコンバータである

請求項1～3のいずれか1項に記載の磁界検知マイコン。

[請求項5] 前記磁界検知マイコンは、さらに、前記磁界検知素子にかかるS極の磁界強度と、前記比較器の出力が反転する条件を示す電圧制御値とを予め記憶し、

前記第1テーブルは、前記磁界検知素子にかかるN極の磁界強度と、前記比較器の出力が反転する条件を示す電圧制御値とを予め記憶する

請求項1記載の磁界検知マイコン。

[請求項6] 前記CPUは、前記第1テーブルを用いた磁界検知と、前記第2テーブルを用いた磁界検知とを所定回数ずつ交互に行う

請求項5記載の磁界検知マイコン。

[請求項7] 前記磁界検知マイコンは、さらに、

電源電圧を昇圧する昇圧回路と、

昇圧された電源電圧と昇圧されていない電源電圧の一方を選択し、選択した電源電圧を前記磁界検知素子に供給する電圧切替回路とを備え、

前記第1テーブルは、昇圧された電源電圧および昇圧されていない電源電圧のそれぞれに対応する、前記磁界強度および前記電圧制御値を予め記憶し、

前記CPUは、前記電圧切替回路により選択された電源電圧に対応する電圧制御値を用いて磁界強度を検知する

請求項1記載の磁界検知マイコン。

[請求項8] 前記磁界検知素子はホール素子であり、

前記磁界検知素子、前記差動増幅器、前記電圧可変回路、前記比較

器、前記電圧制御レジスタ、前記記憶部、および前記CPUは、同一半導体基板上に形成されている

請求項1～7のいずれか1項に記載の磁界検知マイコン。

[請求項9] 前記ホール素子は、前記半導体基板の4隅のうちの少なくとも1隅に形成される

請求項8記載の磁界検知マイコン。

[請求項10] 前記磁界検知マイコンは、さらに、
前記磁界検知素子と同じ構成の3つの磁界検知素子と、
前記差動増幅器、前記電圧可変回路および前記比較器を含むセットと同じ構成の3つのセットとを有し、

4つの前記磁界検知素子は、前記半導体基板の4隅に配置され、
前記CPUは、4つのセットのそれぞれを用いて磁界を検知する
請求項8記載の磁界検知マイコン。

[請求項11] 磁界検知マイコンにおける磁界検知方法であって、
前記磁界検知マイコンは、
磁界を検知するための磁界検知素子と、
前記磁界検知素子の出力電圧を増幅する差動増幅器と、
電圧制御信号に応じて可変である基準電圧を生成する電圧可変回路と、

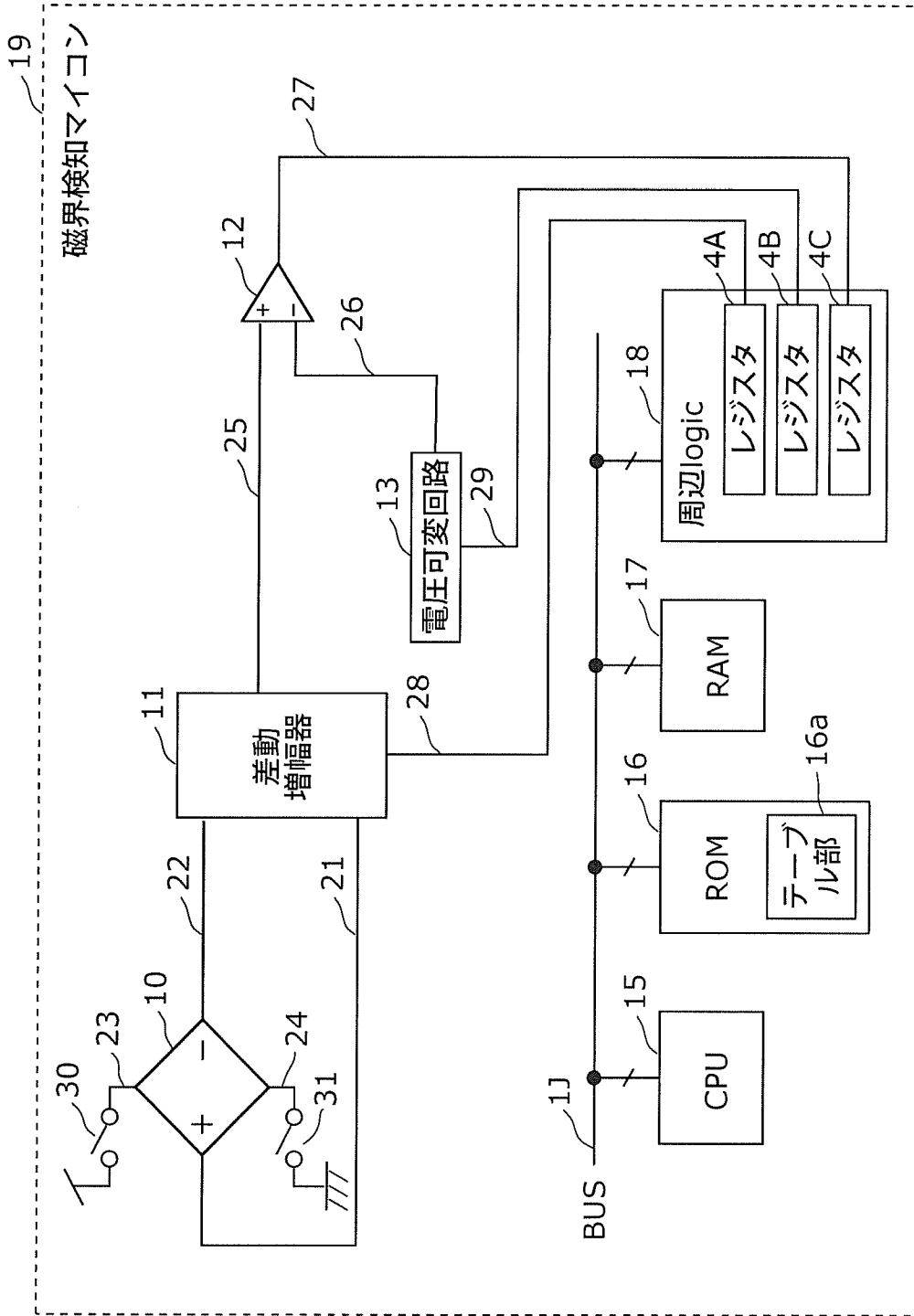
前記差動増幅器の出力と、前記電圧可変回路が生成した基準電圧とを比較する比較器と、

前記電圧可変回路が生成する基準電圧のレベルを制御するための電圧制御値を保持し、当該電圧制御値をもつ前記電圧制御信号を前記電圧可変回路に出力する電圧制御レジスタと、

前記磁界検知素子にかかる磁界の強度である磁界強度と、前記電圧制御値を増加または減少させた場合に前記比較器の出力が反転する直前または直後の前記電圧制御値とを対応させて第1テーブルとして予め記憶する記憶部とを備え、

前記磁界検知方法は、
前記電圧制御レジスタに検知対象の磁界に対応する電圧制御値を設定し、
前記比較器の出力が反転したか否かを判定し、
前記比較器の出力が反転したと判定された場合、当該電圧制御値に対応する磁界強度を前記第1テーブルから読み出す
磁界検知方法。

[図1]



[図2A]

磁界検知判定テーブル	
磁界入力	レジスタ4B の設定値
無磁界 X[mT]	初期値N X1
⋮	⋮
Y[mT]	Y1
Z[mT]	Z1

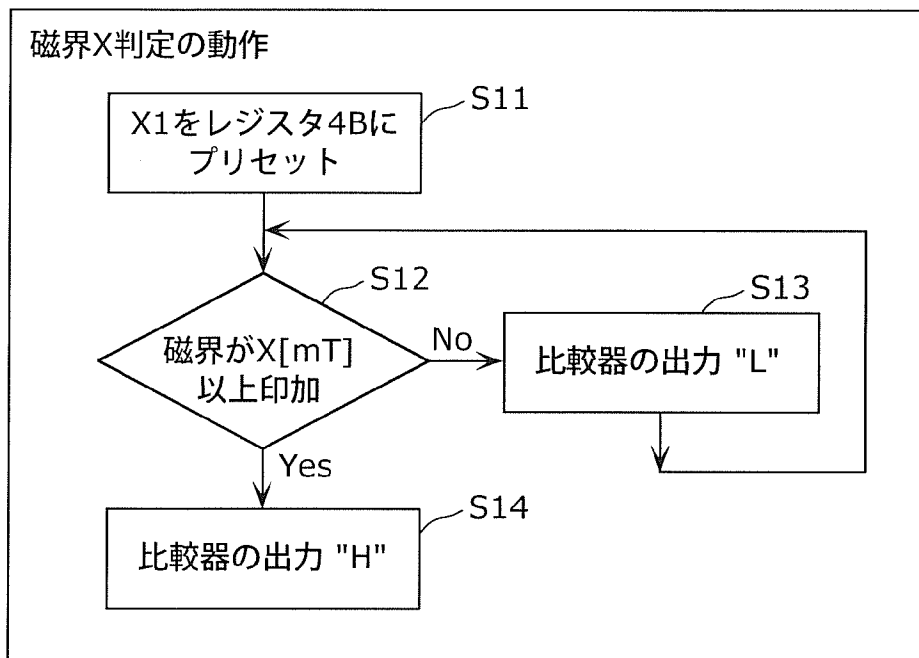
[図2B]

磁界検知判定テーブル	
磁界入力	レジスタ4B の設定値
無磁界 -X[mT]	初期値N X2
⋮	⋮
-Y[mT]	Y2
-Z[mT]	Z2

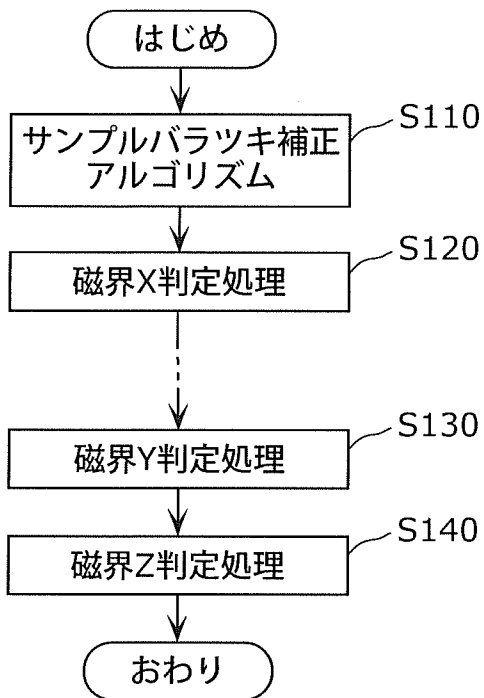
[図2C]

磁界検知判定テーブル		
磁界入力	レジスタ4B の設定値	レジスタ4A の設定値
無磁界 X[mT]	初期値N X3	G1
⋮	⋮	
Y[mT] Z[mT]	Y3 Z3	
⋮	⋮	G2
⋮	⋮	G3
⋮	⋮	⋮

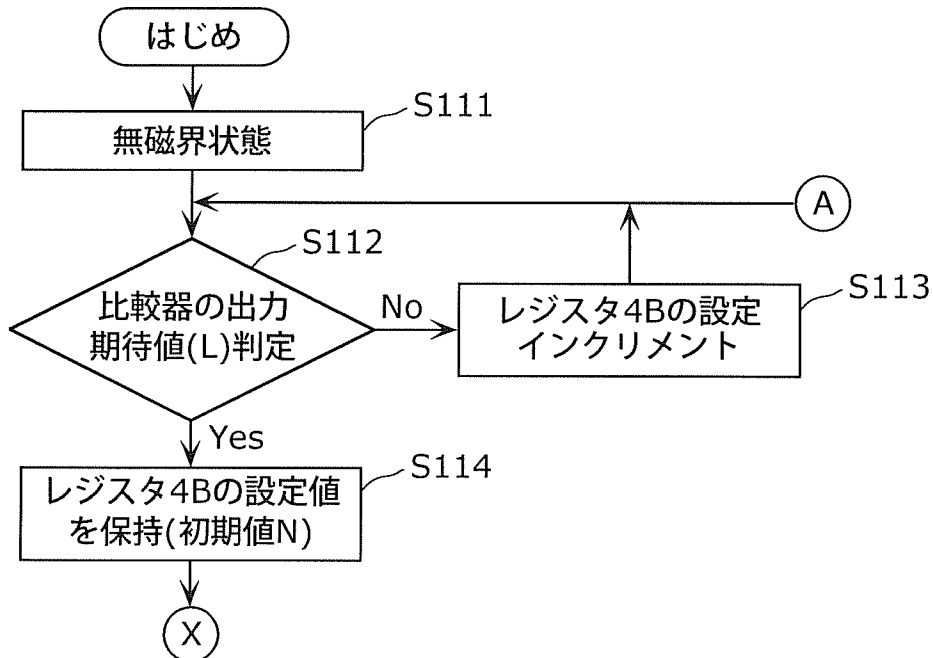
[図3]



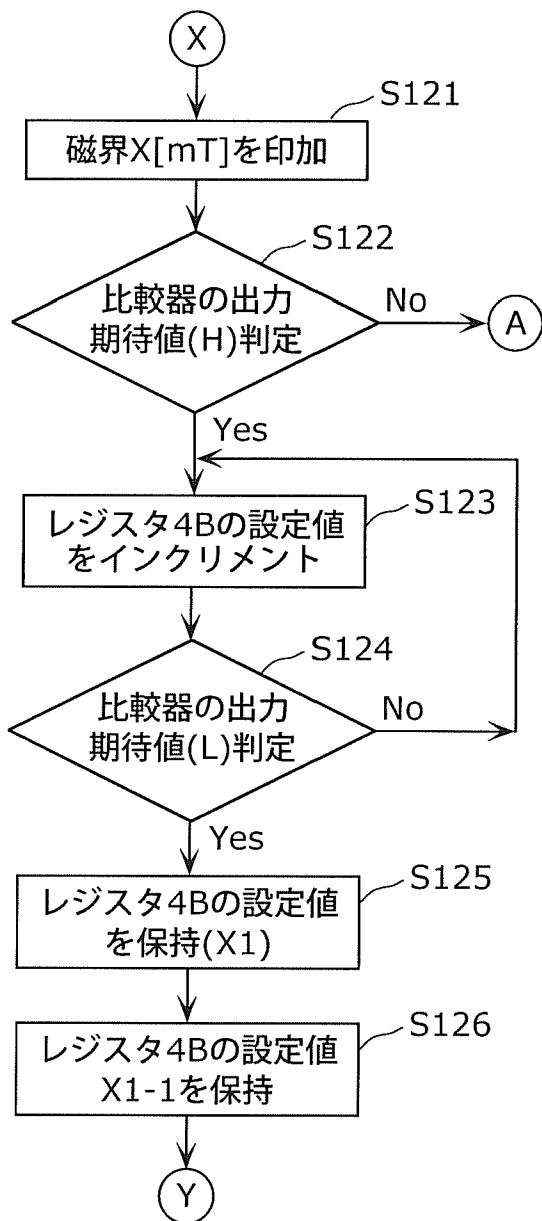
[図4A]



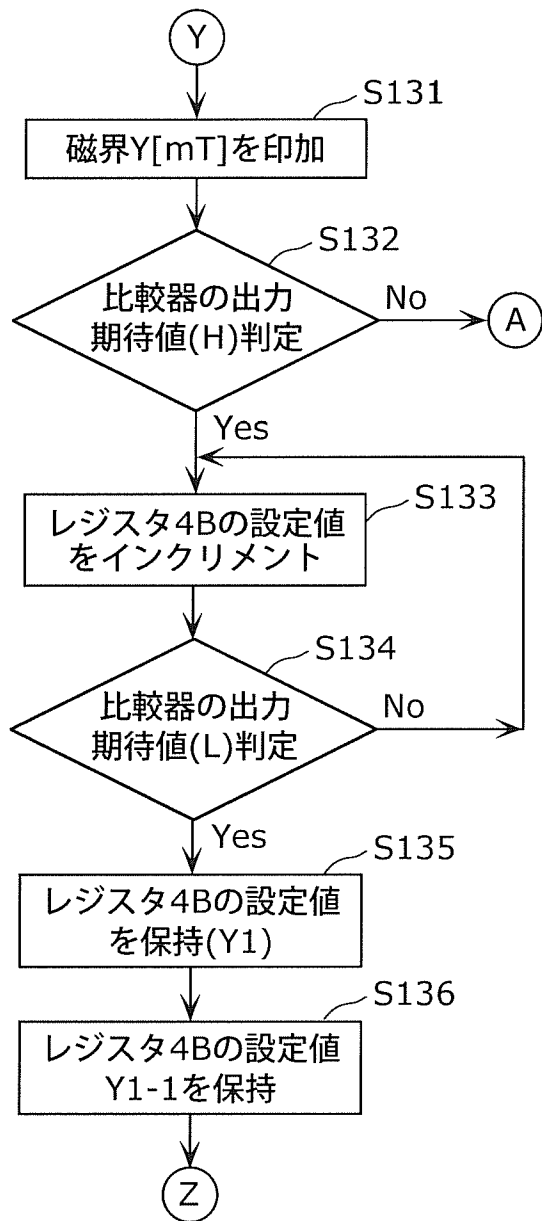
[図4B]



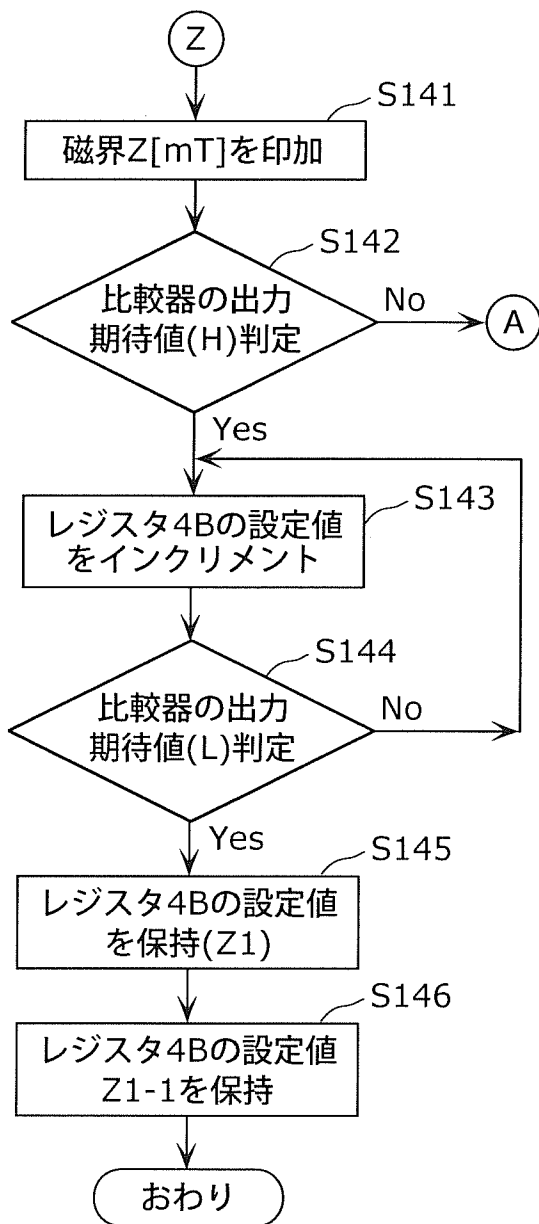
[図4C]



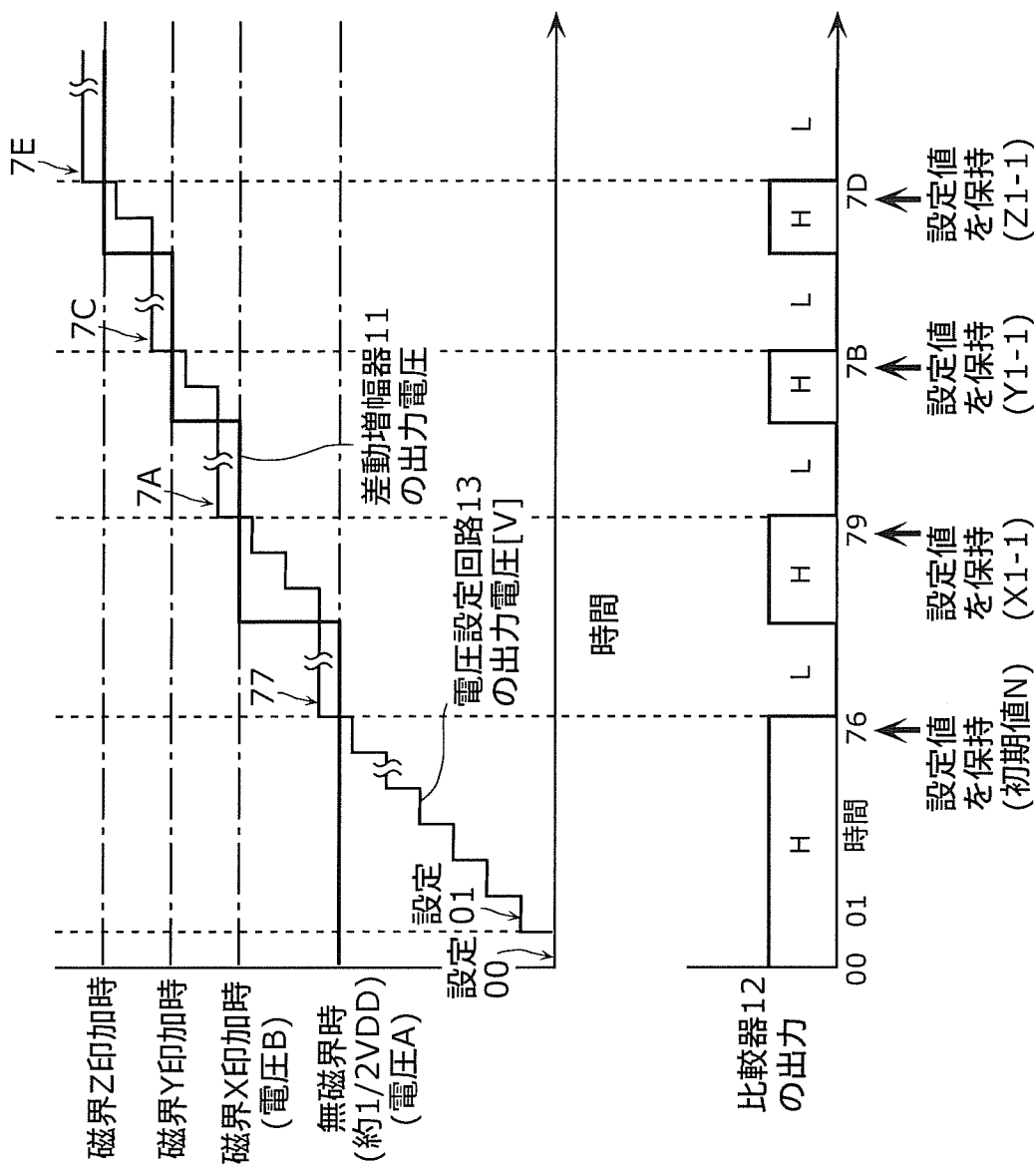
[図4D]



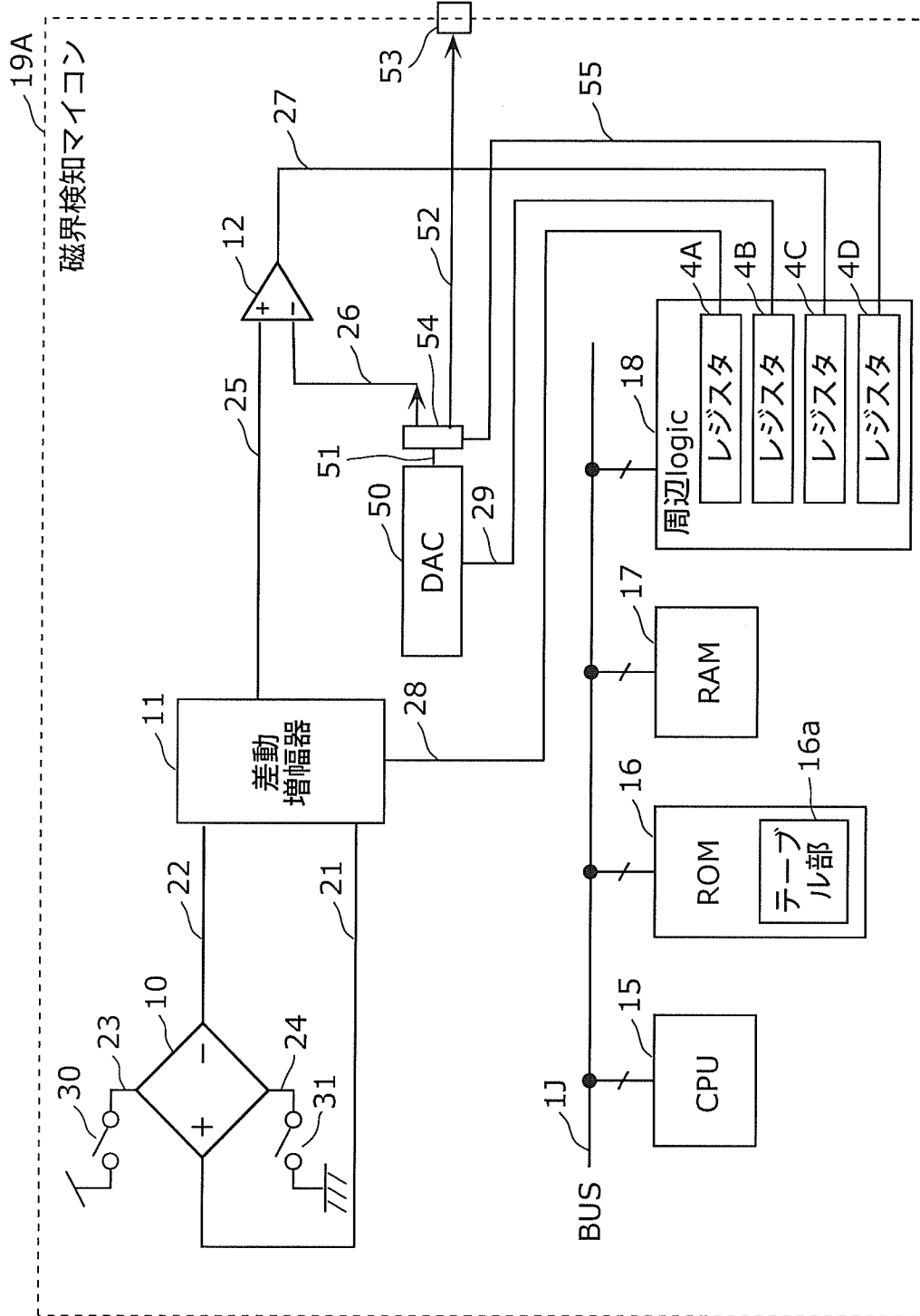
[図4E]



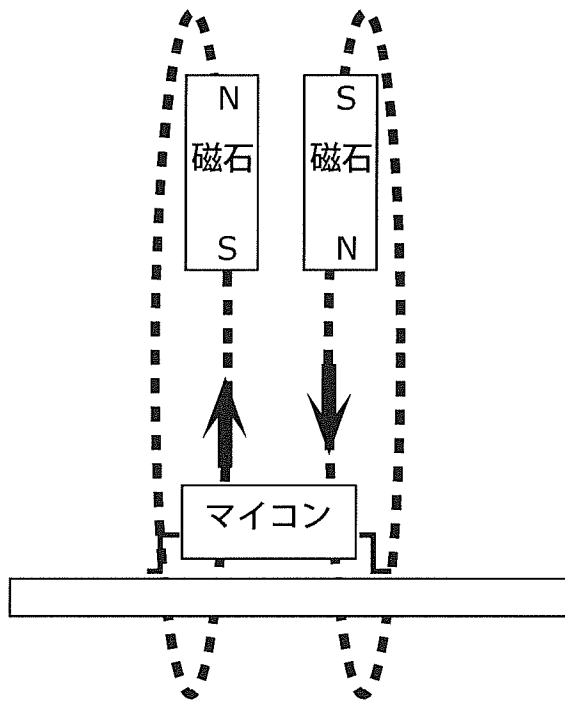
[図5]



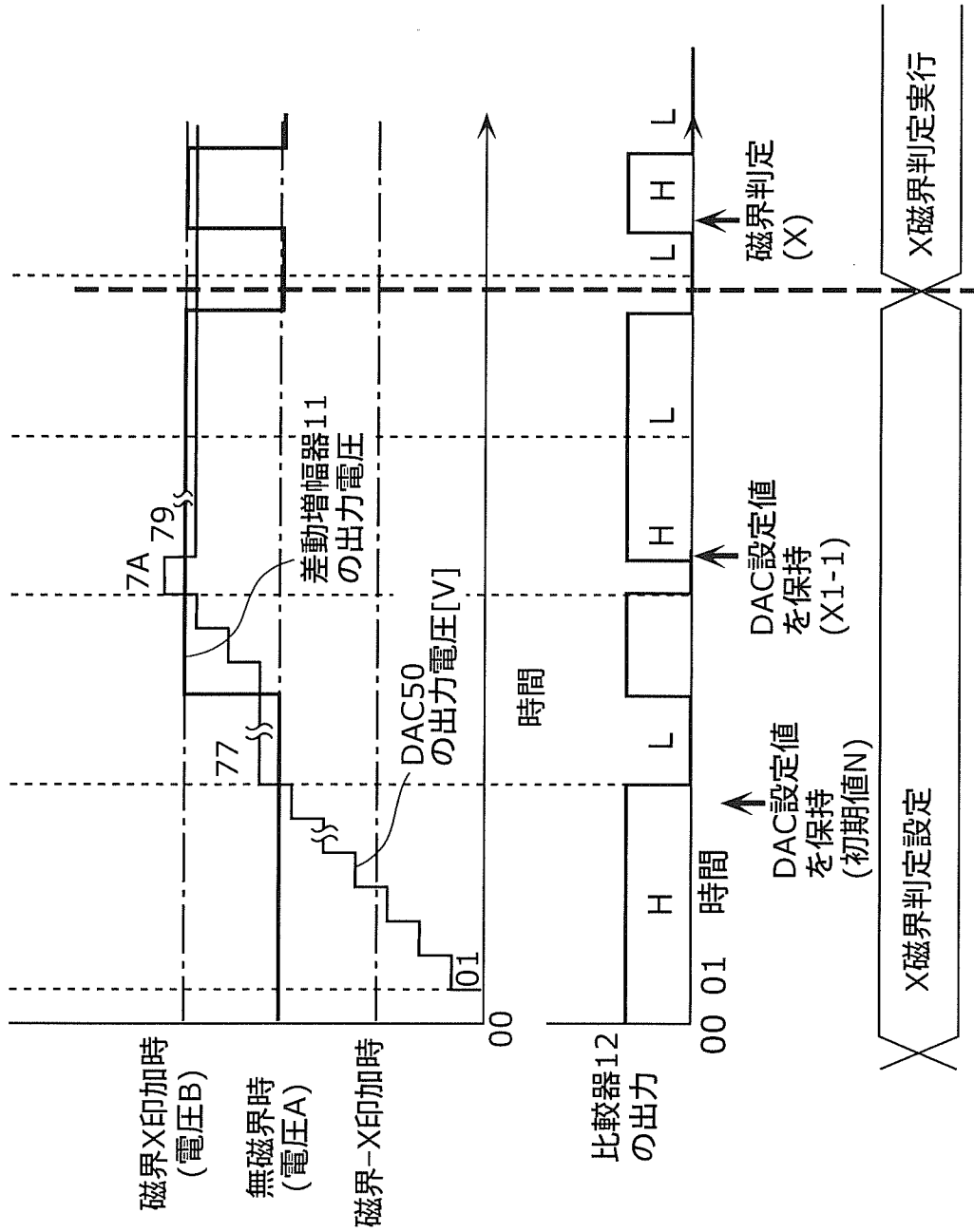
[図6]



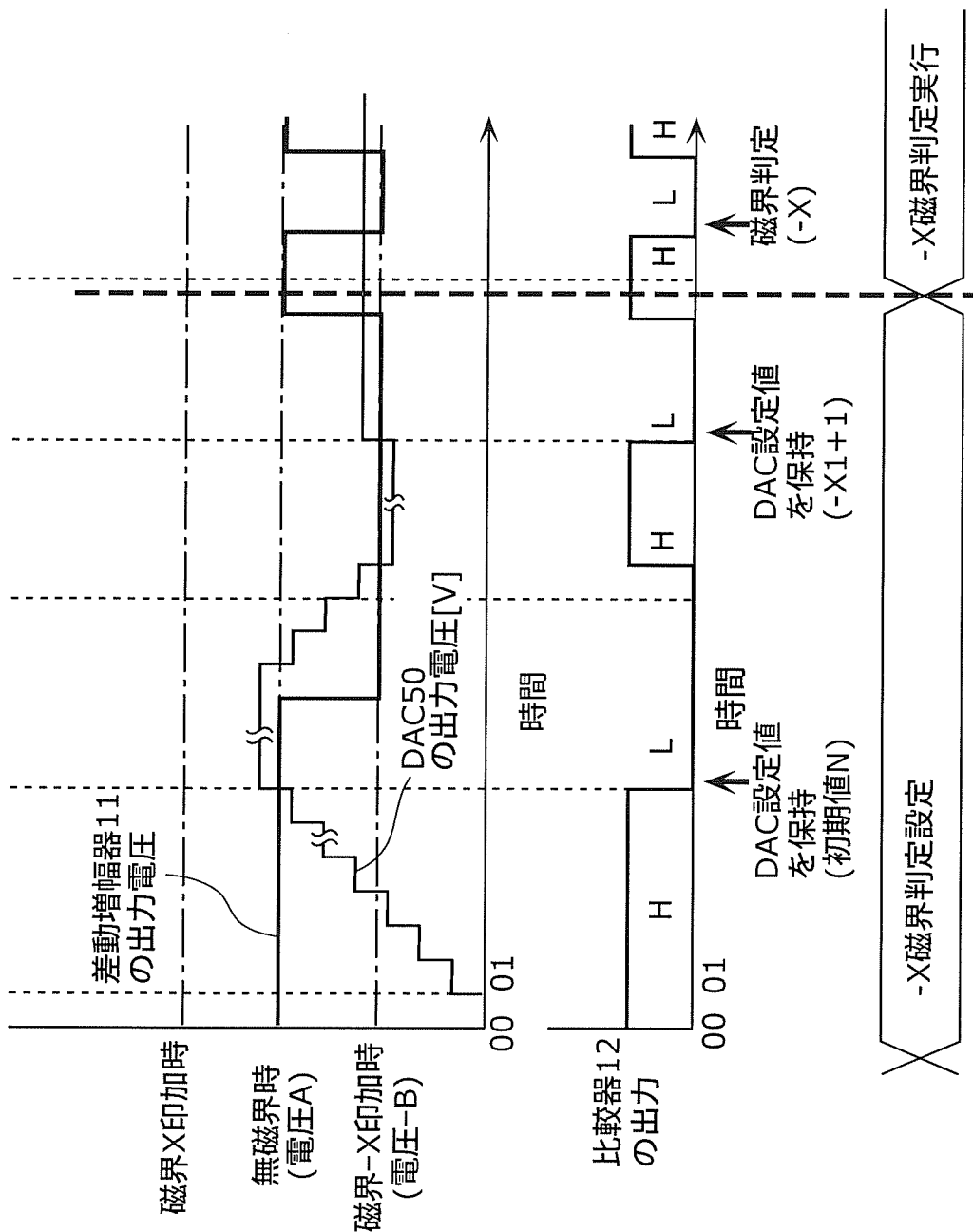
[図7]



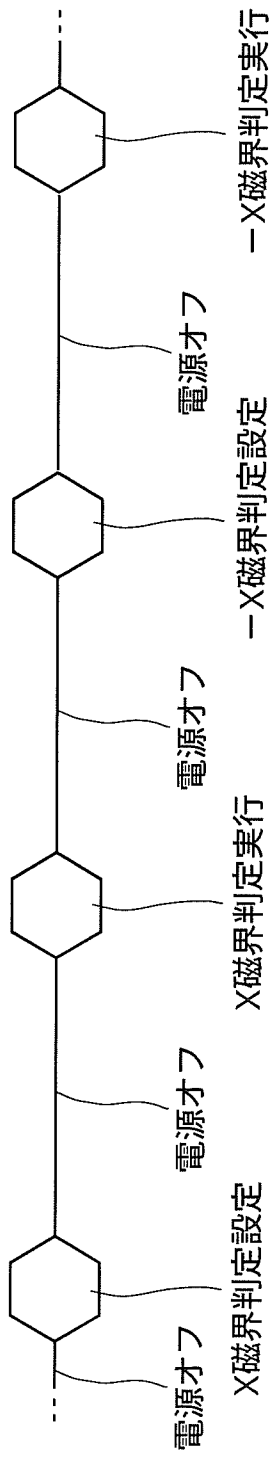
[図8]



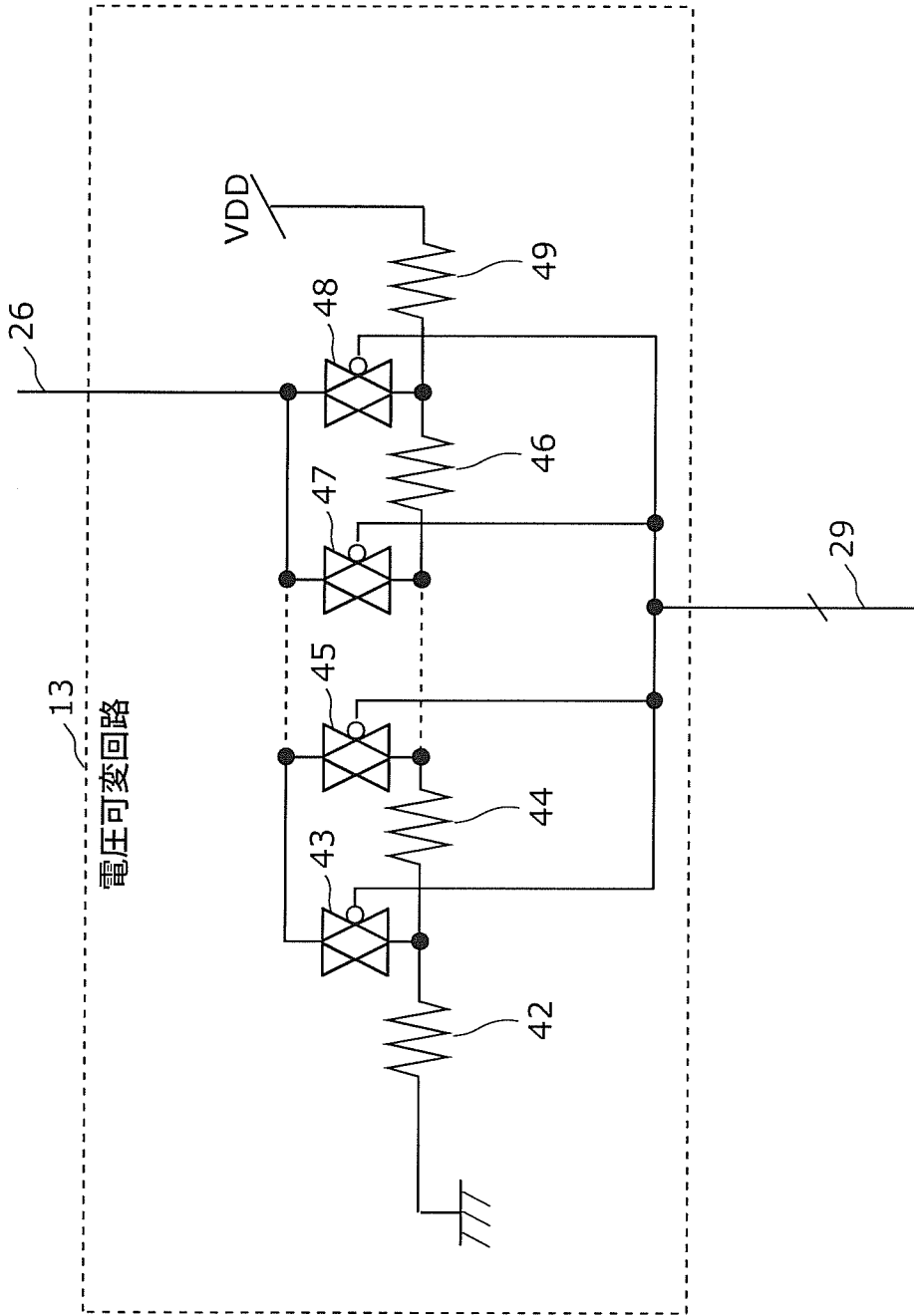
[図9]



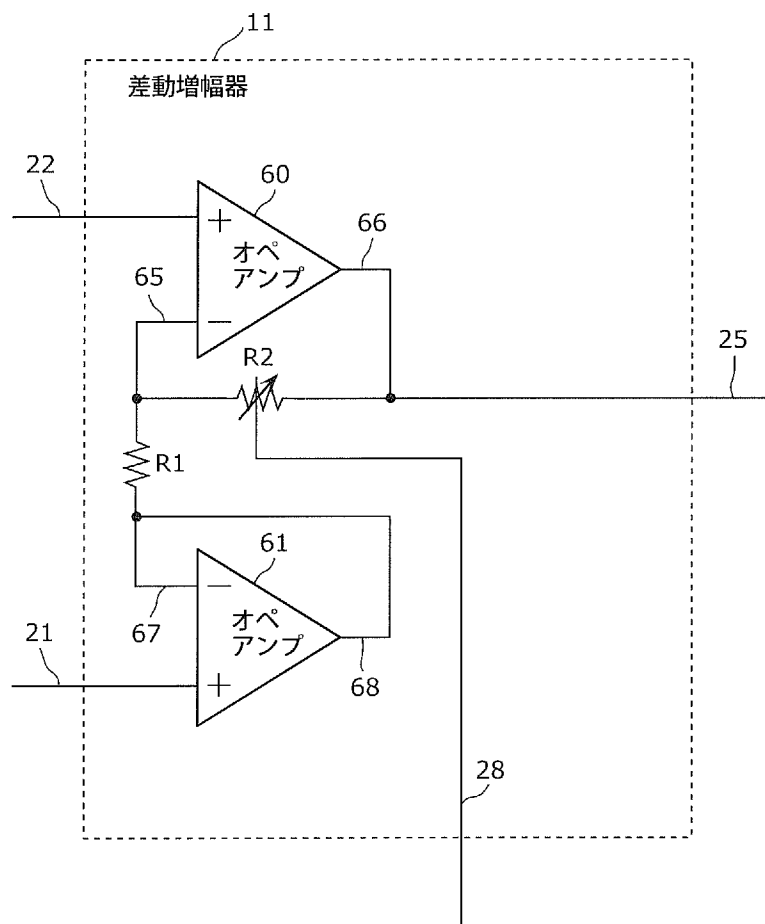
[図10]



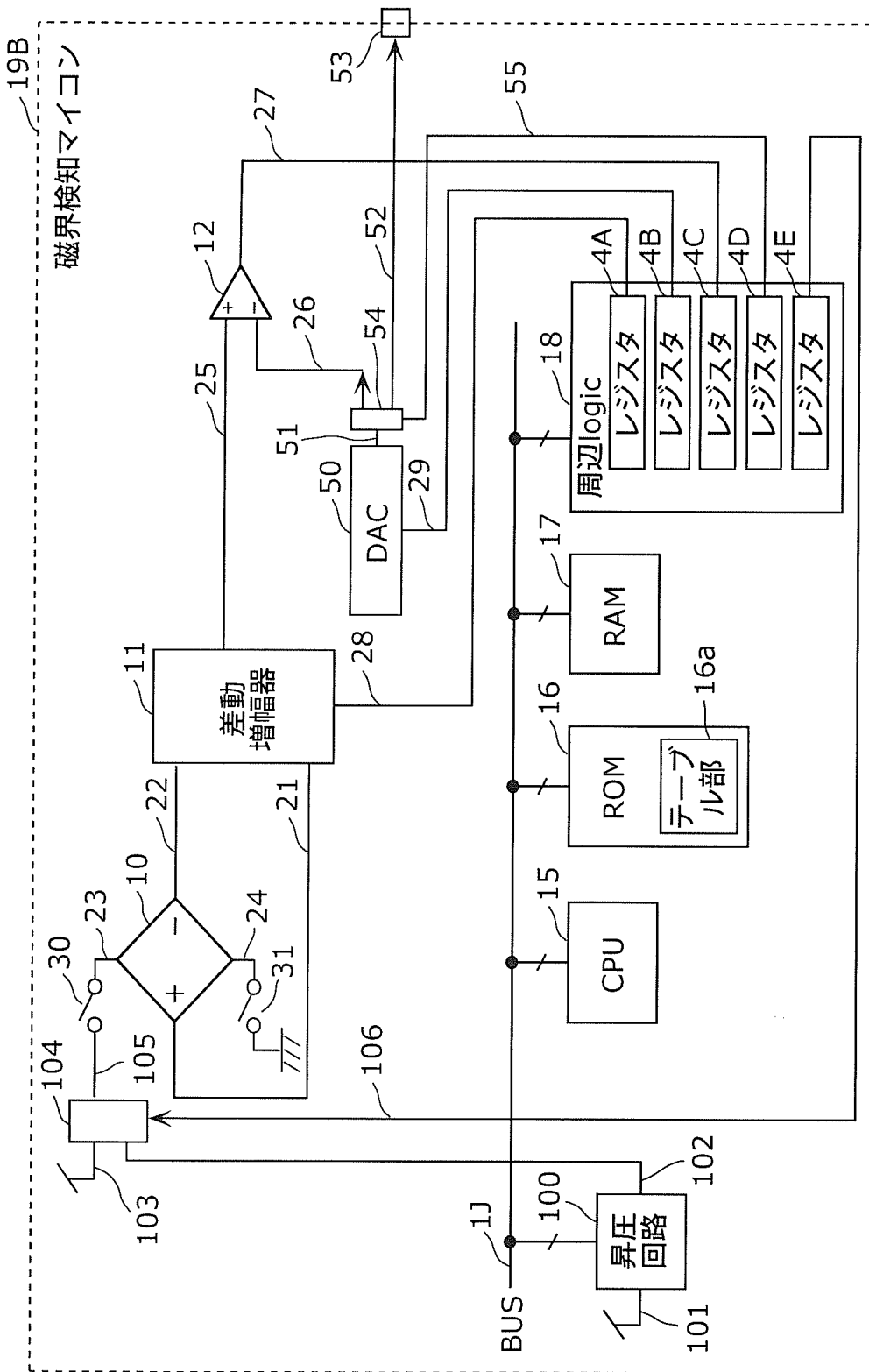
[圖11]



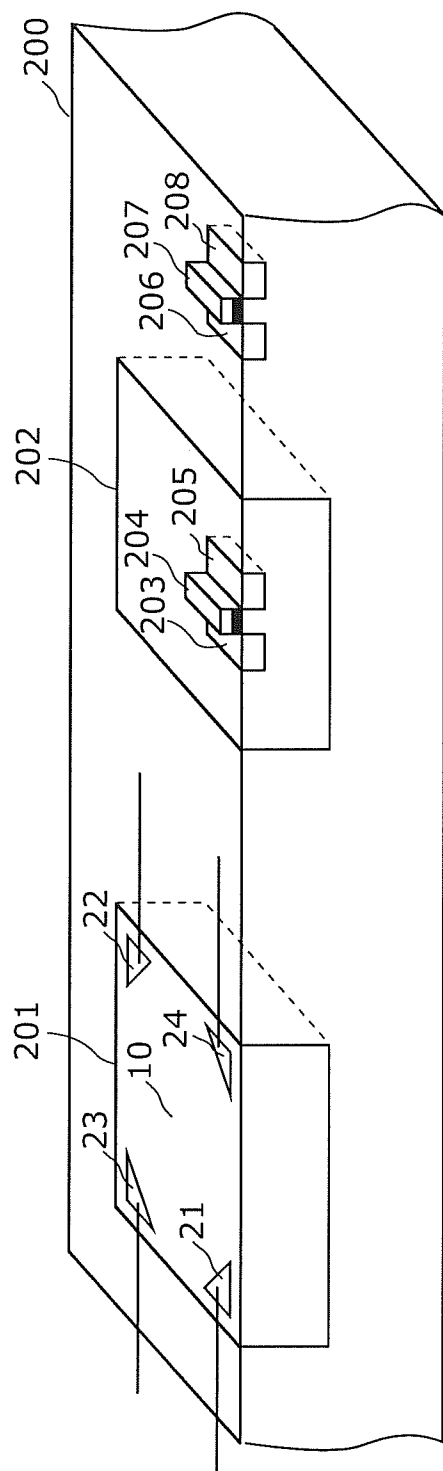
[図12]



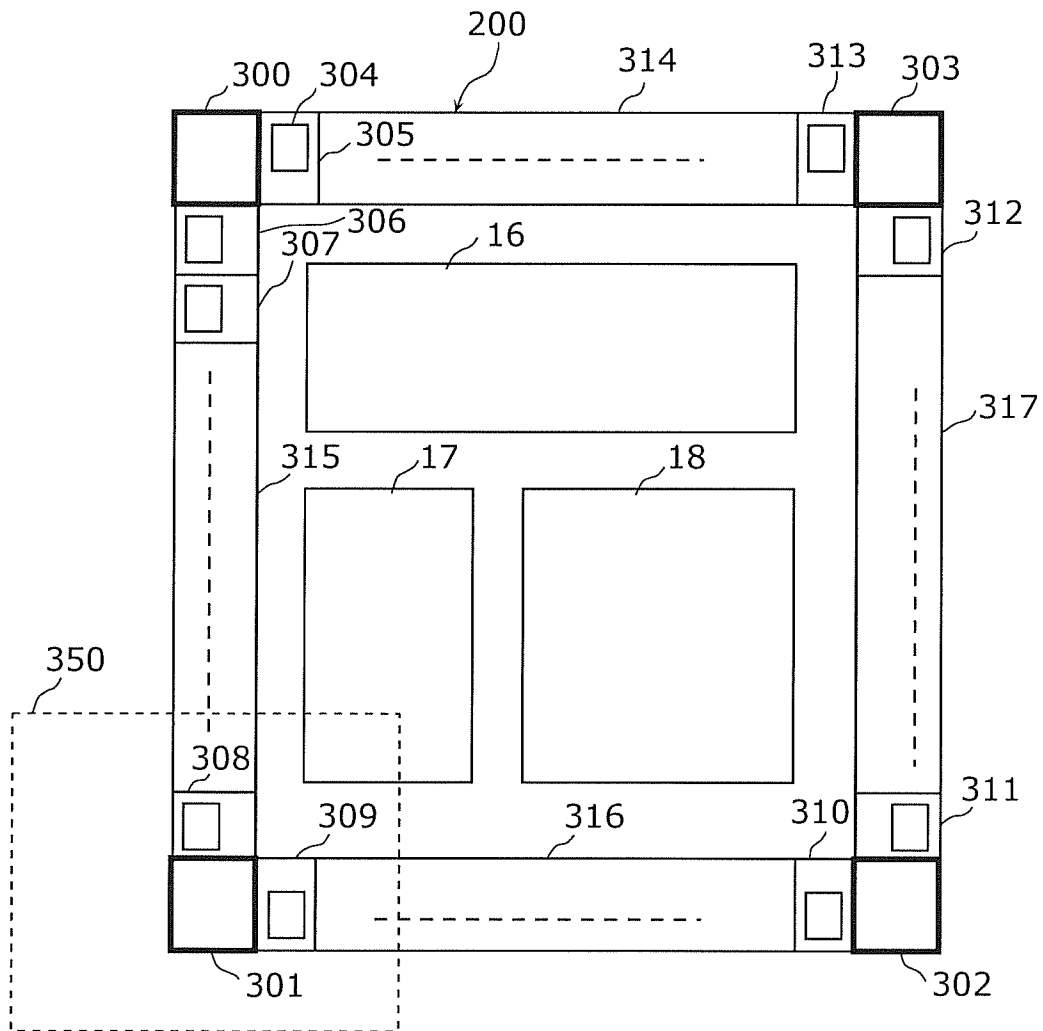
[図13]



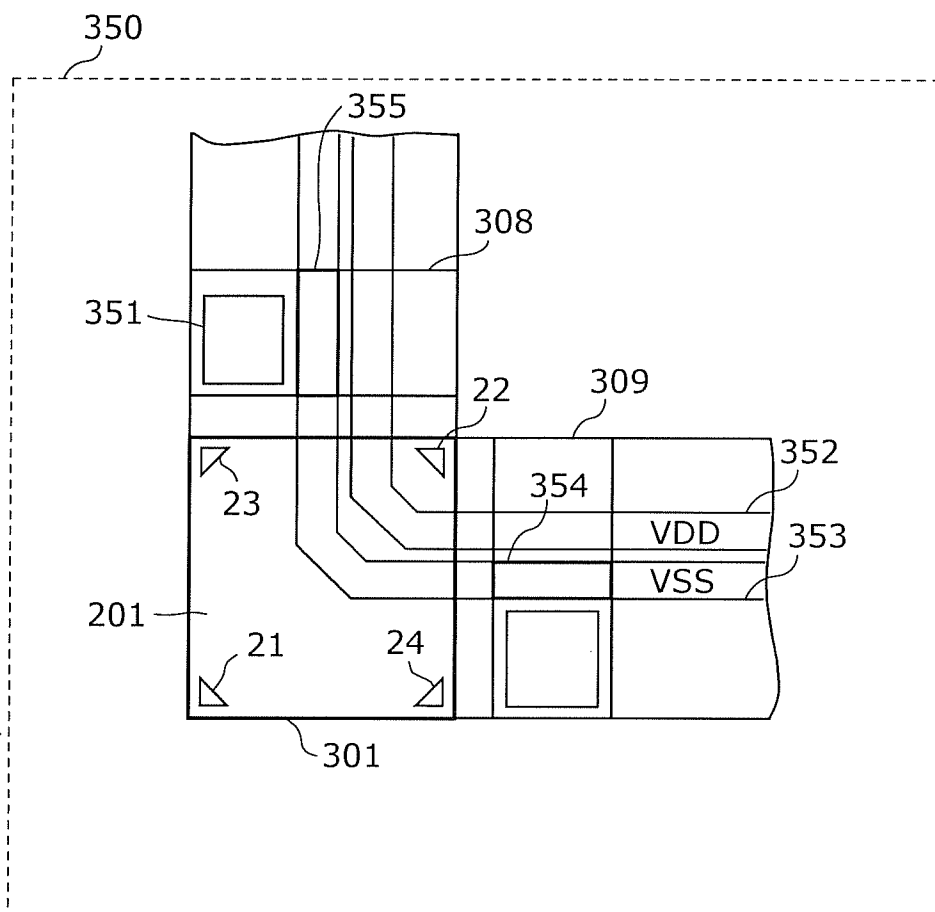
[図14]



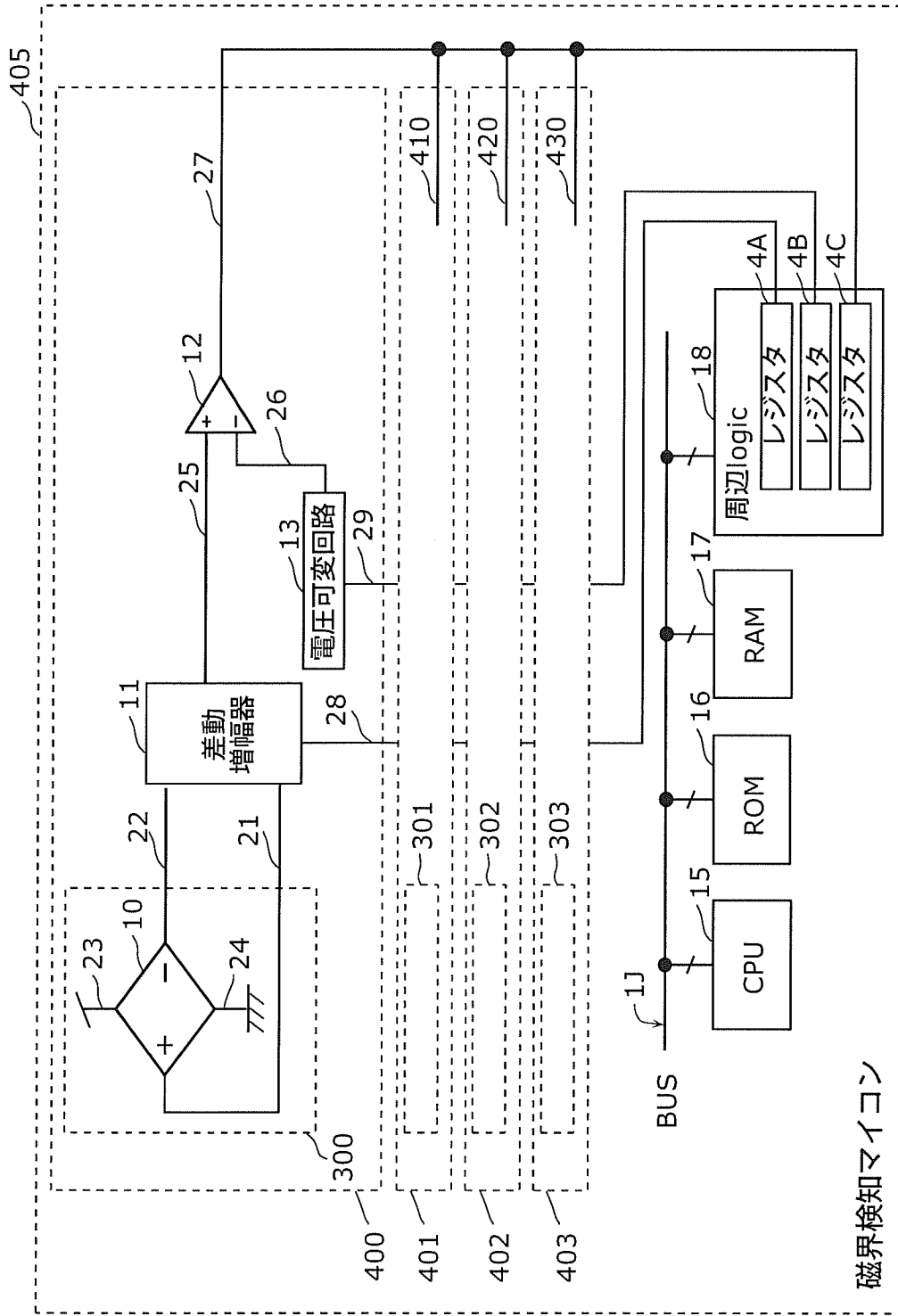
[図15]



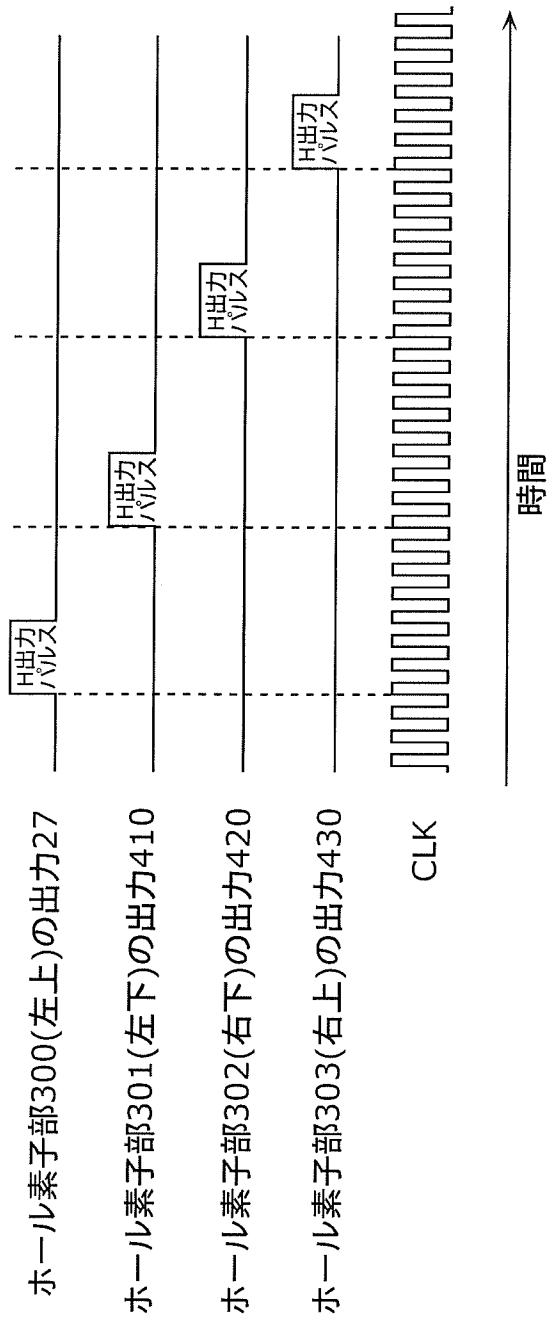
[図16]



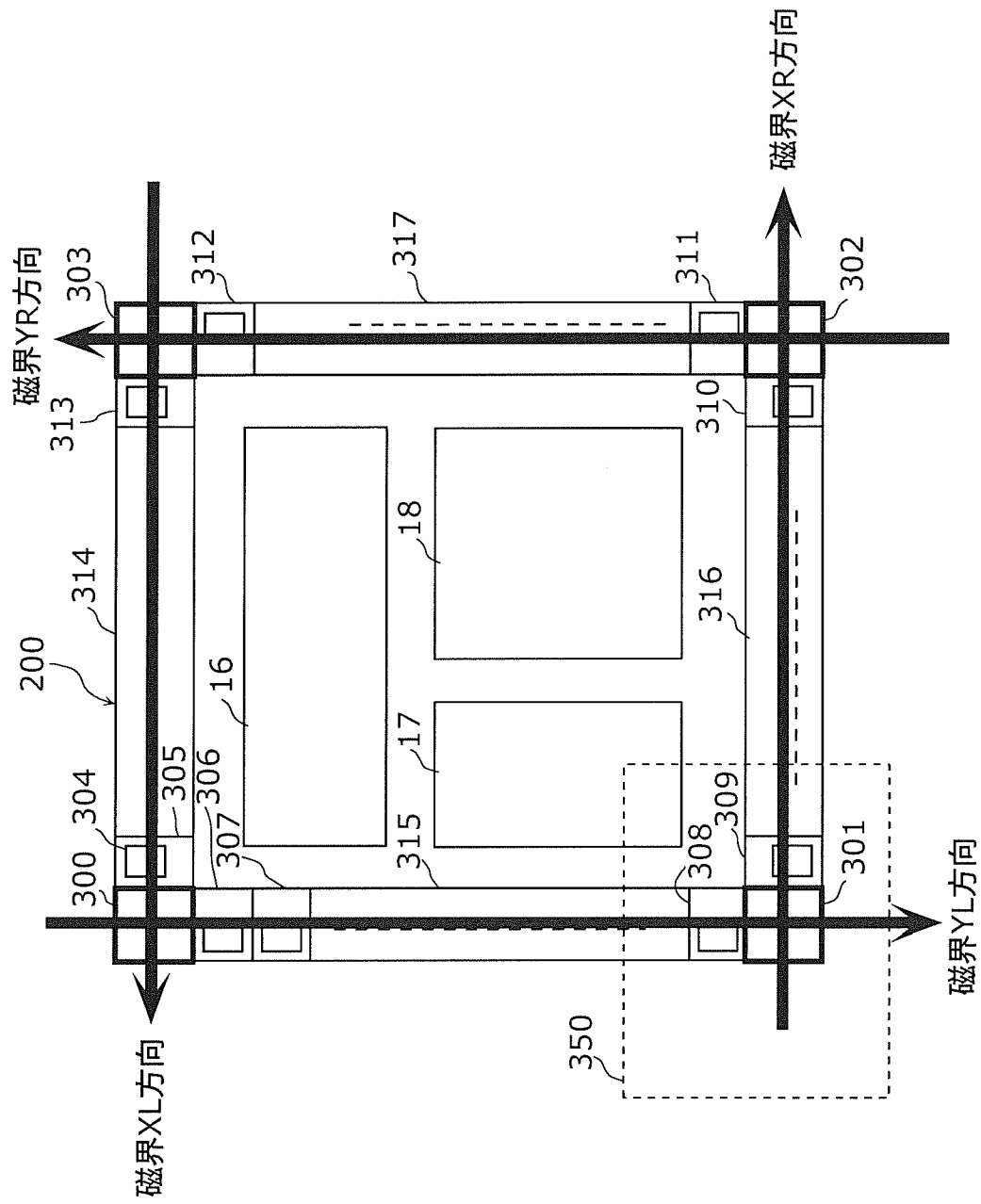
[図17]



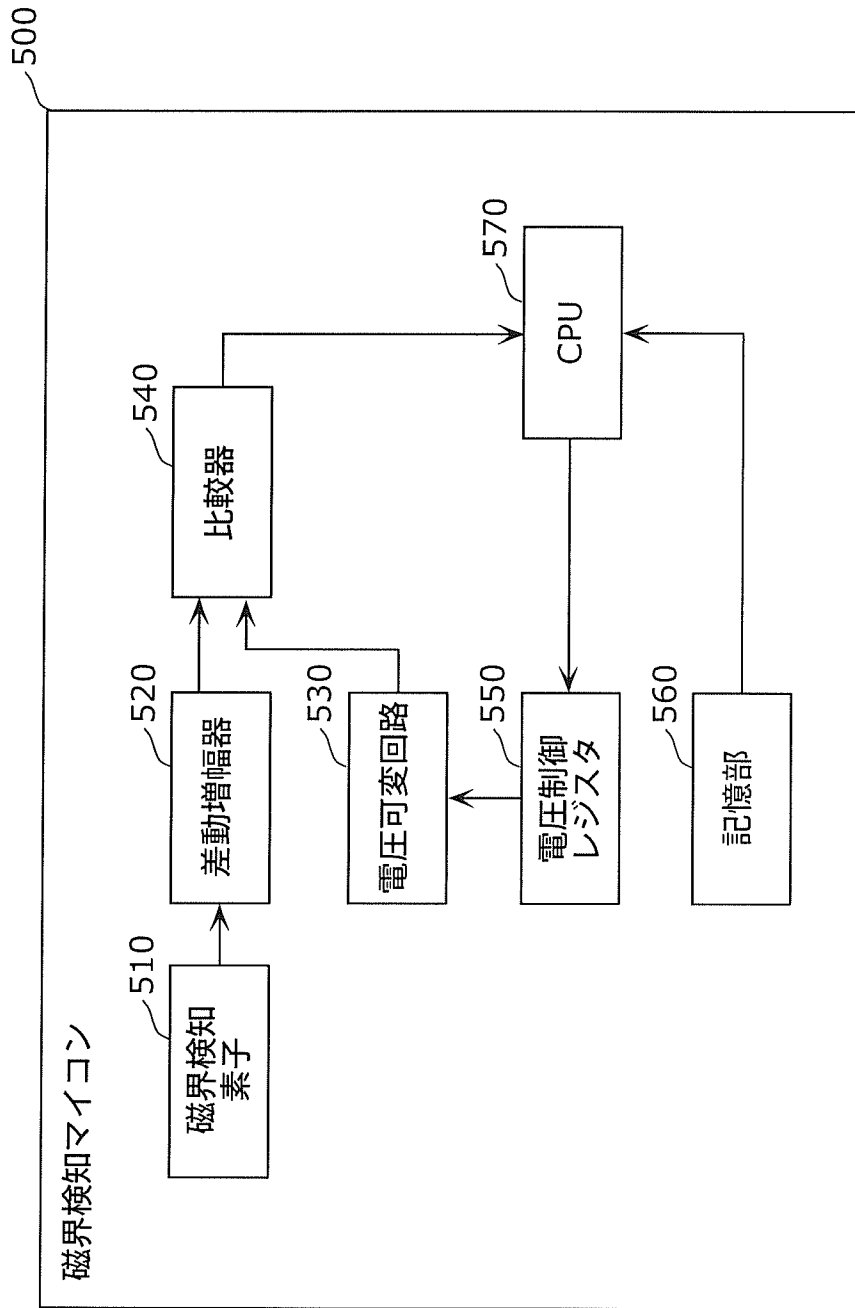
[図18]



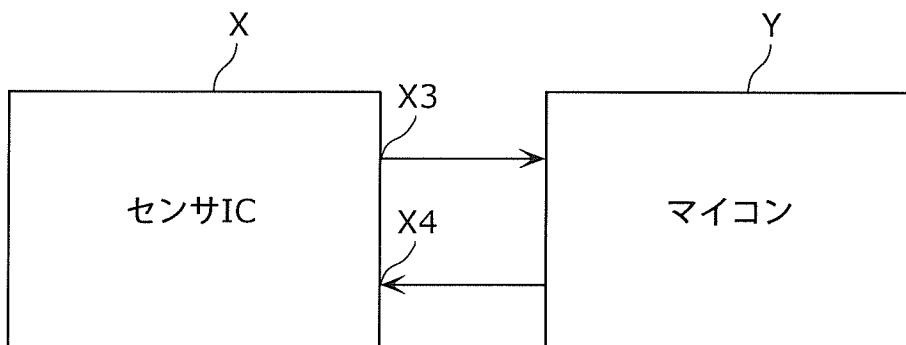
[图19]



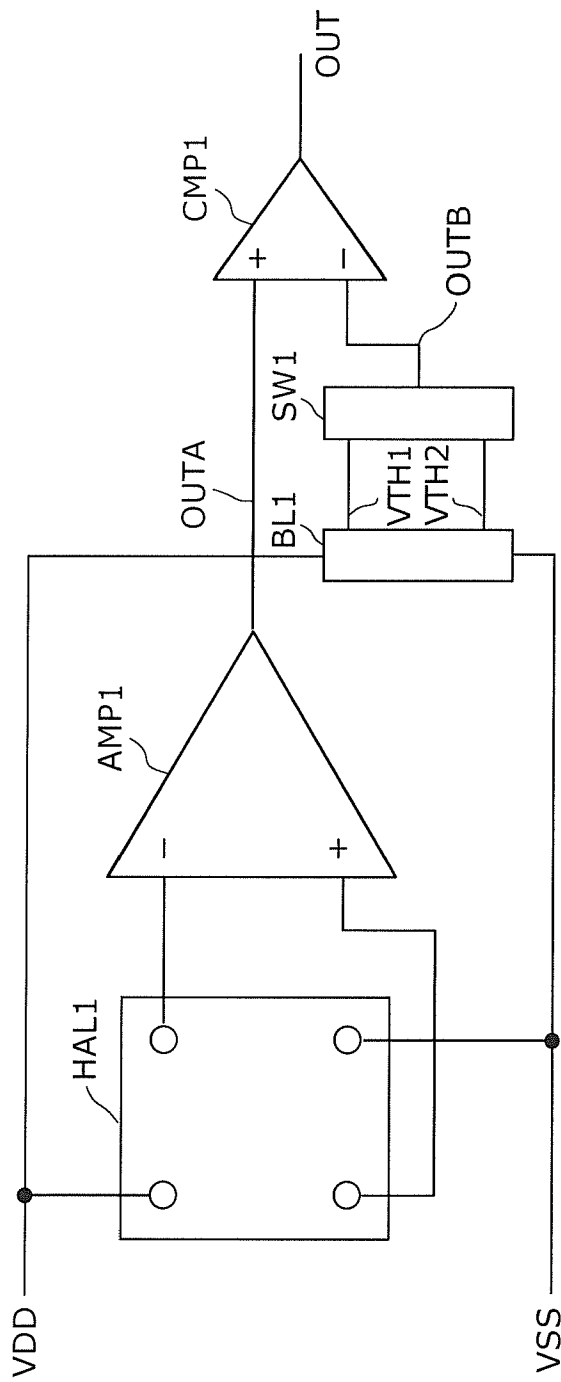
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003762

A. CLASSIFICATION OF SUBJECT MATTER

G01R33/07(2006.01)i, H01L27/22(2006.01)i, H01L43/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R33/07, H01L27/22, H01L43/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-48539 A (Seiko Instruments Inc.), 05 March 2009 (05.03.2009), paragraphs [0014] to [0021]; fig. 1 to 2 & US 2009/0079411 A1 & CN 101431294 A & KR 10-2009-0020524 A	1-11
A	JP 3-261869 A (Omron Corp.), 21 November 1991 (21.11.1991), page 4, lower left column, line 18 to page 5, upper left column, line 10; fig. 4 to 6 (Family: none)	1-11
A	JP 2006-98306 A (Yamaha Corp.), 13 April 2006 (13.04.2006), paragraphs [0029] to [0045]; fig. 6 to 7 (Family: none)	1-11

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 September, 2011 (26.09.11)Date of mailing of the international search report
04 October, 2011 (04.10.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003762

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-38799 A (Tamura Corp.), 09 February 2006 (09.02.2006), paragraphs [0009] to [0025]; fig. 1 to 3 & US 2009/0128131 A1 & EP 1788398 A1 & WO 2006/011560 A1 & KR 10-2007-0042562 A & CN 1993623 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G01R33/07(2006.01)i, H01L27/22(2006.01)i, H01L43/06(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G01R33/07, H01L27/22, H01L43/06

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-48539 A (セイコーインスツル株式会社) 2009.03.05, 段落【0014】-【0021】, 【図1】-【図2】 & US 2009/0079411 A1 & CN 101431294 A & KR 10-2009-0020524 A	1-11
A	JP 3-261869 A (オムロン株式会社) 1991.11.21, 第4頁左下欄第18行-第5頁左上欄第10行, 第4-6図 (ファミリーなし)	1-11
A	JP 2006-98306 A (ヤマハ株式会社) 2006.04.13, 段落【0029】 - 【0045】, 【図6】 - 【図7】 (ファミリーなし)	1-11

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献</p>
---	---

国際調査を完了した日 26.09.2011	国際調査報告の発送日 04.10.2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 中村 和正 電話番号 03-3581-1101 内線 3258

2S 4401

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-38799 A (株式会社タムラ製作所) 2006.02.09, 段落【0009】 - 【0025】, 【図1】 - 【図3】 & US 2009/0128131 A1 & EP 1788398 A1 & WO 2006/011560 A1 & KR 10-2007-0042562 A & CN 1993623 A	1-11