



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0097489
(43) 공개일자 2010년09월03일

(51) Int. Cl.

H03M 13/37 (2006.01) H03M 7/40 (2006.01)

(21) 출원번호 10-2009-0016457

(22) 출원일자 2009년02월26일

심사청구일자 2009년02월26일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김석기

서울특별시 강남구 도곡동 삼성타워팰리스 F-505

권건우

서울특별시 동대문구 휘경1동 336-5 3/3

(74) 대리인

전중학

전체 청구항 수 : 총 8 항

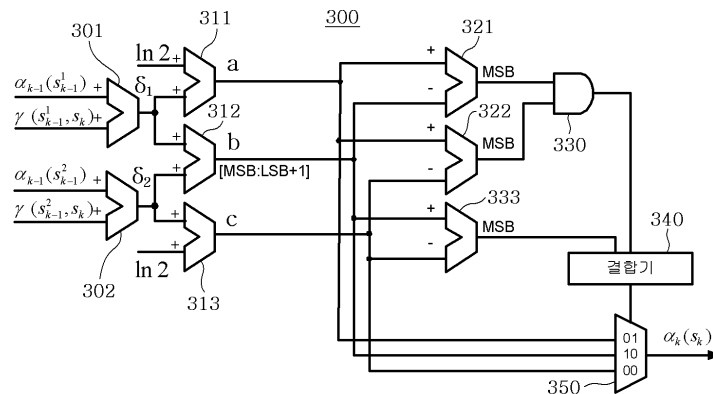
(54) 터보 복호기용 상태 메트릭 연산 장치

(57) 요약

본 발명은 터보 코드(Convolutional Turbo Code; CTC)의 복호를 위한 상태 메트릭 연산 장치에 관한 것으로서, 본 발명의 이진 터보 복호 상태 메트릭 연산 장치는, 입력된 두 쌍의 이전 상태 메트릭과 가지 메트릭의 각 합을 제1 및 제2 메트릭 합으로 출력하는 제1 가산부; 상기 제1 가산부의 제1 메트릭 합과 제2 메트릭 합 각각에 상수값을 더한 제1 및 제2 출력값과 제1 및 제2 메트릭 합들의 평균값을 제3 출력값으로 출력하는 제2 가산부; 상기 제2 가산부의 제1 내지 제3 출력값 중에서 최소값을 선택하여 출력하는 최소값 연산부를 포함한다.

본 발명에 따르면, 종래의 최대 로그 최대 사후(Max-Log-MAP) 방식에 비하여 오류 정정 성능이 높으면서도, 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식에 비하여 하드웨어 복잡도를 줄일 수 있을 뿐만 아니라 동작 지연 시간 또한 효과적으로 감소시킬 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

입력된 두 쌍의 이전 상태 메트릭과 가지 메트릭의 각 합을 제1 및 제2 메트릭 합으로 출력하는 제1 가산부;

상기 제1 가산부의 제1 메트릭 합과 제2 메트릭 합의 각각에 상수값을 더한 제1 및 제2 출력값과 제1 및 제2 메트릭 합의 평균값을 제3 출력값으로 출력하는 제2 가산부;

상기 제2 가산부의 제1 내지 제3 출력값 중에서 최소값을 선택하여 출력하는 최소값 연산부를 포함하는 이진 터보 복호 상태 메트릭 연산 장치.

청구항 2

청구항 1에 있어서, 상기 상수값은 $\ln 2$ 인 것을 특징으로 하는 이진 터보 복호 상태 메트릭 연산 장치.

청구항 3

청구항 1에 있어서, 상기 최소값 연산부는,

상기 제2 가산부의 제1 내지 제3 출력값 중에서 서로 다른 2개의 출력값의 차를 연산하여 제1 내지 제3 비트값으로 출력하는 제3 가산부;

상기 제3 가산부의 제1 및 제2 비트값을 논리 연산하여 출력하는 AND 게이트;

상기 제3 가산부의 제3 비트값과 상기 AND 게이트의 출력 비트값을 결합하여 출력하는 결합기; 및

상기 결합기의 출력을 기초로 상기 제2 가산부의 제1 내지 제3 출력값 중에서 어느 하나를 최소값으로 선택하여 출력하는 역다중화기를 포함하는 이진 터보 복호 상태 메트릭 연산 장치.

청구항 4

청구항 3에 있어서, 상기 제1 내지 제3 비트값은 상기 제3 가산부의 연산 결과 그 값이 0보다 크면 '0'으로 출력되고, 0보다 작으면 '1'로 출력되는 것을 특징으로 하는 이진 터보 복호 상태 메트릭 연산 장치.

청구항 5

입력된 네 쌍의 이전 상태 메트릭과 가지 메트릭의 각 합을 제1 내지 제4 메트릭 합으로 출력하는 제1 가산부;

상기 제1 가산부의 제1 내지 제4 메트릭 합의 각각에 상수값을 더한 값을 제1 내지 제4 출력값으로 출력하고, 제1 및 제2 메트릭 합의 평균값과 제3 및 제4 메트릭 합의 평균값을 각각 제5 및 제6 출력값으로 출력하는 제2 가산부;

상기 제2 가산부의 제1 내지 제6 출력값 중에서 어느 하나를 최소값으로 선택하여 출력하는 최소값 연산부를 포함하는 이중 이진 터보 복호 상태 메트릭 연산 장치.

청구항 6

청구항 5에 있어서, 상기 상수값은 $\ln 2$ 인 것을 특징으로 하는 이중 이진 터보 복호 상태 메트릭 연산 장치.

청구항 7

청구항 5에 있어서, 상기 최소값 연산부는,

상기 제2 가산부의 제1 내지 제6 출력값 중에서 서로 다른 2개의 출력값의 차를 연산하여 제1 내지 제15 비트값으로 출력하는 제3 가산부;

상기 제3 가산부의 제1 내지 제14 비트값을 논리 연산하여 4개의 비트값을 출력하는 AND 게이트부;

상기 제3 가산부의 제15 비트값과 상기 AND 게이트부의 출력 비트값들을 결합하여 출력하는 결합기; 및

상기 결합기의 출력을 기초로 상기 제2 가산부의 제1 내지 제6 출력값 중에서 어느 하나를 최소값으로 선택하여 출력하는 역다중화기를 포함하는 이중 이진 터보 복호 상태 메트릭 연산 장치.

청구항 8

청구항 7에 있어서, 상기 제1 내지 제15 비트값은 상기 제3 가산부의 연산 결과 그 값이 0보다 크면 '0'으로 출력되고, 0보다 작으면 '1'로 출력되는 것을 특징으로 하는 이중 이진 터보 복호 상태 메트릭 연산 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 터보 복호기에 관한 것으로, 좀 더 구체적으로 터보 코드(Convolutional Turbo Code; CTC)의 복호를 위한 상태 메트릭 연산 장치에 관한 것이다.

배경 기술

[0002] 통신 시스템 및 데이터 송수신에 관한 기술이 발전되고 전송하고자 하는 정보가 고속화, 대용량화 및 멀티미디어화 되어감에 따라 정보를 빠르고 정확하게 전송할 수 있도록 하는 것이 중요한 이슈가 되고 있다. 통신 채널에서 발생하는 잡음, 페이딩, 간섭 등에 의해 정보의 손실이 발생하고, 이로 인하여 전송 오류가 발생하게 된다.

[0003] 오류 정정 코드는 송신단에서 정보 비트(information bit)에 부가 비트(parity bit)를 덧붙여 전송하고, 통신 채널을 통하여 수신된 비트들을 효과적으로 복호하여 정보 비트의 신뢰성을 높이는 기술을 말한다. 1948년 "정보의 전송률이 채널 용량보다 작으면 오류 없이 정보를 전송할 수 있다"라는 Shannon의 연구 결과 발표 이후 우수한 오류 정정 성능을 나타내는 오류 정정 코드에 대한 연구가 지속적으로 진행되어 오고 있다.

[0004] 이와 같은 오류 정정 코드 중에서, 1993년 Berrou 등에 의해 처음 제안된 터보 코드는 비교적 간단한 구조를 가지면서도 Shannon의 한계에 근접하는 매우 우수한 오류 정정 성능으로 인하여 와이브로(Wibro)나 모바일 와이맥스(Mobile WiMax) 표준과 같은 많은 무선 통신 분야의 오류 정정 코드로 적용되고 있다.

[0005] 일반적으로 이중 이진 터보 복호기는 도 1에 도시한 바와 같이 2개의 SISO 복호기와 인터리버 및 디인터리버를 포함한다. 각 SISO 복호기는 부호기로부터 전송된 정보 비트 및 패리티 비트와 다른 SISO 복호기에서 발생한 사전 정보(a priori information; APR)를 입력받아 사후 정보(a posteriori information; APP)와 부가 정보(extrinsic information; EI)를 연산한다. 부가 정보(EI)는 인터리버 또는 디인터리버를 통해 사전 정보(APR)로 사용되기 위하여 다른 SISO 복호기로 피드백된다. 2개의 SISO 복호기를 이용하여 지정된 횟수만큼 반복 복호를 통해 얻게 되는 결과 값은 경관정 과정을 통하여 최종 복호된 결과 값으로 출력된다.

[0006] 복호 절차를 단순화시키기 위하여 SISO 복호기의 출력은 로그 우도비(Log Likelihood Ratio; LLR)로 표현되는데, SISO 복호기에서 LLR 값을 추출하기 위해 사용되는 복호 알고리즘은 크게 최대 사후 알고리즘(Maximum A Posteriori; MAP)과 연성 출력 비터비 알고리즘(Soft Output Viterbi Algorithm; SOVA) 방식으로 나누어진다. 일반적으로 MAP 알고리즘을 사용하는 방법이 SOVA를 사용하는 방법보다 우수한 성능을 보인다고 알려져 있다.

[0007] MAP 알고리즘은 다시 순수한 최대 사후(pure MAP) 방식, 로그 최대 사후(Log-MAP) 방식, 최대 로그 최대 사후

(Max-Log-MAP) 또는 최소 로그 최대 사후(Min-Log-MAP) 방식 등으로 나누어진다.

순수한 최대 사후(pure MAP) 알고리즘에 의하면, 순방향 상태 메트릭, 역방향 상태 메트릭 및 가지 메트릭을 이용하여 LLR 값을 구하는데, 순방향 상태 메트릭, 역방향 상태 메트릭 및 가지 메트릭은 다음과 같이 정의된다.

$$\overline{\alpha}_k(s_k) = \ln P(s_k, y_1, y_2, \dots, y_{k-1}),$$

$$\overline{\beta}_k(s_k) = \ln P(y_{k+1}, \dots, y_N | s_k),$$

$$\overline{\gamma}_{a,b}(s_{k-1}, s_k) = \ln P(s_k, y_k | s_{k-1})$$

여기서 $\overline{\alpha}_k(s_k)$ 는 순방향 상태 메트릭이고, $\overline{\beta}_k(s_k)$ 는 역방향 상태 메트릭이며, $\overline{\gamma}_{a,b}(s_{k-1}, s_k)$ 는 가지 메트릭이다.

순수한 최대 사후(pure MAP) 방식에서 순방향 상태 메트릭과 역방향 상태 메트릭은 다음의 수학적식 1 및 수학적식 2를 이용하여 계산될 수 있다.

수학적식 1

$$\overline{\alpha}_k(s_k) = \ln \sum_{all s_{k-1}} e^{\overline{\alpha}_{k-1}(s_{k-1}) + \overline{\gamma}_{a,b}(s_{k-1}, s_k)}$$

수학적식 2

$$\overline{\beta}_{k-1}(s_{k-1}) = \ln \sum_{all s} e^{\overline{\beta}_k(s_k) + \overline{\gamma}_{a,b}(s_{k-1}, s_k)}$$

그런데 수학적식 1 및 수학적식 2는 다음의 수학적식 3에 표현된 것과 같은 일반적인 수학적식의 연산이 요구되므로 하드웨어로 구현하기가 어려운 단점이 있다.

수학적식 3

$$\ln(e^{\overline{\delta}_1} + \dots + e^{\overline{\delta}_n})$$

이와 같이 순수한 최대 사후(pure MAP) 방식은 하드웨어로 구현하기가 복잡하기 때문에 구현 복잡도를 줄인 다른 방식들이 사용된다. 대표적인 방식으로 최대 로그 최대 사후(Max-Log-MAP) 방식이 있는데, 이에 의하면 상기 수학적식 3을 다음의 근사식을 사용하여 계산함으로써 구현 복잡도를 줄인다.

수학적식 4

$$\ln(e^{\overline{\delta}_1} + e^{\overline{\delta}_2}) \approx \max(\overline{\delta}_1, \overline{\delta}_2)$$

이와 같은 최대 로그 최대 사후(Max-Log-MAP) 방식은 구현 복잡도가 낮은 장점 때문에 하드웨어 구현을 위해 많이 사용되고 있지만 오류 정정 능력이 다소 떨어지는 문제점이 있다.

Talakoub에 의해 제안된 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식은 오류 정정 능력을 향상시키기 위해 다음과 같이 Maclaurin Series를 사용하여 상기 수학적식 3을 근사화한다.

수학식 5

$$\ln(e^{\overline{\delta_1}} + e^{\overline{\delta_2}}) \approx \max(\overline{\delta_1}, \overline{\delta_2}) + \max(0, \ln 2 - \frac{1}{2} |\overline{\delta_1} - \overline{\delta_2}|)$$

[0022]

[0023]

개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식은 최대 로그 최대 사후(Max-Log-MAP) 또는 최소 로그 최대 사후(Min-Log-MAP) 방식에 비하여 오류 정정 능력이 높은 장점이 있다. 그러나 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식은 동작 지연 시간이 다소 많이 증가하는 단점이 있는데, 이를 구체적으로 설명하면 다음과 같다.

[0024]

도 2는 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 알고리즘에 의한 상태 메트릭 연산 장치의 블록도이다. 도 2에서 점선으로 표시된 부분은 상기 수학식 5에서 우변의 부가된 항을 하드웨어로 구현한 것이다. 도 2에서 부가된 항은 복잡한 조합 논리(combinational-logics) 회로는 아니지만, 이로 인하여 동작 지연 시간이 많이 증가하게 된다. 왜냐하면, 터보 코드 복호의 임계 경로(critical path)는 상태 메트릭 연산이기 때문이다.

[0025]

이와 같은 동작 지연 시간의 증가는 최대 동작 클럭 속도를 낮추는 문제를 일으킬 수 있다. 당연한 이야기지만 특히 이러한 문제점은 이중 이진 터보 복호기에 적용할 때 더욱 커진다.

[0026]

따라서 이진 터보 복호 또는 이중 이진 터보 복호에 있어서 구현 복잡도를 줄이고도 동작 지연 시간을 감소시킬 수 있는 상태 메트릭 연산 알고리즘에 대한 요구가 절실한 실정이다.

[0027]

발명의 내용

해결 하고자하는 과제

[0028]

본 발명은 이진 터보 복호 또는 이중 이진 터보 복호에 있어서 구현 복잡도를 줄이면서도 동작 지연 시간을 감소시킬 수 있는 상태 메트릭 연산 장치를 제공하기 위한 것이다.

과제 해결수단

[0029]

상기 목적을 달성하기 위한 본 발명의 이진 터보 복호 상태 메트릭 연산 장치는, 입력된 두 쌍의 이전 상태 메트릭과 가지 메트릭의 각 합을 제1 및 제2 메트릭 합으로 출력하는 제1 가산부; 상기 제1 가산부의 제1 메트릭 합과 제2 메트릭 합을 각각에 상수값을 더한 제1 및 제2 출력값과 제1 및 제2 메트릭 합들의 평균값을 제3 출력값으로 출력하는 제2 가산부; 상기 제2 가산부의 제1 내지 제3 출력값 중에서 최소값을 선택하여 출력하는 최소값 연산부를 포함한다.

[0030]

상기 목적을 달성하기 위한 본 발명의 이중 이진 터보 복호 상태 메트릭 연산 장치는, 입력된 네 쌍의 이전 상태 메트릭과 가지 메트릭의 각 합을 제1 내지 제4 메트릭 합으로 출력하는 제1 가산부; 상기 제1 가산부의 제1 내지 제4 메트릭 합을 각각에 상수값을 더한 값을 제1 내지 제4 출력값으로 출력하고, 제1 및 제2 메트릭 합들의 평균값과 제3 및 제4 메트릭 합들의 평균값을 각각 제5 및 제6 출력값으로 출력하는 제2 가산부; 상기 제2 가산부의 제1 내지 제6 출력값 중에서 어느 하나를 최소값으로 선택하여 출력하는 최소값 연산부를 포함한다.

효 과

[0031]

이상의 구성을 통한 본 발명의 상태 메트릭 연산 장치에 따르면 종래의 최대 로그 최대 사후(Max-Log-MAP) 방식에 비하여 오류 정정 성능이 높으면서도 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식에 비하여 하드웨어 복잡도를 줄일 수 있을 뿐만 아니라 동작 지연 시간 또한 효과적으로 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0032]

앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다. 이하, 본 발명이 속하는 기술분야에서 통상의

지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

[0033] 본 발명은 오류 정정 능력이 높으면서도 동작 지연 시간을 감소시킬 수 있는 이진 터보 복호 및 이중 이진 터보 복호 알고리즘을 제안하며, 제안된 알고리즘에 의하여 구현된 이진 터보 복호기 및 이중 이진 터보 복호기용 상태 메트릭 연산 장치를 제공한다.

[0034] 먼저 본 발명에 따른 이진 터보 복호 알고리즘은 다음과 같이 유도된다.

[0035] $\overline{\delta}$ 은 순방향 상태 메트릭과 가지 메트릭의 합(또는 역방향 상태 메트릭과 가지 메트릭의 합)을 의미하고, $\max(x_i) = -\min(-x_i)$ 이므로 $\delta = -\overline{\delta}$ 라고 정의하면 상기 수학식 5는 다음과 같이 대체될 수 있다.

수학식 6

$$-\ln(e^{\overline{\delta}_1} + e^{\overline{\delta}_2}) \approx \min(\delta_1, \delta_2) + \min(0, \frac{1}{2} |\delta_1 - \delta_2| - \ln 2)$$

[0036]

[0037] 상태 메트릭 연산에서 오버플로우를 방지하기 위한 하드웨어 구현의 측면에서, 상기 수학식 6으로부터 최소값을 찾는 것이 상기 수학식 5로부터 최대값을 찾는 것보다 간단하다.

[0038] $M = \max(\delta_1, \delta_2)$, $m = \min(\delta_1, \delta_2)$ 라고 정의하면, 상기 수학식 6은 다음과 같이 보다 간단하게 대체될 수 있다.

수학식 7

$$\begin{aligned} \widehat{\min}(\delta_1, \delta_2) &= m + \min(0, \frac{1}{2} (M - m) - \ln 2) \\ &= \min(m, \frac{1}{2} (M + m) - \ln 2) \\ &= \min(\delta_1, \delta_2, \frac{1}{2} (\delta_1 + \delta_2) - \ln 2) \end{aligned}$$

[0039]

[0040] 임계 경로(critical path)를 줄임으로써 동작 지연 시간을 감소시키기 위하여 상기 수학식 7의 마지막 항을 다음과 같이 표현할 수 있다.

수학식 8

$$\widehat{\min}(\delta_1, \delta_2) \approx \widehat{\min}(\delta_1, \delta_2) + \ln 2 = \min(\delta_1 + \ln 2, \delta_2 + \ln 2, \frac{\delta_1 + \delta_2}{2})$$

[0041]

[0042] 상기 수학식 8에는 덧셈 연산만이 존재하므로 상기 수학식 8을 이용하여 상태 메트릭을 연산할 경우, 오류 정정 성능은 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식과 동일하되 동작 지연 시간은 효과적으로 감소시킬 수 있다.

[0043] 도 3은 상기 수학식 8에 의한 상태 메트릭 연산 알고리즘을 하드웨어로 구현한 이진 터보 복호 상태 메트릭 연산 장치의 블록도이다. 도 3을 참조하면, 본 발명의 이진 터보 복호 상태 메트릭 연산 장치(300)는 2개의 가산기들(301, 302)로 이루어지는 제1 가산부, 3개의 가산기들(311, 312, 3213)로 이루어지는 제2 가산부 및 최소값

연산부를 포함한다. 최소값 연산부는 3개의 가산기들(321, 322, 323)로 이루어지는 제3 가산부, AND 게이트(330), 결합기(340) 및 역다중화기(350)를 포함한다.

[0044] 제1 가산부의 가산기들(301, 302)은 입력된 두 쌍의 이전 상태 메트릭과 가지 메트릭을 더하여 각각 제1 메트릭 합(δ_1)과 제2 메트릭 합(δ_2)으로 출력한다. 출력된 제1 메트릭 합(δ_1)과 제2 메트릭 합(δ_2)은 제2 가산부로 입력된다.

[0045] 제2 가산부의 가산기들(311, 312, 313)은 제1 메트릭 합(δ_1)과 제2 메트릭 합(δ_2) 및 상수값을 이용하여 덧셈 연산을 수행한다. 구체적으로, 가산기(311)는 제1 메트릭 합(δ_1)과 상수값($\ln 2$)을 더하여 제1 출력값(a)으로 출력하고, 가산기(313)는 제2 메트릭 합(δ_2)과 상수값($\ln 2$)을 더하여 제2 출력값(c)으로 출력한다. 가산기(312)는 제1 메트릭 합(δ_1)과 제2 메트릭 합(δ_2)의 평균값을 제3 출력값(b)으로 출력한다. 제2 가산부의 가산기들(311, 312, 313)로부터 각각 출력된 제1 내지 제3 출력값들(a, b, c)은 최소값 연산부로 제공된다.

[0046] 최소값 연산부는 최소값 연산을 통하여 상기 제1 내지 제3 출력값 중에서 어느 하나를 최소값으로 선택하여 출력한다. 구체적으로, 제3 가산부의 가산기들(321, 322, 323)은 각각 상기 제1 내지 제3 출력값들(a, b, c) 중에서 서로 다른 2개의 출력값의 차를 연산하여 그 값이 0보다 크면 해당 비트값으로 '0'을 출력하고, 0보다 작으면 해당 비트값으로 '1'을 출력한다. 예컨대, 가산기(321)는 제1 출력값(a)과 제2 출력값(b)의 차를 연산하여 제1 비트값을 출력하고, 가산기(322)는 제1 출력값(a)과 제3 출력값(c)의 차를 연산하여 제2 비트값을 출력하며, 가산기(323)는 제2 출력값(b)과 제3 출력값(c)의 차를 연산하여 제3 비트값을 출력한다.

[0047] AND 게이트(330)는 상기 제1 비트값과 제2 비트값을 논리 연산하여 하나의 비트값을 출력한다. 결합기(340)는 AND 게이트(330)의 출력 비트값과 상기 제3 비트값을 결합하여 역다중화기(350)로 제공한다.

[0048] 역다중화기(350)는 결합기(340)의 출력을 기초로 상기 제1 내지 제3 출력값 중에서 어느 하나를 선택하여 최소값으로 출력한다. 역다중화기(350)의 출력값이 현재 상태 메트릭 값이 된다.

[0049] 본 발명의 제안된 상태 메트릭 연산 알고리즘에 의하여 구현된 이진 터보 복호 상태 메트릭 연산 장치에 의하면, 종래의 최대 로그 최대 사후(Max-Log-MAP) 방식에 비하여 오류 정정 성능을 향상시킬 수 있고, 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식에 비하여 하드웨어 복잡도를 줄일 수 있을 뿐만 아니라 동작 지연 시간 또한 효과적으로 감소시킬 수 있다.

[0050] 다음으로 본 발명에 따른 이중 이진 터보 복호 알고리즘은 다음과 같이 유도된다.

[0051] 상기 수학식 8은 이중 이진 터보 복호를 위해 다음과 같이 전개될 수 있다.

수학식 9

$$\begin{aligned} \widehat{\min}(\delta_1, \delta_2, \delta_3, \delta_4) &\approx \widehat{\min}(\widehat{\min}(\delta_1, \delta_2), \widehat{\min}(\delta_3, \delta_4)) \\ &= \widehat{\min}(\min(\delta_1 + \ln 2, \delta_2 + \ln 2, \frac{\delta_1 + \delta_2}{2}), \min(\delta_3 + \ln 2, \delta_4 + \ln 2, \frac{\delta_3 + \delta_4}{2})) \\ &= \min(\delta_1 + \ln 2, \delta_2 + \ln 2, \frac{\delta_1 + \delta_2}{2}, \delta_3 + \ln 2, \delta_4 + \ln 2, \frac{\delta_3 + \delta_4}{2}, \frac{\widehat{\min}(\delta_1, \delta_2) + \widehat{\min}(\delta_3, \delta_4)}{2}) \end{aligned}$$

[0052]

[0053] 상기 수학식 9에 의한 이중 이진 터보 복호 상태 메트릭 연산 알고리즘은 7개의 값 중 최소값을 찾는 방식인데, 상기 수학식 9의 마지막 7번째 값은 동작 지연 시간을 많이 증가시키는데 반하여 오류 정정 능력의 향상에는 큰 기여를 하지 못한다.

[0054] 따라서 본 발명은 임계 경로(critical path)를 효과적으로 줄이기 위하여 상기 수학식 9의 7번째 값을 생략하고 다음과 같이 6개의 값 중 최소값을 찾는 이중 이진 터보 복호 상태 메트릭 연산 알고리즘을 제안한다.

수학식 10

$$\widehat{\min}(\delta_1, \delta_2, \delta_3, \delta_4) \approx \min(\delta_1 + \ln 2, \delta_2 + \ln 2, \frac{\delta_1 + \delta_2}{2}, \delta_3 + \ln 2, \delta_4 + \ln 2, \frac{\delta_3 + \delta_4}{2})$$

[0055]

[0056]

도 4는 상기 수학식 11에 의한 상태 메트릭 연산 알고리즘을 하드웨어로 구현한 이중 이진 터보 복호 상태 메트릭 연산 장치의 블록도이다. 도 4를 참조하면, 본 발명의 이중 이진 터보 복호 상태 메트릭 연산 장치(400)는 4개의 가산기들(401 내지 404)로 이루어지는 제1 가산부, 6개의 가산기들(411 내지 416)로 이루어지는 제2 가산부 및 최소값 연산부를 포함한다. 최소값 연산부는 15개의 가산기들(421 내지 435)로 이루어지는 제3 가산부, 4개의 AND 게이트들(441 내지 444)로 이루어지는 AND 게이트부, 결합기(450) 및 역다중화기(460)를 포함한다.

[0057]

제1 가산부의 가산기들(401 내지 404)은 입력된 네 쌍의 이전 상태 메트릭과 가지 메트릭을 더하여 각각 제1 메트릭 합(δ_1) 내지 제4 메트릭 합(δ_4)으로 출력한다. 출력된 제1 메트릭 합(δ_1) 내지 제4 메트릭 합(δ_4)은 제2 가산부로 입력된다.

[0058]

제2 가산부의 가산기들(411 내지 416)은 제1 메트릭 합(δ_1) 내지 제4 메트릭 합(δ_4) 및 상수값을 이용하여 덧셈 연산을 수행한다. 구체적으로, 가산기들(411, 413, 414, 416)은 각각 제1 메트릭 합(δ_1) 내지 제4 메트릭 합(δ_4)에 상수값($\ln 2$)을 더하여 제1 내지 제4 출력값들(a, c, d, f)로 출력한다. 가산기(412)는 제1 메트릭 합(δ_1)과 제2 메트릭 합(δ_2)의 평균값을 제5 출력값(b)으로 출력하고, 가산기(415)는 제3 메트릭 합(δ_3)과 제4 메트릭 합(δ_4)의 평균값을 제6 출력값으로 출력한다. 제2 가산부의 가산기들(411 내지 416)로부터 각각 출력된 제1 내지 제6 출력값들(a, b, c, d, e, f)은 최소값 연산부로 제공된다.

[0059]

최소값 연산부는 최소값 연산을 통하여 상기 제1 내지 제6 출력값 중에서 어느 하나를 최소값으로 선택하여 출력한다. 구체적으로, 제3 가산부의 가산기들(421 내지 435)은 각각 상기 제1 내지 제6 출력값들(a, b, c, d, e, f) 중에서 서로 다른 2개의 출력값의 차를 연산하여 그 값이 0보다 크면 해당 비트값으로 '0'을 출력하고, 0보다 작으면 해당 비트값으로 '1'을 출력한다. 예컨대, 가산기(421)는 제1 출력값(a)과 제2 출력값(b)의 차를 연산하여 제1 비트값을 출력하고, 가산기(422)는 제1 출력값(a)과 제3 출력값(c)의 차를 연산하여 제2 비트값을 출력하며, 가산기(423)는 제2 출력값(b)과 제3 출력값(c)의 차를 연산하여 제3 비트값을 출력한다. 이러한 방식으로 제3 가산부의 가산기들(421 내지 435)은 제1 내지 제15 비트값을 각각 출력한다.

[0060]

AND 게이트부의 AND 게이트들(441 내지 444)은 제1 비트값 내지 제14 비트값을 논리 연산하여 각각 하나의 비트값을 출력한다. 구체적으로, AND 게이트(441)는 제1 내지 제5 비트값을 논리 연산하여 하나의 비트값을 출력하고, AND 게이트(442)는 제6 내지 제9 비트값을 논리 연산하여 하나의 비트값을 출력하며, AND 게이트(443)는 제10 내지 제12 비트값을 논리 연산하여 하나의 비트값을 출력하고, AND 게이트(444)는 제13 및 제14 비트값을 논리 연산하여 하나의 비트값을 출력한다.

[0061]

결합기(450)는 AND 게이트부의 AND 게이트들(441 내지 444)로부터 출력된 4개의 비트값들과 제15 비트값을 결합하여 역다중화기(460)로 제공한다. 역다중화기(460)는 결합기(450)의 출력을 기초로 상기 제1 내지 제6 출력값 중에서 어느 하나를 선택하여 최소값으로 출력한다. 역다중화기(460)의 출력값이 현재 상태 메트릭 값이 된다.

[0062]

본 발명의 제안된 상태 메트릭 연산 알고리즘에 의하여 구현된 이중 이진 터보 복호 상태 메트릭 연산 장치에 의하면, 종래의 최대 로그 최대 사후(Max-Log-MAP) 방식에 비하여 오류 정정 성능이 향상되고, 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 방식에 비하여 하드웨어 복잡도를 줄일 수 있을 뿐만 아니라 동작 지연 시간 또한 효과적으로 감소시킬 수 있다.

[0063]

한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0064]

도 1은 일반적인 이중 이진 터보 복호기의 구조를 보여주는 블록도.

[0065]

도 2는 개선된 최대 로그 최대 사후(Improved Max-Log-MAP) 알고리즘에 의하여 구현된 상태 메트릭 연산 장치

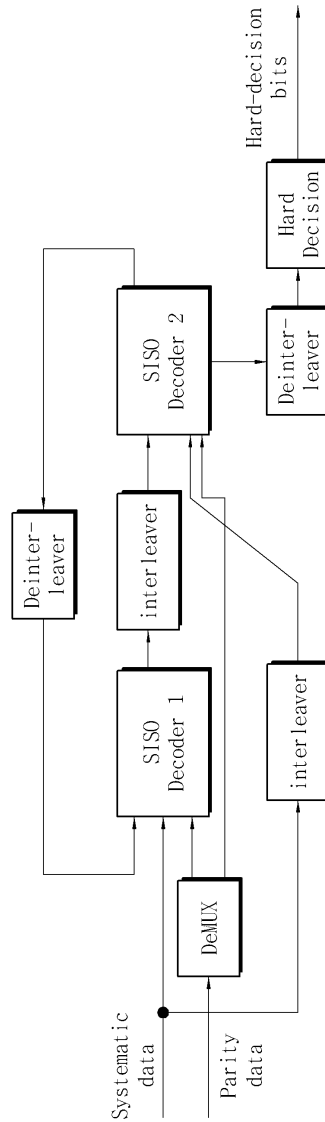
의 구조를 보여주는 블록도.

[0066] 도 3은 본 발명에 따른 이진 터보 복호 상태 메트릭 연산 장치의 구조를 보여주는 블록도.

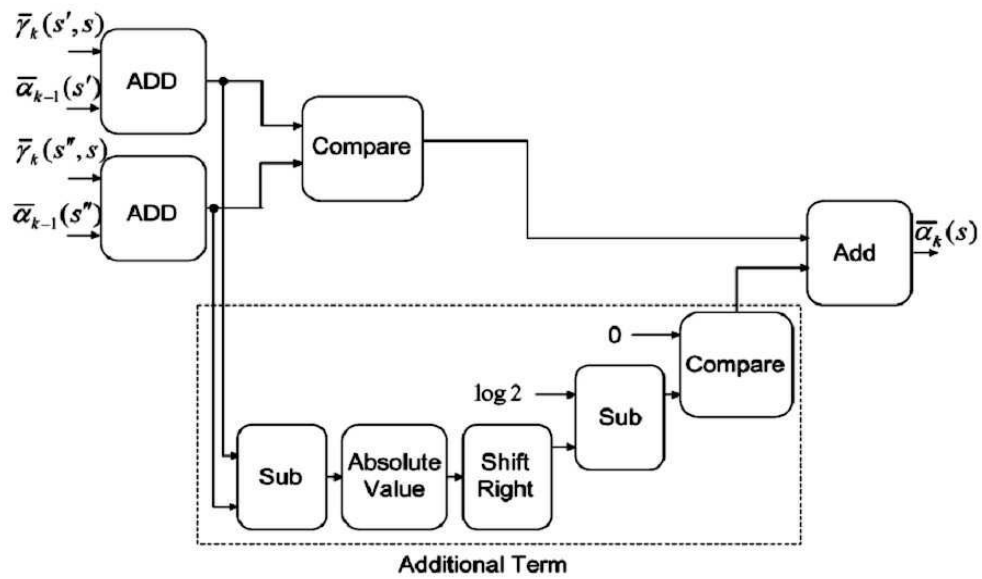
[0067] 도 4는 본 발명에 따른 이중 이진 터보 복호 상태 메트릭 연산 장치의 구조를 보여주는 블록도.

도면

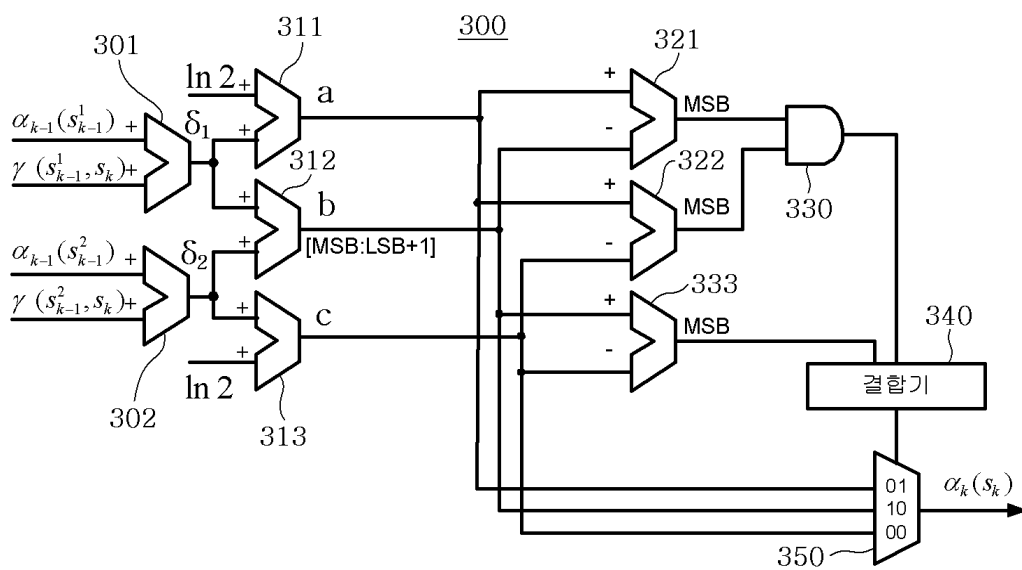
도면1



도면2



도면3



도면4

