

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



(10) 国際公開番号

WO 2024/190403 A1

- (51) 国際特許分類:
G06F 11/10 (2006.01) G06F 11/22 (2006.01)
- (21) 国際出願番号: PCT/JP2024/007100
- (22) 国際出願日: 2024年2月27日(27.02.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-041635 2023年3月16日(16.03.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 岩瀬 彰恭 (IWASE Akiyasu); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人 佐野特許事務所 (SANO
PATENT OFFICE); 〒5400032 大阪府大阪市
中央区天満橋京町2-6 天満橋八千代
ビル別館5F Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

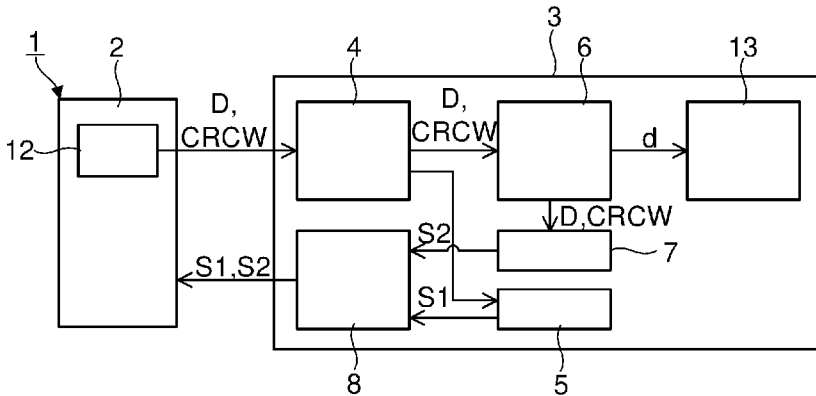
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND INFORMATION PROCESSING DEVICE COMPRISING SAME

(54) 発明の名称: 半導体装置、およびそれを備えた情報処理装置



(57) Abstract: A semiconductor device 3 includes a register 6 and a register monitoring circuit 7. The register 6 can store prescribed data. The register monitoring circuit 7 is configured to monitor the register 6 so as to periodically determine whether a data group D stored in the register 6 is normal.

(57) 要約: 半導体装置 3 は、レジスタ 6 と、レジスタ監視回路 7 と、を備える。レジスタ 6 は、所定のデータを格納可能である。レジスタ監視回路 7 は、レジスタ 6 に格納されたデータ群 D が正常であるか否かを定期的に判定するようにレジスタ 6 を監視するよう構成されている。



WO 2024/190403 A1

明 細 書

発明の名称：半導体装置、およびそれを備えた情報処理装置

技術分野

[0001] 本開示は、半導体装置、およびそれを備えた情報処理装置に関する。

背景技術

[0002] 従来、レジスタと、内部制御回路とを備える半導体装置がある（特許文献1）。特許文献1に記載されているレジスタには、種々のデータを格納可能である。内部制御回路は、所定の内部制御を行うために、必要に応じてレジスタに格納されたデータ群を読み出す。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-227917号公報

発明の概要

発明が解決しようとする課題

[0004] 従来の半導体装置では、レジスタのデータ化け対策について、更なる検討の余地があった。

課題を解決するための手段

[0005] 本明細書中に開示されている半導体装置は、レジスタと、レジスタ監視回路と、を備える。レジスタは、所定のデータを格納可能である。レジスタ監視回路は、レジスタに格納されたデータ群が正常であるか否かを定期的に判定するようにレジスタを監視するよう構成されている。

[0006] 本明細書中に開示されている情報処理装置は、上記構成の半導体装置と、制御回路と、を備える。制御回路は、レジスタにデータ群を書き込み可能なように構成されている。

発明の効果

[0007] 本明細書中に開示されている半導体装置によれば、レジスタのデータ化け

の有無を監視可能になる。

[0008] また、本明細書中に開示されている情報処理装置によれば、レジスタのデータ化けの有無を監視可能な情報処理装置を提供できる。

図面の簡単な説明

[0009] [図1]図1は、情報処理装置の全体の構成を示すブロック図である。

[図2]図2は、データ群の概略を示す図である。

[図3]図3は、レジスタおよびレジスタ監視回路を示すブロック図である。

[図4]図4は、半導体装置の動作を示すタイミングチャートである。

発明を実施するための形態

[0010] 以下、図面を参照しながら本開示の実施形態について説明する。図1は、情報処理装置1の全体の構成を示すブロック図である。

[0011] 図1に示すように、情報処理装置1は、制御回路2と、半導体装置3と、を備える。制御回路2と半導体装置3とは、互いに電氣的に接続されている。制御回路2は、CPU[Central Processing Unit]（より詳細には、MCU[Micro Controller Unit]）である。制御回路2は、半導体装置3の制御を行う。

[0012] 制御回路2は、半導体装置3にデータ群D（＝データd0～d27）と、判定用データCRCW（＝データd28）とを送信する。

[0013] 図2は、データ群Dの概略を示す図である。図2では、ビットデータb0～b15が格納された領域をハッチングで示し、ビットデータb0～b15が格納されていない領域を白抜き状態で示している。また、図2では、データd0～d28のそれぞれの格納先のアドレスadr0～adrnを示している。

[0014] 図2に示すように、データ群Dは、データd0～d27を含んで構成されている。データd0～データ27は、後述する内部制御回路13の内部制御に必要なパラメータデータ、または内部制御回路13が実行する内部処理に必要な実行フラグ等を含む。

[0015] データd0～d28のそれぞれは、複数ビット（ここでは最大16ビット

) のビットデータである。データ $d_0 \sim d_{28}$ のそれぞれは、ビットデータ $b_0 \sim b_{15}$ の全てを格納していてもよく、ビットデータ $b_0 \sim b_{15}$ のいずれかを格納していてもよい。

[0016] 具体的には、データ d_0 は、ビット b_0 で示されるように、1つの1ビットデータ (0または1のフラグ等) を含む。また例えば、データ d_2 は、ビット $b_1 \sim b_3$ で示されるように、1つの3ビットのビットデータ (0~7の8値を取り得るパラメータ等) を含む。また例えば、データ d_{27} は、ビット b_0 、ビット $b_2 \sim b_3$ およびビット $b_{14} \sim b_{15}$ でそれぞれ示されるように、1つの1ビットデータと、2つの2ビットデータ (0~3の4値を取り得るパラメータ等) を含む。

[0017] データ d_{28} は、ビット $b_0 \sim b_{15}$ で示されるように、1つの16ビットデータ (正規判定用の判定用データCRCW) である。データ d_{28} は、データ群Dの末尾 (=データ d_{27}) に付帯する。以下、データ d_{28} について、判定用データCRCWとも称する。

[0018] データ $d_0 \sim d_{28}$ のそれぞれは、格納先のアドレス $adr_0 \sim adr_n$ で指定された領域 (より詳細には、後述するレジスタ6内の各データ格納領域9のいずれか) に格納される。

[0019] 判定用データCRCWは、正常なデータ群Dに基づいて、CRC [Cyclic Redundancy Check] 演算により算出される。制御回路2は、判定用データCRCWを予め算出した上で、データ群Dおよび判定用データCRCWを半導体装置3に送信する。

[0020] 図1に戻って、制御回路2は、不揮発性メモリ12を含むように構成することができる。この場合、制御回路2は、この不揮発性メモリ12に記憶されたデータ群Dを半導体装置3に送信する。

[0021] 半導体装置3は、複数の要素を集積化した集積回路 (IC [Integrated Circuit]) である。半導体装置3は、受信回路4と、受信判定回路5と、レジスタ6と、レジスタ監視回路7と、内部制御回路13と、送信回路8と、を備える。

- [0022] 受信回路 4 は、制御回路 2 から種々のデータを受信する回路である。受信回路 4 は、制御回路 2 から受信したデータ群 D および判定用データ C R C W を、レジスタ 6 に送信可能である。
- [0023] 受信判定回路 5 は、受信回路 4 に電氣的に接続されている。受信判定回路 5 は、受信回路 4 で受信したデータ群 D および判定用データ C R C W が正常であるか否かを判定する。より詳細には、データ d 0 〜データ d 2 8 が正常値であるか否かを判定する。受信判定回路 5 は、この判定の結果（以下、「判定結果 S 1」と称する）を、後述する送信回路 8 に送信する。受信判定回路 5 の判定についての詳細は後述する。
- [0024] レジスタ 6 は、受信回路 4 に電氣的に接続されている。レジスタ 6 は、所定のデータを格納可能である。具体的には、レジスタ 6 は、データ群 D と、判定用データ C R C W とを格納可能である。
- [0025] レジスタ監視回路 7 は、レジスタ 6 に電氣的に接続されている。レジスタ監視回路 7 は、レジスタ 6 を監視する。具体的には、レジスタ監視回路 7 は、レジスタ 6 に格納されたデータ群 D が正常であるか否か（より詳細には、レジスタ 6 に格納されたデータ d 0 〜データ d 2 7 が正常値であるか否か）を定期的に判定することで、レジスタ 6 を監視する。
- [0026] レジスタ 6 の監視についての詳細は、次の通りである。レジスタ監視回路 7 は、レジスタ 6 からデータ群 D（＝データ d 0 〜データ d 2 7）を読み出して、読み出したデータ群 D に基づいて所定の検査符号 C R C R（図 3 参照）を算出する。検査符号 C R C R の算出方法は、データ群 D（＝データ d 0 〜 d 2 7）に基づいた C R C 演算を採用することができる。
- [0027] レジスタ監視回路 7 は、検査符号 C R C R と、判定用データ C R C W とを比較し、一致／不一致を判定する。検査符号 C R C R と、判定用データ C R C W とが一致していれば、データ群 D は正常（より詳細には、データ d 0 〜データ d 2 7 が正常値）と判定される。検査符号 C R C R と、判定用データ C R C W とが不一致であれば、データ群 D は正常ではない（より詳細には、データ d 0 〜データ d 2 7 の少なくともいずれかが正常値ではない）と判定

される。

[0028] レジスタ監視回路 7 は、データ群 D が正常か否かの判定結果 S 2 を、送信回路 8 に送信する。判定結果 S 2 が、データ群 D が正常であるとする結果であれば、判定結果 S 2 の送信後所定時間経過後に、レジスタ監視回路 7 が、再びレジスタ 6 に格納されたデータ群 D を読み出して検査符号 C R C R を算出し、かつ上述したデータ群 D が正常か否かの判定を行う。以後、上述した検査符号 C R C R の算出とデータ群 D が正常か否かの判定とを、定期的に行う。このとき、レジスタ監視回路 7 は、その都度レジスタ 6 に格納されるデータ群 D を読み出して検査符号 C R C R を算出する。

[0029] 内部制御回路 1 3 は、レジスタ 6 に格納されたデータ群 D (=データ d 0 ~ データ d 2 7) に基づいて、所定の内部制御を行う。

[0030] 送信回路 8 は、判定結果 S 1 を受けて、判定結果 S 1 を外部（より詳細には、制御回路 2）へ出力する。また、送信回路 8 は、判定結果 S 2 を受けて、判定結果 S 2 を外部（より詳細には、制御回路 2）へ出力する。

[0031] 制御回路 2 は、データ群 D が正常でないとする判定結果 S 1 または判定結果 S 2 を送信回路 8 から受けると、データ群 D を半導体装置 3（より詳細には、受信回路 4）に送信する。

[0032] 次に、データ群 D のレジスタ 6 への格納と、検査符号 C R C R の算出について、詳細に説明する。

[0033] 図 3 は、レジスタ 6 およびレジスタ監視回路 7 を示すブロック図である。図 3 に示すように、レジスタ 6 は、複数（ここでは 2 8 個）のパラメータ格納領域 9 と、判定用データ格納領域 1 0 と、符号格納部 1 1 と、を含んで構成されている。各パラメータ格納領域 9 には、アドレス a d r 0 ~ a d r 2 7 が割り振られている。判定用データ格納領域 1 0 には、アドレス a d r n が割り振られている。

[0034] 制御回路 2 から受信回路 4 にデータ群 D および判定用データ C R C W が送信される際に、データ d 0 ~ d 2 7 は、各パラメータ格納領域 9 に 1 つずつ割り振られて格納される。判定用データ C R C W (=データ d 2 8) は、判

定用データ格納領域 10 に格納される。検査符号 C R C R は、符号格納部 11 に格納される。

[0035] 図 1 に戻って、受信回路 4 は、データ d 0 からデータ d 28 にかけて、1 つずつ順番に制御回路 2 から受信する。

[0036] 制御回路 2 は、データ d 0 ～ d 28 を半導体装置 3（より詳細には、受信回路 4）に送信する際に、データ d 0 ～ d 28 と共に、それぞれに対応する判定用符号を合わせて送信する。すなわち、制御回路 2 がデータ d 0 を送信する際には、データ d 0 に対応する判定用符号を、データ d 0 と共に送信する。制御回路 2 がデータ d 1 を送信する際には、データ d 1 に対応する判定用符号を、データ d 1 と共に送信する。データ d 2 ～データ d 28 についても、同様である。

[0037] ここで、上述した受信判定回路 5 の判定についての詳細は、次の通りである。受信回路 4 がデータ d 0 ～ d 28 の 1 つを受信すると、受信判定回路 5 は、当該データ d 0 ～ d 28 の 1 つと、これに併せて受信した判定用符号とを比較し、一致／不一致を判定する。

[0038] 一致している場合、受信回路 4 で受信した当該データ d 0 ～ d 28 の 1 つは、正常であると判定する。不一致である場合、当該データ d 0 ～ d 28 の 1 つは、正常ではないと判定する。

[0039] 受信回路 4 がデータ d 0 ～ d 28 を受信する度に受信判定回路 5 による判定がされる。判定結果 S 1 は、この判定の度に送信回路 8 に送信される。仮に、受信回路 4 で受信したデータ d 0 ～ d 28 が正常値であるとした判定結果 S 1 の場合、制御回路 2 は、続くデータ d 1 ～ 28 を受信回路 4 に送信する。

[0040] 受信判定回路 5 の判定について具体的に説明すると、まず、受信回路 4 がデータ d 0 を制御回路 2 から受信すると、受信判定回路 5 が、データ d 0 が正常であるか否かの判定をする。正常であれば、受信回路 4 は、データ d 0 を所定のパラメータ格納領域 9（より詳細には、アドレス a d r 0 に対応するパラメータ格納領域 9）に格納する（図 3 参照）。そして、データ d 1 を

制御回路 2 から受信する。同様に、受信判定回路 5 が、データ d 1 が正常であるか否かの判定をし、正常であれば、受信回路 4 はデータ d 1 をパラメータ格納領域 9（より詳細には、アドレス a d r 1 に対応するパラメータ格納領域 9）に格納される。以下、同様にデータ d 2 ～ d 2 8 を受信してパラメータ格納領域 9 と判定用データ格納領域 1 0 とに格納する。

[0041] 受信回路 4 が受信したデータ d 0 ～ d 2 8 の少なくとも一つが正常でないと受信判定回路 5 によって判定された場合、判定結果 S 1 を受けた制御回路 2 は、判定結果 S 1 を受けた時点で半導体装置 3 へのデータ d 0 ～ d 2 8 の送信を中断する。そして、制御回路 2 は、改めてデータ d 0 ～ d 2 8 を半導体装置 3 へ、先頭のデータ d 0 から順次送信する。

[0042] 図 3 に示すように、レジスタ監視回路 7 は、計算回路 1 4 と、レジスタ判定回路 1 5 と、を含んで構成されている。計算回路 1 4 は、データ d 0 ～ d 2 7 に基づいて C R C 演算を行って検査符号 C R C R を生成する回路である。計算回路 1 4 は、生成した検査符号 C R C R を、符号格納部 1 1 に格納する。

[0043] レジスタ判定回路 1 5 は、符号格納部 1 1 に格納された検査符号 C R C R と、判定用データ格納領域 1 0 に格納された判定用データ C R C W とを比較し、双方が一致しているか否かを判定し、判定結果 S 2 を送信回路 8 に出力する。

[0044] 次に、半導体装置 3 の動作について、図 4 に示すタイミングチャートを参照しつつ説明する。図 4 は、半導体装置 3 の動作を示すタイミングチャートである。上から順に、チップセレクト信号 C S B、シリアル入力信号 S D I、レジスタ監視回路 7 の監視状態 (C R C status)、エラーフラグ (Error R E G)、半導体装置 3 の状態 (I C status) を示している。

[0045] 図 4 に示すように、まず、時刻 t 1 で、制御回路 2 がデータ群 D（データ d 0）のレジスタ 6 への書き込みを開始する。すると、チップセレクト信号 C S B がローレベルに立下る。このとき、半導体装置 3 の状態は、内部制御を停止したスタンバイ状態 (standby state) である。

- [0046] 時刻 t_2 でデータ d_0 のパラメータ格納領域 9 への格納処理が終了すると、チップセレクト信号 CSB がハイレベルに立上る。
- [0047] その後、所定時間が経過し、時刻 t_3 が到来すると、データ d_1 のパラメータ格納領域 9 への格納処理が開始される。すると、チップセレクト信号 CSB が再びローレベルに立下がる。時刻 t_4 でデータ d_1 の格納処理が終了すると、チップセレクト信号 CSB がハイレベルに立上る。以下同様に、データ $d_2 \sim d_{27}$ がパラメータ格納領域 9 に順次格納される。
- [0048] 時刻 t_5 が到来し、データ d_{27} の格納処理が終了すると、続いて、判定用データ $CRCW$ がレジスタ 6 に格納される。より詳細には、データ d_{28} が判定用データ格納領域 10 に格納される。
- [0049] データ群 D および判定用データ $CRCW$ がレジスタ 6 に書き込まれている間（＝時刻 t_1 から時刻 t_6 までの間）、レジスタ監視回路 7 の監視状態（ $CR\ status$ ）は、停止状態（ $Stop\ calc$ ）となっている。
- [0050] 時刻 t_6 でデータ d_{28} の格納処理が終了すると、レジスタ監視回路 7 の監視状態が、監視状態（ $CR\ calc$ ）になる。具体的には、時刻 t_6 で、レジスタ監視回路 7 は、レジスタ 6 の監視を開始する。
- [0051] より詳細には、時刻 t_6 が到来すると、計算回路 14 が、各パラメータ格納領域 9 からデータ $d_0 \sim d_{27}$ を取得し、検査符号 $CCRCR$ の生成を開始する。そして、時刻 t_7 までの間に、計算回路 14 が生成した検査符号 $CCRCR$ を符号格納部 11 に格納し、レジスタ判定回路 15 が検査符号 $CCRCR$ と判定用データ $CRCW$ とを取得して比較し、データ群 D の判定が正常か否かを判定して、判定結果 S_2 を送信回路 8 に送信する。
- [0052] ここでは、検査符号 $CCRCR$ と判定用データ $CRCW$ とが一致しており、データ群 D は正常（より詳細には、レジスタ 6 に格納されたデータ $d_0 \sim d_{27}$ は正常値）と判定される。1 回の判定処理（時刻 t_6 から時刻 t_7 までの間になされる処理）は、数 $\mu S \sim$ 数十 μS で完了する。
- [0053] データ群 D が正常と判定されると、半導体装置 3（より詳細には、内部制御回路 13）は内部制御を開始する。このため、時刻 t_7 が到来すると、半

導体装置 3 の状態はアクティブ状態 (Active state) となる。

[0054] また、時刻 t_7 が到来すると、計算回路 14 が、パラメータ格納領域 9 からデータ $d_0 \sim d_{27}$ を再び取得し、上述した時刻 t_6 から時刻 t_7 までになされた処理と同様の処理がなされる。そして、レジスタ 6 の監視 (= 上述した時刻 t_6 から時刻 t_7 における処理) は、定期的に繰り返される。レジスタ監視回路 7 は、レジスタ 6 の監視中にデータ群 D が正常でないと判定されると、レジスタ 6 の監視を停止する。

[0055] ここでは、仮に、図 4 に示すように、レジスタ 6 の監視の途中 (= 時刻 t_8 のタイミング) で、静電気等のノイズが発生し、データ群 D の値、すなわち、データ $d_0 \sim d_{27}$ の少なくとも 1 つが意図せず変更されてしまったとする。すると、検査符号 CRCR と判定用データ CRCW とが一致しなくなる。そして、レジスタ監視回路 7 はデータ群 D が正常ではないと判定し、判定結果 S2 を送信回路 8 に送信する。なお、上記の不一致は、判定用データ CRCW が意図せずに変更された場合にも起こり得る。

[0056] そして、時刻 t_9 が到来すると、エラーフラグ (Error REG) がハイレベルに立上る。また、エラーフラグ (Error REG) がハイレベルに立上ると、半導体装置 3 は再び内部制御を停止したスタンバイ状態に移行する。

[0057] 時刻 t_9 から所定時間が経過し、時刻 t_{10} が到来すると、制御回路 2 からエラークリア指示 ECLR が送信され、パラメータ格納領域 9 にエラークリアを実行するためのデータ d_x が格納される。このとき、チップセレクト信号 CSB がハイレベルからローレベルに立下がる。時刻 t_{11} が到来してデータ d_x の格納が終了すると、エラーフラグ (Error REG) がハイレベルからローレベルに立下がる。なお、データ d_x は、上述したデータ群 D に含まれないもの (= データ $d_0 \sim d_{27}$ に該当しないもの) とすることができ。

[0058] 時刻 t_{11} から所定時間が経過して時刻 t_{12} が到来すると、再度データ群 D (= データ $d_0 \sim d_{27}$) および判定用データ CRCW (= データ d_{28}) のレジスタ 6 への書き込みが開始される。そして、上述した時刻 t_1 か

ら時刻 t 6 までの処理と同様の処理がなされる。これにより、レジスタ 6 内に正常なデータ群 D（より詳細には、データ d 0 ~ d 2 7 の正常値）が格納されることとなる。

[0059] 時刻 t 1 3 においてデータ d 2 8 が判定用データ格納領域 1 0 に格納されると、レジスタ監視回路 7 の監視状態が、監視状態 (CRC calc) になる。具体的には、時刻 t 1 3 が到来すると、レジスタ監視回路 7 は、レジスタ 6 の監視を開始する。そして、時刻 t 1 4 が到来して、データ群 D が正常であると判定されると、半導体装置 3 は再び内部制御を開始してアクティブ状態になる（図示省略）。以後、レジスタ監視回路 7 は、レジスタ 6 の監視を継続する。

[0060] <レジスタ化け対策に関する考察>

ここで、いわゆるレジスタ化け対策に関して考察する。レジスタ化けとは、レジスタ内のデータが意図せず変更されたり、破損したりする現象である。

[0061] レジスタと、内部制御回路とを備えた従来の半導体装置では、制御回路（＝CPU または MCU 等）が接続されているのが一般的である。この場合、データ群は、制御回路から半導体装置に送信されて、レジスタに格納される。

[0062] このような半導体装置は、半導体装置の内部に不揮発性メモリを含んで構成されているものがある。この場合、半導体装置は、不揮発性メモリに書き込まれたデータ群をレジスタに格納する。そして、内部制御回路はレジスタに格納されたデータ群を読み出して、所定の内部制御を行う。

[0063] また、半導体装置の外部（例えば、制御回路の内部）に配置された不揮発性メモリからデータ群を読み出して、レジスタに格納可能な半導体装置もある。この場合、制御回路が不揮発性メモリからデータ群をレジスタに格納する。

[0064] これらのような半導体装置は、レジスタに格納されたデータ群に異常（いわゆる、レジスタ化け）が発生したときに、上述した内部制御に不具合が生

じないように種々の考察がなされてきた。例えば、定期的に不揮発性メモリからデータ群をレジスタに格納し直すように構成する手法が考えられている。

[0065] しかしながら、不揮発性メモリからデータを読み出すには、比較的長時間の読み出し時間が必要になる。このため、この手法を採用した場合、半導体装置の内部に不揮発性メモリを含んでいる場合であっても、内部処理に要する時間が、機能安全の観点から要求される時間を満たせないなどの不具合に繋がるおそれがあった。

[0066] また、外部に配置された不揮発性メモリからデータ群をレジスタに格納するように構成された半導体装置では、定期的に、制御回路から半導体装置のレジスタにデータ群の格納をする必要がある。このため、制御回路のリソースを、レジスタ化け対策のために余分に割り振ることとなり、効率が悪いものとなる。

[0067] <本開示について>

対して、本開示に係る上記実施形態の半導体装置3は、上述した通り、レジスタ監視回路7が、レジスタ6に格納されたデータ群Dが正常であるか否か定期的に判定するように構成されている。これにより、必ずしも異常が生じていないデータ群Dを定期的に格納し直す必要がなくなり、レジスタ6の上書きに必要な時間を短縮できる。このため、内部制御に要する時間を短くしつつ、内部制御に不具合が発生するのを抑制できるようになる。

[0068] また、上述した通り、計算回路14は、レジスタ6に格納されたデータ群Dに基づいて検査符号CRCWを算出可能になる。また、レジスタ判定回路15が検査符号CRCWとの比較に用いる判定用データも、レジスタ6に格納されている。このため、レジスタ6内のデータ群Dが正常か否かを判定する際に、半導体装置3の外部（ここでは、不揮発性メモリ12）から別途データを読み出す必要がなくなり、レジスタ6の監視が簡易なものとなる。従って、上述した判定に必要な時間を短縮することができる。

[0069] さらに、レジスタ6内のデータ群Dが正常か否かを判定する際に、制御回

路 2 からデータ群 D のレジスタ 6 への格納処理も不要となる。このため、制御回路 2 のリソースをレジスタ化け対策に割り振る必要がなくなる。

[0070] また、上述した通り、レジスタ監視回路 7 は、CRC 演算によって算出された検査符号 CRCR および判定用データ CRCW により、巡回冗長検査によってデータ群 D が正常か否かを判定することができる。このため、他の誤り検出方式を採用する場合に比べて、より好適にデータ群 D が正常であるか否かを判定することが可能になる。

[0071] また、上述した通り、データ群 D がレジスタ 6 に書き込まれている間は、レジスタ監視回路 7 は、レジスタ 6 の監視を停止する。データ群 D が正常ではない状態から、改めて正常なデータ群 D がレジスタ 6 に書き込まれている間は、レジスタ 6 に格納されているデータ群 D が正常ではないことが明らかたため、レジスタ 6 を監視する必要がない。このため、この間に、レジスタ監視回路 7 の監視を一時的に停止することで、半導体装置 3 の消費電力の低減できる。

[0072] また、上述した通り、受信判定回路 5 は、受信回路 12 で受信したデータ群 D が正常か否かを判定可能となっている。そして、この判定結果 S1 が、データ群 D が正常でないとする結果である場合、改めてレジスタ 6 にデータ群 D が格納される。これにより、データ群 D が外部からレジスタ 6 に格納される際に、受信中にデータ群 D の不具合を発見することができる。従って、半導体装置 3 の内部制御に不具合が生じる前に、レジスタ 6 に正常なデータ群 D を格納し直すことができる。

[0073] その他本発明は、上記実施形態に限定されず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。例えば、上記実施形態に係るレジスタ 6 の監視手法として、CRC 演算によって検査符号 CRCR を算出し、データ群 D が正常か否かを判定する、としたがこれに限られない。例えば、パリティ、またはチェックサム等の誤り検出方式を用いてデータ群 D が正常であるか否かを判定するようにしてもよい。

[0074] また、上記実施形態では、不揮発性メモリ 12 が制御回路 2 に含まれてい

る構成を例に説明したが、これに限られない。例えば、不揮発性メモリ 12 を省略し、半導体装置 3 の内部に不揮発性メモリが含まれている構成を採用することができる。この場合、制御回路 2 からこの不揮発性メモリにデータ群 D および判定用データ C R C W が書き込まれる。そして、この不揮発性メモリからレジスタ 6 へデータ群 D および判定用データ C R C W が格納される。

[0075] この場合、レジスタ監視回路 7 がレジスタ 6 を定期的に監視することで、上述した従来の半導体装置のように不揮発性メモリから繰り返しデータを読み出す必要がなくなる。このため、レジスタ 6 のデータ化け対策に要する時間が比較的短時間なものとなる。

[0076] また、上記実施形態では、データ群 D を 28 個のデータ（＝データ d 0 ～ d 27）で構成されている態様を例に説明したが、これに限られない。データ群 D を n - 1 個のデータからなるものとし、正規判定用の C R C W に係るデータを、上記実施形態と同様に、データ群 D の末尾のデータに続く n 個目のデータとすることができる。

[0077] また、上記実施形態では、データ群 D はデータ d 0 からデータ d 27 まで 1 つずつ順番にインクリメントされた態様を示したが、これに限られない。すなわち、データ d 0 ～ d 27 のいずれかを含まないものであってもよい。

[0078] 明細書に開示されている半導体装置（3）は、所定のデータを格納可能なレジスタ（6）と、レジスタ（6）に格納されたデータ群（D）が正常であるか否かを定期的に判定するようにレジスタ（6）を監視するよう構成されたレジスタ監視回路（7）と、を備える構成（第 1 の構成）とされている。

[0079] なお、第 1 の構成からなる半導体装置（3）は、正常なデータ群（D）に基づく判定用データ（C R C W）と、データ群（D）とがレジスタ（6）に格納され、レジスタ監視回路（7）は、レジスタ（6）に格納されたデータ群（D）から算出した検査符号（C R C R）と、判定用データ（C R C W）とを比較して、レジスタ（6）に格納されたデータ群（D）が正常値であるか否かを判定するように構成するとよい（第 2 の構成）。

- [0080] また、第2の構成からなる半導体装置（3）は、レジスタ監視回路（7）は、CRC演算によって検査符号（CRCR）を算出するように構成するとよい（第3の構成）。
- [0081] また、第3の構成からなる半導体装置（3）は、判定用データ（CRCW）は、データ群（D）を構成データ（d0～d27）の正常値に基づいてCRC演算によって予め算出された値であり、レジスタ監視回路（7）は、判定用データ（CRCW）と検査符号（CRCR）との一致／不一致を判定することで、データ群（D）が正常であるか否かを判定するように構成するとよい（第4の構成）。
- [0082] また、第1の構成からなる半導体装置（3）は、データ群（D）の判定結果（S2）を外部に送信する送信回路（8）を備えるように構成するとよい（第5の構成）。
- [0083] また、第5の構成からなる半導体装置（3）は、レジスタ監視回路（7）は、データ群（D）が外部からレジスタ（6）に書き込まれている間に、レジスタ（6）の監視を停止し、外部からデータ群（D）のレジスタ（6）への書き込みが完了した後にレジスタ（6）の監視を再開するように構成するとよい（第6の構成）。
- [0084] また、第1の構成からなる半導体装置（3）は、レジスタ（6）への書き込み対象であるデータ群（D）を外部から受信する受信回路（4）と、受信回路（4）が受信したデータ群（D）が正常であるか否かを判定する受信判定回路（5）と、を備えるように構成するとよい（第7の構成）。
- [0085] 明細書に開示されている情報処理装置（1）は、第1の構成から第7の構成のいずれかの半導体装置（3）と、レジスタ（6）にデータ群（D）を書き込み可能なように構成された制御回路（2）と、を備える構成（第8の構成）とされている。
- [0086] また、明細書に開示されている情報処理装置（1）は、第5の構成または第6の構成の半導体装置（3）と、レジスタ（6）にデータ群（D）を書き込み可能なように構成された制御回路（2）と、を備え、制御回路（2）は

、データ群（D）が正常ではないとする監視結果を受けた場合に、データ群（D）をレジスタ（6）に書き込む構成（第9の構成）とされている。

[0087] 第1の構成に係る半導体装置（3）によれば、レジスタ（6）に格納されたデータ群（D）が正常であるか否か定期的に判定できる。これにより、データ群（D）を定期的に格納し直す必要がなくなり、レジスタ（6）の上書きに必要な時間を短縮できる。このため、比較的短い読み出し時間でレジスタ（6）を監視して、内部制御に不具合が発生するのを抑制できるようになる。

[0088] 第2の構成に係る半導体装置（3）によれば、レジスタ（6）に格納されたデータ群（D）に基づいて検査符号（CRCR）を算出可能になる。また、検査符号（CRCR）との比較に用いる判定用データ（CRCW）も、レジスタ（6）に格納されている。このため、レジスタ（6）内のデータ群（D）が正常か否かを判定する際に、半導体装置（3）の外部から別途データを読み出したりする必要がなくなり、レジスタ（6）の監視が簡易なものとなる。従って、上述した判定に必要な時間を短縮することができる。

[0089] 第3の構成に係る半導体装置（3）によれば、より好適に検査符号（CRCR）を算出することが可能になり、データ群（D）が正常か否かを好適に判定できる。

[0090] 第4の構成に係る半導体装置（3）によれば、より好適に検査符号（CRCR）および判定用データ（CRCW）を算出することが可能になり、データ群（D）が正常か否かを好適に判定できる。

[0091] 第5の構成に係る半導体装置（3）によれば、外部出力された判定結果（S2）を用いた種々の制御が可能なシステムを構成することが可能になる。

[0092] 第6の構成に係る半導体装置（3）によれば、データ群（D）が正常値ではない状態から、改めて正常なデータ群（D）がレジスタ（6）に書き込まれている間は、レジスタ（6）に格納されているデータ群（D）が正常であるか否かを判定する必要がない。このため、この間に、レジスタ監視回路（7）の監視を中断することで、半導体装置（3）の効率の低下を抑制できる

。

[0093] 第7の構成に係る半導体装置（3）によれば、データ群（D）が外部からレジスタ（6）に格納される際に、受信中にデータ群（D）の不具合を発見することができる。このため、半導体装置（3）の内部制御に不具合が生じる前に、レジスタ（6）に正常なデータ群（D）を格納し直すことが可能なものとすることができる。

[0094] 第8の構成に係る情報処理装置（1）によれば、比較的短い読み出し時間でレジスタ（6）を監視して、半導体装置（3）の内部制御に不具合が発生するのを抑制可能な情報処理装置（1）を提供できる。また、制御回路（2）のリソースをレジスタ（6）の監視に割り振ることなく、レジスタ（6）内のデータ群（D）を監視できるようになる。このため、制御回路（2）の効率低下を抑制できる。

[0095] 第9の構成に係る情報処理装置（1）によれば、レジスタ（6）に格納されたデータ群（D）が正常でないと判定された場合に、改めて、正常なデータ群（D）をレジスタ（6）に格納することが可能になる。

符号の説明

[0096]	1	情報処理装置
	2	制御回路
	3	半導体装置
	4	受信回路
	5	受信判定回路
	6	レジスタ
	7	レジスタ監視回路
	8	送信回路
	9	パラメータ格納領域
	10	判定用データ格納領域
	11	符号格納部
	12	不揮発性メモリ

1 3	内部制御回路
1 4	計算回路
1 5	レジスタ判定回路
a d r 0 ~ a d r 2 7、a d r n	アドレス
C R C W	判定結果
C R C R	検査符号
C S B	チップセレクト信号
d 0 ~ d 2 8、d x	データ
D	データ群
S 1、S 2	判定結果
S D I	シリアル入力信号
t 1 ~ t 1 4	時刻

請求の範囲

- [請求項1] 所定のデータを格納可能なレジスタと、
前記レジスタに格納されたデータ群が正常であるか否かを定期的に判定するように前記レジスタを監視するよう構成されたレジスタ監視回路と、
を備える半導体装置。
- [請求項2] 正常な前記データ群に基づく判定用データと、前記データ群とが前記レジスタに格納され、
前記レジスタ監視回路は、前記レジスタに格納された前記データ群から算出した検査符号と、前記判定用データとを比較して、前記レジスタに格納された前記データ群が正常であるか否かを判定する請求項1に記載の半導体装置。
- [請求項3] 前記レジスタ監視回路は、CRC演算によって前記検査符号を算出する請求項2に記載の半導体装置。
- [請求項4] 前記判定用データは、前記データ群を構成する各データの正常値に基づいてCRC演算によって予め算出された値であり、
前記レジスタ監視回路は、前記判定用データと前記検査符号との一致／不一致を判定することで、前記データ群が正常であるか否かを判定する請求項3に記載の半導体装置。
- [請求項5] 前記データ群の判定結果を外部に送信する送信回路を備える請求項1に記載の半導体装置。
- [請求項6] 前記レジスタ監視回路は、前記データ群が前記外部から前記レジスタに書き込まれている間に、前記レジスタの監視を停止し、前記外部から前記データ群の前記レジスタへの書き込みが完了した後に前記レジスタの監視を再開する請求項5に記載の半導体装置。
- [請求項7] 前記レジスタへの書き込み対象である前記データ群を外部から受信する受信回路と、
前記受信回路が受信した前記データ群が正常であるか否かを判定する

受信判定回路と、

を備える請求項 1 に記載の半導体装置。

[請求項8]

請求項 1 から 7 のいずれかに記載の半導体装置と、

前記レジスタに前記データ群を書き込み可能なように構成された制御回路と、

を備える情報処理装置。

[請求項9]

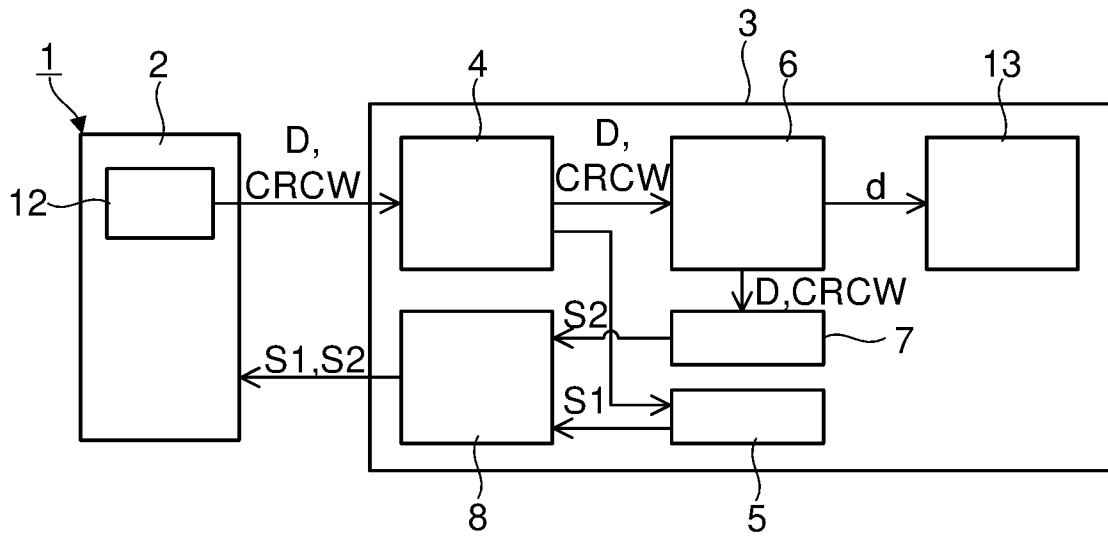
請求項 5 または 6 に記載の半導体装置と、

前記レジスタに前記データ群を書き込み可能なように構成された制御回路と、

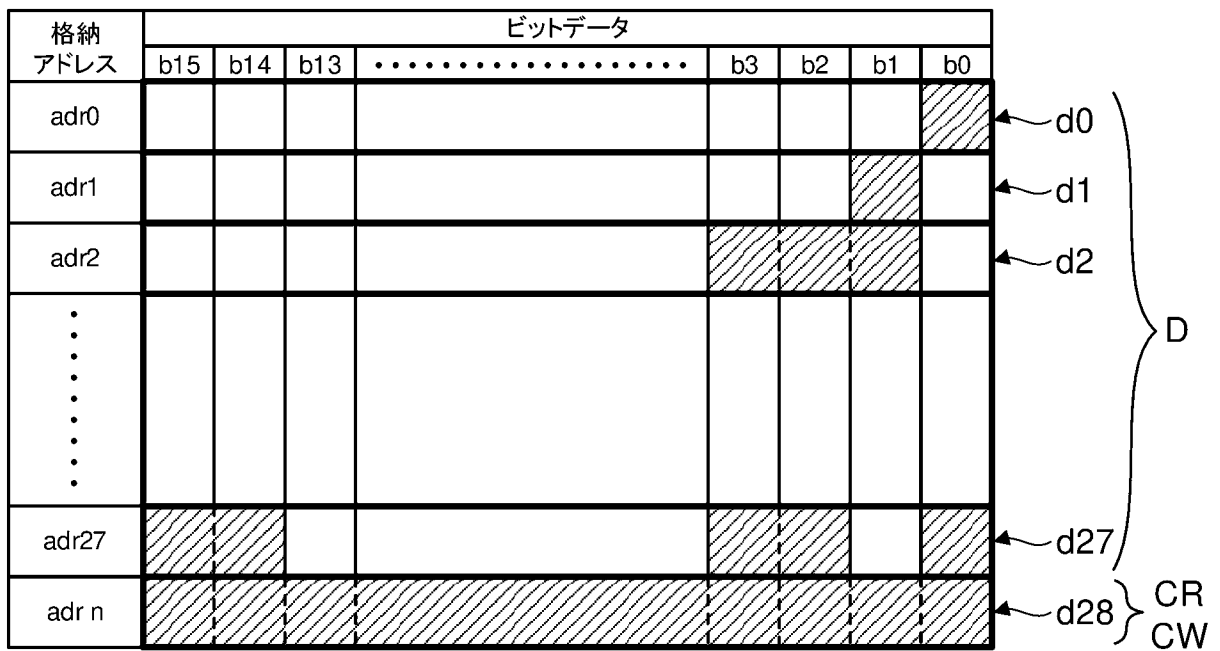
を備え、

前記制御回路は、前記データ群が正常ではないとする前記監視結果を受けた場合に、前記データ群を前記レジスタに書き込む情報処理装置。

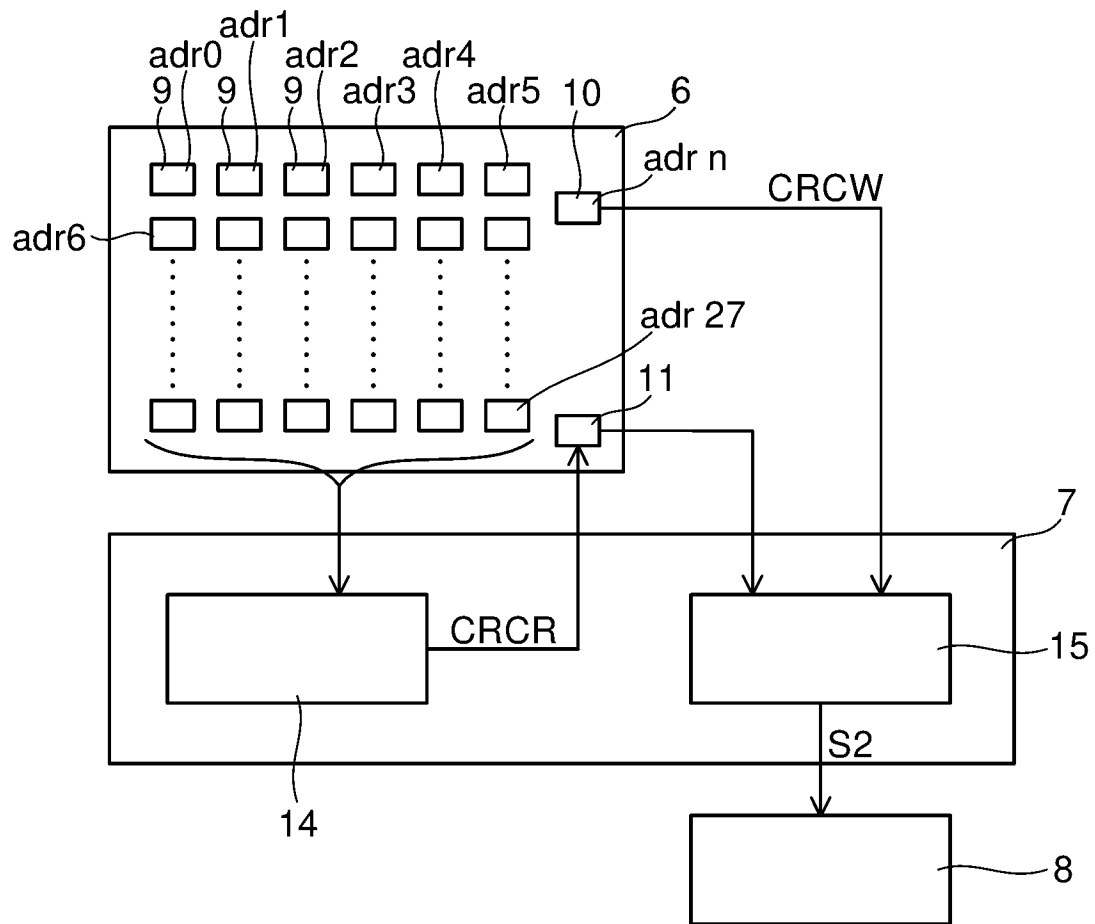
[図1]



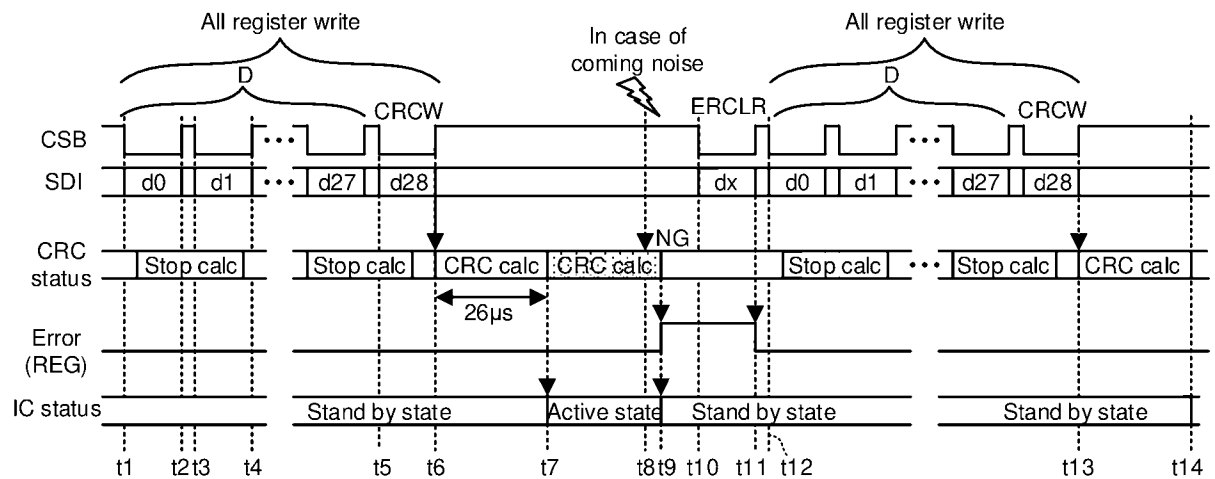
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/007100

A. CLASSIFICATION OF SUBJECT MATTER G06F 11/10 (2006.01)i; G06F 11/22 (2006.01)i FI: G06F11/10 648; G06F11/22 607A; G06F11/22 675L According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F11/10; G06F11/22 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/0031750 A1 (MICROCHIP TECHNOLOGY INCORPORATED) 02 February 2017 (2017-02-02) fig. 1, paragraphs [0016], [0017], [0018]	1-8
Y	fig. 1, paragraphs [0016], [0017], [0018]	9
Y	JP 2005-234883 A (NEC CORPORATION) 02 September 2005 (2005-09-02) fig. 7, 8, solution, paragraph [0045]	9
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 01 May 2024		Date of mailing of the international search report 21 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/007100

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017/0031750	A1	02 February 2017	WO	2017/019824	A1	
				CN	107924356	A	
				KR	10-2018-0034473	A	

JP	2005-234883	A	02 September 2005	US	2005/0185476	A1	
				fig. 7, 8, abstract, paragraph [0072]			
				CN	1658163	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

G06F 11/10(2006.01)i; G06F 11/22(2006.01)i
FI: G06F11/10 648; G06F11/22 607A; G06F11/22 675L

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G06F11/10; G06F11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922 - 1996年

日本国公開実用新案公報1971 - 2024年

日本国実用新案登録公報1996 - 2024年

日本国登録実用新案公報1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2017/0031750 A1 (MICROCHIP TECHNOLOGY INCORPORATED) 02.02.2017 (2017 - 02 - 02) 図1、【0016】、【0017】、【0018】。	1-8
Y	図1、【0016】、【0017】、【0018】。	9
Y	JP 2005-234883 A (日本電気株式会社) 02.09.2005 (2005 - 09 - 02) 図7、8、【解決手段】、【0045】	9

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日
01.05.2024

国際調査報告の発送日
21.05.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

坂東 博司 5B 4234

電話番号 03-3581-1101 内線 3529

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/007100

引用文献			公表日	パテントファミリー文献			公表日
US	2017/0031750	A1	02.02.2017	WO	2017/019824	A1	
				CN	107924356	A	
				KR	10-2018-0034473	A	

JP	2005-234883	A	02.09.2005	US	2005/0185476	A1	
				図 7, 8、ABSTRACT, [0072]			
				CN	1658163	A	
