

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】 第 7 部門第 2 区分
 【発行日】 平成 19 年 2 月 8 日 (2007.2.8)

【公表番号】 特表 2006-511085 (P2006-511085A)
 【公表日】 平成 18 年 3 月 30 日 (2006.3.30)
 【年通号数】 公開・登録公報 2006-013
 【出願番号】 特願 2004-561876 (P2004-561876)
 【国際特許分類】

H 0 1 L 25/04 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 25/04 Z

【手続補正書】
 【提出日】 平成 18 年 12 月 13 日 (2006.12.13)
 【手続補正 1】

【補正対象書類名】 特許請求の範囲
 【補正対象項目名】 全文
 【補正方法】 変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

電子デバイスを製造する方法であって、

導電性材料の第 1 の層を有する基板を設ける工程であって、前記層において所望のパターンに従って導体が画定され、または画定されることとなる基板を設ける工程と、

導電性材料の第 2 の層を有するフォイルを設ける工程であって、前記層において所望のパターンに従って導体が画定される、フォイルを設ける工程と、

前記基板の第 1 の側上で半導体素子と第 1 の接続素子とを含む素子を設ける工程であって、これにより前記素子のうちの少なくとも 2 つであって、そのうちの一方が前記第 1 の接続素子である 2 つが、前記第 1 の層内の対応する導体に電氣的に接触する、素子を設ける工程と、

前記素子のいずれかの側上で前記フォイルを設ける工程であって、これにより前記少なくとも 2 つの素子と前記第 2 の層内の対応する導体との間で電氣的接触が成立する、フォイルを設ける工程と、

前記半導体素子の前記第 2 の側から前記フォイルを通じて不活性化材料を設ける工程であって、前記不活性化材料が前記素子のカプセル封じを形成する、不活性化材料を設ける工程と、

基板とカプセル封じと第 2 の導電層とのアッセンブリを分離する工程であって、これにより電子デバイスを形成する工程と、をそなえる電子デバイスの製造方法。

【請求項 2】

前記フォイルが分離可能層を備え、前記半導体素子の前記第 2 の側上で前記フォイルを設けた後に前記分離可能層が取り除かれることを特徴とする、請求項 1 に記載の方法。

【請求項 3】

前記フォイルがパターン化された電気絶縁層を備え、前記第 2 のパターン化層が前記素子に面するよう前記フォイルを設けることを特徴とする、請求項 1 に記載の方法。

【請求項 4】

前記フォイルが電気絶縁ガーゼを備え、前記第 2 のパターン化層が前記素子に面するよう前記フォイルを設けることを特徴とする、請求項 1 に記載の方法。

【請求項 5】

前記第 1 の層で前記接続導体が予め画定された基板を使用することを特徴とする、請求項 1 に記載の方法。

【請求項 6】

前記基板が犠牲層を備え、前記不活性化層材料を設けた後に前記犠牲層が少なくとも部分的には取り除かれることを特徴とする、請求項 5 に記載の方法。

【請求項 7】

前記不活性化材料が前記第 2 のパターン化層をも封じ込め、前記基板が、前記第 1 の側の反対を向いた前記第 2 の側上に位置する対外接触のための接触面を有することを特徴とする、請求項 1 または 5 に記載の方法。

【請求項 8】

半導体素子を設けた第 1 の側とこれと反対の第 2 の側とを備え、前記第 2 の側は第 1 の接続領域および前記第 1 及び前記第 2 の側上の導電性材料の第 1 及び第 2 のパターン化層の間に位置する第 1 及び第 2 の接続領域を有する半導体素子が設けられた電子デバイスであって、前記パターン化層は少なくとも第 1 の接続素子を介して電氣的に相互に接続し、導体は前記層における所望のパターンに従って画定され、前記半導体素子は前記接続領域によって前記層の少なくとも 1 つの層内の導体と電氣的に接続し、前記デバイスは前記第 1 の側にて外部と接触するための接触面を有し、前記接触面は前記第 1 のパターン化層内の前記導体の少なくとも一部分と導電的に接続し、前記素子と前記第 2 のパターン化層とは不活性化材料のカプセル封じによって少なくとも実質的には封じ込まれる、電子デバイス。

【請求項 9】

前記素子の反対の前記側上で、パターン化された絶縁層を前記第 2 の導電層に設けることを特徴とする、請求項 8 に記載の電子デバイス。

【請求項 10】

前記素子の反対の側上で、絶縁材料のガーゼを前記第 2 の導電層に設けることを特徴とする、請求項 8 に記載の電子デバイス。

【請求項 11】

パターン化された電気絶縁キャリア層とパターン化された導電層とを備えるフォイルであって、これらの層の前記パターンが異なるフォイル。

【請求項 12】

前記絶縁キャリア層がガーゼであることを特徴とする、請求項 11 に記載のフォイル。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】電子デバイス及びその製造方法

【技術分野】

【0001】

本発明は電子デバイスの製造方法に関し、その製造方法は、

一第 1 の導電層を備える基板の第 1 の側上で、半導体素子と第 1 の接続素子とを含む複数の素子を設ける工程であって、これにより、かかる複数の素子のうちの少なくとも 2 つであってそのうちの 1 つが第 1 の接続素子である 2 つと、第 1 の導電層の対応する導体とが電氣的に接触する、素子を設ける工程と、

一かかる複数の素子のいずれかの側上で第 2 の導電層を施す工程であって、これにより、少なくとも 2 つの素子と第 2 の層とが電氣的に接触する、第 2 の導電層を施す工程と、

一素子のカプセル封じを形成する不活性化材料を施す工程と、

一基板とカプセル封じと第 2 の導電層との集合を分離する工程であって、これにより電子デバイスを形成する工程と、を含む。

【0002】

本発明はまた、半導体素子を設けた第1の側と第2の反対側とを備え、各々第1及び第2の側上の導電性材料の第1及び第2の層の間に位置する第1及び第2の接続領域を有する電子デバイスに関し、かかる層は少なくとも第1の接続素子を介して電氣的に相互に接続し、導体は前記層における所望のパターンに従って画定され、半導体素子は接続領域を介して前記導体の少なくともいくつかと電氣的に接続し、前記デバイスには第1の側にて外部と接触するための接触面を設け、前記接触面は第1の層内の導体の少なくとも一部分と導電的に接続し、前記素子は不活性化材料のカプセル封じによって、少なくとも実質的には封じ込まれる。

【0003】

本発明は、さらにフォイルに関する。

【発明の背景】

【0004】

かかる方法及びデバイスは、未公開出願IB02/02305(出願人整理番号：集積回路であり、PHNL010398)に記載されている。前記出願の半導体素子は、トランジスタか、あるいは第1の側にいくつかの接続領域を備え、第2の側に1つの接続領域を備える、やや複雑な素子であり、それらの接続領域にヒートシンクや接触子等の導電性接着剤を用いた接続を、電氣的及び／または熱的に伝導する接続を形成するために用いられる。接続素子を備えるデバイスには、接続領域が両側にあっても、単一の側、この場合は第1の側で、対外接触を達成できるという利点がある。接続素子は、例えばシリコンや銅製のものである。

【0005】

公知の方法では、基板と第2の導電層とがそれぞれ導電プレートの形態をとる。第2の導電プレート上には素子を設け、導電性の接着剤を用いて取り付け。前記素子には、第1の側にてバンプを設ける。その後、前記バンプ上に第1の導電プレートを設ける。次に、絶縁材料を、この場合は所謂アンダーフィル材をデバイスの側縁から設け、硬化させる。バンプと第1の導電プレートとの間で導電性接続を確立するため、好ましくは温度処置を施す。その後、マスクを用いて第1のプレートをパターン化する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

側縁から絶縁材料を設けることは、実際には不利であることが分かっている。多数のデバイスを同時に製造する場合には、絶縁材料で全ての素子を封じ込めるのに比較的時間がかかる。加えて、素子とバンプとが完全に封じ込めない可能性が高く、完全に封じ込めないと機械的なストレスや不具合を招く。しかも、材料の選択肢はアンダーフィル材により形成されるグループに限られる。

【課題を解決するための手段】

【0007】

したがって本発明の第1の目的は、冒頭の段落で述べたタイプの方法を提供することであり、その方法を用いることで絶縁材料を容易に設けることができ、しかもデバイスを基板から作り上げることができ、対外接触のための全接触面を1つの側に位置付けることができる。この第1の目的は、

第2の層をパターン化し、相互に接続された接続導体と導体とをこれに備えることと、
少なくとも2つの素子と接続導体とを電氣的に接触させるため、第2の層をフォイルの一部として設けることと、

半導体素子の第2の側からフォイルを通じて不活性化材料を設けることと、によって達成される。

【0008】

本発明による方法では、プレートの形をとる第2の導電層の代わりにフォイルを使用する。前記のフォイルは、予めパターン化された形で第2の導電層を備えるが、更なるフォイル部の接続機能によって、この第2の導電層は全体として設けることができる。前記の

更なるフォイル部は、例えば電気絶縁層を含み、それは分離可能であってもなくてもよく、パターン化してもしなくてもよい。この「浸透性」フォイルによって、半導体素子の第2の側から絶縁材料を設けることができる。よって、絶縁材料を設けるために使える表面が格段に広くなり、その結果処理は格段に速くなり、不完全なカプセル封じの危険性は低くなる。

【0009】

本発明による方法には、切断経路に第2の導電層が存在しないという利点がある。導電材料が、特に銅が、切断経路に存在すると、切断工程が複雑なものとなり、使用する鋸の実用寿命に悪影響を及ぼす。したがって、銅は光蝕刻法で取り除くと有利である。しかし、組み立て工程後の光蝕刻工程もまた、組み立てプラントにおける実際条件のため望ましくない。本発明による方法では、この問題が事実上皆無である。

【0010】

第2の導電層で付加的パターンを構成することにより機能性を増す、という更なる利点も存在する。例えば、コイル、カプラー、シールド、マイクロストリップ等を設けることもできる。

【0011】

第2の導電層でより多くのパターンを有することは、特に有利である。多数の素子を有するモジュールを、その全素子を第2の導電層を介して相互に接続しなくても、製造することが可能となる。本方法の更なる利点として、様々な絶縁材料をカプセル封じに使用できる。例えば、ガラスエポキシド、アクリレート、ポリイミド等を使用できるが、ガラスに硬化できるゾル・ゲル材料も使用できる。フォイルを通じての絶縁材料提供は、様々な応用技法を用いて遂行できる。例えば、射出成形、噴霧法、スピンまたはウェブ被覆等がある。

【0012】

本発明による第1の実施形態では、フォイルが分離可能層を備え、その分離可能層は、半導体素子の第2の側上でフォイルを設けた後に取り除く。第2のパターン化層は、素子によって、取り分けその第2の側上の接続手段によって支えられるため、フォイルは取り除くことができる。公知の接続手段として、金属バンプや導電性接着剤等がある。本実施形態の利点として、第2のパターン化層は原理上、更なる素子のための基板として利用できる。これらの素子は、好ましくは絶縁材料を施す前に設けられる。第2の導電層の厚みは、更なる素子の質量に適応させることができる。ただし、好ましくは、この厚みを約100nmから50 μ mの範囲内に制限する。素子の例としては、半導体素子、センサ、ヒートシンク、受動素子等がある。

【0013】

第2の実施形態では、フォイルがパターン化された電気絶縁層を備え、かかるフォイルは、第2のパターン化層が素子に面するよう設ける。好ましくは、絶縁層を絶縁材料の中に埋め込む。そのため、絶縁層が絶縁材料に十分に接合することが望まれる。加えて絶縁層は、カプセル封じの絶縁材料を硬化させ、さらに半田及び金属の少なくとも一方を再溶解するために行われる熱処理に耐えることができないなければならない。さらに絶縁材料は、デバイスの動作に悪影響を与えてならない。実際、これまでは市販の、取り分け、Nortonから市販されているドライソルダーレジストと、ポリイミドやベンゾシクロブテン等の構成可能材料を使用することによって満足な結果が得られた。

【0014】

第3の実施形態では、フォイルが電気絶縁ガーゼを備え、そのフォイルは、第2のパターン化層が素子に面するよう設ける。そのようなガーゼの強度で第2の導電層を併せ持つのに十分であることは分かっている。同時に、ガーゼの開放構造によって、カプセル封じの機械的・熱的安定性やデバイスの動作への悪影響はない。ガーゼには、例えばナイロン材やグラスファイバーのガーゼには、原理上、そのような熱処理に耐えるに十分な熱的安定性が備わっている。ただし、たとえガーゼがかかる熱処理の最中に溶解する場合でも、それはカプセル封じによって容易に対処できる。何れにしても、その時点でガーゼの機械

的機能は不要である。処理を簡素化するため、分離可能層の上でガーゼを設けても良いことは言うまでも無い。

【0015】

基板の選択は原則として完全に自由であり、具体的な応用と組み立て時の条件とにのみ左右される。この接続で、好ましくは予め第1の層で接続導体が画定される基板を使用する。そのような基板には、絶縁材料を設けた後に、上述した本方法で適用する光蝕刻工程を省けるという利点がある。そのような基板の第1の例は、例えばリードフレームである。上記にはなお、基板のキャリア機能と接続機能とが分離されないという欠点があるため、基板とカプセル封じの集合を分離するためには、金属リードフレームを切り開かなければならない。そのような基板の第2の例は、第1の導電層を備える分離可能のフォイルである。そのような基板の第3の例は、第1の導電層を備えるキャリア層である。

【0016】

仮に基板が犠牲層を備え、不活性化材料を設けた後に、かかる犠牲層が少なくとも部分的には取り除かれるなら、取り分け有利である。この犠牲層は基本的に、一時的キャリア層である。フォイルに比べた場合の犠牲層の利点は、その寸法的安定性と機械的安定性である。同時に、切断経路がある場所で第1の導電層を不在とすることもできる。取り除きは、エッチング、研磨を用いるか、あるいはUV放射に曝すことによって遂行できる。

【0017】

犠牲層の使用は、さらに2つの可能性を提供する。第1に、絶縁材料を設ける前に犠牲層を選択的に取り除くことにより、カプセル封じの中で第1の導電層を固定できる。これは、基板とカプセル封じとの間の接着力の向上につながる。特に、導電層は、第1の側の反対を向いた側で、基本的に導電層と同じパターンに従ってパターン化された層に接続される。この中間層、すなわち犠牲層のサブ層のパターンは、層に並行する平面でより小さい直径を有し、その結果、前記の固定が成立する。

【0018】

犠牲層の第2の利点は、対外接触のための接触面を、基板の第1の側の反対を向いた基板の第2の側上で容易に形成できることである。特に、絶縁キャリア層を通過するパイアを省くことができる。

【0019】

未公開の欧州特許出願EP02076425.4(出願人整理番号：PHNL020318)に記載されたアルミニウム(A1)製犠牲層と銅(Cu)製導電層、ならびに未公開の欧州特許出願EP02076426.2(出願人整理番号：PHNL020327)及びEP02079544.9(出願人整理番号：PHNL021100)に記載されたCu-A1-Cuの3層または多層コンセプトにより、取り分け有利な結果が得られる。

【0020】

さらに、第1の側においてバンプを使用し、そして第2の側において導電性接着剤を設け、素子を設けると有利である。この場合は、基板と素子との間にアクリレート層等の融解層を設けることにより、極めて良好な素子カプセル封じを達成できるが、そのこと自体は、未公開の欧州特許出願EP02077228.1(出願人整理番号：PHNL020471)等から知られている。

【0021】

更なる改良では、不活性化材料が第2のパターン化層をも封じ込め、そして基板は、第1の側の反対を向いた第2の側に対外接触のための接触面を備える。本発明によるデバイスの重要な利点は、対外接触のための全接触面が単一の側上に位置することにある。その結果、ボールグリッド配列、ランドグリッド配列、その他でバンプを使用する場合には、基板の中、または第2の導電層の中または上に、外部に接触するための接触面が存在し得る。接触面を基板内で画定することにより、第2の導電層は全面的に封じ込めることができる。こうして、外側に突出する導電部品を一側のみ有するデバイスが得られ、追加の層を設ける必要はない。さらに、基板内に接触面を配置することにより、第2の導電層におけるパターン数が最小限に抑えられる。その結果、絶縁材料を設けることの容易さが増

す。

【0022】

本発明の第2の目的は、本発明による方法を用いて製造でき、第2の側上の接続領域を接触面に接続するための内部導体を備える、冒頭の段落で述べたタイプの電子デバイスを提供することである。

【0023】

この目的は、

第2の導電層をパターン化し、相互に接続された、半導体素子の第2の接続領域のための第1の接続導体と接続素子のための第2の接続導体とを第2の導電層に設けることと、カプセル封じが素子のみならず、第2の導電層をも実質的に封じ込めることとにより、達成する。

【0024】

第2の導電層の前記カプセル封じの結果、望ましいデバイスが得られる。

【0025】

半導体素子については、あらゆる類の素子を使用できる。本質的には、少なくとも3つの部類に素子を区別できる。第1の素子部類は、いずれか一方の側に接続領域を有する垂直半導体素子を含む。これらの素子は、取り分けダイオードやバイポーラトランジスタ等が該当する。導電体またはボールの接続素子、ならびに半導体素子と受動素子を用いることにより、導体は接触面にフィードバックされる。

【0026】

第2の半導体素子の部類は、第2の層との接続が放熱及び接地の少なくとも一方に役立てられる半導体素子を含む。特に、増幅器やIC等がその例である。本方法は、ICのためのHVQFNパッケージ製造に取分け適する。この場合は、半導体素子の後ろ側、すなわち半導体の側を、第1の層でヒートシンクとして画定された導体に向けて配置する。この場合の接続素子はボディであり、好ましくは金属またはソルダーバンプである。その後、半導体素子上の接続領域を第2の層の導体に接続する。それらは、接続素子を介し、デバイスの第1の側上の接触面にフィードバックされる。このことを可能とするのは、正しくこのフォイルの使用である。要するに、フォイルには第2の層を薄く、すなわち0.1から10 μ m台の薄さで実施できる、という有利な効果がある。その効果によって、数十の接続領域を有する集積回路の要求水準にまで、パターンの分解能を増すことができる。

【0027】

比較可能なデバイスは、それ自体、米国特許6,300,161号において知られている。ただし、この特許明細書では、第2の層が、インターポーザーとも呼ばれる単独のキャリア層の上にある。このキャリア層は、不活性化材料によって封じ込まれない。この公知のデバイスに比較した場合の本発明によるデバイスの利点は、第1に、特に厚みの点でコンパクトであること、そして第2に、組み立てが容易であることである。従来のHVQFN組み立て技法に比べた場合の更なる利点として、分離工程でHVQFNリードフレームを切断する必要がない。基板の一部として犠牲層を使用する場合には、更なる利点を達成できる。つまり、終末間近の製造工程で、例えば試験の後に、個々のデバイスが明確に分離される。前記の分離は、カプセル封じが既に分離された後に、例えば適宜な槽でのエッチングによって犠牲層を取り除くことにより達成してもよい。

【0028】

第3の半導体素子部類は、第1の層にのみ接続する半導体素子を含む。加えて、追加の機能を提供する素子が、第2の層及び／または接続素子として存在する。特に、ここで用いる半導体素子は集積回路である。追加の機能を提供する素子は、例えば保護ダイオード、減結合コンデンサ、そして第2の層内で画定されるコイル、レジスタ、またはセンサである。

【0029】

かかる接続素子は、好ましくはシリコン体または銅製のものである。あるいは、特に、半導体素子の厚みが小さければ、金属またはソルダーボールでもよい。接続素子そのもの

が半導体素子でもよく、あるいは受動構成部品でもよい。

【0030】

本発明による方法を用いることでデバイスを好適な態様で得ることができ、さらに基板、第2の導電層のパターン、その他について述べたような1つまたは複数の特色を有利に備えることもできる。

【0031】

第3の目的は、本発明で使用するフォイルを提供することである。この目的は、パターン化された電気絶縁キャリア層とパターン化された導電層とを備えるフォイルによって達成する。その導電層では、接続導体、相互接続、その他を所望のパターンに従って設ける。キャリア層は、例えばガーゼや溶剤レジストである。特にキャリア層は、デバイス内に内蔵できる200℃から300℃範囲の熱処理に耐える材料で作る。キャリア層のパターンは、不活性化材料を流し込むための穴を備える。特に射出成形工程を用いる場合には、好ましくは穴を、フォイルと鋳型との間の距離に等しいかそれを上回るものとする。この場合の通例の寸法は、約300μmである。フォイルには、分離可能層を設けてもよい。

【発明を実施するための最良の形態】

【0032】

上記をはじめとする本発明の態様は、以下に述べる実施形態から明らかであり、以下に述べる実施形態を参照しつつ説明する。

【0033】

図面は実寸で描かれてはおらず、明確さを期すため、一部の寸法は誇張して描かれている。同様の領域及び部分は、可能な限り同じ参照番号で示す。

【0034】

図1Aから図1Fは、本発明による方法を用いた電子デバイスのいくつかの製造工程の概略的断面図である。

【0035】

図1Aは、犠牲層11と導電性材料の第1の層1とを備える基板10を示す。ここで使用する導電性材料は銅であり、好ましくは1μmから10μmの厚みを有し、一方でこの場合の犠牲層11はAlかAl合金から成る。第1の層1には、例えば錫(Sn)製の、半田のための接着層を設ける。第1の層1では、接続導体12,13,14を画定する。図示しない他の導体も、必要に応じて存在する。第1の層1は、数ある中からエッチングを用いて、例えばフォトマスクを施すことにより、そしてエッチング液としてフェリクロライドを使用することによりパターン化できる。第1の層1のパターン化の後、この例ではエッチング工程を遂行したが、これは必須ではない。このエッチング工程では、第1の層1の導体12,13,14が部分的にアンダーエッチされるよう犠牲層をエッチングする。好適なエッチング液は、水酸化ナトリウム溶液である。

【0036】

図1Bは、基板10の第1の側101に連続する電気絶縁層7を設けた後の基板10を示す。ここでの前記絶縁層7は、アクリレートフォイルを成す厚さ25μmの合成樹脂である。前記アクリレートフォイルは、これを低い圧力及び適度の熱に曝すことで、スズ層が設けられた第1のパターン化層1に付着される。

【0037】

図1Cは、基板10の第1の側101で半導体素子20と第1の接続素子30とを設けた後の暫定的な、まだ分離されていないデバイス90を示す。ここでの半導体素子20はバイポーラトランジスタであり、他方、第1の接続素子30は銅体である。素子20,30には金属ボール22を設け、この場合のそれは金(Au)により形成される。前記の金属ボール22は、半導体素子上の接続領域21の上に位置し、接続領域21は、慣例的には半導体素子の中で画定される。素子を設ける最中か、その後の、例えば100℃程度までの熱処理により、アクリレート製絶縁層は軟化し、さらに金属ボール22は基板10の表面まで沈み、その後、さらに例えば265℃まで加熱することにより金属接続が確立す

る。当業者によって理解されるように、この温度は使用する半田材料次第で決まる。必要に応じて、図示しない圧力手段を使用できる。基板 10 の下側に位置する加熱手段もまた、図示していない。

【0038】

図 1 D は、素子 20, 30 にフォイル 40 が施された後のデバイス 90 を示す。前記のフォイル 40 は、好ましくは 30 から 60 μm の厚みを有する第 2 のパターン化層 2 を備え、さらにこの例では、ドライフィルムソルダーレジスト製のパターン化絶縁層 41 を備える。フォイルは、導電性の接着剤で形成される、例えば当業者にとって既知の Ag 含有エポキシにより形成される接着層 42, 43 によって、素子 20, 30 に取り付けられる。

【0039】

図 1 E は、カプセル封じ 50 を形成するため、絶縁材料を設けた後のデバイス 90 を示す。この場合の絶縁材料は、射出成形により、フォイル 40 の絶縁層 41 を通じて鋳型（図示せず）の中で設ける。絶縁材料には、例えば熱処理によって硬化するエポキシを使用する。カプセル封じ 50 は、アクリレート層 7 を備え、素子 20, 30 のみならず、第 2 のパターン化層 2 及び絶縁層 41 をも封じ込める。

【0040】

図 1 F は、連続的に犠牲層 11 が取り除かれ、図示しない隣接デバイスからデバイスが分離された後のデバイス 100 を示す。ここでは、接続導体と同一であり、第 1 の層 1 の一部分を形成する接触面 12, 13, 14 が、デバイス 100 における第 1 の側 91 の表面に現れ、他方、デバイスの第 2 の側 92 の上の第 2 の層 2 はカプセル封じ 50 に封じ込められる。

【0041】

図 2 は、デバイス 100 の第 2 の実施形態の断面図である。この実施形態では、分離可能キャリア層を備えるフォイルを使用する。その結果、デバイス 100 におけるフォイル 40 は、第 2 のパターン化層 2 及び接着層 42, 43 のみから成る。図 1 に示すデバイスと比較した場合の更なる違いは、基板 10 に関係する。この例の基板は 5 層スタックを構成するが、その最上位の接着層は図示していない。残りの層は、第 1 のパターン化層 1 と、この場合は Al 合金製の中間層 81 と、Cu 製のアンダー層 82 と、例えば Ti の半田 83 のための例えば Ti 製の接着層である。無論、別の材料を選ぶこともできる。中間層 81 におけるパターンは、第 1 の層 1 におけるそれよりも小さい直径を有するため、第 1 の層 1 は、カプセル封じ 50 の中、すなわち、この場合はアクリレート層 7 によって形成された部分の中で、機械的に固定される。この基板 10 は、中間層 81 が部分的に取り除かれた後に設ける。カプセル封じ 50 を設けた後には、半田 83 のための接着層をエッチングマスクとして使用し、アンダー層 82 を部分的に取り除く。

【0042】

図 3 は、本発明によるデバイス 100 の第 3 の実施形態の断面図である。この例では、HVQFN リードフレーム（ハイボルテージ・クワッド・フラット・ノンレッドிட்ட）の形で導体 16, 18, 19 を形成すべく第 1 の層 1 をパターン化する。その上には、この場合は集積回路である半導体素子 20 とは別に、第 1 及び第 2 の接続素子 30, 31 がある。これらの素子は、導電性接着層 44, 45, 46 を用いて第 1 の層 1 の上に置かれる。この目的のため、製造中は、後の工程で取り除かれる犠牲層（図示せず）で第 1 の層 1 を支えてもよいが、ただしそのような犠牲層は必須ではない。第 1 の層 1 は、この例では Cu を含む。第 1 の層 1 の上には、予め金属ボール 22 が設けてある素子 20, 30, 31 を置く。金属ボールの上には、パターン化された絶縁層 41 と第 2 の層 2 とを備えるフォイルがあり、前記第 2 の層 2 は金属ボール 22 に面し、金属接続が形成される。この目的のため、好ましくは第 2 の層 2 に適宜な接着層を設ける。第 2 の層では、接続導体 12, 13, 14, 15 を画定し、導体 12, 15 は、半導体素子 20 における関係接触子と接続素子 30, 31 との間の導電接続を提供する。また、導体 13, 14 は、図示しない更なる接続素子に至る相互接続を形成する。実際には、特に複雑な集積回路の場合は、図示するより多くの接触子があっても良い。この数の導体を第 2 の層 2 で収容するには、好ましくは

前記層 2 を、 $5\ \mu\text{m}$ の厚みと $5\ \mu\text{m}$ 未満の分解能を有する薄い層となるように実施する。素子 20, 30, 31 はカプセル封じ 50 によって封じ込められ、接触面 16, 17, 18 は、この場合は第 1 の層 1 の一部分を形成し、デバイス 100 の第 1 の側 91 の上に位置する。第 2 の側 92 上では、カプセル封じが絶縁層 41 上にまで至る。ただし、これは必須ではない。

【0043】

図 4 は、デバイス 100 の第 4 の実施形態の断面図である。これは、集積回路である半導体素子 20 を備え、金属ボール 22 によって第 1 の層 1 に接続する。加えて、デバイス 100 は第 1 及び第 2 の接続素子 30, 31 を備え、かかる接続素子の第 1 の接続素子はダイオードであり、第 2 の接続素子は導電体である。ここでの第 2 の層 2 は、第 1 及び第 2 の接続素子 30, 31 を相互に接続する相互接続層である。第 1 の層 1 の接続導体は、さらに中間層 81 を介し、アンダー層 82 の接触面 16, 17, 18 と接続する。基板 10 は、さらに絶縁材料 85 を備える。

【0044】

図 5 A から図 5 C は、フォイル 40 の 3 つの実施形態の平面図である。フォイルはキャリア層 41 を備え、かかるキャリア層は、少なくとも図 5 A 及び 5 C に示す実施形態においては電気絶縁材料により形成される。フォイル 40 は、さらに所望のパターンが画定された第 2 のパターン化層 2 を備える。ここで示す実施形態で、前記の層 (?) は 2 つの導体を成し、かかる 2 つの導体により、図 1 及び 2 に示す素子 20, 30 を相互に接続できる。図 5 A は、例えばナイロン製のガーゼをキャリア層 41 として使用する実施形態を示す。図 5 B は、キャリア層として分離可能層を適用する実施形態を示す。この目的のため、ポリマー層を適宜に使用してよく、その上に、望ましい接着をする接着層が施される。図 5 C は、キャリア層 41 としてパターン化層を使用する実施形態を示す。このキャリア層には、公知の、好ましくは廉価なパターン化技法を用いて得られる穴 49 を設ける。図 5 C に示すフォイルは、ソルダーレジストをエッチングマスクとして兼用し、さらにアンダーエッチングにより前記エッチングマスクの下で特定のパターンを取り除くことにより、有利に製造できる。ただしその結果、導電層は、数十ミクロンの厚み、例えば 30 から 60 マイクロメートルの厚みを有することが必要とされる。無論、他の技法と単独のエッチングマスクを使用する場合には、より小さい厚みと、延いてはより高い分解能を有する導電層、例えば 5 ないし 10 ミクロンのトラック幅とトラック間ピッチとを有する導電層の製造が可能である。

【図面の簡単な説明】

【0045】

【図 1 A】 本方法の一部工程におけるデバイスの概略的断面図。

【図 1 B】 本方法の一部工程におけるデバイスの概略的断面図。

【図 1 C】 本方法の一部工程におけるデバイスの概略的断面図。

【図 1 D】 本方法の一部工程におけるデバイスの概略的断面図。

【図 1 E】 本方法の一部工程におけるデバイスの概略的断面図。

【図 1 F】 本方法の一部工程におけるデバイスの概略的断面図。

【図 2】 デバイスの第 2 の実施形態の断面図。

【図 3】 デバイスの第 3 の実施形態の断面図。

【図 4】 デバイスの第 4 の実施形態の断面図。

【図 5 A】 本方法で使用するフォイルの 1 つの実施形態の平面図。

【図 5 B】 本方法で使用するフォイルの 1 つの実施形態の平面図。

【図 5 C】 本方法で使用するフォイルの 1 つの実施形態の平面図。

【符号の説明】

【0046】

1 第 1 の層

2 第 2 の層

12 接続導体（接触面）

- 1 3 接続導体（接触面）
- 1 4 接続導体（接触面）
- 3 0 接続素子
- 5 0 カプセル封じ
- 9 1 第 1 の側
- 9 2 第 2 の側
- 1 0 0 デバイス