



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0123490  
(43) 공개일자 2012년11월08일

(51) 국제특허분류(Int. Cl.)  
*H01L 51/50* (2006.01) *H01L 27/32* (2006.01)  
(21) 출원번호 10-2012-7022454  
(22) 출원일자(국제) 2011년01월13일  
    심사청구일자 空  
(85) 번역문제출일자 2012년08월28일  
(86) 국제출원번호 PCT/US2011/021125  
(87) 국제공개번호 WO 2011/094068  
    국제공개일자 2011년08월04일  
(30) 우선권주장  
    12/696,510 2010년01월29일 미국(US)

(71) 출원인  
제너럴 일렉트릭 컴파니  
미합중국 뉴욕, 쇼넥티디, 원 리버 로우드  
(72) 발명자  
파쿠아 도널드 세톤  
미국 뉴욕주 12309 니스카유나 빌딩 케이1-4  
에이59 페이턴트 도켓 룸 글로벌 리서치  
헤르조그 마이클 스코트  
미국 뉴욕주 12309 니스카유나 빌딩 케이1-4  
에이59 페이턴트 도켓 룸 글로벌 리서치  
(74) 대리인  
제일특허법인

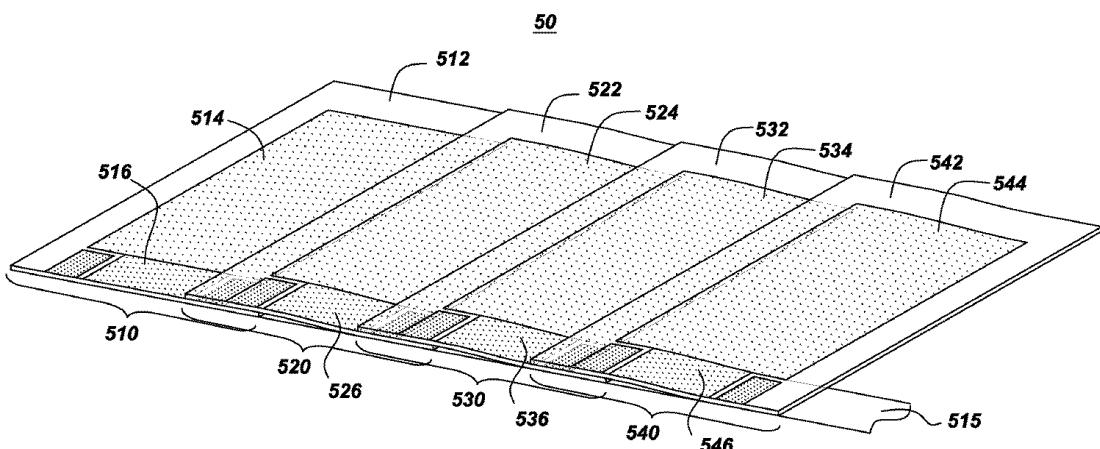
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 광전자 소자 어레이

### (57) 요 약

광전자 소자 어레이는 복수의 패캐지를 포함하고, 각각의 패키지는 광전자 소자를 둘러싸고 있으며, 적어도 하나의 행으로 위치된다. 각각의 패키지는 적어도 하나의 인접 패키지와 중첩하고 있으며, 완전하게 밀봉될 수 있다.

### 대 표 도



## 특허청구의 범위

### 청구항 1

적어도 하나의 행으로 배치된 복수의 패키지를 포함하는 어레이로서,  
각각의 패키지는 광전자 소자를 둘러싸고,  
각각의 패키지는 적어도 하나의 인접 패키지와 중첩하는  
어레이.

### 청구항 2

제 1 항에 있어서,  
각각의 패키지는 전기 활성 영역을 정의하는 에지 밀봉 지역을 포함하고,  
상기 에지 밀봉 지역의 적어도 일부는 투명하며,  
각각의 행의 제 1 패키지의 상기 전기 활성 영역은 인접 패키지의 상기 에지 밀봉 지역의 상기 투명 부분에 의해 중첩되고,  
각각의 행의 상기 제 1 패키지 이외의 각각의 패키지의 상기 에지 밀봉 지역의 상기 투명 부분은 인접 패키지의 상기 전기 활성 영역과 중첩하는  
어레이.

### 청구항 3

제 1 항에 있어서,  
상기 복수의 패키지 각각은 하나의 핀셀을 포함하는  
어레이.

### 청구항 4

제 2 항에 있어서,  
상기 복수의 패키지는 연속하는 발광 영역을 형성하도록 구성되는  
어레이.

### 청구항 5

제 2 항에 있어서,  
각각의 패키지의 상기 에지 밀봉 지역의 일부는 불투명하고, 상기 행의 각각의 패키지의 전기 활성 영역은 인접 패키지의 상기 에지 밀봉 지역의 상기 불투명 부분과 중첩하는  
어레이.

### 청구항 6

제 5 항에 있어서,

각각의 패키지의 상기 에지 밀봉 지역의 상기 불투명 부분의 에지는 선형으로(linearly) 정렬되는 어레이.

#### 청구항 7

제 6 항에 있어서,

상기 에지는 선형 버스바를 따라서 배치되며, 상기 버스바에 접속되도록 구성되는 어레이.

#### 청구항 8

제 5 항에 있어서,

각각의 패키지의 상기 에지 밀봉 지역의 상기 불투명 부분의 에지는 병렬로 정렬되는 어레이.

#### 청구항 9

제 2 항에 있어서,

상기 복수의 패키지는 적어도 2개의 행으로 배치되고,

제 1 행의 각각의 패키지의 상기 에지 밀봉 지역의 상기 투명 부분은 상기 제 1 행의 인접 패키지의 전기 활성 영역 및 제 2 행의 인접 패키지의 상기 전기 활성 영역과 중첩하는 어레이.

#### 청구항 10

제 9 항에 있어서,

상기 제 1 행의 각각의 패키지의 상기 전기 활성 영역은 상기 제 2 행의 인접 패키지의 상기 에지 밀봉 지역의 상기 불투명 부분과 중첩하는

어레이.

#### 청구항 11

제 5 항에 있어서,

상기 에지 밀봉 지역의 상기 불투명 부분은, 상기 광전자 소자의 애노드 및 캐소드를 복수의 단자를 통해서 외부 전원에 접속시키도록 구성된 도전층을 포함하는

어레이.

#### 청구항 12

제 11 항에 있어서,

상기 캐소드 및 상기 애노드는 상기 에지 밀봉 지역의 불투명 부분을 지나서 연장하는 어레이.

### 청구항 13

제 11 항에 있어서,  
상기 도전층은 상기 애노드 바로 위에 배치되는  
어레이.

### 청구항 14

제 11 항에 있어서,  
상기 애노드와, 상기 에지 밀봉 지역의 상기 불투명 부분의 상기 도전층 사이에 배치되며, 상기 애노드를 상기 캐소드로부터 전기적으로 분리시키도록 구성된 전기 절연층을 더 포함하는  
어레이.

### 청구항 15

제 1 항에 있어서,  
각각의 광전자 소자는 OLED인  
어레이.

### 청구항 16

연속적으로 조명되는 영역을 형성하는 OLED 조명 어레이로서 -상기 OLED 조명 어레이에는 복수의 패키지를 포함하고, 각각의 패키지는 광전자 소자를 둘러싸고, 적어도 2 행으로 배치됨-,  
각각의 패키지는, 전기 활성 영역을 정의하고 투명 부분과 불투명 부분을 가진 에지 밀봉 지역을 포함하고, 상기 불투명 부분은 상기 복수의 단자를 통해서 상기 광전자 소자를 외부 전원에 접속시키도록 구성된 도전층을 포함하며,  
제 1 행의 각각의 패키지의 상기 에지 밀봉 지역의 상기 투명 부분은 상기 제 1 행의 인접 패키지의 전기 활성 영역 및 제 2 행의 인접 패키지의 상기 전기 활성 영역과 중첩하고,  
상기 제 1 행의 각각의 패키지의 상기 전기 활성 영역은 상기 제 2 행의 인접 패키지의 상기 에지 밀봉 지역의 상기 불투명 부분과 중첩하며,  
각각의 패키지의 불투명 에지는 선형 버스바를 따라서 정렬되는  
OLED 조명 어레이.

### 청구항 17

패키지화된 광전자 소자로서,  
전기 활성 영역을 정의하는 에지 밀봉 지역을 포함하되,  
상기 에지 밀봉 지역의 적어도 일부는 투명하고, 상기 에지 밀봉 지역의 일부는 불투명하며,  
상기 에지 밀봉 지역의 상기 불투명 부분은 상기 광전자 소자의 애노드 및 캐소드를 복수의 단자를 통해서 외부

전원에 접속시키도록 구성된 도전층을 포함하는  
패키지화된 광전자 소자.

### 청구항 18

제 17 항에 있어서,  
상기 캐소드 및 상기 애노드는 상기 애지 밀봉 지역의 불투명 부분을 지나서 연장하는  
패키지화된 광전자 소자.

### 청구항 19

제 17 항에 있어서,  
상기 도전층은 상기 애노드 바로 위에 배치되는  
패키지화된 광전자 소자.

### 청구항 20

제 17 항에 있어서,  
상기 애노드와, 상기 애지 밀봉 지역의 상기 불투명 부분의 상기 도전층 사이에 배치되고, 상기 애노드를 상기  
캐소드로부터 전기적으로 분리시키도록 구성된 전기 절연층을 더 포함하는  
패키지화된 광전자 소자.

### 청구항 21

제 17 항에 있어서,  
상기 캐소드 및 상기 애노드는 상기 애지 밀봉 지역의 불투명 부분을 지나서 연장하고,  
상기 도전층은 상기 애노드 바로 위에 배치되며,  
상기 애노드와 상기 애지 밀봉 지역의 상기 불투명 부분 내의 도전층 사이에는, 상기 애노드를 상기 캐소드로부터  
전기적으로 분리시키도록 구성된 전기 절연층이 배치되는  
패키지화된 광전자 소자.

### 청구항 22

투명 도전성 산화물을 포함하는 패터닝되지 않은 전극을 구비한 광전자 소자.

### 청구항 23

제 22 항에 있어서,  
상기 투명 도전성 산화물은 산화 인듐 주석(indium tin oxide)인  
광전자 소자.

## 청구항 24

제 22 항에 있어서,

상기 패터닝되지 않은 전극 바로 위에 배치되며, 상기 패터닝되지 않은 전극 및 전원과 전기적으로 통신하도록 구성된 금속층을 더 포함하는

광전자 소자.

## 명세서

### 기술 분야

[0001]

광전자 소자는 일반적으로 발광 소자 및 광전지 소자를 포함한다. 이들 소자는 일반적으로 2개의 전극 사이에 개재된 활성층을 포함하고 있으며, 이 2개의 전극은 경우에 따라서는 전면 전극 및 이면 전극이라고 하고, 이들 중 적어도 하나는 투명한 것이 전형적이다. 이 활성층은 전형적으로 하나 이상의 반도체 물질을 포함한다. 예컨대, OLED(an organic light-emitting diode) 소자와 같은 발광 소자에서는, 2개의 전극 사이에 전압이 인가되어서 활성층에 전류가 흐르게 된다. 이 전류에 의해서 활성층이 광을 발산하게 된다. 예컨대 태양광 전지와 같은 광전지 소자에서는, 활성층이 광으로부터 에너지를 흡수해서 전기 에너지로 변환시키고, 이것이 2개의 전극 사이에서 어느 특정 전압으로 전류의 흐름을 생성한다.

## 배경 기술

[0002]

광은 OLED 소자의 전극 중 적어도 하나를 지난다. 적절하게 투명한 전극을 설계하기 위해서는, 면내(in-plane) 전기 전도율을 제공해야 하고(물질층이 두꺼운 것이 바람직하다), 또한 그 두께 방향에서의 투광성을 제공해야 한다(물질층이 얇은 것이 바람직하다). 전극 설계에 있어서의 이와 같은 상반되는 제한을 해결하기 위해서는, 개개의 발광 영역(픽셀)의 크기를 제한해서, 전극의 면에서 측방향으로 흐르고 있는 전류의 양을 제한하는 것이 바람직하다. 이 전류가 낮으면, 전극에서의 저항 손실이 낮아서 해당 소자의 효율이 좋다. 어떤 경우에는, 픽셀은 그 파라미터를 정의하는 언릿(unlit) 라인에 의해 정의되고, 전류는 이들 영역으로 버스된다(bused). 다른 경우에, 픽셀은 자신의 파라미터는 정의하고 있는 포인트에 의해 정의될 수 있고, 전류는 이들 포인트에 있는 전극으로 버스된다. 어떤 경우든 언릿 영역은 OLED의 외관을 균일하게 하는데 방해가 된다. 과도한 손실이 발생하고, 외관이 불균일하게 되기 전의, 전류 흐름 방향으로의 픽셀의 최대 치수는 전형적으로 약 1cm 정도이다. 이러한 문제를 해결하기 위한 방법으로서, 언릿 영역을 아주 작게 하는 것이나(이는 제조 과정을 복잡하게 한다), 확산 필름을 이용해서 이를 흐르하게 만드는 것이 있다(이는 효율을 감소시키고 비용을 증가시킨다). 따라서, 언릿 영역의 외관을 줄여서, 광이 작성될 수 있는 비방해 영역을 크게 하는 것이 바람직하다. 더 일반적으로, 큰 피조명 영역의 어레이를 개별 픽셀로 구성하여 설계 유연성을 제공하는 것이 바람직하다. 따라서, 무질서한 어레이 패턴 상에 임의의 순서로 픽셀을 구성하여, 다양한 크기, 형상, 색상과 밝기, 및 간격의 픽셀을 도입하는 것이 바람직하며, 이 어레이 내의 개개의 픽셀을 대치할 수도 있는 것이 바람직하다.

## 발명의 내용

### 과제의 해결 수단

[0003]

요약하면, 일 측면에서, 본 발명은 적어도 하나의 행으로 위치된 복수의 패키지를 포함하는 어레이에 관한 것으로, 각각의 패키지는 광전자 소자를 둘러싸고 있고, 각각의 패키지는 적어도 하나의 인접 패키지와 중첩하고 있다. 각각의 패키지는 전기 활성 영역을 정의하고 있는 에지 밀봉 지역을 포함할 수 있고, 이 에지 밀봉 영역의 적어도 일부는 투명하며, 각 행의 제 1 패키지의 전기 활성 영역은 인접 패키지의 에지 밀봉 지역의 투명 부분에 의해 중첩되고, 각 행의 제 1 패키지 이외의 각 패키지의 에지 밀봉 지역의 투명 부분은 인접 패키지의 전기 활성 영역과 중첩하고 있고, 선택적으로, 패키지화된 복수의 광전자 소자는 연속하는 발광 영역을 형성하도록 구성된다. 일부 실시예에서, 각 패키지의 에지 밀봉 지역의 일부는 불투명하고, 그 행의 각 패키지의 전기 활성 영역은 인접 패키지의 에지 밀봉 지역의 불투명 부분과 중첩하고 있다. 이 패키지는 완전하게 밀봉될 수 있다.

[0004]

다른 측면에서, 본 발명은 전기 활성 영역을 정의하고 있는 에지 밀봉 지역을 포함하는 광전자 소자를 둘러싸는

패키지에 관한 것이다. 이 에지 밀봉 영역의 적어도 일부는 투명하고, 에지 밀봉 지역의 일부는 불투명하며, 에지 밀봉 지역의 불투명 부분은, 광전자 소자의 애노드 및 캐소드를 복수의 단자를 통해서 외부 전원에 접속시키도록 구성된 도전층을 포함하고 있다. 선택적으로, 애노드와, 에지 밀봉 지역의 불투명 부분 내의 도전층과의 사이에는, 애노드를 캐소드로부터 전기적으로 분리시키도록 구성된 전기 절연층이 배치된다. 일부 실시예에서, 캐소드 및 애노드는 에지 밀봉 지역의 불투명 부분을 지나서 연장하고 있다. 이 패키지는 완전하게 밀봉될 수 있다.

[0005] 또 다른 측면에서, 본 발명은 투명한 도전성 산화물, 특히 산화 인듐 주석을 포함한, 패터닝되지 않은 전극을 구비하고 있는 광전자 소자에 관한 것이다. 이 소자는 패터닝되지 않은 전극 바로 위에 배치되어 있으며, 패터닝되지 않은 전극 및 전원과 전기적으로 통신하도록 구성된 금속층을 포함한다.

### 도면의 간단한 설명

[0006] 본 발명의 이러한 특성, 측면과 이점, 그리고 다른 특성, 측면과 이점은, 이하의 상세한 설명을 첨부된 도면을 참조로 읽음으로써 더 분명하게 이해할 수 있을 것이다. 도면에서 동일한 참조 번호는 동일한 구성 요소를 가리킨다.

도 1은 본 발명의 어레이에 이용되는 패키지의 단면도,

도 2a 및 2b는 본 발명의 조명 어레이에 이용되는 패키지의 층들의 단면도,

도 3은 중첩된, 패키지화된 광전자 소자를 나타내는, 본 발명에 따른 어레이의 개략도,

도 4는 패키지화된 광전자 소자가 서로 직교하고 있는, 본 발명에 따른 어레이의 개략도,

도 5는 패키지화된 광전자 소자의 단일 행이, 에지 밀봉 지역의 불투명 부분이 선형으로 정렬된 방향을 향하고 있는, 본 발명에 따른 어레이의 개략도,

도 6은 패키지화된 광전자 소자의 2개의 행이 에지 밀봉 지역의 불투명 부분이 선형으로 정렬된 방향을 향하고 있는, 본 발명에 따른 어레이의 개략도,

도 7은 패키지화된 광전자 소자의 단일 행이, 에지 밀봉 지역의 불투명 부분이 선형으로 정렬된 방향을 향하고 있는, 본 발명에 따른 어레이의 개략도,

도 8은 패키지화된 광전자 소자의 2개의 행이, 에지 밀봉 지역의 불투명 부분이 선형으로 정렬된 방향을 향하고 있는, 본 발명에 따른 어레이의 개략도,

도 9는 에지 밀봉 지역의 불투명 부분이 2개인 패키지의 개략도,

도 10은 패키지화된 광전자 소자의 단일 행이, 에지 밀봉 지역의 불투명 부분이 병렬로 정렬된 방향을 향하고 있는, 본 발명에 따른 어레이의 개략도,

도 11은 패키지화된 광전자 소자의 2개의 행이, 에지 밀봉 지역의 불투명 부분이 병렬로 정렬된 방향을 향하고 있는, 본 발명에 따른 어레이의 개략도이다.

### 발명을 실시하기 위한 구체적인 내용

[0007] 도 1은 본 발명의 조명 어레이에 이용하기에 적합한 광전자 소자 패키지(10)의 단면도로, 제 1 장벽층(110), 제 1 전극(120), 전기 활성층(130), 제 2 전극(140), 선택적인 기판(150) 및 제 2 장벽층(160)을 도시하고 있다. 기판(150)이 마련되지 않는 실시예에서는, 제 2 전극(140)은 제 2 장벽층(160) 바로 위에 배치될 수 있다. 제 1 장벽층(110)과 제 1 전극(120) 사이 및 제 1 장벽층(110)과 제 2 장벽층(160) 사이에는 접착층(170)이 배치되어서, 에지 밀봉 지역(180)을 형성하고 있다. 일부 실시예에서, 제 2 전극(140)과 기판(150)이 함께 있고, 접착층(170)이 부분적으로 제 2 전극 위에 배치되어서 에지 밀봉 지역(180)을 형성한다. 다른 실시예에서, 기판(150)이 층(160, 180)과 함께 있을 수 있다. 에지 밀봉 지역의 형상은 물 및 산소의 유입을 최소화시키도록 설계되며, 제 1 장벽층(110)과 제 2 장벽층(160) 사이의 본딩을 형성하고 있는 접착층(170)을 얇고 넓게 함으로써 바람직한 형상을 제공한다. 접착층(170)의 접착 물질은 기판과 백 시트 사이의 강한 본딩을 제공하여 습기 및 산소의 유입을 상당히 강하게 방지하는 것으로 선택된다. 소자, 특히 전극을 형성하고 있는 물질 및 전기 활성층의 물질을 부식시키지 않도록, 접착제는 수분이 없고 화학적으로 불활성이다. 접착제(170)는 발광 영역을 넘

어서 에지 밀봉 지역(180)까지의 범위까지 투명해야 한다. 잠재적으로는 투명 열가소성수지, 압감 접착제, 아크릴, 및 열경화성 에폭시와 우레탄을 포함한 넓은 범위의 접착제가 적절하다. 저비용의 물질 및 처리가 예컨대, Rohm & Haas Adcote 37T77과 같은 열접착 물질을 선택함으로써 가능하며, 이는 장벽층에 사전 도포된 후 건조될 수 있는 분산매로서 마련될 수 있다. 장벽층을 OLED 소자에 라미네이션하는 것은, 중간 정도의 열 및 압력에 단시간 노출함으로써, 예컨대, 연속 룰 라미네이션 처리로 수행될 수 있다. 기판(150)이 마련된 경우에는, 선택적으로 제 2 전극(140)과 제 2 장벽층(160) 사이에 접착층(190)이 배치된다.

[0008] 기판(150), 제 1 및 제 2 장벽층(110, 160)은 불투명할 수도 있고 투명할 수도 있지만, 소자의 적어도 한쪽 면 즉, 제 1 장벽층(110) 또는 기판(150) 및/또는 제 2 장벽층(160)은, 소자(10)가 발산하거나 흡수하는 광이 전자 활성층(130)을 통과할 수 있도록, 투명하다. 일례로, 기판(150)은 투명하며, 유리 혹은 폴리에스터(PET, PEN)와 같은 플라스틱으로 이루어진다. 장벽층은 각각 습기 및 산소를 비교적 투과시키지 않으며, 장벽층으로서 사용되기에 적합한 투명 물질은 유리, 및 제너럴 일렉트릭 캄파니에 양도된 US 7,015,640, US 7,154,220 및 US 7,397,183에 개시된 바와 같은 UHB(ultra high barrier) 막을 포함한다. 불투명 장벽층에 적합한 것이 금속박이다. 제 2 전극(140)은 캐소드일 수도 있고, 애노드일 수도 있으며, 일부 실시예에서, 제 2 전극(140)은 애노드이다. 특히, 제 2 전극(140)은 산화 인듐 주석(ITO)으로 이루어진 애노드가 될 수 있다. 전기 활성층(130)은, 함께 광을 발산하거나(OLED 소자의 경우) 광을 흡수하는(PV 소자의 경우) 역할을 하는 하나 이상의 층으로, 정공 및 전자 주입층, 정공 및 전자의 투과층 및 발산층을 포함할 수 있다. 진공 처리 및 비진공 처리를 포함한 다양한 층 중착 수단이 공지되어 있다. OLED 소자 및 PV 소자에 이용하기에 적합한 물질 및 이러한 소자의 제조방법이 공지되어 있으며, 여기서는 상세하게 설명하지 않는다.

[0009] 도 2a는 본 발명의 조명 어레이에 이용하기에 적합한 패키지(20)의 전기 활성층의 단면도로, 절연층(201), 전기 활성 영역(210), 및 이 영역(210) 아래에 놓여 있으며, 전극, 기판, 접착층 및/또는 장벽층을 포함하고 있는 노출층(250)을 도시하고 있다. 특정 실시예에서, 전극은 애노드이고, 더 상세하게 애노드는 ITO로 이루어진다. 전기 활성층(210)은 하부에 있는 층에 더해서 제 2 전극 및 전극 사이에 있는 전기 활성층을 포함한다. 소자(20)가 하나의 픽셀 즉, 하나의 발광 확산부(expanse)로서 도시되어 있지만, 다수의 더 작은 픽셀을 포함할 수 있다. 절연층(201)은 전체적으로 얇으며, 전기 활성 영역(210)과 거의 동일한 두께를 갖고 있고, 전기 활성 영역(210)과 매끄러운 경계를 이루고 있다. 절연층은 에지 밀봉 지역(220)으로 국한되며, 전기 활성 영역(210)까지는 확산되지 않는다. 절연층(201)은 다양한 유기 혹은 무기 절연체로 이루어질 수 있다. 일례로, 전극(220)을 증착하기 전에 약 1-10 cPs 정도의 저점도 시아노아크릴레이트 접착제가 도포되어서 얇은 절연 코팅을 형성할 수 있다. 다른 예로, 무기 이산화 실리콘의 박막층(1미크론 미만)이 마스크를 사이에 두고 증착되어서 절연층(201)을 형성할 수 있다. 유기 물질은 다양한 인쇄 혹은 코팅 기법 중 어느 하나에 의해서 도포될 수 있으며, 무기 물질은 예컨대, 진공 증착, 스퍼터링 및 화학 기상 증착과 같은 기상 증착법에 의해 증착될 수 있다.

[0010] 일 실시예에서, 소자(20)는 애노드를 패터닝하지 않고 제조된다. 이러한 처리는, 요구되는 스텝의 수가 더 적기 때문에 경제적이고, 특성이 향상된 소자를 생산할 수도 있다. 비 한정예로서, ITO 층이 플라스틱 기판 상에 마련되고, 이 ITO 층과 기판 사이에 혹은 기판의 다른 표면 상에 투명한 UHB 층이 마련될 수 있다. 기판 영역이 소자의 거의 최종 형상을 정의한다. 기판은 연속하는 룰 형상이 될 수도 있고, 커다란 패널이 될 수도 있으며, 그 결과 다수의 영역 중 일부가 코팅될 수 있다. 유기 물질로 이루어진 절연층이, 다양한 인쇄 및 코팅 기법 중 하나를 이용해서 저 점착성 코팅 혼합물로부터 패터닝되지 않은 애노드에 도포될 수도 있고, 혹은 무기 절연층이 진공 증착이나 다른 기상 증착법을 이용해서 패터닝되지 않은 애노드 상에 증착될 수도 있다. 코팅에 있어서의 에지 스텝의 높이차는 최소화되는 것이 전형적이다. 전기 활성층은 패터닝되지 않은 애노드 바로 위에 증착되며, 전기 활성 영역과 기판의 일부 둘레 혹은 전체 에지 사이에서 캡을 두고 있다. 금속 캐소드 층은 절연층 및 전기 활성층 바로 위에 증착되고, 선택적으로는 애노드 중 선택된 부분 상에 마스크를 통해서 증착된다. 금속층은 예컨대, 기상 증착 처리를 통해서 형성될 수도 있고, 도전성 잉크를 이용한 인쇄 형태의 처리를 통해서 형성될 수도 있다. 다른 대안의 실시예에서, ITO 애노드가 에칭 처리에 의해 절연층(201)에 의해 정의되어 있던 영역으로부터 제거되어 기본 기판(bare substrate)(150)을 노출시킴으로써, 절연층(201)이 필요없게 한다. 전기 활성층 및 캐소드 층을 증착하는 후속하는 단계는 변경되지 않는다. 도 2b는 패키지(20)의 일 실시예의 전극층의 단면도이다. 도시된 전극층(220)은, 도 1의 제 1 전극(120)과 유사하게, 기판 상에는 배치되지 않는다. 이 실시예에서, 제 1 전극(220)은 캐소드로 불투명할 수 있고, 이러한 구성을 가진 OLED 소자는 하부 발산형(bottom emitting)으로서 설명된다. 다른 실시예에서, 이 층은 투명한 전극으로 상부 발산형으로서 설명된다. 도 2b는 캐소드 영역(220)을 나타내고 있으며, 아래에 있는 층(250)은 에지 밀봉 지역의 투명 부분과, 선택적인 영역(203)을 형성하는 토대가 된다. 캐소드 영역(220) 및 도전성 영역(203)은 투명한 혹은 불투명한 도전층을 포함한다. 영역(220, 203)의 도전층에 적절한 물질은 공지되어 있고, 알루미늄 및 은과 같은 원소 형태의 금속,

및 ITO 및 산화 아연 주석과 같은 투명한 도전성 산화물을 포함한다. 특히, 얇은 알루미늄 층이 이용될 수 있다. 캐소드 영역(220)에서, 이 층은 절연층(201) 및 전기 활성층(210)(도시 생략) 상에 배치되어서 이들과 함께 존재하고 있다. 애노드 바로 위에는 도전성 영역(203)이 선택적으로 배치된다. 애노드와 전기적으로 접촉하는 추가적인 도전층을 이용하면, ITO와 같은 진성 도전율이 제한된 물질로 이루어진 애노드의 도전율을 향상시킨다는 점에서 바람직하다. 또한, 예컨대, 금속과 같은 도전층을 추가함으로써, 영역(203) 내에서 애노드에 대한 저저항 전기 접촉이 더 용이하게 형성될 수 있다.

[0011] 불투명 에지 밀봉 지역(226)은, 애노드와 전기적으로 통신하고 있으며 2개의 도전층으로 이루어진 도전성 영역(203)을 포함하되, 이는 캐소드 영역(220)의 연장부와 그 하부의 애노드 사이의 절연층 및 2개의 도전층을 분리시키는 절연층(도시 생략)이 없고, 또한 2개의 도전 물질의 층과, 도전층 사이의 단락을 방지하는 절연층으로 구성되어 있다. 절연층(201)에 의해 정의되어 있던 영역에서 ITO가 에칭되어 제거되는 실시예에서, 캐소드 영역(220)이 유사하게 불투명 에지 밀봉 지역(226)까지 연장하는 영역과 전기적으로 통신하고 있고, 이는 단 하나의 도전층으로 이루어진다.

[0012] 소자의 밀폐 패키징은 적절한 구조 및 방법을 이용해서 완성된다. 다양한 형태의 밀봉 패키징 및 그 제조 방법이, 2008년 12월 17일에 출원된 미국 특허 출원 제 12/336,683 호, 2009년 7월 28일에 출원된 제 12/510,463 호, 2009년 5월 21일에 출원된 제 12/470,033 호 및 2009년 9월 30일에 출원된 제 12/570,024 호에 개시되어 있으며, 그 전체 내용은 여기에 참조로서 포함된다. 예컨대, 소자의 이면에 투명한 보호용 백 시트가 본딩될 수 있다. 보호용 백 시트는, 에지 밀봉 지역(226)의 일부가 애노드와 전기적으로 통신하고 캐소드가 노출되도록, 그 위치가 결정되어 기판과 정렬된다. 투명 백 시트로서 적합한 물질은 장벽 막이 형성된 유리 혹은 플라스틱이 될 수 있다. 이는 전형적으로 강력한 본딩을 제공하도록 선택된 광학적으로 투명한 접착제를 이용해서 하부에 있는 층에 본딩될 수 있으며, OLED를 부식시키지 않도록 습기가 없고, 화학적으로 불활성이고, 습기 및 산소가 에지 유입되는 것에 대해서 상당한 불투과성을 갖고 있다. 밀봉 형상은 유입을 최소화시키도록 충분히 얇고 넓게 설계된다.

[0013] 도 3은 어레이(30)의 개략도로, 광전자 소자 패키지(310, 320)가 중첩되어 있는 것을 나타내고 있다. 소자(310)의 에지 밀봉 지역(312)의 투명 부분은, 소자(320)의 전기 활성 영역(324)과 중첩하고 있고, 소자(320)의 투명 부분(322)은 소자(310)의 이면 상에서 전기 활성 영역(314)와 중첩하고 있다. OLED가 발산한 광 혹은 PV 소자에 흡수될 광은 중첩된 투명 부분을 통과할 수 있다. OLED의 경우, 전기 활성 영역(314, 324)은 중간의 비발광 영역없이 위치되어서, 연속 발광 영역을 형성할 수 있다. 본 발명이 투명 에지 밀봉 지역을 가진 패키지로 한정되지 않는다는 점에 주의하며, 이 실시예에서, 발광 영역 혹은 흡광 영역은 비발광/비흡수 영역에 의해 분리될 수 있다.

[0014] 도 4는 어레이(40)의 개략도로, 서로 직교하는 방향으로 배치된, 중첩하고 있는 패키지(410, 420)를 도시하고 있다. 소자(410)의 에지 밀봉 지역(412)의 투명 부분은 소자(420)의 전기 활성 영역(424)과 중첩하고 있고, 소자(410)의 전기 활성 영역(414)은 소자(420)의 에지 밀봉 지역(426)의 불투명 부분과 중첩해서, 어레이의 한쪽 표면 상에 연속하는 발광 영역 혹은 흡광 영역을 형성한다.

[0015] 도 5는 어레이(50)의 개략도로, 각각의 소자의 에지 밀봉 지역 중 불투명 부분(516, 526, 536, 546)이 길이 방향으로 정렬되는 방향으로, 1행으로 배열되어 중첩하고 있는 패키지(510, 520, 530, 540)를 도시하고 있다. 이 행의 제 1 소자, 즉 소자(510)의 전기 활성 영역(514)은 인접 소자(520)의 에지 밀봉 지역의 투명 영역(522)에 의해 중첩된다. 이 행의 소자(530, 540)의 에지 밀봉 지역의 투명 부분(532, 542)은 인접 소자(520, 530)의 전기 활성 영역(524, 534)와 중첩된다. 불투명 부분(516, 526, 536, 546)은 선형 버스바(515)를 따라 배치되며, 이 버스바에 접속되어서 어레이에 전력을 공급할 수 있다.

[0016] 도 6은 어레이(60)의 개략도로, 제 1 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분(616, 626, 636, 646)이 길이 방향으로 정렬되는 방향으로, 그리고 제 2 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분(도시 생략)이 서로 길이 방향으로 정렬되는 방향으로, 2행으로 배열된 중첩 패키지(610, 620, 630, 640, 650, 660, 670, 680)를 도시하고 있다. 제 1 행의 제 1 소자, 즉 소자(610)의 전기 활성 영역(614)은 인접하는 소자(620)의 에지 밀봉 지역의 투명 부분(622)에 의해 중첩되어 있다. 그 행의 소자(630, 640)의 에지 밀봉 지역의 투명 부분(632, 642)은 인접 소자(620, 630)의 전기 활성 영역(624, 634)과 중첩하고 있다. 제 2 행의 제 1 소자, 즉 소자(650)의 전기 활성 영역(654)은 인접 소자(660)의 에지 밀봉 지역의 투명 부분(662)에 의해 중첩되어 있다. 그 행의 소자(670, 680)의 에지 밀봉 지역의 투명 부분(672, 682)은 인접 소자(660, 680)의 전기 활성 영역(664, 674)과 중첩하고 있다. 제 1 행의 소자(610, 620, 630, 640)의 전기 활성 영역(614, 624, 634, 644)은

제 2 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분(도시 생략)과 중첩하고 있고, 소자(610, 620, 630, 640)의 에지 밀봉 지역의 투명 부분(618, 628, 638, 648)은 인접 소자(650, 660, 670, 680)의 불투명 영역(도시 생략)과 중첩하고 있다. 제 1 행의 소자(610, 620, 630, 640)의 불투명 부분(616, 626, 636, 646)은 베스바(615)를 따라서 배치되어서, 그 행에 전력을 공급하도록 접속될 수 있고, 제 2 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분은 베스바(625)를 따라서 배치되어서 그 행에 전력을 공급하도록 접속될 수 있다.

[0017] 도 7은 어레이(70)의 개략도로, 중첩하고 있는 패키지(710, 720, 730, 740)가 각각의 소자의 에지 밀봉 지역의 불투명 부분(도시 생략)이 불투명 부분(716)에 병렬로 정렬된 방향으로, 1 행으로 배치된 것을 나타내고 있다. 이 행의 우측 첫 번째 소자, 즉 소자(740)의 전기 활성 영역(744)은 인접 소자(730)의 에지 밀봉 지역의 투명 부분(732)에 의해 중첩되어 있다. 그 행의 소자(710, 720)의 에지 밀봉 지역의 투명 부분(712, 722)은 인접 소자(720, 730)의 전기 활성 영역(724, 734)과 중첩하고 있다. 전기 활성 영역(714, 724, 734)은 소자(720, 730, 740)의 에지 밀봉 지역의 불투명 부분(도시 생략)과 중첩하고 있고, 이는 소자(710)의 불투명 부분(716)에 병렬로 정렬되어 있다.

[0018] 도 8은 어레이(80)의 개략도로, 제 1 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분(도시 생략)이 불투명 부분(816)에 병렬로 정렬되는 방향으로, 그리고 제 2 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분(도시 생략)이 병렬로 정렬되는 방향으로, 중첩 패키지(810, 820, 830, 840, 850, 860, 870, 880)의 2행이 배치되어 있는 것을 나타내고 있다. 제 1 행의 우측 첫 번째 소자, 즉 소자(849)의 전기 활성 영역(844)은 인접 소자(830)의 에지 밀봉 지역의 투명 부분(832)에 의해 중첩되어 있다. 그 행의 소자(810, 820)의 에지 밀봉 지역의 투명 부분(812, 822)은 인접 소자(820, 830)의 전기 활성 영역(824, 834)과 중첩하고 있다. 제 2 행의 우측 첫 번째 소자, 즉 소자(880)의 전기 활성 영역(884)은 인접 소자(870)의 에지 밀봉 지역의 투명 부분(872)에 의해 중첩되어 있다. 그 행의 소자(850, 860)의 에지 밀봉 지역의 투명 부분(852, 862)은 인접 소자(860, 880)의 전기 활성 영역(864, 874)과 중첩하고 있다. 제 1 행의 소자(810, 820, 830)의 전기 활성 영역(814, 824, 834)은 같은 행의 인접 소자(820, 830, 840)의 에지 밀봉 지역의 불투명 부분(도시 생략)과 중첩하고 있고, 제 2 행의 소자(850, 860, 870, 880)의 에지 밀봉 지역의 투명 부분(858, 868, 878, 888)은 제 1 행의 인접 소자(810, 820, 830, 840)의 불투명 부분(도시 생략)과 중첩하고 있다. 불투명 부분은 전기적 리드를 통해서 전원에 접속되어 있다.

[0019] 도 9는 투명한 에지 밀봉 지역(912), 전기 활성 영역(924) 및 불투명 에지 밀봉 지역(926, 928)을 가진 패키지(90)의 정면도이다. 에지(926)는 소자의 애노드 및 캐소드(도시 생략), 도전성 영역(903) 및 선택적인 도전 템 접촉부(921)를 포함하고 있다. 에지(928)는 애노드(도시 생략) 및 그 위에 배치되어서 도전율을 높이는 도전층을 포함하고 있다. 도전성 영역(903) 및 에지(928)의 도전층이 도면에서 연속하는 층으로서 도시되어 있지만, 일부 실시예에서, 도전성 영역/층은, 전원에 접속되어 있어서 애노드의 도전율을 높이는 하나 이상의 얇은 도전라인을 포함할 수도 있다. 전기 리드(923)가 도전성 템(921)과 전력 공급부 사이에 접속될 수 있다. 커넥터 장착 방식에 따라서, 접촉부의 설계는 달라질 수 있다. 도면에서는 도전성 접착제를 이용해서 캐소드 및 애노드 금속에 접촉될 수 있는 리본 형태의 도체를 도시하고 있다. 도전성 템이 백시트와 기판 사이에서 내측으로 연장할 수 있지만, 일부 실시예에서는 이들이 에지를 밀봉하는 것을 방해하지 않도록 아웃보드 구성으로 배치하는 것이 바람직할 수도 있다. 다른 실시예에서, 도전성 템은 백 시트 상의 얇은 금속층으로서 인쇄될 수 있다. 애노드와 캐소드에 대한 접촉은 도전성 접착제에 의해서 이루어질 수 있다. 또한, 백 시트에 인접한 전극 금속 상에, 백시트를 도포한 이후에 노출되어 남아 있는 에지 영역에, 주변 환경에 견디는 다른 층을 추가하는 것이 바람직할 수 있다. 이는 부식 방지(non-corroding) 금속의 형태일 수도 있고, UHB나 다른 유기 혹은 무기 장벽층이 될 수도 있다.

[0020] 도 10은 어레이(100)의 개략도로, 각각의 소자의 에지 밀봉 지역의 불투명 부분이 병렬로 정렬되는 방향으로, 1 행의 중첩 패키지(1010, 1020, 1030, 1040)가 배치된 것을 나타내고 있다. 소자(1020, 1030, 1040)의 에지 밀봉 지역의 불투명 부분은, 소자(1010)의 노출된 불투명 부분(1016)에 병렬로 배치된다. 이 행의 우측 첫 번째 소자, 즉 소자(1040)의 전기 활성 영역(1044)은 인접 소자(1030)의 에지 밀봉 지역의 투명 부분(1032)에 의해 중첩된다. 그 행의 소자(1010, 1020)의 에지 밀봉 지역의 투명 부분(1012, 1022)은 인접 소자(1020, 1030)의 전극 활성 영역(1024, 1034)에 중첩된다. 전기 활성 영역(1014, 1024, 1034)은, 소자(1010)의 불투명 부분(1016)에 병렬로 정렬된 소자(1020, 1030, 1040)의 에지 밀봉 영역의 불투명 부분(도시 생략)에 중첩된다. 소자(1010, 1020, 1030, 1040)의 불투명 부분(1018, 1028, 1038, 1048)은 길이 방향으로 정렬된다.

[0021] 도 11은 어레이(110)의 개략도로, 제 1 행의 각각의 소자의 에지 밀봉 지역의 불투명 부분(도시 생략) 및 제 2 행의 소자(1150, 1160, 1170, 1180)의 불투명 부분(1158, 1168, 1178, 1188)이 각각, 소자(1110, 1150)의 불투

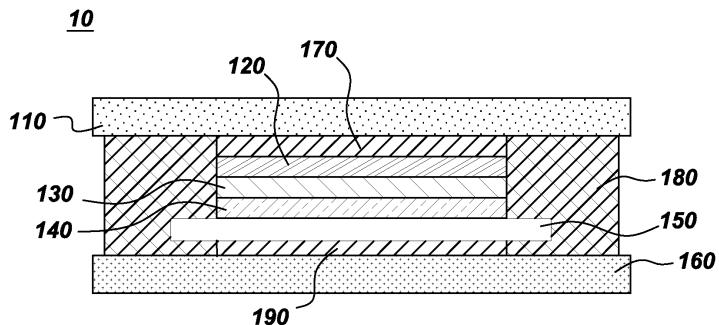
명 부분(1116, 1156)에 직교하도록 정렬된 방향으로, 중첩하고 있는 패키지(1110, 1120, 1130, 1140)의 2행이 되어 있는 것을 나타낸다. 제 1 행의 우측 첫 번째 소자, 즉 소자(1140)의 전기 활성 영역(1144)은 인접 소자(1130)의 에지 밀봉 지역의 투명 부분(1132)에 의해 중첩되어 있다. 그 행의 소자(1110, 1120)의 에지 밀봉 지역의 투명 부분(1112, 1122)은 인접 소자(1120, 1130)의 전기 활성 영역(1123, 1134)과 중첩하고 있다. 제 2 행의 우측 첫 번째 소자, 즉 소자(1180)의 전기 활성 영역(1184)은 인접 소자(1170)의 에지 밀봉 지역의 투명 부분(1172)에 의해 중첩된다. 그 행의 소자(1150, 1160)의 에지 밀봉 지역의 투명 부분(1152, 1162)은 인접 소자(1160, 1180)의 전기 활성 영역(1164, 1174)과 중첩한다. 제 1 행의 소자(1110, 1120, 1130)의 전기 활성 영역(1114, 1124, 1134)은, 같은 행의 인접하는 소자(1120, 1130, 1140)의 에지 밀봉 지역의 투명 부분(도시 생략)과 중첩하고, 제 2 행의 소자(1150, 1160, 1170, 1180)의 전기 활성 영역(1154, 1164, 1174, 1184)은 제 1 행의 인접하는 소자(1110, 1120, 1130, 1140)의 불투명 영역(도시 생략)과 중첩하고 있다. 소자(1150, 1160, 1170, 1180)의 불투명 부분(1158, 1168, 1178, 1188)은 노출된 채로 남아 있다. 불투명 부분은 전기 리드를 통해서 전원에 접속된다.

[0022]

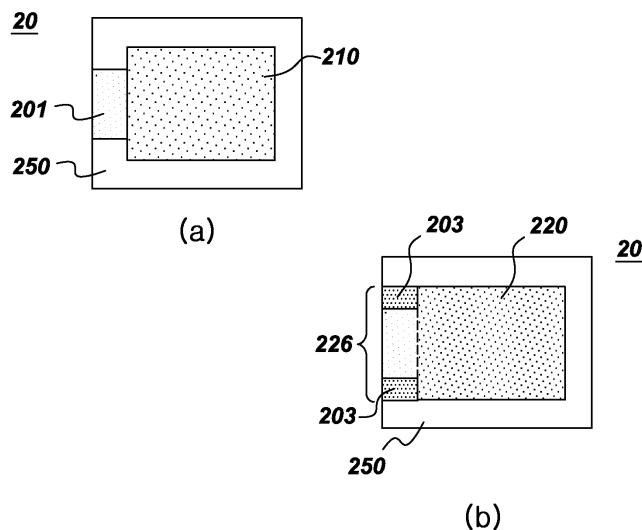
여기서 본 발명의 특정한 특성만이 도시되고 설명되었지만, 당업자에게는 다양한 수정 및 변경이 있을 수 있을 것이다. 따라서, 첨부된 청구 범위는 이러한 수정 및 변경을 본 발명의 진정한 사상 내로서 커버하는 것으로 의도되었다는 것을 이해할 것이다.

## 도면

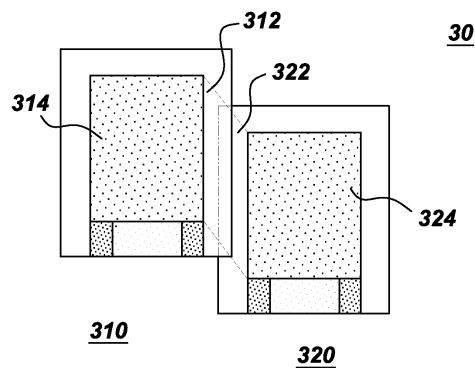
### 도면1



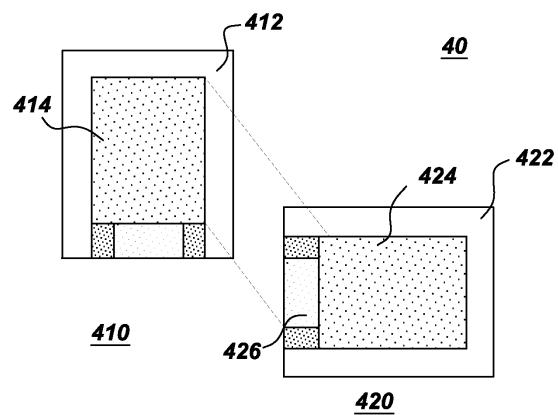
### 도면2



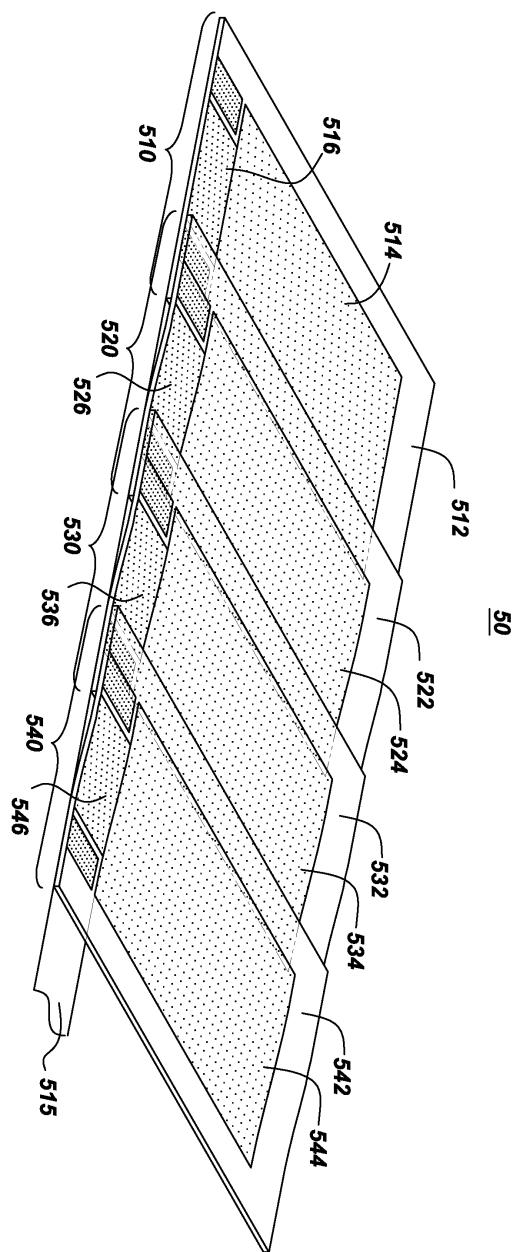
도면3



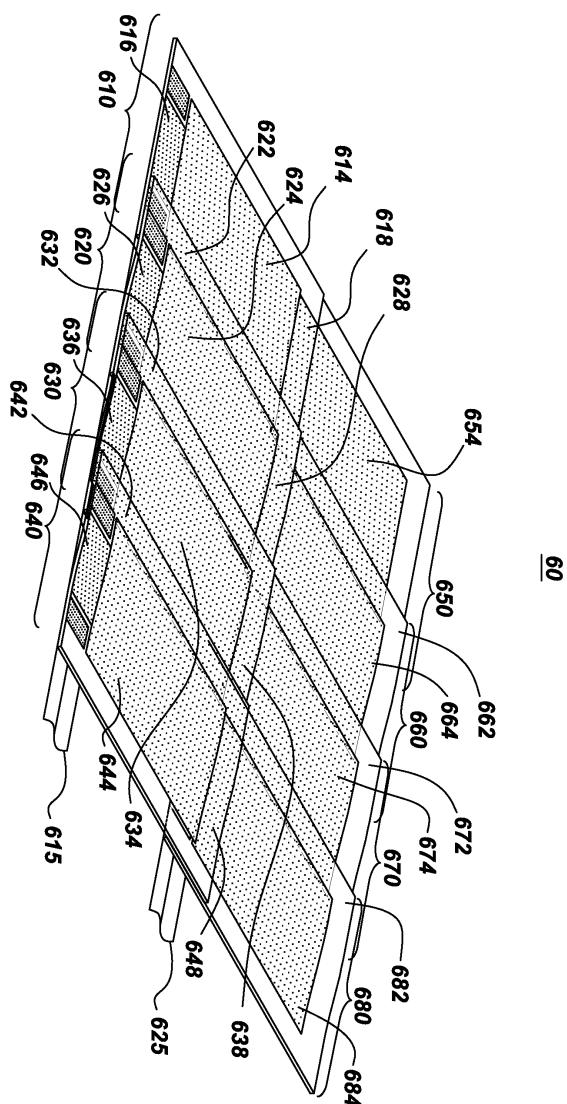
도면4



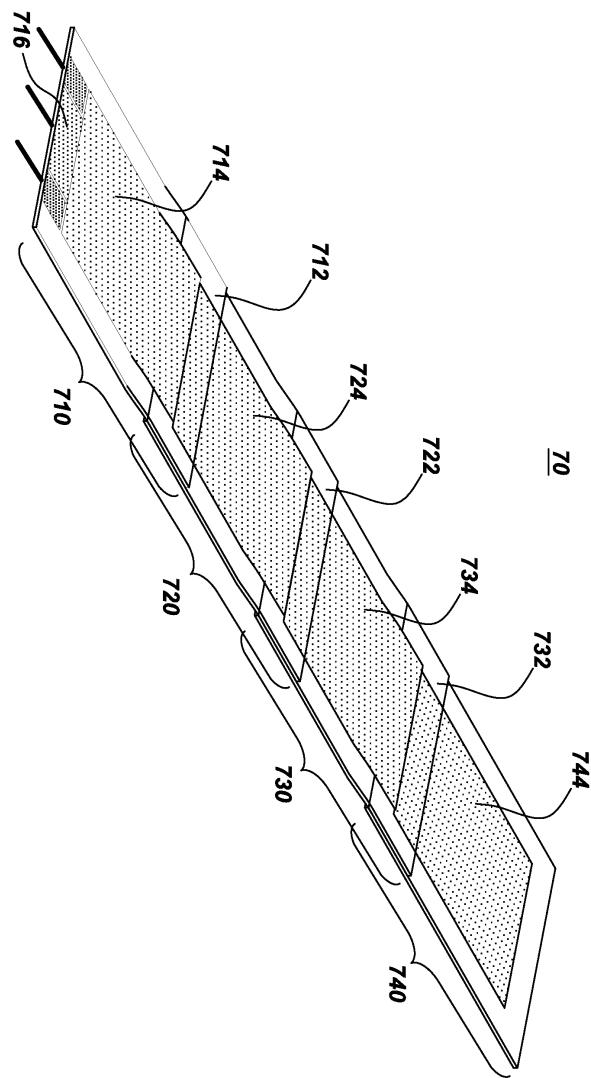
도면5



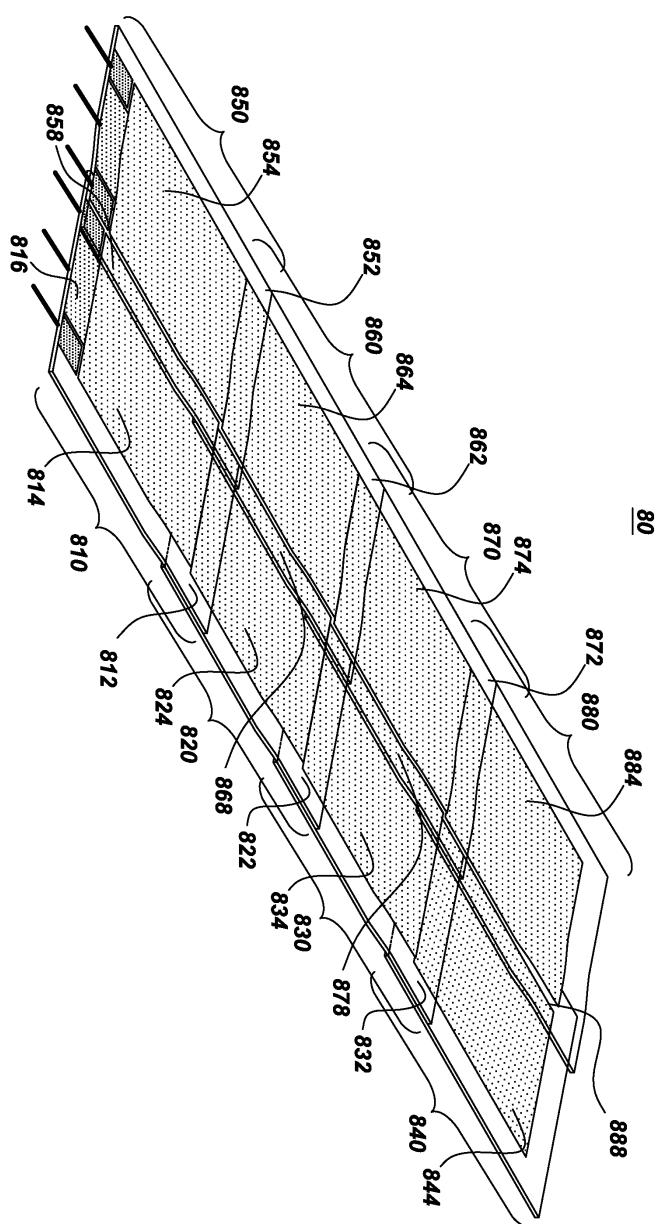
도면6



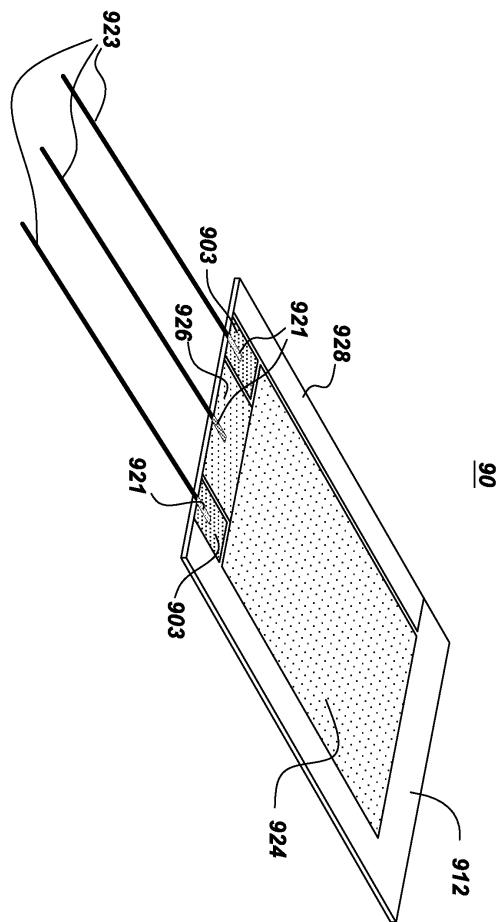
도면7



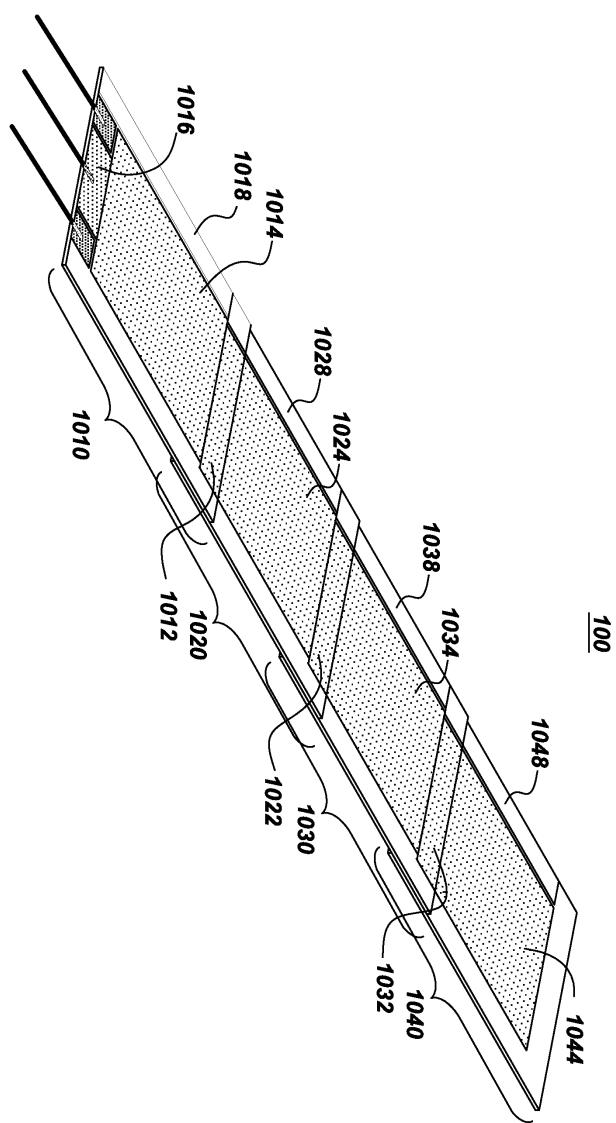
도면8



도면9



도면10



도면11

