



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2013년01월18일
 (11) 등록번호 10-1219067
 (24) 등록일자 2012년12월31일

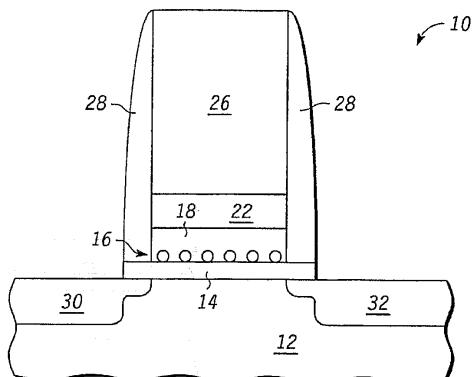
- (51) 국제특허분류(Int. Cl.)
H01L 21/331 (2006.01)
 (21) 출원번호 10-2007-7017264
 (22) 출원일자(국제) 2005년12월14일
 심사청구일자 2010년12월09일
 (85) 번역문제출일자 2007년07월26일
 (65) 공개번호 10-2007-0099625
 (43) 공개일자 2007년10월09일
 (86) 국제출원번호 PCT/US2005/045207
 (87) 국제공개번호 WO 2006/080999
 국제공개일자 2006년08월03일
 (30) 우선권주장
 11/043,826 2005년01월26일 미국(US)
 (56) 선행기술조사문헌
 JP2002231834 A
 JP2002261175 A
 전체 청구항 수 : 총 31 항

- (73) 특허권자
 프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 월리암
 캐논 드라이브 웨스트 6501
 (72) 발명자
 라오, 라제쉬 에이.
 미국, 텍사스 78753, 오스틴, 젤러 레인 12524
 무라리다, 라마찬드란
 미국, 텍사스 78750, 오스틴, 픽페어 드라이브
 10601
 화이트, 브루스 이.
 미국, 텍사스 78664, 라운드 록, 블루벨 벤드 코
 브 3204
 (74) 대리인
 장훈

심사관 : 이석주

(54) 발명의 명칭 **비휘발성 나노결정 메모리 및 그를 위한 방법****(57) 요약**

나노결정 비휘발성 메모리(NVM; 10)는, 전자들이 트래핑될 수 있는 유전체에서의 위치들을 감소시키기 충분한 질소 함유량을 갖는 나노결정들(16)과 제어 게이트(26) 간의 유전체(22)를 갖는다. 이는, 질소 농도를 그레이딩함으로써 성취된다. 질소의 농도는 전자/홀 트랩들의 농도가 가장 높게 되는 나노결정들(16) 근처에서 최고이고, 전자/홀 트랩들의 농도가 더 낮은 제어 게이트(26)쪽으로는 감소된다. 이러한 것은 전하가 트래핑될 수 있는 위치들의 수를 감소시키는 이로운 효과를 갖는다고 알려져 왔다.

대 표 도 - 도5

특허청구의 범위

청구항 1

반도체 장치를 형성하기 위한 방법에 있어서:

반도체 기판을 제공하는 단계;

상기 반도체 기판의 표면 상에 제 1 절연층(insulating layer)을 형성하는 단계;

상기 제 1 절연층의 표면 상에 나노결정들(nanocrystals)의 층을 형성하는 단계; 및

상기 나노결정들의 층 상에 그레이딩된 질소 함유량(graded nitrogen content)을 갖는 제 2 절연층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 2

제 1 항에 있어서, 상기 제 2 절연층 상에 제 3 절연층을 형성하는 단계를 더 포함하고, 상기 제 3 절연층은 상기 제 2 절연층보다 상대적으로 더 낮은 질소 함유량을 갖는, 반도체 장치 형성 방법.

청구항 3

제 2 항에 있어서, 상기 제 3 절연층 형성 단계는, 상기 제 2 절연층의 그레이딩된 질소 함유량의 최저의 질소 함유량보다 더 적은 질소 함유량을 갖도록 상기 제 3 절연층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 4

제 2 항에 있어서, 700 내지 1100 °C의 온도에서 산소를 포함하는 환경에서 상기 반도체 장치를 어닐링하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 5

제 2 항에 있어서, 상기 제 3 절연층 형성 단계는, 상기 제 3 절연층의 질소 함유량을 변조하기 위해 플라즈마 질화(plasma nitridation)를 이용하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 6

제 5 항에 있어서, 상기 플라즈마 질화 이용 단계는, 상기 그레이딩된 질소 함유량을 형성하도록 시간에 걸쳐 플라즈마 질화 소스의 플라즈마 에너지를 감소시키는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 7

제 5 항에 있어서, 상기 플라즈마 질화 이용 단계는, 상기 그레이딩된 질소 함유량을 형성하도록 시간에 걸쳐 질소 소스의 흐름을 감소시키는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 8

제 1 항에 있어서, 상기 제 2 절연층 형성 단계는 실리콘 산화 질화물(silicon-oxynitride)을 이용하여 상기 제 2 절연층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 9

제 1 항에 있어서, 상기 제 2 절연층 형성 단계는, 2 atom% 내지 10 atom%의 피크 질소 함유량을 갖는 상기 제 2 절연층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 10

제 1 항에 있어서, 상기 제 2 절연층 형성 단계는 상기 제 2 절연층의 질소 함유량을 변조하기 위해 플라즈마 질화를 이용하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 11

제 10 항에 있어서, 상기 플라즈마 질화 이용 단계는, 상기 그레이딩된 질소 함유량을 형성하도록 시간에 걸쳐 플라즈마 질화 소스의 플라즈마 에너지를 감소시키는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 12

제 10 항에 있어서, 상기 플라즈마 질화 이용 단계는, 상기 그레이딩된 질소 함유량을 형성하도록 시간에 걸쳐 질소 소스의 흐름을 감소시키는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 13

제 1 항에 있어서, 상기 제 2 절연층 형성 단계는, 실리콘, 산화 소스 및 질소 소스를 포함하는 가스들을 흐르게 함으로써 화학 기상 증착(chemical vapor deposition)을 이용하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 14

제 13 항에 있어서, 상기 제 2 절연층 형성 단계는, 상기 그레이딩된 질소 함유량을 형성하도록 시간에 걸쳐 상기 질소 소스의 흐름을 감소시키는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 15

제 1 항에 있어서, 상기 제 1 절연층 형성 단계는 상기 반도체 기판으로부터의 거리가 증가함에 따라 감소하는 질소 함유량을 갖는 상기 제 1 절연층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 16

제 1 항에 있어서, 상기 제 2 절연층 형성 단계는 상기 나노결정들의 층과의 인터페이스에서 상대적으로 더 많은 질소를 갖고, 상기 나노결정들의 층으로부터의 거리가 증가함에 따라 상대적으로 더 적은 질소를 갖는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 17

제 1 항에 있어서, 상기 나노결정들의 층의 나노결정들은 실리콘, 게르마늄 또는 금속 중 적어도 하나를 포함하는, 반도체 장치 형성 방법.

청구항 18

제 1 항에 있어서, 질소를 포함하는 물질을 도포(apply)함으로써 상기 나노 결정들을 코팅하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 19

제 1 항에 있어서, 상기 제 1 절연층 형성 단계는 실리콘, 하프늄, 란탄, 및 알루미늄 중 적어도 하나를 포함하는 산화물로부터 상기 제 1 절연층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 20

제 1 항에 있어서, 상기 제 2 절연층 형성 단계는, 상기 제 2 절연층의 치밀화(densification)에 도움을 주기 위해 산소를 주입하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 21

반도체 장치에 있어서:

반도체 기판;

상기 반도체 기판의 표면 상에 형성된 제 1 절연층;

상기 제 1 절연층의 표면 상에 형성된 나노결정들의 층; 및

상기 나노결정들의 층 상에 형성된 그레이딩된 질소 함유량을 갖는 제 2 절연층을 포함하는, 반도체 장치.

청구항 22

제 21 항에 있어서, 상기 제 2 절연층 상에 형성된 제 3 절연층을 더 포함하고, 상기 제 3 절연층은 상기 제 2 절연층보다 상대적으로 더 낮은 질소 함유량을 갖는, 반도체 장치.

청구항 23

제 22 항에 있어서, 상기 제 3 절연층은 상기 제 2 절연층의 그레이딩된 질소 함유량의 최저 질소 함유량보다 적은 질소 함유량을 갖는, 반도체 장치.

청구항 24

제 21 항에 있어서, 상기 제 2 절연층은 실리콘 산화질화물을 포함하는, 반도체 장치.

청구항 25

제 21 항에 있어서, 상기 제 2 절연층은 2 atom% 내지 10 atom%의 퍼크 질소 함유량을 갖는, 반도체 장치.

청구항 26

제 21 항에 있어서, 상기 제 1 절연층은 상기 반도체 기판으로부터의 거리가 증가함에 따라 감소하는 질소 함유량을 갖는, 반도체 장치.

청구항 27

제 21 항에 있어서, 상기 제 2 절연층은 상기 나노결정들의 층과의 인터페이스에서 상대적으로 더 많은 질소를 갖고, 상기 나노결정들의 층으로부터의 거리가 증가함에 따라 상대적으로 더 적은 질소를 갖는, 반도체 장치.

청구항 28

제 21 항에 있어서, 상기 나노결정들은 실리콘, 게르마늄 또는 금속 중 적어도 하나를 포함하는, 반도체 장치.

청구항 29

제 21 항에 있어서, 상기 나노결정들은 질소를 포함하는 층으로 코딩되는, 반도체 장치.

청구항 30

제 21 항에 있어서, 상기 제 1 절연층은 실리콘, 하프늄, 란탄 및 알루미늄 중 적어도 하나를 포함하는 산화물로부터 형성되는, 반도체 장치.

청구항 31

제 21 항에 있어서, 상기 반도체 장치는 상기 나노결정들의 층에 전하를 저장하는 비휘발성 메모리 셀(non-volatile memory cell)인, 반도체 장치

명세서

기술 분야

[0001] 본 발명은 저장을 위해 나노결정들(nanocrystals)을 갖는 비휘발성 메모리들(non-volatile memory)에 관한 것이다. 보다 상세하게는, 그러한 나노결정들의 절연(isolation) 및 나노결정들을 통한 절연에 관한 것이다.

배경 기술

[0002] 나노결정 메모리들은, 게이트 유전체 결함들을 통한 전하 누설에 대한 증가된 면역성(immunity)으로 인해 플로팅 게이트 메모리들에 대해 이롭다고 알려져 왔다. 나노결정 메모리들에서의 하나의 문제는 제어 게이트 하에 유전체 스택에서 전자 트래핑(electron trapping)에 대한 잠재성이다. 이러한 문제는 나노결정들로의 핫 캐리어

주입 동안 발생한다. 나노결정들에 의해 트래핑되지 않는 전자들의 프랙션(fraction)이 유전체 스택에 트래핑될 수 있으며, 이는 문턱값 전압의 시프트를 유도한다. 유전체 스택에 트래핑되는 이러한 전자들은 전기적으로 소거될 수 없으며, 이러한 전자들은 반복된 프로그램 및 소거 주기들에 의해 축적된다. 따라서, 문턱값 전압의 시프트는 반복된 프로그램 및 소거 동작들에 의해 계속하여 성장하고, 이러한 결과를 완화하도록 시도하는 회로 디자인들을 필요로 한다. 이 외에, 유전체 트래핑된 전하는, 외부 바이어스와 동반하여 작용하는 내부 전기장으로 인해 신뢰성의 저하를 가져올 수 있다. 예를 들면, 제어 게이트와 나노결정들 간의 유전체 스택 부분에서 트래핑된 전자들은, 나노결정들과 기판 간의 유전체 스택 부분을 통해 터널링 손실을 가속함으로써 전자들로 프로그래밍된 나노결정들의 데이터 기억력을 저하시킬 수 있다.

[0003] 따라서, 하나 이상의 이러한 문제점들을 완화하거나 감소시키는 방법 및 구조에 대한 요구가 존재한다.

발명의 상세한 설명

[0004] 한 특징에서, 나노결정 비휘발성 메모리(NVM)는, 전자들이 트래핑될 수 있는 유전체에서의 위치들을 감소시키기 충분한 질소 함유량을 갖는 나노 결정들과 제어 게이트 간의 유전체를 갖는다. 이는, 질소 농도를 그레이딩(grading)함으로써 성취된다. 질소의 농도는 전자/홀 트랩들의 농도가 가장 높게 되는 나노결정들 근처에서 최고이고, 전자/홀 트랩들의 농도가 더 낮은 제어 게이트쪽으로는 감소된다. 이러한 것은 전하가 트래핑될 수 있는 위치들의 수를 감소시키는 이로운 효과를 갖는다고 알려져 왔다. 이는 도면들 및 다음의 설명을 참조하여 보다 쉽게 이해된다.

실시예

[0010] 본 발명은 첨부한 도면에 의해 예의 방법으로 예시되고, 이에 제한되지 않으며, 도면에서 동일한 참조 번호는 동일한 요소들을 나타낸다.

[0011] 도면들에서 요소들이 간단하고 명료하게 예시되며 일정한 비율로 도시될 필요가 없다는 것을 당업자는 이해한다. 예를 들어, 도면의 일부 요소들의 크기들은 본 발명의 실시예들의 이해를 돋기 위해 다른 요소들에 비해 확대될 수 있다.

[0012] 기판(12), 기판(12) 상의 게이트 유전체(14), 게이트 유전체(14) 상의 복수의 나노결정들(16)을 포함하는 반도체 장치(10)가 도 1에 도시된다. 기판(12)은 벌크 실리콘 기판(bulk silicon substrate)이 바람직하지만, SOI 기판일 수 있으며 실리콘과 상이한 반도체 물질일 수 있다. 게이트 유전체층(14)은 실리콘, 하프늄, 란탄 및 알루미늄 중 적어도 하나를 포함하는 산화물로부터 형성되며, 두께가 50 내지 100 옹스트롬인 성장 산화물이 바람직하며, 나노결정들(16)으로부터 가장 멀리 있고 기판(12)에 가장 가까이서 가장 높은 그레이딩된 질소 함유량을 갖는다. 이러한 예에서 나노결정들(16)은 실리콘, 게르마늄 또는 금속 중 적어도 하나를 포함하여 구성되며, 제곱 센티미터 당 $5e11$ 과 $1.2e12$ 사이의 밀도를 갖는다. 나노결정들(16)은 크기가 약 3 내지 10 나노미터 사이에서 변동한다. 나노결정들(16)은 화학 증착에 의해 증착되는 것이 바람직하지만, 다른 처리들이 또한 사용될 수 있다. 나노결정들을 형성하기 위한 다른 처리들은 실리콘의 얇은 무정형의 재결정화 및 사전 제조된 나노결정들의 증착을 포함한다. 나노결정 형성 후에, 나노결정들(16)은 질소 산화물을 이용하여 나노결정들을 산화함으로써 보호막을 씌울 수 있다.

[0013] 나노결정들(16) 상에 그리고 나노결정들(16) 주위에 질소-도핑된 산화물층을 형성한 후의 반도체 장치(10)가 도 2에 도시된다. 이것은 두께가 약 3 내지 5 나노미터가 바람직하며 나노결정과 아직 형성되지 않은 제어 게이트 간에 유전체의 제 1 부분을 형성한다. 층(18) 내의 질소 함유량이 그레이딩된다. 최고의 질소 함유량은 나노결정들에 가장 근접하고 약 5-10 atom%에서 시작한다. 질소 함유량은 나노결정들(16)로부터 떨어져 실질적으로 약 2atom% 이하까지 감소된다. 다이클로로실란(dichlorosilane) 및 이산화 질소와 같은 가스들을 형성하는 산화물과 작은 양의 암모니아를 반응시키고 암모니아의 유동율(flow rate)을 점차 감소시킴으로써 이러한 그레이딩이 적절히 성취된다. 다른 대안은 일련의 임플란트 단계들에서 질소를 산화물층에 주입하는 것이다. 가장 무거운 도즈 임플란트는 최고의 에너지를 갖고 가장 가벼운 도즈 임플란트는 최저의 에너지를 갖는다. 이러한 임플란트는 층(18)에 대한 손상을 방지하기 위해 원격 플라즈마 환경에서 수행되는 것이 바람직하다. 후속 어닐링 단계들 동안 산화물층 내의 질소는 원래 형성된 산화물층 내의 댕글링 결합들(dangling bonds)을 포화시킨다. 특히, 핫 전자들에 약한 면역성을 갖는 실리콘-수소 결합들은 보다 강인한 실리콘-질소 결합들로 변환된다. 그러한 결합 결합들의 최고 농도는 층들 (14) 및 (18) 사이의 경우에 유전체층들 간 및 나노결정들(16) 및 유전체층(18) 간의 인터페이스에서 존재하므로, 질소의 더 높은 농도는 이러한 인터페이스 영역들에서 요구된다. 인터페이스로부터 멀리 떨어질수록 결합 결합들이 더 적어지고 더 적은 질소를 요구한다. 이러한 영역들 내의 초과 질소는

전자/홀 트랩들로서 동작함으로써 메모리 장치에 해롭다. 또한, 산소는 치밀화(densification)에 도움을 주기 위해 층(18)에 주입될 수 있다.

[0014] 층(18) 상에 유전체층(20)을 형성한 후의 반도체 장치(10)가 도 3에 도시된다. 유전체층(20)은 산화 실리콘이나 바람직하며, 약 500 내지 900 °C 사이의 화학 기상 증착 챔버 내에서 실란 또는 다이클로로실란과 같은 실리콘 포함 전구체(precursor)를 산소 또는 산화 질화물과 같은 산화제와 반응시킴으로써 증착된다. 층(20)은 통상적으로 두께가 4 내지 10 나노미터 사이이다.

[0015] 질화층(22)을 형성하기 위해 층(20)의 원격 플라즈마 질화(remote plasma nitridation)를 수행한 후의 반도체 장치(10)가 도 4에 도시된다. 질화층(22) 내의 질소 함유량은 약 2 atom% 이하인 것이 바람직하다. 그러한 작은 질소 함유량을 획득하는 것은 CVD에 의해서는 어렵기 때문에, 원격 플라즈마 증착이 바람직한 방법이다. 원격 플라즈마의 에너지는, 질화층(22) 내의 그레이딩된 질소 농도를 획득하기 위해 질소-포함 종들(species)의 흐름에서의 감소와 관련하여 시간에 걸쳐 감소될 수 있다. 이러한 경우에서 더 높은 질소 농도는 층들(18) 및 (22)의 인터페이스에서 존재하고, 더 낮은 농도는 층(22)의 상부 표면에서 존재한다. 또한, 질소 주입이 대안이지만, 임플란팅에 비해 층(20)의 표면에서 및 표면 근처에서 더 적은 손상으로 인해 원격 플라즈마가 바람직하다. 충분한 에너지를 갖는 이러한 원격 플라즈마 증착은 부가적인 질소를 층(18)에 도입하는데 이용될 수 있다. 또한, 산소는 치밀화를 돋기 위해 층(20)에 주입될 수 있다.

[0016] 질화를 수행한 후에, 바람직하게 약 700°C 또는 그 이상에서 어닐링 단계들이 수행된다. 이러한 어닐링 단계들 중 제 1 단계가 약 800 °C 이상에서 질소 또는 아르곤과 같은 불활성 환경에서 이루어진다. 이러한 단계는 질소 결합을 용이하게 하고 층들(18, 22)로부터 수소를 배출한다. 이러한 어닐링 단계들 중 제 2 단계는 희석 산화 환경에서 이루어지며, 아직 존재할 수 있는 비화학량적인 결합들을 제거하기 위한 것이다. 이러한 어닐링 단계들 중 제 3 단계는 글래스 전이 온도, 약 950°C에서 또는 이에 가까운 온도에서 수행된다. 이러한 리플로우 상태 동안 높은 원자 이동도는 층들(18 및 22)의 응력을 완화하기 위한 구조를 용이하게 한다. 제 2 및 제 3 어닐링 단계들은 단일 어닐링 단계로 조합될 수 있다. 어닐링 온도는 1100°C를 초과하지 않는 것이 바람직하다.

[0017] 제어 게이트(26), 제어 게이트(26) 주위의 측벽 스페이서(28), 기판(12) 내에 있고 제어 게이트(26)의 한 측면 상의 소스/드레인 영역(30) 및 기판(12) 내에 있고 제어 게이트(26)의 다른 측면 상의 소스/드레인 영역(32)을 포함하는 NVM 장치를 형성하는 공지된 단계들을 수행한 후의 반도체 장치(10)가 도 5에 도시된다. 도 5의 결과적인 반도체 장치(10)는 NVM 장치로서 유용하고 그러한 장치들의 어레이들을 형성하기 위한 트랜지스터이다. 상술된 바와 같이 그들의 질소 함유량을 갖는 층들(18, 22)은 전자/홀 트래핑으로 인해 문턱값 시프트를 감소시킨다. 상술된 방법의 또 다른 이점은 층들(18, 22)이 증가된 밀도를 갖는다는 것이다. 층(14)과 같은 온도적으로 성장된 산화물과 달리, 증착된 산화물들은 덜 조밀하고 화학량적으로 완벽하지 않다. 이것은 통상적으로 성장 산화물들과 비교하여 증착된 산화물이 상당히 더 빠른 에칭율을 갖는 것에서 볼 수 있다. 어닐링은 밀도를 증가시키는데 덜 영향을 준다. 원격 플라즈마 임플란트에 의해 획득된 원자 질소 및 산호의 존재는 더 높은 반응성으로 인해 포화되지 않은 결합 완료를 용이하게 하고, 브레이크다운 필드 및 핫 캐리어 면역성과 같은 전기적 특성에서의 결과적인 개선 및 더 조밀한 산화물을 가져온다.

[0018] 상술된 명세서에서, 본 발명은 특정 실시예들을 참조하여 설명되었다. 그러나, 청구범위에 개시된 본 발명의 범위에서 벗어나지 않고 다양한 수정들 및 변경들이 이루어질 수 있다는 것을 당업자는 이해한다. 예를 들어, 게이트 유전체층(14)은 성장 산화물로서 기술되지만, 대신에 증착된 하이 k 유전체일 수 있다. 따라서, 명세서 및 도면들은 제한적인 것이 아니며 예시적인 것으로 간주되며, 모든 수정들은 본 발명의 범위 내에 포함되도록 되어졌다.

[0019] 이점들, 다른 장점들 및 문제점들에 대한 솔루션들은 특정 실시예에 관하여 상술되었다. 그러나, 이점들, 다른 장점들 및 문제점들에 대한 솔루션들, 및 임의의 이점, 장점 또는 솔루션들이 발생하거나 선언되도록 하는 임의의 요소들이 임의의 또는 모든 청구항들의 중요하고, 요구되거나 필수적인 특징 또는 요소로서 구성되지는 않는다. 본원에 사용된 용어들 "포함하다", "포함하는" 또는 그의 임의의 변동은 비배타적인 포함을 커버하도록 되어, 프로세스, 방법, 항목, 또는 리스트의 요소들을 포함하는 장치가 그들 요소들뿐만 아니라 그러한 프로세스, 방법, 항목 또는 장치에 표현적으로 리스트되지 않거나 고유한 다른 요소들을 포함할 수 있다.

도면의 간단한 설명

[0005] 도 1은 본 발명의 실시예에 따른 처리 단계에서 장치 구조의 단면도.

[0006] 도 2는 후속 처리 단계에서 도 1의 장치 구조의 단면도.

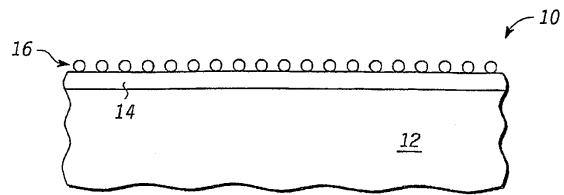
[0007] 도 3은 후속 처리 단계에서 도 2의 장치 구조의 단면도.

[0008] 도 4는 후속 처리 단계에서 도 3의 장치 구조의 단면도.

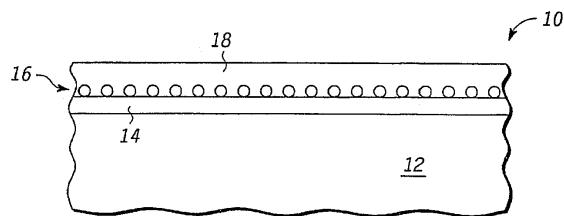
[0009] 도 5는 후속 처리 단계에서 도 4의 장치 구조의 단면도.

도면

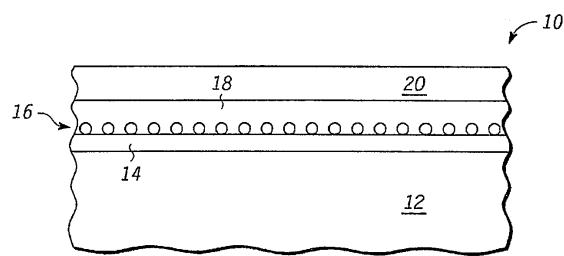
도면1



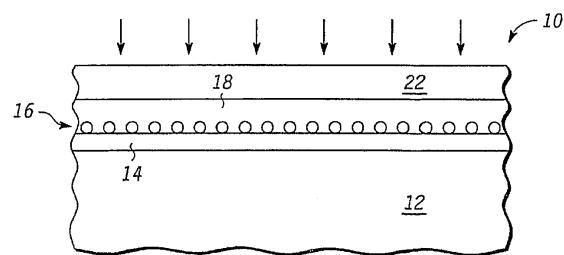
도면2



도면3



도면4



도면5

