



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0099290  
(43) 공개일자 2014년08월11일

(51) 국제특허분류(Int. Cl.)  
H01L 21/28 (2006.01) H01L 21/265 (2006.01)  
(21) 출원번호 10-2014-7017412  
(22) 출원일자(국제) 2011년12월27일  
심사청구일자 2014년06월24일  
(85) 번역문제출일자 2014년06월24일  
(86) 국제출원번호 PCT/US2011/067424  
(87) 국제공개번호 WO 2013/100914  
국제공개일자 2013년07월04일

(71) 출원인  
인텔 코오퍼레이션  
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200  
(72) 발명자  
무커지, 닐로이  
미국 97007 오레곤주 비버튼 사우쓰웨스트 캐롤론 드라이브 7732  
듀이, 길버트.  
미국 97123 오레곤주 힐스보로 사우쓰이스트 58번 에이브이이. 920  
(뒷면에 계속)  
(74) 대리인  
백만기, 양영준

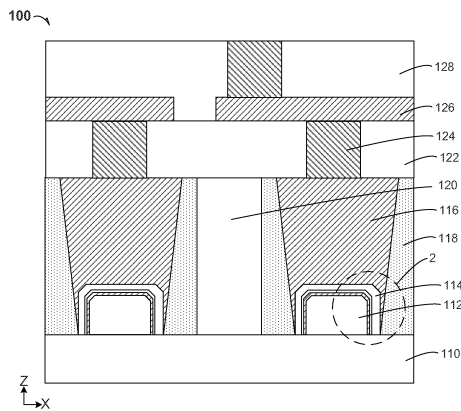
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 반도체 표면-근처 층의 도핑 농도를 증대시키는 방법 및 그의 제조 방법

**(57) 요약**

다이는 반도체 돌출부, 및 돌출부상의 표면-도핑 구조를 포함한다. 표면-도핑 구조는 콘택트 금속화물과 접촉한다. 돌출부는 트랜지스터용 소스 또는 드레인 콘택트일 수 있다. 표면-도핑 구조의 제조 방법은 습식, 기상 및 이온주입 기술을 포함하며, 표면 도핑을 반도체 돌출부의 표면-근처 깊이까지만 몰아넣는 어닐링 기술을 포함한다.

**대표도 - 도1**



(72) 발명자

**라도사블예비치, 마르코**

미국 97006 오레곤주 비버튼 노쓰웨스트 채퍼렐 테  
라스 4129

**고엘, 니티**

미국 97124 오레곤주 힐스보로 에이피티. 2723 노  
쓰이스트 룬러 웨이 7136

**카베히에, 사나즈**

미국 97229 오레곤주 포틀랜드 에이피티. 308 노쓰  
웨스트 갈리스 레인 21167

**메츠, 매튜 브이.**

미국 97229 오레곤주 포틀랜드 노쓰웨스트 오로라  
플레이스 18860

**차우, 로버트 에스.**

미국 97007 오레곤주 비버튼 사우쓰웨스트 171번  
에비뉴 8875

**특허청구의 범위**

**청구항 1**

반도체 돌출부 상의 콘택트로서,

반도체 기판;

상기 반도체 기판 상에 배치된 돌출부(prominence) - 상기 돌출부는 반도체임 -;

상기 돌출부 상의 표면-도핑 구조 - 상기 표면-도핑 구조는 제1 농도의 도펀트를 갖고, 상기 돌출부는 제2 농도의 도펀트를 갖고, 상기 도펀트의 제1 농도는 상기 도펀트의 제2 농도와 상이함 -; 및

상기 표면-도핑 구조에 연결된 콘택트 금속화물(contact metallization) - 상기 돌출부는 돌출부 폼 팩터를 갖고, 상기 콘택트 금속화물 콘택트 영역은 상기 돌출부 폼 팩터를 반영함 -

를 포함하는 콘택트.

**청구항 2**

제1항에 있어서, 상기 돌출부는 제1 돌출부이고, 상기 콘택트는 제2 돌출부를 추가로 포함하며, 상기 제1 및 제2 돌출부는 트랜지스터의 소스 및 드레인 콘택트인 콘택트.

**청구항 3**

제1항에 있어서, 상기 돌출부는 제1 돌출부이고, 상기 콘택트는 제2 돌출부를 추가로 포함하며, 상기 제1 및 제2 돌출부는 게이트 구조에 의해 이격된 트랜지스터의 소스 및 드레인 콘택트인 콘택트.

**청구항 4**

제1항에 있어서, 상기 돌출부는 제1 돌출부이고, 상기 콘택트는 제2 돌출부를 추가로 포함하며, 상기 제1 및 제2 돌출부는 게이트 구조에 의해 이격된 트랜지스터의 소스 및 드레인 콘택트이고, 상기 콘택트는 제1 상호접속 ILD 층에 배치된 콘택트 인터커넥트를 추가로 포함하며, 상기 콘택트 인터커넥트는 상기 콘택트 금속화물과 접촉하는 콘택트.

**청구항 5**

제1항에 있어서, 상기 제1 농도의 도펀트는 상기 돌출부의 쇼트키 배리어 높이 감소에 영향을 미치는 III-V 재료인 콘택트.

**청구항 6**

제1항에 있어서, 상기 제1 농도의 도펀트는 상기 돌출부의 쇼트키 배리어 높이 감소에 영향을 미치는 PMOS 중간 층을 형성하는 III-V 재료인 콘택트.

**청구항 7**

제1항에 있어서, 상기 제1 농도의 도펀트는 상기 돌출부의 쇼트키 배리어 높이 감소에 영향을 미치는 NMOS 중간 층을 형성하는 III-V 재료인 콘택트.

**청구항 8**

제1항에 있어서, 상기 콘택트 금속화물은 상기 표면-도핑 구조와 접촉하는 콘택트.

**청구항 9**

제1항에 있어서, 상기 돌출부 상의 상기 표면-도핑 구조는 상기 돌출부에 인접한 전이 구역, 및 상기 콘택트 금속화물에 인접한 도펀트-풍부 구역을 갖는 콘택트.

**청구항 10**

제1항에 있어서, 상기 돌출부 상의 상기 표면-도핑 구조는 상기 돌출부에 인접한 전이 구역, 상기 콘택트 금속 화물에 인접한 도펀트-풍부 구역, 및 상기 전이 구역과 상기 도펀트-풍부 구역 사이의 전이 구역을 갖는 콘택트.

**청구항 11**

제1항에 있어서, 상기 돌출부와 접촉하고 상기 콘택트 금속화물에 의해 접촉되는 III-V 반도체 재료의 중간층을 추가로 포함하고, 상기 돌출부는 실리콘계인 콘택트.

**청구항 12**

콘택트 금속화물의 형성 방법으로서,  
반도체 기판 상에 배치된 반도체 돌출부를 노출시키도록 리세스를 개방하는 단계;  
상기 돌출부 상에 전도도 증대 도펀트 전구체로 표면 도펀트를 형성하는 단계;  
상기 돌출부를 콘택트 금속화물과 접촉시키는 단계; 및  
상기 표면 도펀트를 상기 돌출부로 표면 확산시키도록 상기 표면 도펀트를 처리하는 단계  
를 포함하는 방법.

**청구항 13**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 돌출부에 유용한 쇼트키 배리어 높이 감소에 영향을 미치는 중간층을 형성하는 단계를 포함하는 방법.

**청구항 14**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 돌출부의 표면에 부착되는 도펀트 액체를 도포하는 단계를 포함하는 방법.

**청구항 15**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 기상 형성(vapor-phase forming)하여 상기 돌출부의 표면에 부착시키는 단계를 포함하는 방법.

**청구항 16**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 ALD(atomic layer deposition) 기상 형성하여 상기 돌출부의 표면에 부착시키는 단계를 포함하는 방법.

**청구항 17**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 CVD(chemical vapor deposition) 기상 형성하여 상기 돌출부의 표면에 부착시키는 단계를 포함하는 방법.

**청구항 18**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 PECVD(plasma enhanced chemical vapor deposition) 기상 형성하여 상기 돌출부의 표면에 부착시키는 단계를 포함하는 방법.

**청구항 19**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 스퍼터링 퇴적(sputtering deposition) 기상 형성하여 상기 돌출부의 표면에 부착시키는 단계를 포함하는 방법.

**청구항 20**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 에피택셜 막 퇴적(epitaxial film deposition) 기상 형성하여 상기 돌출부의 표면에 부착시키는 단계를 포함하는 방법.

**청구항 21**

제12항에 있어서, 상기 표면 도펀트를 형성하는 단계는 상기 표면 도펀트를 이온주입(implanting)하여 상기 돌출부의 근처 및 표면에 부착시키는 단계를 포함하는 방법.

**청구항 22**

다이의 반도체 기관;

상기 반도체 기관 상에 배치된 돌출부 - 상기 돌출부는 반도체임 -;

상기 돌출부 상의 표면-도핑 구조 - 상기 표면-도핑 구조는 제1 농도의 도펀트를 갖고, 상기 돌출부는 제2 농도의 도펀트를 갖고, 상기 도펀트의 제1 농도는 상기 도펀트의 제2 농도와 상이함 -;

상기 표면-도핑 구조에 연결된 콘택트 금속화물 - 상기 돌출부는 돌출부 폼 팩터를 갖고, 상기 콘택트 금속화물 콘택트 영역은 상기 돌출부 폼 팩터를 반영함 -; 및

상기 다이를 지지하는 기초 기관

을 포함하는 컴퓨터 시스템.

**청구항 23**

제22항에 있어서, 상기 기초 기관은 모바일 장치, 스마트폰 장치, 태블릿 컴퓨터 장치, 차량 및 텔레비전으로 구성된 그룹으로부터 선택된 장치의 일부인 컴퓨터 시스템.

**청구항 24**

제22항에 있어서, 상기 다이는 제1 다이이며, 상기 컴퓨터 시스템은 상기 제1 다이와 패키징된 제2 다이의 후속 집적 회로를 추가로 포함하는 컴퓨터 시스템.

**청구항 25**

제22항에 있어서, 상기 다이는 제1 로직 섹터에 상기 돌출부를 포함하고, 상기 다이는 후속 집적 회로를 갖는 제2 그래픽 섹터를 갖는 컴퓨터 시스템.

**명세서**

**기술분야**

[0001] 개시된 실시형태는 반도체 소자의 콘택트, 및 콘택트 저항을 감소시키기 위한 방법에 관한 것이다. 트랜지스터와 같은 소자는 웨이퍼 상에 형성되며 전단(front-end) 금속화물(metallization) 층을 이용하여 접속된다. 금속화물 층은 소자를 상호접속하기 위한 전기적 경로로서 작용하는 비아 및 인터커넥트를 포함한다. 콘택트는 비아 및 인터커넥트를 소자에 접속시킨다.

**도면의 간단한 설명**

[0002] 실시형태가 수득되는 방식을 이해하기 위해, 상기에 간략하게 설명된 각종 실시형태의 좀더 상세한 설명이 첨부 도면을 참조로 이루어질 것이다. 이들 도면들은 실시형태를 묘사하며, 이들은 반드시 축척대로 그려진 것은 아니며 범위를 제한하는 것으로 간주되지 않는다. 일부 실시형태는 하기와 같은 첨부 도면을 사용함으로써 좀더 특수하고 상세히 설명될 것이다:

도 1은 예시적 실시형태에 따른, 표면-증대된 도핑 농도를 갖는 반도체 돌출부를 포함하는 능동 소자의 단면 입면도이고;

도 1a는 예시적 실시형태에 따른 공정 동안 도 1에 묘사된 능동 소자의 단면 입면도이고;

도 1b는 예시적 실시형태에 따른 추가 공정 후의 도 1a에 묘사된 능동 소자의 단면 입면도이고;

도 1c는 예시적 실시형태에 따른 추가 공정 후의 도 1b에 묘사된 능동 소자의 단면 입면도이고;

도 1d는 예시적 실시형태에 따른 추가 공정 후의 도 1c에 묘사된 능동 소자의 단면 입면도이고;

도 2는 실시형태에 따른 도 1의 삽도 2의 상세 부분이고;

도 3은 예시적 실시형태에 따른, 중간층에 표면-증대된 도핑 농도를 갖는 반도체 돌출부를 포함하는 능동 소자의 단면 입면도이고;

도 4는 일 실시형태에 따른 도 3의 삽도 4의 상세 부분이고;

도 5는 예시적 실시형태에 따른 공정 및 방법 흐름도이고;

도 6은 예시적 실시형태에 따른 컴퓨터 시스템의 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0003] 반도체 소자용 콘택트의 표면-근처 층을 도핑하여 콘택트 저항을 감소시키는 공정이 개시된다. 콘택트 표면-근처 층의 제조는 콘택트 표면의 표면 또는 표면-근처 도핑을 포함한다. 소스 및 드레인(S/D) 콘택트에 있어서 향상된 표면적은 콘택트에서의 전류 품질을 보존함으로써 콘택트의 저항을 감소시키는 결과를 초래한다.
- [0004] 개시된 실시형태는, 자연 산화물 형성, 식각 및 표면 세정 처리, 및 금속 퇴적 공정으로부터의 손상의 결과로서 발생할 수 있는, 반도체 소스/드레인의 표면-근처 층에서/표면-근처 층으로부터의 도펀트 비활성화/공핍을 저지한다. 이들 비활성화/공핍은 소자가 더 소형화됨에 따라 악화될 것으로 예상된다. 콘택트 저항은 표면-근처 도핑 농도에 반비례한다. 따라서, 개시된 실시형태는 소형화("스케일링되는" 것으로도 지칭됨)로 인한 콘택트 저항 증가를 경감시킨다.
- [0005] 콘택트 영역 및 소자 크기가 스케일링됨에 따라, 개시된 실시형태들을 이용함으로써 2가지 영향을 감소시킨다. 첫째, 소스/드레인의 표면적-대-부피 비가 증가하고, 이는 자연 산화물 형성, 도펀트 활성화 어닐링, 식각 및 표면 세정 처리, 및 금속 퇴적 공정으로부터의 손상의 영향으로 인해 더 많은 비율(fraction)의 도펀트가 비활성화/공핍되도록 유발할 수 있다. 둘째, 소스/드레인의 부피가 감소함에 따라, 도핑 농도의 상당한 변화를 유발하기 위해 필요한 도펀트 원자의 수가 감소할 것이다. 개시된 실시형태들은 이들 2가지 영향을 감소시켜서 표면-근처 층에 충분한 도핑 밀도가 유지되도록 초래하고 위치 간 변화(site-to-site variation)와 같은 더 큰 이질성을 초래한다. 표면-근처 층의 도핑 밀도는 콘택트 저항에 영향을 미치므로, 개시된 실시형태들은 감소된 콘택트 저항을 초래한다.
- [0006] 공정 실시형태에서, 트랜치를 개방하여 용기형 S/D 콘택트를 노출시킨다. 용기형 S/D 콘택트 상에 표면-도핑을 수행하고 콘택트 금속화물을 완료한다. 그 후에, 용기형 S/D의 표면에서 전류 전달 품질이 보존되고 심지어 향상되도록, 표면 도핑의 고체-상태의 표면-근처 확산을 유발하는 조건하에서 어닐링 공정을 수행한다.
- [0007] 공정 실시형태에서, 표면-도핑의 어닐링은 콘택트 금속화물이 완료되기 전에 수행한다.
- [0008] 유사한 구조에 유사한 접미사 참조 명칭이 제공될 수 있는 도면에 대해 언급할 것이다. 각종 실시형태의 구조를 좀더 명확하게 도시하기 위해, 본 명세서에 포함된 도면들은 표면-도핑 또는 표면-근처 도핑 콘택트로 제조된 집적 회로 칩의 도해이다. 따라서, 제조된 칩 기관의 실제 외형은 단독으로 또는 칩 패키지로, 예를 들어 현미경 사진에서, 예시된 실시형태의 특허청구된 구조를 여전히 포함하면서도 상이하게 나타날 수 있다. 또한, 도면은 예시된 실시형태를 이해하기에 유용한 구조만을 도시할 수 있다. 해당 분야에 공지된 추가 구조는 도면의 명료성을 유지하기 위해 포함되지 않았을 수 있다.
- [0009] 도 1은, 예시적 실시형태에 따른 반응 구역인, 표면-증대된 도핑 농도(114)를 갖는 반도체 돌출부(112)를 포함하는 능동 소자(100)의 단면 입면도이다. 반도체 기관(110)은 돌출부(112)가 위에 배치되도록 가공되었다. 일 실시형태에서, 돌출부(112)는 에피택셜 용기형 S/D 구조이다. 일 실시형태에서, 돌출부(112)는 트랜지스터용 에피택셜 S/D 콘택트 영역과 같은 용기형 S/D 구조(112)이다. 반응 구역(114)은 중간 유전체(ILD) 층(118)의 리세스(recess)에 충전된 콘택트(116)와 돌출부(112) 사이에 보인다. ILD 층(118)은 게이트-레벨 ILD 층(118)으로 지칭될 수 있다. 돌출부(112)가 용기형 S/D 구조(112)일 경우, 게이트 구조(120)는 돌출부(112)에 인접하여 배치된다. 게이트 구조(120)의 세부는 게이트 유전체, 게이트 유전체 스페이서, 워드라인 및 게이트 유전체 캡을 포함할 수 있다.
- [0010] 다른 구조들도 또한 존재할 수 있다. 콘택트 인터커넥트(124)와 같은 금속화물이 제1 상호접속 ILD 층(122)에 배치된다. 다른 금속화물은 제2 상호접속 ILD 층(128)에 트레이스(trace)(126)로서 나타낸다.
- [0011] 일 실시형태에서, 반도체 기관(110)은, 이에 제한되지는 않지만 실리콘(Si), 실리콘 게르마늄(SiGe), 게르마늄

(Ge) 또는 III-V 화합물 반도체와 같은 반도체 재료이다. 반도체 기판(110)은 단결정성, 에피택셜 결정성 또는 다결정성일 수 있다. 일 실시형태에서, 반도체 기판(110)은 이에 제한되지는 않지만 SOI(silicon-on-insulator) 기판, 또는 실리콘, 실리콘 게르마늄, 게르마늄, III-V 화합물 반도체 및 그의 임의의 조합을 포함하는 다중층 기판과 같은 반도체 헤테로구조이다.

[0012] 능동 소자는 활성 표면에 위치하며, 이에 제한되지는 않지만 게이트, 트랜지스터, 정류기, 및 집적 회로의 일부를 형성하는 분리 구조와 같은 구성요소들을 지칭한다. 일 실시형태에서, 반도체 기판(110)은 캘리포니아주, 산타 클라라 소재의 인텔사(Intel Corporation of Santa Clara, California)에 의해 제조된 것과 같은 프로세서 다이의 반도체 부분이다.

[0013] 도 2는 일 실시형태에 따른 도 1의 삽도 2의 상세 부분(2)이다. 반도체 기판(110)은 반도체 돌출부(112)를 갖는 것으로 도시된다. 반응 구역(114)은 더욱 명료하게 하기 위해 굵게 윤곽을 그린다. 반응 구역(114)의 상세 부분은 표면-도핑 구조를 드러낸다. 도펀트 전이 구역(134)이 도펀트-빈약(dopant-lean) 구역(132)에 인접하여 도시된다. 그리고 도펀트-풍부 구역(136)이 도펀트 전이 구역(134)에 인접하여 도시된다.

[0014] 일 실시형태에서, 표면-도핑 구조는 대체로 균일하며, 예를 들어 표면 도펀트로 충분한 반응 시간에 의해 달성될 수 있다. 일 실시형태에서, 반응 구역(114)은 실질적으로 균일하며, 어닐링 공정의 길이 및 강도로 인해, 그리고 어닐링 전에 돌출부(112)의 표면에 존재하였던 표면-도핑 재료의 양으로 인해 요구되는 것과 같은 표면-근처 구조로서 유지된다.

[0015] 일 실시형태에서, 반응 구역(114)은 두께가 약 2-10 나노미터(nm)이다(X-방향에서 보았을 경우). 반응 구역(114)은 이 2-10 nm 두께 실시형태에 의해 돌출부에 표면적으로 확산된 것으로서 정량화될 수 있다. 반도체 원자 크기(예를 들어, 도핑 실리콘) 및 반도체 화합물 크기(예를 들어, III-V 재료)의 전류 절대 허용치에 대한 더욱더 작은 이러한 치수에 있어서, 공정 실시형태는, 도펀트 활성화 어닐링, 식각 및 표면 세정 처리 및 또한 금속 퇴적 공정으로부터의 손상으로 인해 예를 들어 자연 산화물을 형성할 수 있고 표면적을 손상시킬 수 있는, 유용한 반도체 재료의 비활성화 또는 공핍을 저지한다.

[0016] 도 1a는 예시적 실시형태에 따른 공정 동안 도 1에 묘사된 능동 소자의 단면 입면도이다. 능동 소자(101)는 반도체 기판(110) 및 그 위에 배치된 돌출부(112)를 포함한다. 게이트 구조(120)가 묘사되지만, 이는 희생물이며, 정해진 유용한 공정 체계에 따라, 이후의 공정 동안 대체 게이트로 대체될 더미 구조일 수 있다.

[0017] 예를 들어 방향성 식각에 의해 게이트-레벨 ILD 층(118)에 리세스(138)를 개방하였다. 리세스(138)는 X-Z 차원에서 보았을 때 테이퍼형 폼 팩터(tapered form factor)를 나타낸다. 일 실시형태에서, 리세스(138)는, 예를 들어 돌출부가 반도체 기판(110)의 도핑에 비해 상이하게 도핑된 에피택셜 구조인 경우와 같이, 돌출부(112)를 남기는 것에 선택적인 식각 공정에 의해 개방된다. 결과적으로, 식각-선택 결과는, 식각이 돌출부(112) 및 반도체 기판(110)을 남기는 것에 선택적이지만 ILD 층(118)은 제거하는 경우에 달성될 수 있다. 추가 표면 공정을 용이하게 하기 위해 중심 노출부에 돌출부(112)를 노출시키도록 주의를 기울여 리세스(138)를 식각한다. 일 실시형태에서, 리세스(138)는 콘택트 트랜치(138)이다. 일 실시형태에서, 리세스(138)는 콘택트 비아(138)이다.

[0018] 도 1b는 예시적 실시형태에 따른 추가 공정 후의 도 1a에 묘사된 능동 소자의 단면 입면도이다. 돌출부(112) 위에 표면-도핑 전구체 구조(130)를 형성함으로써 능동 소자(102)를 가공하였다.

[0019] 일 실시형태에서, 표면-도핑 전구체 구조(130)가 예를 들어 게르마늄-포함 돌출부(112)를, 돌출부(112)의 표면에 부착되는 P-형 도펀트 액체와 접촉시킴으로써 습식 화학 처리에 의해 형성된다.

[0020] 일 실시형태에서, 표면-도핑 전구체 구조(130)는 기상 처리에 의해 형성된다. 예를 들어, ALD(atomic-layer deposition) 처리에 의한 기상 처리를 사용하여 표면-도핑 전구체 구조(130)를 형성한다. 한 예시적 실시형태에서, CVD(chemical vapor deposition) 처리에 의한 기상 처리를 사용하여 표면-도핑 전구체 구조(130)를 형성한다. 한 예시적 실시형태에서, PECVD(plasma-enhanced chemical vapor deposition) 처리에 의한 기상 처리를 사용하여 표면-도핑 전구체 구조(130)를 형성한다. 한 예시적 실시형태에서, 스퍼터링 처리로도 지칭될 수 있는 PVD(physical vapor deposition) 처리에 의한 기상 처리를 사용하여 표면-도핑 전구체 구조(130)를 형성한다. 한 예시적 실시형태에서, 표면-도핑 전구체 구조(130) 내에 성장하는 인-시튜 에피택셜 막을 성장시키는 기상 처리를 사용하여 표면-도핑 전구체 구조(130)를 형성한다.

[0021] 예시적 실시형태에서, 저-에너지 플라즈마 조건하에서 돌출부(112)를 표면 주입하기 위해 이온-주입 공정을 수행한다. "저-에너지 플라즈마"는, 도펀트 원자가 돌출부(112)의 중심보다 돌출부(112)의 표면에 더 가깝게 매



립도도록, 가속화되어 돌출부(112)의 표면에 충돌하는 이온화 도펀트 원자를 끌어당기기 위해 전기적 바이어스를 반도체 소자 상에 인가함을 의미한다.

- [0022] 도펀트 재료를 돌출부(112)의 표면-근처 영역에 몰아넣고, 공정 조건 동안 예를 들어 자연 산화물이 형성되는 것과 같이 발생할 수 있는 도펀트-풍부 구역(136)에 대한 손상을 방지하기 위해 표면-도핑 전구체(130)에 열 공정을 수행한다.
- [0023] 도 1c는 예시적 실시형태에 따른 추가 공정 후의, 도 1b에 묘사된 능동 소자의 단면 입면도이다. 일 실시형태에서, 콘택트(116)가 형성될 때까지 도펀트-풍부 구역(136)(도 2 참조)이 형성되지 않는다. 이러한 공정 실시형태 조건하에서, 표면-도핑 전구체 구조(130)에 대한 손상은, 표면-근처 어닐링에 의한 도펀트-풍부 구역(136)의 형성이 연기될 수 있는 정도의 충분히 적은 양이다.
- [0024] 공정 실시형태에서, 돌출부(112)를 어닐링하기 위해 플래시 램프가 사용된다. 플래시 램프는 전자기 스펙트럼의 일부에 걸친 파장을 갖는 복사로 구성된 전자기 복사를 사용한다. 공정 실시형태에서, 전구체(130)를 갖는 돌출부(112)를 노출시키기 위해 사용된 전자기 복사는 전자기 스펙트럼의 자외선 영역(즉, 10 내지 400 nm)에 상응하는 파장을 갖는 복사를 포함한다. 이러한 전자기 복사는 가시광 스펙트럼(즉, 400 내지 750 nm) 및 심지어 적외선 스펙트럼(즉, 750 nm 내지 100  $\mu\text{m}$ )까지도 추가로 포함할 수 있다.
- [0025] 일 실시형태에서, 수 마이크로초( $\mu\text{s}$ ) 내지 수백 밀리초(ms) 범위의 전자기 복사가 돌출부(112)에 충돌한다. 예를 들어, 한 번의 플래시 어닐링 공정은 적어도  $0.015 \text{ J/cm}^2$  (Joule per square centimeter)의 전력 레벨에서 10 밀리초 미만 동안 강력한 전자기 복사를 사용한다.
- [0026] 도 1d는 예시적 실시형태에 따른 추가 공정 후의, 도 1b에 묘사된 능동 소자의 단면 입면도이다. 일 실시형태에서, 콘택트를 형성하기 전에 도펀트-풍부 구역(136)을 예비-처리한다. 이러한 공정 실시형태 조건하에서, 유용한 표면 콘택트를 획득하기 위해 표면-도핑 전구체 구조(130)(도 1b 참조)에 대한 손상을 방지한다. 개시된 실시형태 또는 종래의 기술에 따른 플래시 어닐링에 의해 공정을 수행할 수 있다.
- [0027] 도 3은 예시적 실시형태에 따라, 중간층(392)에 표면-증대된 도핑 농도(314)를 갖는 반도체 돌출부(312)를 포함하는 능동 소자(300)의 단면 입면도이다. 반도체 기관(310)은 돌출부(312)가 위에 배치되도록 가공되었다. 일 실시형태에서, 돌출부(312)는 에피택셜 용기형 S/D 구조이다. 일 실시형태에서, 돌출부(312)는 트랜지스터용 에피택셜 S/D 콘택트 영역과 같은 용기형 S/D 구조(312)이다.
- [0028] 도 4는 일 실시형태에 따른, 도 3의 삽도 4의 상세 부분(4)이다. 반도체 기관(310)은 반도체 돌출부(312)를 갖는 것으로 도시된다. 반응 구역(314)은 좀더 명료하게 하기 위해 굵게 윤곽을 그린다. 반응 구역(314)의 더 상세한 부분은 중간층(392), 가능한 전이 구역(390) 및 표면-근처 영역 콘택트 층(336)의 표면-도핑 구조를 나타낸다.
- [0029] 일 실시형태에서, 반응 구역(314)은 두께가 약 2-10 nm이다(X-방향에서 보았을 경우). 반도체 원자 크기(예를 들어, 도핑 실리콘) 및 반도체 화합물 크기(예를 들어, III-V 재료)의 전류 절대 허용치에 대한 더욱더 작은 이러한 치수에 있어서, 공정 실시형태는, 도펀트 활성화 후 어닐링, 식각 및 표면 세정 처리 및 또한 금속 퇴적 공정으로부터의 손상으로 인해 예를 들어 자연 산화물을 형성할 수 있고 표면적을 손상시킬 수 있는, 유용한 반도체 재료의 비활성화 또는 공핍을 저지한다.
- [0030] 반응 구역(314)은 돌출부(312)와, ILD 층(318)의 리세스에 충전된 콘택트(316) 사이에 도시된다. 반응 구역(314)의 일부는 절연체 또는 반도체로서 작용하는 중간층(392)을 포함한다. 예를 들어, 고체-상태 도핑은 반응 구역(314)으로부터 유래된 중간층(392)을 포함한다. 공정 동안, 중간층(392)의 일부는 돌출부(312)의 도핑에 소비되어 표면-근처 영역 콘택트 층(336)을 형성하지만, 중간층(392)의 존재에 의해 제공되는, 돌출부(312)에서의 유용한 쇼트키 배리어 높이 감소를 제공하기 위해 충분한 도핑 재료가 잔류한다. 표면-근처 영역 콘택트 층(336)과 중간층(392) 사이에 전이 구역(390)을 확인할 수 있다.
- [0031] 예시적 실시형태에서, 돌출부(312)는 Si, SiGe 또는 Ge와 같은 재료이며 As와 같은 재료로 도핑된 n-형이다. 예시적 실시형태에서, 돌출부는 III-V InGaAs 재료이며 Si, Ge 또는 Tl과 같은 재료로 도핑된 n-형이다. 중간층(392)이 돌출부(312)상에 형성되어 NMOS 소자의 콘택트 저항을 감소시킨다. 예시적 실시형태에서, III-V InAs 중간층(392)이 돌출부(312)상에 형성되어 NMOS 소자의 콘택트 저항을 감소시킨다.
- [0032] 결과적으로, 도펀트 종은 돌출부(312)의 조성을 기초로 선택된다. 어닐링 동안의 Si- 또는 Ge-계 돌출부(312)(Si, SiGe 또는 Ge)에 대한 예시적 실시형태에서, 중간층 전구체의 부분 붕괴(예를 들어, 중간층(392)이



돌출부(312)상에 형성되어 As의 콘택트 저항을 감소시킴)는 비소가 돌출부(312)로 확산되도록 유발하여 돌출부의 표면-근처 영역의 도핑을 증대시키는 한편, 중간층 전구체의 일부는 잔류하여 쇼트키 배리어-높이 감소 실시 형태를 제공한다.

- [0033] 액체 도펀트 전구체에 의한 습식 화학 처리의 공정 실시형태를 실시하여 중간층(392)을 달성할 수 있음이 이제 이해될 것이다. 이러한 공정 실시형태는 도 1a, 1b, 1c 및 1d에 묘사된 공정과 동일하거나 유사할 수 있다. 기상 퇴적 도펀트 전구체에 의한 기상 화학 처리의 공정 실시형태를 실시하여 중간층(392)을 달성할 수 있음이 이제 이해될 수 있다. 도펀트 전구체의 이온 주입에 의해 이온주입 화학 처리의 공정 실시형태를 실시하여 중간층(392)을 달성할 수 있음이 이제 이해될 수 있다.
- [0034] ILD 층(318)은 게이트-레벨 ILD 층(318)으로 지칭될 수 있다. 돌출부(312)가 용기형 S/D 구조(312)일 경우, 게이트 구조(320)가 돌출부(312)에 인접하여 배치된다. 게이트 구조(312)의 세부 구조는 게이트 유전체, 게이트 유전체 스페이서, 워드라인 및 게이트 유전체 캡을 포함할 수 있다.
- [0035] 다른 구조도 또한 존재할 수 있다. 콘택트 인터커넥트(324)와 같은 금속화물이 제1 상호접속 ILD 층(322)에 배치된다. 다른 금속화물은 제2 상호접속 ILD 층(328)의 트레이스(326)로서 나타낸다.
- [0036] 도 5는 예시적 실시형태에 따른 공정 및 방법 흐름도(500)이다. 공정은 수 개의 단계로 요약되며, 완전한 공정 세부사항을 포함하는 것을 의도하지 않는다.
- [0037] 단계 510에서, 공정은 다이의 반도체 기판상에 돌출부를 형성하는 단계를 포함한다.
- [0038] 단계 520에서, 공정은 ILD에 콘택트 리세스를 개방하여 돌출부를 노출시키는 단계를 포함한다.
- [0039] 단계 530에서, 공정은 도펀트로 돌출부를 표면-도핑하는 단계를 포함한다. 일 실시형태에서, 표면-도핑은 습식-화학 처리된다. 일 실시형태에서, 표면-도핑은 기상 처리된다. 일 실시형태에서, 표면-도핑은 이온주입 처리된다. 비제한적인 예시적 실시형태에서, 표면-도핑은 중간층(392) 및 도핑-풍부 구역(336) 모두를 생성하여 두 콘택트 저항 모두가 감소하고 유용한 쇼트키 배리어 높이 감소가 달성되도록 구성된다.
- [0040] 단계 540에서, 공정은 표면 도펀트를 돌출부로 표면 확산하도록 처리하는 단계를 포함한다. 비제한적인 예시적 실시형태에서, 열 처리는 처리 시간이 1초 미만으로 지속되는 플래시 어닐링을 포함한다.
- [0041] 단계 550에서, 공정은 표면 도펀트를 돌출부로 표면 확산하도록 처리하는 단계를 포함한다. 단계 550에서의 공정은, 도펀트를 몰아넣음으로써 콘택트의 표면을 산화 및 다른 공정 노출로부터 보호하는 공정 동안의 유용한 단계에 따라, 돌출부를 콘택트 금속화물과 접촉시키는 단계에 선행할 수 있다는 것에 주목한다.
- [0042] 단계 560에서, 방법 실시형태는 다이를 도 6에 묘사된 컴퓨터 시스템(600)과 같은 컴퓨터 시스템에 설치하는 단계를 포함한다.
- [0043] 도 6은 일 실시형태에 따른 컴퓨터 시스템의 개략도이다. 묘사된 바와 같은 컴퓨터 시스템(600)(전자 시스템(600)으로도 지칭됨)은 본 명세서에 서술된 바와 같은 수 개의 개시된 실시형태 및 그의 균등물 중 임의의 것에 따른 표면-도핑 콘택트를 포함할 수 있다. 표면-도핑 콘택트를 포함하는 장치가 컴퓨터 시스템에 조립된다.
- [0044] 컴퓨터 시스템(600)은 스마트폰일 수 있다. 컴퓨터 시스템(600)은 태블릿 컴퓨터일 수 있다. 컴퓨터 시스템(600)은 넷북 컴퓨터와 같은 모바일 장치일 수 있다. 컴퓨터 시스템(600)은 데스크톱 컴퓨터일 수 있다. 컴퓨터 시스템(600)은 자동차에 포함될 수 있다. 컴퓨터 시스템(600)은 텔레비전에 포함될 수 있다. 컴퓨터 시스템(600)은 DVD 플레이어에 포함될 수 있다. 컴퓨터 시스템(600)은 디지털 캠코더에 포함될 수 있다.
- [0045] 일 실시형태에서, 전자 시스템(600)은 전자 시스템(600)의 각종 구성요소들을 전기적으로 연결하기 위한 시스템 버스(620)를 포함하는 컴퓨터 시스템이다. 시스템 버스(620)는 단일 버스, 또는 각종 실시형태에 따른 버스들의 임의의 조합이다. 전자 시스템(600)은 집적 회로(610)에 전력을 제공하는 전압원(630)을 포함한다. 일부 실시형태에서, 전압원(630)은 시스템 버스(620)를 통해 집적 회로(610)에 전류를 공급한다.
- [0046] 집적 회로(610)는 시스템 버스(620)에 전기적으로 연결되며 임의의 회로, 또는 실시형태에 따른 회로들의 조합을 포함한다. 일 실시형태에서, 집적 회로(610)는 표면-도핑 콘택트 실시형태를 포함하는 임의의 종류의 장치일 수 있는 프로세서(612)를 포함한다. 본 명세서에 사용된 바와 같이, 프로세서(612)는 이에 제한되지는 않지만 마이크로프로세서, 마이크로컨트롤러, 그래픽 프로세서, 디지털 신호 프로세서 또는 다른 프로세서와 같은 임의의 종류의 회로를 의미할 수 있다. 일 실시형태에서, 프로세서(612)의 메모리 캐쉬에서 SRAM 실시형태가 확인된다. 집적 회로(610)에 포함될 수 있는 다른 종류의 회로는, 휴대폰, 스마트폰, 페이지, 휴대용 컴퓨터,

송수신 겸용 라디오 및 다른 전자 시스템과 같은 비-등가(non-equivalent) 무선 장치에 사용하기 위한 통신 회로(614)와 같은, 주문형 회로 또는 ASIC(application-specific integrated circuit)이다. 일 실시형태에서, 프로세서(610)는 SRAM(static random-access memory)과 같은 온-다이(on-die) 메모리(616)를 포함한다. 일 실시형태에서, 프로세서(610)는 eDRAM(embedded dynamic random-access memory)과 같은 내장형 온-다이 메모리(616)를 포함한다. 개시된 표면-도핑 콘택트 실시형태 및 그들의 업계 공지 균등물은 eDRAM의 내장 메모리 셀이다.

[0047] 일 실시형태에서, 집적 회로(610)는 본 명세서에 서술된 바와 같은 그래픽 프로세서 또는 무선 주파수 집적 회로 또는 둘 모두와 같은 후속 집적 회로(611)로 보완된다. 일 실시형태에서, 집적 회로는 제1 다이에 존재하며, 후속 집적 회로는 SoP(system-on-package)와 같이 제1 다리와 패키징된 제2 다이에 존재한다. 일 실시형태에서, 집적 회로는 다이의 제1 섹터에 존재하고, 후속 집적 회로는 인텔 코드명 SandyBridge™ 프로세서 다리와 같은 로직-그래픽 SoC(system-on-chip) 다리와 같은 다이의 제2 섹터에 존재한다. 일 실시형태에서, 듀얼 집적 회로(611)는 임의의 개시된 표면-도핑 콘택트 메모리 셀 실시형태를 갖는 eDRAM과 같은 내장형 온-다이 메모리(617)를 포함한다. 듀얼 집적 회로(611)는 RFIC 듀얼 프로세서(613) 및 듀얼 통신 회로(615), 및 SRAM과 같은 듀얼 온-다이 메모리(617)를 포함한다. 일 실시형태에서, 듀얼 통신 회로(615)는 특히 RF 공정을 위해 구성된다.

[0048] 일 실시형태에서, 집적 회로(611) 및 적어도 하나의 수동 소자가, 집적 회로(610) 및 집적 회로(611)를 포함하는 표면-도핑 콘택트를 포함하는 임의의 장치 실시형태의 일부가 되도록, 적어도 하나의 수동 소자(680)가 후속 집적 회로(611)에 연결된다. 일 실시형태에서, 적어도 하나의 수동 소자는 태블릿 또는 스마트폰용 가속도계와 같은 센서이다.

[0049] 일 실시형태에서, 전자 시스템(600)은 본 명세서에 서술된 임의의 표면-도핑 콘택트 실시형태와 같은 안테나 요소(682)를 포함한다. 안테나 요소(682)를 사용함으로써, 텔레비전과 같은 원격 장치(684)를 장치 실시형태에 의해 무선 링크를 통해 원격으로 작동할 수 있다. 예를 들어, 무선 링크를 통해 작동하는 스마트폰 상에서의 애플리케이션은, 예를 들어 Bluetooth® 기술에 의해 명령을 약 30 m의 거리까지 텔레비전에 명령을 브로드캐스트한다. 일 실시형태에서, 원격 장치(들)은 안테나 요소(들)가 수신기로서 구성된 위성 GPS(global positioning system)를 포함한다.

[0050] 일 실시형태에서, 전자 시스템(600)은 또한 외부 메모리(640)를 포함하고, 이 외부 메모리는 RAM 형태의 주 메모리(642), 하나 이상의 하드 드라이브(644), 및/또는 디스켓, CD(compact disks), DVD(digital variable disks), 플래시 메모리 드라이브 및 업계에 공지된 다른 이동식 매체와 같은 이동식 매체(646)를 다루는 하나 이상의 드라이브와 같은, 특정 응용에 적합한 하나 이상의 메모리 요소를 포함할 수 있다. 일 실시형태에서, 외부 메모리(640)는 임의의 개시된 실시형태에 따른 표면-도핑 콘택트를 포함하는 장치인 내장 메모리(648)이다.

[0051] 일 실시형태에서, 전자 시스템(600)은 또한 디스플레이 장치(650) 및 오디오 출력부(660)를 포함한다. 일 실시형태에서, 전자 시스템(600)은 키보드, 마우스, 터치 패드, 키패드, 트랙볼(trackball), 게임 제어기, 마이크론 폰, 음성-인식 장치, 또는 전자 시스템(600)에 정보를 입력하는 임의의 다른 입력 장치일 수 있는, 제어기(670)와 같은 입력 장치를 포함한다. 일 실시형태에서, 입력 장치(670)는 카메라를 포함한다. 일 실시형태에서, 입력 장치(670)는 디지털 녹음기를 포함한다. 일 실시형태에서, 입력 장치(670)는 카메라 및 디지털 녹음기를 포함한다.

[0052] 기초 기관(690)은 컴퓨터 시스템(600)의 일부일 수 있다. 기초 기관(690)은 표면-도핑 콘택트 실시형태를 갖는 다이를 포함하는 장치를 지지하는 마더보드이다. 일 실시형태에서, 기초 기관(690)은 표면-도핑 콘택트 실시형태를 갖는 다이를 포함하는 장치를 지지하는 보드이다. 일 실시형태에서, 기초 기관(690)은 파선(690) 내에 망라된 기능들 중 적어도 하나를 포함하고 무선 커뮤니케이터(communicator)의 사용자 셸(shell)과 같은 기관이다.

[0053] 본 명세서에 도시된 바와 같이, 집적 회로(610)는, 다수의 상이한 실시형태로, 수 개의 개시된 실시형태 및 그들의 균등물 중 임의의 것에 따른 표면-도핑 콘택트를 갖는 다이를 포함하는 장치, 전자 시스템, 컴퓨터 시스템, 집적 회로를 제조하는 하나 이상의 방법, 및 각종 실시형태 및 그들의 업계 공지 균등물에서 본 명세서에서 서술된 바와 같은 수 개의 개시된 실시형태 중 임의의 것에 따른 표면-도핑 콘택트를 갖는 다이를 포함하는 장치를 제조 및 조립하는 하나 이상의 방법으로 구현될 수 있다. 요소, 재료, 기하학적 구조, 치수 및 공정 순서는 모두 표면-도핑 콘택트 실시형태 및 그들의 균등물을 갖는 다이를 포함하는 특정 I/O 연결 요건에 맞추

기 위해 변화할 수 있다.

[0054] 비록 다이가 프로세서 칩을 지칭할 수는 있지만, 동일한 문장에서 SoC(system-on-chip), RF 칩, RFIC 칩 또는 메모리 칩이 언급될 수 있으며, 그렇다고 이들이 동등한 구조인 것으로 해석되지 않아야 한다. 본 명세서 전체에 걸쳐 "한 실시형태" 또는 "실시형태"라고 지칭하는 것은 실시형태와 관련하여 설명된 특정 피처(feature), 구조 또는 특징이 본 발명의 적어도 한 실시형태에 포함됨을 의미한다. 본 명세서 전체에 걸쳐 도처에서 문구 "한 실시형태에서" 또는 "실시형태에서"라고 나타내는 것은 반드시 모두 동일한 실시형태를 지칭하는 것이 아니다. 또한, 하나 이상의 실시형태에서 특정 피처, 구조 또는 특징들이 임의의 적절한 방식으로 조합될 수 있다.

[0055] "상부" 및 "하부", "위에" 및 "아래에"와 같은 용어는 예시된 X-Z 좌표를 참조함으로써 이해될 수 있으며, "인접한"과 같은 용어는 X-Y 좌표 또는 비-Z 좌표를 참조함으로써 이해될 수 있다.

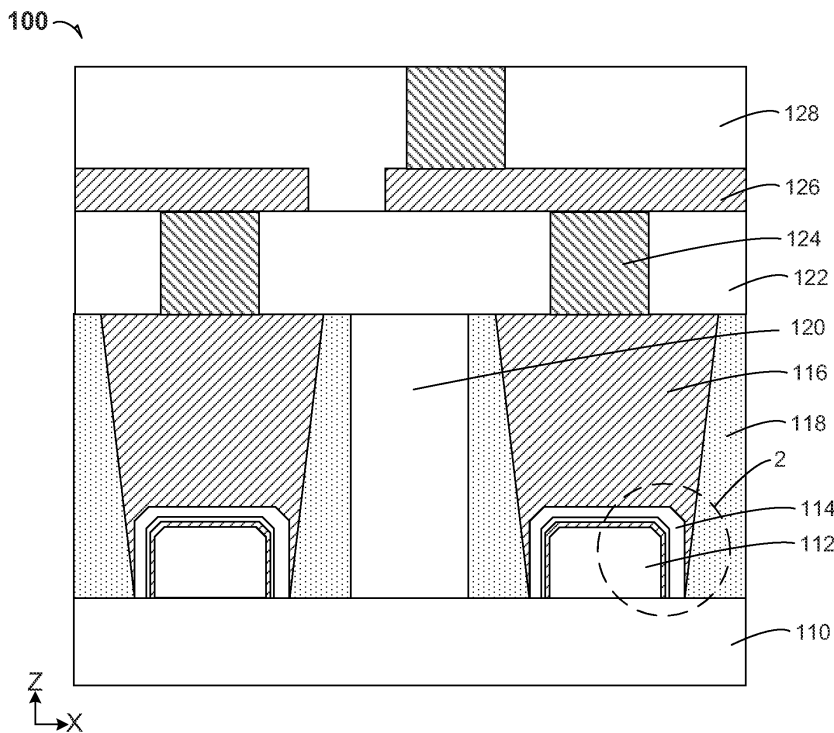
[0056] 독자가 기술적 개시내용의 본질 및 요지를 빠르게 확인하는 것이 가능하도록 하는 요약요를 요구하는 37 C.F.R. § 1.72(b)를 준수하기 위해 요약서가 제공된다. 이는 특허청구항의 범위 또는 의미를 해석하거나 제한하기 위해 사용되지 않을 것이라는 이해와 함께 제출된다.

[0057] 상기 상세한 설명에서, 개시 내용을 간소화할 목적으로 단일 실시형태에서 각종 피처들이 함께 그룹화된다. 이러한 개시 방법은 본 발명의 특허청구된 실시형태가 각 청구항에서 명시적으로 인용된 것보다 더 많은 피처를 필요로 하는 의도를 반영하는 것으로 해석되지 않아야 한다. 오히려, 후속하는 청구항이 반영하는 바와 같이, 신규한 주제(subject matter)는 개시된 단일 실시형태의 모든 피처보다 더 적게 존재한다. 따라서, 후속하는 청구항은 상세한 설명에 포함되며, 각 청구항은 별도의 바람직한 실시형태로서 독립적이다.

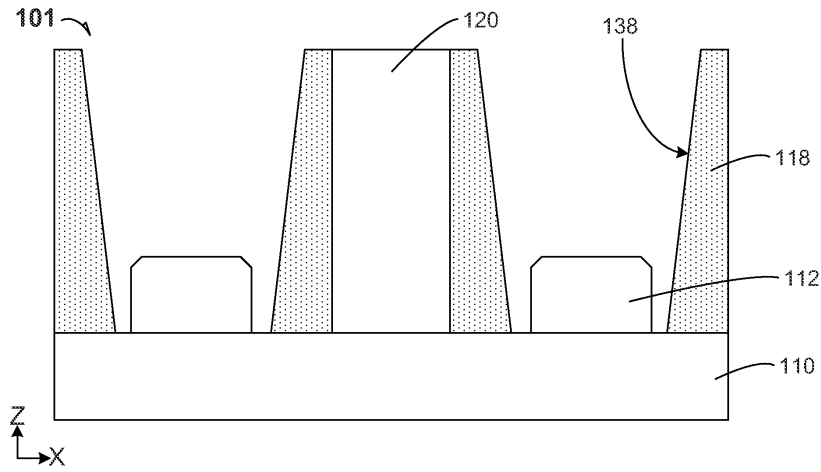
[0058] 본 발명의 본질을 설명하기 위해 설명 및 예시되었던 부품들 및 방법 단계들의 상세내용, 재료 및 배열에 있어서, 첨부 청구항에 표현된 바와 같은 본 발명의 원리 및 범위에서 벗어나지 않고 각종 다른 변경들이 이루어질 수 있음을 당업자는 쉽게 이해할 것이다.

**도면**

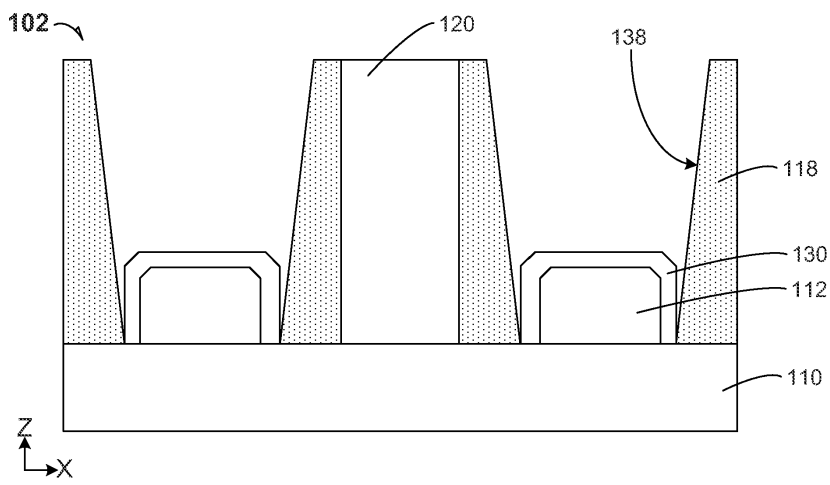
**도면1**



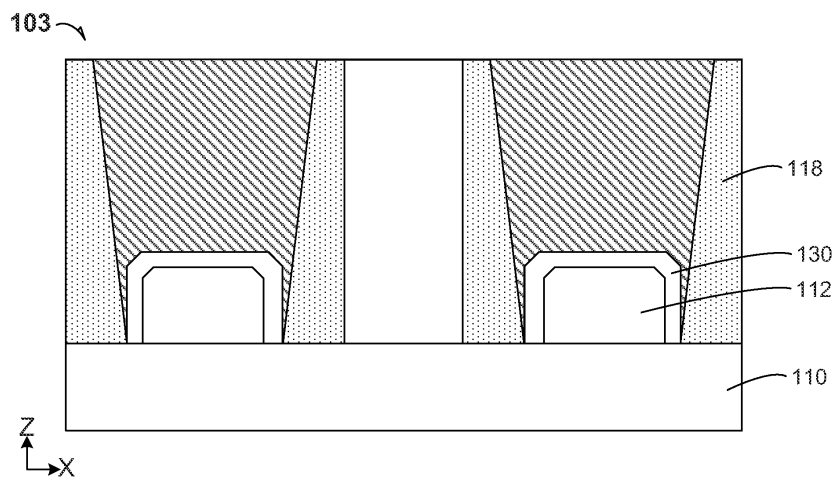
도면1a



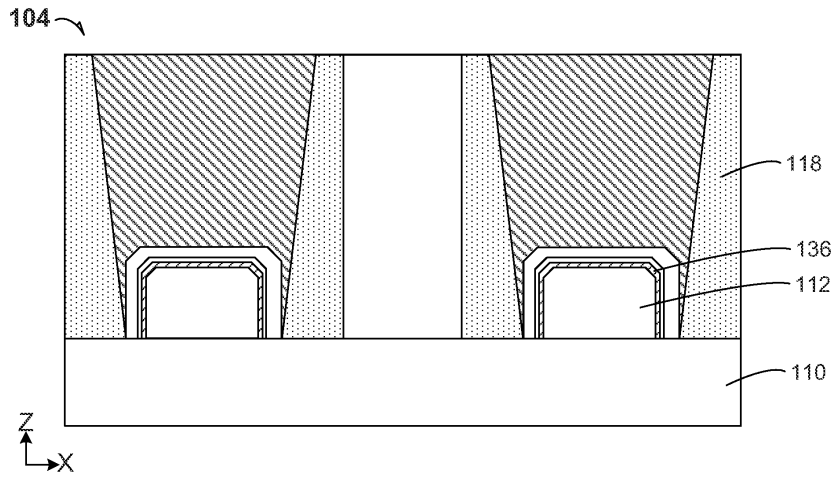
도면1b



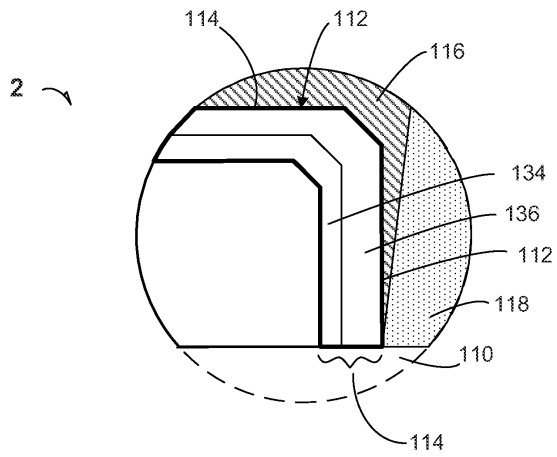
도면1c



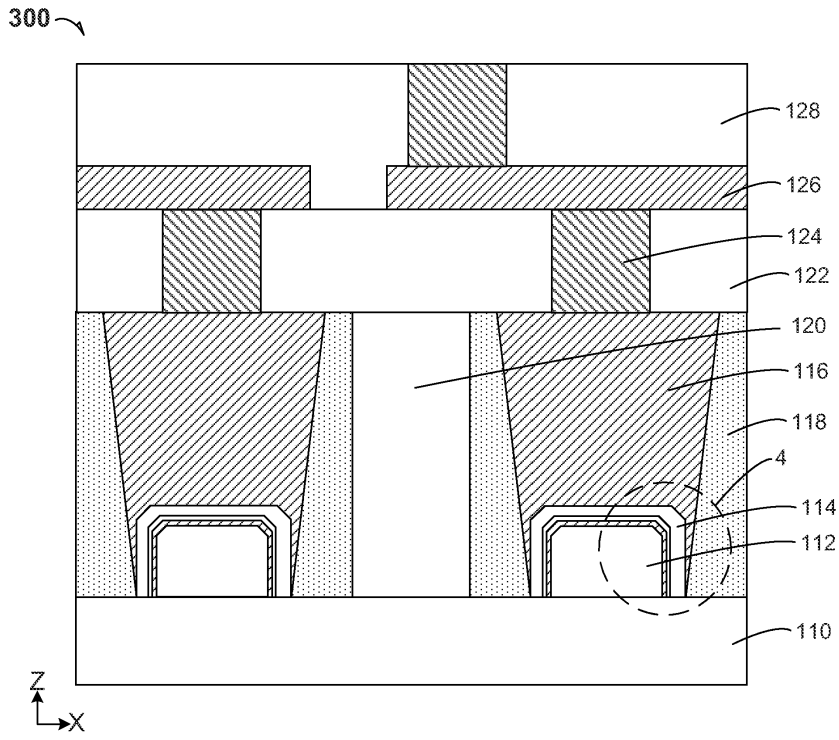
도면1d



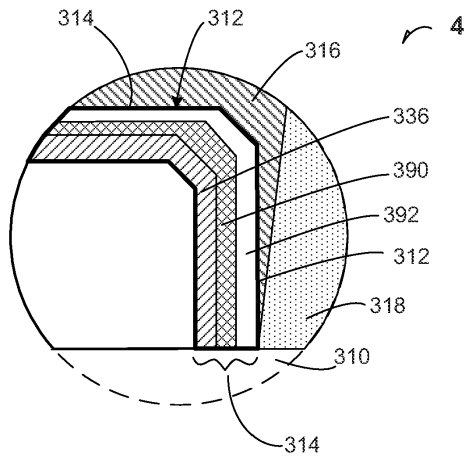
도면2



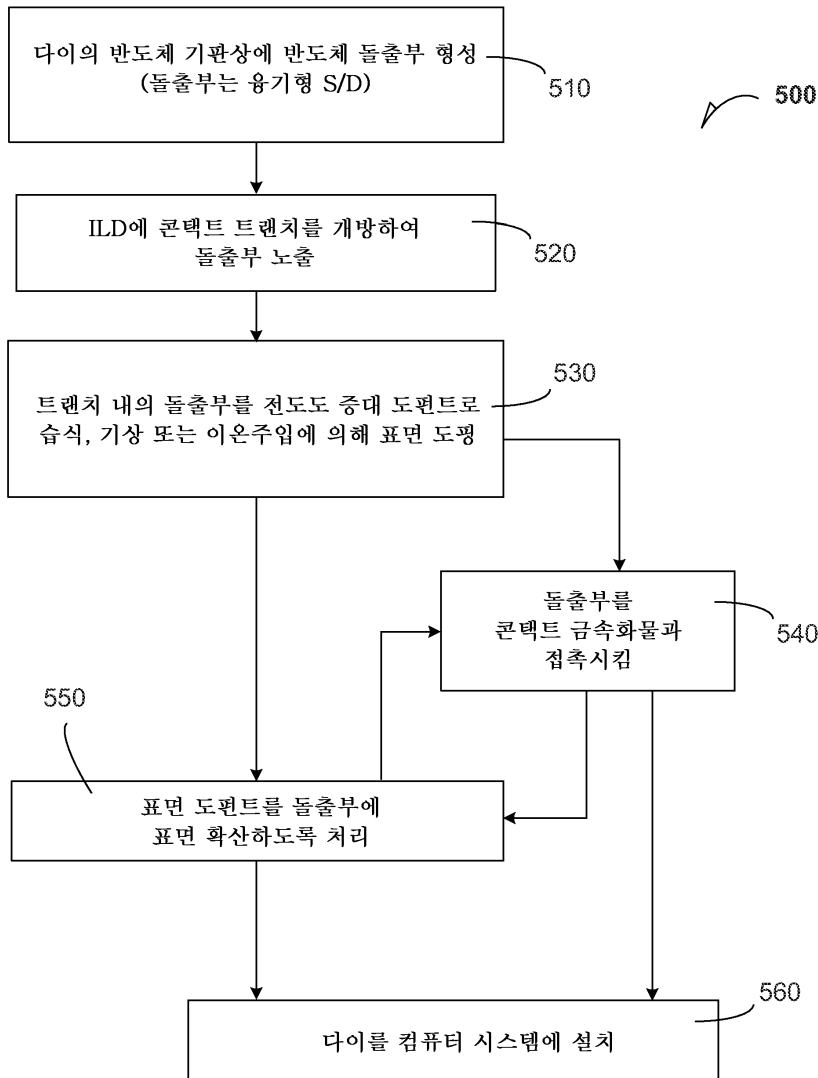
도면3



도면4



도면5





도면6

