



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 699 33 984 T2** 2007.10.04

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 028 530 B1**

(21) Deutsches Aktenzeichen: **699 33 984.7**

(96) Europäisches Aktenzeichen: **99 118 863.2**

(96) Europäischer Anmeldetag: **24.09.1999**

(97) Erstveröffentlichung durch das EPA: **16.08.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **15.11.2006**

(47) Veröffentlichungstag im Patentblatt: **04.10.2007**

(51) Int Cl.<sup>8</sup>: **H03M 1/66** (2006.01)  
**G09G 3/36** (2006.01)

(30) Unionspriorität:

**249600 12.02.1999 US**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(73) Patentinhaber:

**Agilent Technologies, Inc. (n.d.Ges.d. Staates  
Delaware), Santa Clara, Calif., US**

(72) Erfinder:

**Nishimura, Ken A., Fremont, CA 94555-2964, US;  
Blalock, Travis N., Charlottesville, VA 22911, US**

(74) Vertreter:

**BOEHMERT & BOEHMERT, 80336 München**

(54) Bezeichnung: **Mehrkanaliges, paralleles, aufeinander abgestimmtes Digital-Analog-Wandlungsverfahren und Wandler, und damit versehene analoge Treiberschaltung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung**

## Erfindungsgebiet

**[0001]** Die Erfindung betrifft Digital-Analog-Umwandlung und insbesondere Digital-Analog-Umwandlung, die Multikanal-Parallel-Digital-Analog-Wandler verwendet, die wenige bis viele tausend Kanäle mit jeweils genau abgeglichenen Umwandlungsscharakteristika umfassen.

## Hintergrund der Erfindung

**[0002]** Die wachsende Leistung von digitalen Signalverarbeitungsvorrichtungen („digital signal processors“, DSP) hat den Bedarf nach Analog-Digital-Wandlern zur Umwandlung analoger Signale, die ihren Ursprung in der physischen Welt haben, in Digitalsignale und Digital-Analog-Wandlern zur Zurückführung von digitalen Signalen in analoge Signale, die in der physischen Welt benötigt werden, gesteigert. Zugleich hat die gestiegene Prozessorleistung der DSP die Notwendigkeit geschaffen, den Durchsatz von Analog-Digital-Wandlern und Digital-Analog-Wandlern zu steigern. Ein Ansatz zur Steigerung der Geschwindigkeit eines Digital-Analog-Wandlers besteht darin, die Geschwindigkeit des Wandlers selbst zu steigern; ein anderer besteht darin, die Umwandlung mittels paralleler Signalwege durchzuführen. Während nicht alle Anwendungen sich für eine Umwandlung mittels paralleler Signalwege eignen, bietet eine Umwandlung mittels paralleler Signalwege für diejenigen, die dafür geeignet sind, Vorteile im Energieverbrauch, in der Leistung oder in beidem. Darüber hinaus kann eine Umwandlung mittels paralleler Signalwege eine schnellere Umwandlungsrate bereitstellen als die schnellsten Umwandlungsraten von einzelnen Wandlern.

**[0003]** Ein spezifisches Beispiel einer Anwendung, in der die Umwandlung mittels paralleler Signalwege gut einsetzbar ist, ist eine Arraystruktur. Eine Arraystruktur umfaßt üblicherweise Datenwege, die unabhängig in einer oder mehreren Dimensionen sind. Diese Struktur ermöglicht es, daß N Digital-Analog-Wandler, die parallel zueinander arbeiten, N parallele analoge Signale zum Füllen des Arrays erzeugen, anstatt einen einzigen Digital-Analog-Wandler zu verwenden, um sequentiell ein analoges Signal für jedes der Arrayelemente zu erzeugen.

**[0004]** Ein Beispiel einer Arraystruktur, bei dem die Verwendung von parallelen Digital-Analog-Wandlern Vorteile bietet, ist der Array von Pixelschaltungen in einem Miniatur-Videodisplay, der auf einem Lichtventil beruht, das ein ferroelektrisches Flüssigkristallmaterial verwendet. Ein solcher Miniatur-Videodisplay kann einen Teil einer tragbaren Brillenglas-Anzeige bilden, die, wenn sie am Videoausgang eines Computers, speziell eines Laptopcomputers, angeschlos-

sen wird, zur Darstellung von Computergrafiken verwendet werden kann, und die, wenn sie am Videoausgang eines Fernsehempfängers, eines Videokassettenabspielgeräts oder eines DVD-Abspielgeräts, besonders eines tragbaren DVD-Abspielgeräts, angeschlossen wird, zur Darstellung von Video verwendet werden kann. Eine solche Miniatur-Videoanzeige wird in EP 0 953 959 und EP 0 953 960 beschrieben. Eine Ausführungsform des Lichtventils einer solchen Miniatur-Videoanzeige umfaßt einen Array von  $1024 \times 768$  Pixeln, von denen jedes eine reflektierende Elektrode umfaßt, die von einer entsprechenden Pixelschaltung gesteuert wird. Die Pixelschaltung verwandelt einen analogen Abtastwert, der aus einem analogen Videosignal abgeleitet wurde, in ein Zwei-Zustand-Steuersignal mit einem Arbeitszyklus, der den Helligkeitseindruck des Pixels bestimmt.

**[0005]** Wenn die eben beschriebene Miniatur-Videoanzeige von einem herkömmlichen analogen Videosignal gesteuert wird, werden analoge Werten aus jeder Zeile des analogen Videosignals abgeleitet und über Spaltenbusse an die Pixelschaltungen in jeder der Reihen des Arrays verteilt. Vor kurzem wurde jedoch vorgeschlagen, die gerade beschriebene Videoanzeige als den Sucher einer Digitalkamera, die ein digitales Videosignal erzeugt, zu verwenden. Um die Videoanzeige zu steuern, muß das digitale Videosignal, das von der Kamera erzeugt wird, von einem Digital-Analog-Wandler in ein analoges Signal umgewandelt werden. Da die analogen Werte jeder der Zeilen des Videosignals über die Spaltenbusse verteilt werden, könnte die erforderliche Digital-Analog-Umwandlungsgeschwindigkeit erhalten werden, indem die Umwandlung unter Verwendung von 1024 parallelen Digital-Analog-Wandlern durchgeführt wird, je einer für jede Spalte.

**[0006]** Die inhärenten Fehlanpassungsprobleme von analogen Schaltungen bilden jedoch einen wesentlichen Nachteil bei der Verwendung von unabhängigen, parallelen Digital-Analog-Wandlern, wie sie gerade beschrieben wurden. Obwohl große Sorgfalt darauf verwendet werden kann, die Effekte von nicht-idealen Schaltungscharakteristika und physischer Fehlanpassung der Vorrichtungen zu minimieren, ist es meistens nicht möglich, die von diesen Faktoren hervorgerufenen Artefakte völlig zu vermeiden. In dem gerade beschriebenen Beispiel führen Fehlanpassungen unter den Digital-Analog-Wandlern zu vertikaler Streifen-Bildung in dem von der Miniatur-Videoanzeige erzeugten Bild. Eine solche vertikale Band-Bildung ist in Bildern ohne kleine Details leicht wahrnehmbar.

**[0007]** Techniken, die die Effekte von Fehlanpassung bei analogen Schaltungen abschwächen, existieren und werden oft auf einfache analoge Schaltungen, wie etwa Verstärker, angewandt. Die Anwendung solcher Abschwächungstechniken auf komple-

xe analoge Schaltungen, wie etwa Digital-Analog-Wandler, ist weniger offensichtlich, und benötigt normalerweise umfangreiche zusätzliche Schaltungen. Solche zusätzliche Schaltungen steigern den Leistungsverbrauch und die Kosten. Wenn eine Anwendung wie die, die oben beschrieben wurde, massiv parallele Digital-Analog-Umwandlung benötigt, werden die Korrekturtechniken, die zur Abschwächung der physischen Fehlanpassung der Vorrichtungen und der nicht-idealen Schaltungscharakteristika erforderlich sind, umständlich und schwer handhabbar.

**[0008]** Eine herkömmliche Methode, mehrfache parallele Digital-Analog-Umwandlungen durchzuführen, die die oben beschriebenen Fehlanpassungsprobleme vermeidet, besteht darin, einen einzelnen Digital-Analog-Wandler zu verwenden, dem ein digitaler Multiplexer vorgeschaltet ist und dem eine analoge Demultiplexer nachgeschaltet ist, wie in [Fig. 1](#) gezeigt ist. Hierbei umfaßt der Multikanal-Digital-Analog-Wandler **10** einen einzelnen Hochgeschwindigkeits-Digital-Analog-Wandler **12**, dem der digitale Multiplexer **14** vorgeschaltet ist und dem der analoge Demultiplexer **16** nachgeschaltet ist. Die N Eingänge des Multiplexers sind an die N parallelen digitalen Eingangsleitungen **18** angeschlossen. Der Ausgang des Multiplexers ist an den Eingang des Digital-Analog-Wandlers angeschlossen. Der analoge Ausgang des Digital-Analog-Wandlers ist an den Eingang des Demultiplexers angeschlossen. Die N Ausgänge des Demultiplexers sind an die N parallelen analogen Ausgangsleitungen **20** angeschlossen.

**[0009]** Der Multiplexer **14** multiplext die N Kanäle ( $N = 4$  in dem stark vereinfachten gezeigten Beispiel) der digitalen Eingangsdaten, die auf den parallelen Eingangsleitungen **18** empfangen werden, um einen einzelnen seriellen digitalen Eingang zu erzeugen. Der serielle digitale Eingang wird in den Digital-Analog-Wandler **12** eingespeist. Der Demultiplexer **16** demultiplext den analogen Ausgang von dem Digital-Analog-Wandler in die N parallelen analogen Ausgangsleitungen **20**.

**[0010]** Der in [Fig. 1](#) gezeigte Multikanal-Digital-Analog-Wandler vermeidet die Nachteile der mehrfachen, parallelen, unabhängigen Digital-Analog-Wandler, hat aber selbst drei wesentliche Nachteile. Erstens kann der Demultiplexer **16** Fehler zwischen seinem Eingang und seinen Ausgängen einführen, die für jeden Ausgang unterschiedlich sein können. Daher bietet dieser Ansatz keine vollständige Lösung für die oben beschriebenen Fehlanpassungsprobleme.

**[0011]** Zweitens werden die Anforderungen an die Betriebsgeschwindigkeit des Digital-Analog-Wandlers **12** schnell unerreichbar, wenn die Anzahl der parallelen Kanäle ansteigt. Beispielsweise würde eine

sequentielle Farb-Videoanzeige mit einer VGH-Auflösung, bei der  $N = 640$  ist, und einer Bildfolgefrequenz von 225 Hz ( $75 \text{ Hz} \times 3$  Primärfarben) normalerweise eine Zeilenfrequenz von 108 kHz haben. Unter Berücksichtigung des Schalt-Overheads erscheint eine Zeilenfrequenz von bis zu 200 kHz nicht als übertrieben. Um 640 analoge Werte pro Zeile bereitzustellen, müßte der Digital-Analog-Wandler **12** 128 Millionen Digital-Analog-Umwandlungen pro Sekunde durchführen. In Anzeigen mit höherer Auflösung kann N bis auf 2000 ansteigen, und die Zeilenfrequenz kann 1 MHz erreichen, wenn die Bildwiederholfrequenz weiterhin ansteigt. Solche Anzeigen würden es erfordern, daß der Digital-Analog-Wandler **12** mehr als 1 Milliarde ( $10^9$ ) Digital-Analog-Umwandlungen pro Sekunde ausführt. Es ist nicht durchführbar, solche Wandler mittels der heute gängigen CMOS-Technologie zu konstruieren. Des weiteren macht der Leistungsverbrauch solcher Hochgeschwindigkeitswandler sie für tragbare Anwendungen sehr unattraktiv.

**[0012]** Drittens werden, wegen der seriellen Umwandlungs-Verarbeitung, die vom Digital-Analog-Wandler **12** ausgeführt wird, die einzelnen parallelen analogen Ausgänge zu unterschiedlichen Zeitpunkten erzeugt und sind transitorisch. Um nicht-transitorische analoge Ausgänge zu erzeugen, müßte jeder analoge Ausgang zusätzlich eine Folge-und-Halte-Schaltung oder eine Abtast-und-Halte-Schaltung umfassen. Um analoge Ausgänge zu erzeugen, die gleichzeitig ihren Pegel wechseln, müßten die Folge-und-Halte-Schaltungen oder Abtast-und-Halte-Schaltungen getaktete Ausgänge aufweisen. Diese zusätzlichen Schaltungen würden die Komplexität des in [Fig. 1](#) gezeigten Digital-Analog-Wandlers wesentlich erhöhen.

**[0013]** Die oben beschriebene Anwendung des Suchers einer Digitalkamera könnte eine vereinfachte Version des in [Fig. 1](#) gezeigten Multikanal-Digital-Analog-Wandlers **10** verwenden, bei dem der Multiplexer **14** und der Demultiplexer **16** ausgelassen werden. Der Multiplexer kann ausgelassen werden, weil die Digitalkamera ein serielles digitales Videoausgangssignal erzeugt. Darüber hinaus besteht der Ausgang des Digital-Analog-Wandlers **12**, wenn in ihn das serielle digitale Ausgangssignal, das von der Kamera erzeugt wird, eingespeist wird, aus einem herkömmlichen analogen Videosignal. Schaltungen zum Ableiten von analogen Werten aus einem analogen Videosignal und zur Durchführung einer spaltenweisen Verteilung solcher analoger Werte existieren bereits in der Schaltung des Lichtventils. Dies erlaubt es, den Demultiplexer auszulassen. Ein solcher vereinfachter Digital-Analog-Wandler würde nicht unter dem oben beschriebenen Fehlanpassungsproblem des Demultiplexers leiden, weil dem Wandler ein Demultiplexer fehlt. Selbst in dieser Anwendung würde der in [Fig. 1](#) gezeigte Digital-Analog-Wandler jedoch

immer noch unter solchen Mängeln leiden, wie etwa der Schwierigkeit, den Digital-Analog-Wandler ausreichend schnell mit niedrigem Leistungsverbrauch arbeiten zu lassen, und der Notwendigkeit von zusätzlichen Schaltungen zum Halten der analogen Werte auf den Spaltenbussen.

**[0014]** JP 06 178 238 A offenbart eine Steuerschaltung für eine Flüssigkristallanzeige-Vorrichtung, in der ein digitales Videosignal, das aus n-Bit-Bildelement-Daten besteht, sequentiell in einer Schieberegister-Schaltung gespeichert wird, jeweils Zeile für Zeile, und anschließend in eine Latch-Schaltung eingespeist wird, in der das Signal während einer horizontalen Periode gespeichert wird. Jedes der Bildelement-Daten, das von der Latch-Schaltung in n Bits ausgegeben wird, wird mit Ausgabedaten eines n-adischen Zählers in einer digitalen Komparator-Schaltung verglichen, und ein übereinstimmender Impuls wird zu einem Zeitpunkt der Übereinstimmung für jedes der Bildelement-Daten erzeugt.

**[0015]** US 5 489 918 offenbart ebenfalls eine Steuerschaltung für eine Flüssigkristallanzeige, bei der in 128 parallelen Kanälen digitale Eingabedaten in analoge Signale umgewandelt werden. Jeder Kanal umfaßt einen digitalen Komparator, der ein Eingangssignal von einem vier-Bit-Zähler empfängt. Des weiteren wird jeder Kanal mit einem analogen Signal V (Rampe) versorgt, das speziell zugeschnittene Dimmbereiche ermöglicht. Das Signal V (Rampe) wird von einer Schaltung erzeugt, die einen digitalen Zähler umfaßt. Der digitale Zähler der Steuerschaltung für V (Rampe) ist jedoch separat von dem vier-Bit-Zähler, der an den digitalen Komparator in jedem Kanal angeschlossen ist.

**[0016]** JP 10 133 634 A offenbart einen linearen Multikanal-DAC, der ein Flüssigkristallanzeigeelement steuert.

**[0017]** Was daher benötigt wird, ist ein Multikanal-Digital-Analog-Wandler, der gut abgegliche analoge Ausgabesignale erzeugt, die zumindest während eines Teils jedes Umwandlungszyklus gleichzeitig gültig sind, der mittels herkömmlicher CMOS-Techniken konstruiert werden kann, und der einen Leistungsverbrauch aufweist, der mit Batteriebetrieb vereinbar ist.

**[0018]** Was ebenfalls benötigt wird ist ein Multikanal-Digital-Analog-Wandler, der einfach skaliert werden kann, um die unterschiedlichen Mengen von Digital-Analog-Umwandlungskanälen, die von einer Vielzahl verschiedener Anwendungen benötigt werden, bereitzustellen.

#### Abriss der Erfindung

**[0019]** Die Erfindung gibt ein Verfahren an, abgegliche

Digitale-Analog-Umwandlungen durchzuführen, bei dem in jedem von N parallelen Kanälen ein digitales Eingangswort in einen entsprechenden analogen Ausgang umgewandelt wird. In dem Verfahren wird eine digitale Sequenz erzeugt, und ein sich zeitlich änderndes analoges Signal mit einer vorbestimmten Beziehung zu der digitalen Sequenz wird in Reaktion auf die digitale Sequenz erzeugt. Die digitale Sequenz und das sich zeitlich ändernde analoge Signal werden an die N parallelen Kanäle verteilt. In jedem der N Kanäle wird das digitale Eingangswort mit der digitalen Sequenz digital verglichen, und das sich zeitlich ändernde analoge Signal wird, wenn die digitale Sequenz numerisch gleich dem digitalen Eingangswort ist, abgetastet, um den analogen Ausgang bereitzustellen.

**[0020]** Die Erfindung gibt außerdem einen Multikanal-Parallel-Abgleich-Digital-Analog-Wandler an, der in jedem von N Kanälen ein digitales Eingangswort empfängt und in Reaktion auf das digitale Eingangswort einen analogen Ausgang erzeugt. Der Digital-Analog-Wandler umfaßt einen Digitalsequenzgenerator, einen Analogsignalgenerator und, in jedem der N Kanäle, eine Kanalschaltung. Der Digitalsequenzgenerator erzeugt eine digitale Sequenz. Der Analogsignalgenerator arbeitet in Reaktion auf die digitale Sequenz, um ein sich zeitlich änderndes analoges Signal mit einer vorbestimmten Beziehung zu der digitalen Sequenz zur Verteilung an die N Kanäle zu erzeugen. Jede der Kanalschaltungen umfaßt einen digitalen Komparator und einen analogen Abtaster. Der digitale Komparator ist angeschlossen, um die digitale Sequenz und das digitale Eingangswort des Kanals zu empfangen, und ist konfiguriert anzugeben, wann die digitale Sequenz numerisch gleich dem digitalen Eingangswort ist. Der analoge Abtaster ist angeschlossen, um das sich zeitlich ändernde analoge Signal zu empfangen, arbeitet in Reaktion auf den digitalen Komparator und ist konfiguriert, einen Wert des sich zeitlich ändernden Signals als den analogen Ausgang des Kanals zu liefern, wenn der digitale Komparator angibt, daß die digitale Sequenz numerisch gleich dem digitalen Eingangswort ist.

**[0021]** Schließlich gibt die Erfindung eine analoge Steuerschaltung für eine Videoanzeige an. Die analoge Steuerschaltung wird in Reaktion auf ein digitales Videosignal betrieben, das in Zeilen angeordnete Vollbilder von digitalen Worten umfaßt. Die analoge Steuerschaltung umfaßt Pixelschaltungen, die in einem Array aus Reihen und Spalten angeordnet sind. Jede Pixelschaltung umfaßt einen Abtasteingang und einen Auswahleingang. Spaltenbusse verbinden die Abtasteingänge der Pixelschaltungen in jeweiligen Spalten des Arrays, und Reihen-Busse verbinden die Auswahleingänge der Pixelschaltungen in jeweiligen Reihen des Arrays. Eine Reihenauswahleinrichtung umfaßt Ausgänge, die mit entsprechenden Reihenbussen verbunden sind. Ein Video-Demultip-

lexer umfaßt einen zum Empfang des digitalen Videosignals angeschlossenen Eingang und den Spalten des Arrays entsprechende Ausgänge. Der Video-Multiplexer lenkt die digitalen Worte in den Zeilen des digitalen Videosignals zu jeweiligen Ausgängen. Jeder der Ausgänge empfängt eines der digitalen Worte in der Zeile als ein digitales Eingangswort. Schließlich umfaßt die analoge Steuerschaltung einen Multikanal-Digital-Analog-Wandler, der den Spalten des Arrays entsprechende Kanalschaltungen, einen Digitalsequenzgenerator, der eine digitale Sequenz erzeugt, und einen Analogsignalgenerator umfaßt. Der Analogsignalgenerator arbeitet in Reaktion auf die digitale Sequenz, um ein sich zeitlich änderndes analoges Signal mit einer vorbestimmten Beziehung zu der digitalen Sequenz zur Verteilung an die Kanalschaltungen zu erzeugen. Jede der Kanalschaltungen umfaßt einen digitalen Komparator und einen analogen Abtaster. Der digitale Komparator ist zum Empfang der digitalen Sequenz und des digitalen Eingangswortes von einem der Ausgänge des Video-Demultiplexers angeschlossen und konfiguriert anzugeben, wann die digitale Sequenz numerisch gleich dem digitalen Eingangswort ist. Der analoge Abtaster ist zum Empfang des sich zeitlich ändernden analogen Signals angeschlossen, umfaßt einen an einen der Spaltenbusse angeschlossenen analogen Ausgang und ist konfiguriert, einen analogen Wert des sich zeitlich ändernden analogen Signals an den analogen Ausgang zu liefern, wenn der digitale Komparator angibt, daß die digitale Sequenz numerisch gleich dem digitalen Eingangswort ist.

**[0022]** Die Digital-Analog-Wandler und das Digital-Analog-Umwandlungsverfahren, die in dieser Offenbarung beschrieben werden, verwenden eine einzige digitale Sequenz und ein einziges sich zeitlich änderndes analoges Signal, die allen Umwandlungskanälen gemeinsam sind. Das sich zeitlich ändernde analoge Signal wird in Reaktion auf die digitale Sequenz erzeugt und hat eine vorbestimmte Beziehung zu dieser. Eine Erhöhung der Anzahl von Kanälen, auf denen Digital-Analog-Umwandlung durchgeführt wird, erfordert keine Steigerung der Geschwindigkeit, mit der die digitale Sequenz und das sich zeitlich ändernde analoge Signal erzeugt werden. Statt dessen wird die Anzahl der Umwandlungskanäle erhöht, indem Kanalschaltungen hinzugefügt werden, je eine für jeden zusätzlichen Kanal. Auf diese Weise können ein Multikanal-Digital-Analog-Wandler und -Umwandlungsverfahren, die zur Durchführung von Digital-Analog-Umwandlungen in einer beliebigen Anzahl von Kanälen, im Bereich von einigen wenigen bis hin zu vielen tausend, geeignet sind, mit einer Anordnung realisiert werden, bei der das einzige sich zeitlich ändernde analoge Signal aus der digitalen Sequenz mit einer Verarbeitungsgeschwindigkeit abgeleitet wird, bei der hohe Genauigkeit und niedriger Leistungsverbrauch leicht erreicht werden können.

#### Kurze Beschreibung der Zeichnungen

**[0023]** [Fig. 1](#) ist ein Blockdiagramm eines herkömmlichen Multikanal-Digital-Analog-Wandlers.

**[0024]** [Fig. 2](#) ist ein Blockdiagramm, das einen Multikanal-Digital-Analog-Wandler nach der Erfindung zeigt.

**[0025]** [Fig. 3](#) ist ein Blockdiagramm einer bevorzugten Ausführungsform eines Multikanal-Digital-Analog-Wandlers nach der Erfindung.

**[0026]** [Fig. 4A-Fig. 4F](#) erläutern den Betrieb der Ausführungsform des Multikanal-Digital-Analog-Wandlers, der in [Fig. 3](#) gezeigt ist.

**[0027]** [Fig. 5A](#) ist ein Blockdiagramm einer analogen Steuerschaltung nach der Erfindung, die als Teil einer Miniatur-Videoanzeige verwendet werden kann.

**[0028]** [Fig. 5B](#) ist ein Blockdiagramm, das die Pixel-schaltung der in [Fig. 5A](#) gezeigten analogen Steuerschaltung zeigt.

**[0029]** [Fig. 6A-Fig. 6F](#) erläutern den Betrieb der in [Fig. 5A](#) gezeigten analogen Steuerschaltung.

#### Detaillierte Beschreibung der Erfindung

**[0030]** [Fig. 2](#) ist ein Blockdiagramm, das einen Multikanal-Digital-Analog-Wandler **100** nach der Erfindung zeigt. Der Digital-Analog-Wandler **100** führt das Digital-Analog-Umwandlungsverfahren nach der Erfindung aus. Der Multikanal-Digital-Analog-Wandler **100** umfaßt die gemeinsame Schaltung **102** und N Kanalschaltungen **104**, je eine für jeden der N Kanäle. Jede der Kanalschaltungen führt eine Digital-Analog-Umwandlung an einem einzelnen digitalen n-Bit-Eingangswort aus, um einen entsprechenden analogen Ausgangspegel zu erzeugen. Um die Zeichnung zu vereinfachen werden nur die Kanalschaltungen von Kanal 1 und Kanal N gezeigt. Die Kanalschaltungen der Kanäle 2...N-1 wurden ausgelassen, sie sind aber identisch mit den gezeigten.

**[0031]** Die gemeinsame Schaltung **102** umfaßt den Digitalsequenzgenerator **103** und den Analogsignalgenerator **105**. Der Digitalsequenzgenerator umfaßt einen Ausgang, der an den Eingang des Analogsignalgenerators **105** und an den digitalen Bus **106** angeschlossen ist. Der Analogsignalgenerator hat einen Ausgang, der an die Kanalschaltung **104** eines jeden der Kanäle angeschlossen ist. Der Digitalsequenzgenerator erzeugt eine digitale Sequenz, die der digitale Bus an die Kanalschaltungen **104** verteilt. Der Analogsignalgenerator **105** erzeugt ein sich zeitlich änderndes analoges Signal in Reaktion auf die digitale Sequenz. Das sich zeitlich ändernde analoge

Signal hat eine vorbestimmte Beziehung zu der digitalen Sequenz und wird von dem analogen Bus an die Kanalschaltungen verteilt. So empfängt jede Kanalschaltung sowohl die digitale Sequenz als auch das analoge Signal von der gemeinsamen Schaltung.

**[0032]** Die vorbestimmte Beziehung zwischen dem sich zeitlich ändernden analogen Signal auf dem analogen Bus **108** und der digitalen Sequenz auf dem digitalen Bus **106** bestimmt die Umwandlungscharakteristik des Digital-Analog-Wandlers **100**. Die vorbestimmte Beziehung kann eine lineare Beziehung sein, in welchem Fall der Digital-Analog-Wandler eine lineare Charakteristik aufweist. Die vorbestimmte Beziehung kann alternativ eine nichtlineare Beziehung sein, in welchem Fall der Digital-Analog-Wandler eine nichtlineare Beziehung aufweist. Die vorbestimmte Beziehung kann jede bekannte Beziehung sein, die keine Zufallsbeziehung ist.

**[0033]** Die Kanalschaltung **104** von Kanal 1 wird nun beschrieben. Die Kanalschaltung umfaßt den digitalen Eingang **120**, den digitalen Komparator **122**, den analogen Abtaster **124** und den analogen Ausgang **126**. Der digitale Komparator umfaßt einen ersten Eingang **130**, einen zweiten Eingang **132** und einen Ausgang **134**. Der erste Eingang ist an den digitalen Eingang angeschlossen, um das digitale Eingangswort von Kanal 1 zu empfangen. Der zweite Eingang ist an den digitalen Bus **106** angeschlossen.

**[0034]** Der analoge Abtaster **124** umfaßt einen Steuereingang **136**, einen analogen Eingang **138** und einen Ausgang **140**. Der Steuereingang ist an den Ausgang **134** des digitalen Komparators **122** angeschlossen. Der analoge Eingang ist an den analogen Bus **108** angeschlossen. Der Ausgang ist an den analogen Ausgang **126** angeschlossen.

**[0035]** Nun wird der Betrieb des Multikanal-Digital-Analog-Wandlers **100** beschrieben. Der Betrieb der gemeinsamen Schaltung wird zuerst beschrieben. Der Betrieb des Multikanal-Digital-Analog-Wandlers basiert auf einer Umwandlungsperiode, die ein Zeitraum ist, während dem jede der Kanalschaltungen **104** des Digital-Analog-Wandlers gleichzeitig eine Digital-Analog-Umwandlung durchführen. Jede der Kanalschaltungen wandelt ein digitales n-Bit-Eingangswort, welches einen beliebigen Wert in dem umwandelbaren Eingabebereich von Null bis  $2^n - 1$  hat, in ein entsprechendes analoges Signal in einem festgelegten analogen Ausgangsbereich um. Der Digital-Analog-Wandler kann beispielsweise ein digitales acht-Bit-Eingangswort, das einen beliebigen Wert in dem umwandelbaren Eingabebereich von  $00_H$  bis  $FF_H$  hat, in einen entsprechenden analogen Ausgang in dem Ausgangsbereich von 0 bis +1 Volt umwandeln. Die Beziehung zwischen dem digitalen Eingangswort und dem analogen Ausgang ist, sieht

man von Quantisierungsfehlern ab, normalerweise linear. Wie jedoch oben angemerkt wurde und wie unten detaillierter beschrieben wird, kann die Beziehung zwischen dem digitalen Eingangswort und dem analogen Ausgang alternativ nichtlinear sein.

**[0036]** In der gemeinsamen Schaltung **102** des Digital-Analog-Wandlers **100** erzeugt der Digitalsequenzgenerator **103** in jeder Umwandlungsperiode eine digitale Sequenz, die aus n-Bit-Zahlen besteht. Die n-Bit-Zahlen, aus denen die digitale Sequenz besteht, umfassen normalerweise jeden möglichen Wert in dem umwandelbaren Eingabebereich des digitalen n-Bit-Eingangsworts an dem digitalen Eingang **120**. Dies ist jedoch für die Erfindung nicht entscheidend: die digitale Sequenz kann eine n-Bit-Zahl oder mehrere n-Bit-Zahlen außerhalb des umwandelbaren Eingabebereichs des digitalen n-Bit-Eingangsworts umfassen. Alternativ kann die digitale Sequenz jeden möglichen Wert in dem umwandelbaren Eingabebereich des digitalen n-Bit-Eingangsworts umfassen, wobei das n-Bit-Eingangswort dennoch mindestens einen zulässigen Wert aufweisen kann, der außerhalb des umwandelbaren Eingabebereichs liegt. Ein Eingangswort mit einem Wert, der außerhalb des umwandelbaren Eingabebereichs des digitalen n-Bit-Eingangsworts liegt, kann als eine Kennung verwendet werden, welche die Kanalschaltung veranlaßt, den vorher erzeugten analogen Pegel an ihrem analogen Ausgang zu halten.

**[0037]** Der Digitalsequenzgenerator **103** kann eine digitale Sequenz erzeugen, die aus einer Folge von Binärzahlen besteht. Die Binärzahlen beginnen bei Null am Anfang der Umwandlungsperiode und erhöhen sich, jedesmal wenn eine vorbestimmte Taktperiode abgelaufen ist, monoton um das niederwertigste Bit („least significant bit“). Alternativ kann die digitale Sequenz eine Serie von Grau-Codes sein, die jedesmal wechseln, wenn die vorbestimmte Taktperiode abläuft. Als eine weitere beispielhafte Alternative kann der Digitalsequenzgenerator eine digitale Sequenz erzeugen, die aus einer Abfolge von Binär-codes oder Grau-Codes besteht, die sich in jeder Taktperiode monoton vermindert. Obwohl eine solche Regelmäßigkeit das Design des Analogsignalgenerators **105** vereinfacht, ist sie jedoch für die Erfindung solange nicht wesentlich, wie die digitale Sequenz während der Umwandlungsperiode jeden möglichen Wert in dem umwandelbaren Eingabebereich des digitalen Eingangsworts umfaßt.

**[0038]** Die oben erwähnte vorbestimmte Taktperiode ist eine Zeitspanne, die nicht länger als  $1/2^n$  mal die Umwandlungsperiode sein kann. Anderenfalls kann die digitale Sequenz nicht alle möglichen Werte in dem umwandelbaren Eingabebereich des digitalen Eingangsworts in dem digitalen Eingang **120** umfassen. Vorzugsweise besteht die Umwandlungsperiode aus mehr als  $2^n$  Taktperioden, um zusätzliche Zeit be-



reitzustellen, damit der analoge Ausgang vor dem Ende der Umwandlungsperiode abklingen kann, und zum Durchführen von Rücksetzoperationen am Ende der Umwandlungsperiode. Dies wird unten mit Bezug auf die [Fig. 4A-Fig. 4F](#) genauer behandelt.

**[0039]** Der Digitalesequenzgenerator **103** speist die digitale Sequenz in den digitalen Bus **106** zur Verteilung an die Kanalschaltungen **104** ein. Der Digitalesequenzgenerator speist die digitale Sequenz auch in den Eingang des Analogsignalgenerators **105** ein. Der Analogsignalgenerator erzeugt das sich zeitlich ändernde analoge Signal in Reaktion auf die digitale Sequenz und speist das sich zeitlich ändernde analoge Signal in den analogen Bus **108** ein. Das sich zeitlich ändernde analoge Signal hat eine vorbestimmte Beziehung zu der digitalen Sequenz. Wenn die digitale Sequenz aus einer Sequenz von Binärzahlen besteht, ist das Folgende ein Beispiel für die vorbestimmte Beziehung: der analoge Pegel, der vom Analogsignalgenerator in Reaktion auf jede der n-Bit-Binärzahlen in der digitalen Sequenz erzeugt wird, weist ein Verhältnis zum Maximum des Ausgabebereichs auf, das gleich dem Verhältnis der n-Bit-Binärzahl zur Anzahl der Werte im digitalen Eingabebereich, d. h. 2, ist. Ein analoger Pegel mit einer solchen Beziehung zu der digitalen Sequenz kann erzeugt werden, indem jede n-Bit-Binärzahl in der digitalen Sequenz mittels eines n-Bit-Digital-Analog-Wandlers als dem Analogsignalgenerator in einen analogen Pegel umgewandelt wird. Andere Schaltungen können jedoch als der Analogsignalgenerator verwendet werden, wie unten genauer beschrieben wird. Darüber hinaus kann die vorbestimmte Beziehung von der dargestellten abweichen, wie unten ebenfalls genauer beschrieben wird.

**[0040]** Der Betrieb der Kanalschaltung **104** von Kanal 1 wird nun beschrieben. In der Kanalschaltung empfängt der erste Eingang **130** des digitalen Komparators **122** das digitale Eingangswort vom digitalen Eingang **120**. Zum Zweck dieser Erläuterung wird angenommen, daß das digitale Eingangswort während der Umwandlungsperiode unverändert bleibt. Der zweite Eingang **132** des digitalen Komparators ist an den digitalen Bus **106** angeschlossen und empfängt die digitale Sequenz, die vom Digitalesequenzgenerator **103** erzeugt wird.

**[0041]** Der Ausgang **134** des digitalen Komparators **122** verändert seinen Zustand, wenn eine der n-Bit-Zahlen in der digitalen Sequenz numerisch gleich dem digitalen Eingangswort ist. Der digitale Komparator kann so konfiguriert werden, daß sein Ausgang sich nur während der Zeit in einem zweiten Zustand befindet, in der die n-Bit-Zahl, die numerisch gleich dem digitalen Eingangswort ist, an seinem zweiten Eingang **132** gegenwärtig ist, und sich zu allen anderen Zeiten in einem ersten Zustand befindet. Alternativ kann der digitale Komparator so konfigu-

riert werden, daß er dem analogen Abtaster oder einem möglichen zwischengeschalteten Latch (nicht gezeigt) anzeigt (flag), wenn die n-Bit-Zahl, die an seinem zweiten Eingang **132** gegenwärtig anliegt, numerisch gleich dem digitalen Eingangswort ist. In diesem Fall wechselt der Ausgang des digitalen Komparators kurz in den zweiten Zustand, wenn die n-Bit-Zahl an dem zweiten Eingang des digitalen Komparators numerisch gleich dem digitalen Wort ist, und verharrt zu allen anderen Zeiten in dem ersten Zustand. Als eine weitere Alternative kann, wenn die digitale Sequenz sich monoton verändert, der digitale Komparator so konfiguriert werden, daß sein Ausgang sich in einem ersten Zustand befindet, wenn die n-Bit-Zahlen, aus denen die digitale Sequenz besteht, kleiner als das digitale Eingangswort sind, und sich zu allen anderen Zeiten in einem zweiten Zustand befindet; oder, daß er sich in dem ersten Zustand befindet, wenn die n-Bit-Zahlen, aus denen die digitale Sequenz besteht, kleiner oder gleich dem digitalen Eingangswort sind, und sich zu allen anderen Zeiten in einem zweiten Zustand befindet.

**[0042]** Ungeachtet der Konfiguration des digitalen Komparators **122** befindet sich der Ausgang **134** des digitalen Komparators zu Beginn jeder Umwandlungsperiode in dem ersten Zustand. Der Ausgang verharrt in dem ersten Zustand, bis eine der n-Bit-Zahlen in der digitalen Sequenz numerisch gleich dem digitalen Eingangswort an dem ersten Eingang **130** ist, worauf der Ausgang, zumindest momentan, in den zweiten Zustand wechselt.

**[0043]** Der Ausgang **134** des digitalen Komparators **122** ist an den Steuereingang **136** des analogen Abtasters **124** angeschlossen, wo er als ein Steuersignal wirkt. Der analoge Abtaster empfängt das sich zeitlich ändernde analoge Signal, das vom Analogsignalgenerator **105** erzeugt wird, durch seinen analogen Eingang **138**, der an den analogen Bus **108** angeschlossen ist. Der Ausgang **140** des analogen Abtasters ist an den analogen Ausgang **126** von Kanal 1 angeschlossen.

**[0044]** Der analoge Abtaster **124** kann als eine Abtast-und-Halte-Schaltung konfiguriert werden, bei der sein Ausgang **140** auf einem Spannungspegel gehalten bleibt, auf den er zuvor gesetzt wurde, bis das Steuersignal an seinem Steuereingang **136** seinen Zustand in eine vorbestimmte Richtung ändert, d. h. in diesem Beispiel vom ersten Zustand in den zweiten Zustand. In Reaktion auf die Zustandsänderung des Steuersignals wechselt die Spannung an dem Ausgang des analogen Abtasters auf einen Pegel, der mit dem Spannungspegel an dem analogen Eingang **138** zu dem Zeitpunkt, an dem das Steuersignal den Zustand wechselt, identisch ist. Der Spannungspegel an dem analogen Eingang ist identisch zu dem Pegel des sich zeitlich ändernden analogen Signals auf dem analogen Bus **108**.

**[0045]** Alternativ kann der analoge Abtaster **124** als eine Folge-und-Halte-Schaltung konfiguriert werden, in der die Spannung an seinem Ausgang **140** der Spannung an seinem analogen Eingang **138** folgt, bis das Steuersignal an seinem Steuereingang **136** seinen Zustand in eine vorbestimmte Richtung ändert, d. h. in diesem Beispiel vom ersten Zustand in den zweiten Zustand. Wenn das Steuersignal seinen Zustand ändert, beendet die Spannung an dem Ausgang des analogen Abtasters das Verfolgen der Spannung an dem analogen Eingang und hält einen Spannungspegel, der mit dem Spannungspegel an dem analogen Eingang zum Zeitpunkt, an dem das Steuersignal seinen Zustand ändert, identisch ist. Der Spannungspegel an dem analogen Eingang ist gleich dem Pegel des sich zeitlich ändernden analogen Signals auf dem analogen Bus **108**.

**[0046]** Wenn daher eine der n-Bit-Zahlen in der digitalen Sequenz numerisch gleich dem digitalen Eingangswort an dem digitalen Eingang **120** ist, ändert der Ausgang **134** des digitalen Komparators **122** seinen Zustand. Die Änderung des Zustands des Ausgangs **134** setzt die Spannung am Ausgang **140** des analogen Abtasters **124**, und damit die Spannung an dem analogen Ausgang **126**, auf einen Pegel fest, der zu dem Zeitpunkt, an dem der Ausgang **134** seinen Zustand geändert hat, d. h. zu dem Zeitpunkt, an dem eine der n-Bit-Zahlen in der digitalen Sequenz numerisch gleich dem digitalen Eingangswort war, zu der Spannung an dem analogen Eingang **138** identisch ist. So wechselt zu einem Zeitpunkt während der Umwandlungsperiode die Spannung an dem analogen Ausgang **126** auf einen Pegel, der dem digitalen Eingangswort entspricht.

**[0047]** Man beachte, daß, wenn der analoge Abtaster **124** als eine Abtast-und-Halte-Schaltung konfiguriert ist, und wenn der vom Digitalsequenzgenerator **103** erzeugten digitalen Sequenz eine n-Bit-Zahl, die numerisch gleich dem digitalen Eingangswort ist, fehlt, der Ausgang **140** des analogen Abtasters fortgeführt wird, den Spannungspegel, auf den es in irgendeiner vorhergehenden Umwandlungsperiode gesetzt wurde, zu halten. Dieses Merkmal ermöglicht es, daß ein digitales Eingangswort, das außerhalb des umwandelbaren Eingabebereichs liegt, als ein „Vorigen-Wert-Halten“-Code dient.

**[0048]** Alle übrigen Kanalschaltungen **104** arbeiten analog. Während der Umwandlungsperiode wird die Spannung an dem analogen Ausgang **126** jedes der Kanalschaltungen auf einen Pegel gesetzt, der dem digitalen Eingangswort an dem digitalen Eingang **120** von dem Kanal entspricht.

**[0049]** Der oben beschriebene Multikanal-Digital-Analog-Wandler hat gegenüber früheren Entwürfen mehrere Vorteile. Zuerst wird die Umwandlungsgeschwindigkeit und -genauigkeit in jedem der Kanä-

le des Wandlers vor allem von der Geschwindigkeit und Genauigkeit bestimmt, mit der der Analogsignalgenerator **105** in Reaktion auf die n-Bit-Zahlen, die die digitale Sequenz bilden, das sich ändernde analoge Signal erzeugt. Der Analogsignalgenerator ist jedoch für alle Kanäle der gleiche. Obwohl Ungenauigkeiten in dem Analogsignalgenerator Gesamtfehler erzeugen können, erzeugen sie folglich keine Fehlanpassungsfehler zwischen den Kanälen.

**[0050]** Die Kanalschaltungen **104** haben keinen analogen Komparator, der eine häufige Quelle von Fehlern und Fehlanpassungen zwischen den Kanälen in herkömmlichen Multikanal-Digital-Analog-Wandlern darstellt. Statt dessen umfaßt jede der Kanalschaltungen des Multikanal-Digital-Analog-Wandlers nach der Erfindung einen digitalen Komparator, der das digitale Eingangswort für den Kanal mit den n-Bit-Zahlen, die die digitale Sequenz auf dem digitalen Bus **106** bilden, vergleicht. Da die Komparatoren digital sind, gibt es keine Probleme durch Abgleich zwischen den Komparatoren in den verschiedenen Kanalschaltungen.

**[0051]** Der einzige analoge Bereich des Multikanal-Digital-Analog-Wandlers **100**, der zu Fehlanpassung zwischen Kanälen führen kann, ist der analoge Abtaster **124** in jedem der Kanalschaltungen **104**. Der analoge Bereich des analogen Abtasters besteht jedoch hauptsächlich aus einem Verstärker mit Verstärkungsfaktor 1. Automatische Nullpunkteinstellung und ähnliche Kalibrationsverfahren, die für solche Verstärker geeignet sind, sind allgemein bekannt und können dazu verwendet werden, etwaige Fehler, hervorgerufen durch analogen Abtaster mit nicht-idealen oder fehlangepaßten Charakteristika, abzuschwächen.

**[0052]** Ein weiterer Vorteil des Multikanal-Digital-Analog-Wandlers nach der Erfindung besteht darin, daß die Zahl der Kanalschaltungen **104** ohne größere Auswirkungen auf die Designparameter der gemeinsamen Schaltung **102** erhöht oder verringert werden kann. Anders als bei anderen Ansätzen sind die Anforderungen an Geschwindigkeit und Auflösung des Analogsignalgenerators **105** identisch zu der angestrebten Geschwindigkeit und Auflösung irgendeiner der Kanalschaltungen. Während eine Erhöhung der Anzahl von Kanalschaltungen der Ausgabe des Analogsignalgenerators wegen der höheren Gesamtkapazität eine höhere Last auferlegt, sind präzise Puffer mit einem hohen Kapazitäts-Steuerebereich im Stand der Technik der CMOS-Schaltkreisfertigung wohl bekannt und können, wenn nötig, verwendet werden.

**[0053]** [Fig. 3](#) ist ein Blockdiagramm einer bevorzugten Ausführungsform **200** eines Multikanal-Digital-Analog-Wandlers nach der Erfindung. Elemente der in [Fig. 3](#) gezeigten Ausführungsform, die mir Ele-



menten der in [Fig. 2](#) gezeigten Ausführungsform übereinstimmen, werden mit den selben Bezugszeichen gekennzeichnet und werden hier nicht nochmals beschrieben.

**[0054]** Der Multikanal-Digital-Analog-Wandler **200** umfaßt die gemeinsame Schaltung **102** und N Kanalschaltungen **104**, je einen für jeden der N Kanäle. Während einer Umwandlungsperiode führt jede der Kanalschaltungen eine Digital-Analog-Umwandlung für ein einzelnes digitales n-Bit-Eingangswort aus, um einen entsprechenden analogen Ausgangspegel zu erzeugen. Wieder werden, um die Zeichnung zu vereinfachen, nur die Kanalschaltungen von Kanal 1 und Kanal N gezeigt. Die Kanalschaltungen der Kanäle 2...N-1 wurden ausgelassen, sind aber zu den gezeigten identisch.

**[0055]** Die gemeinsame Schaltung **102** wird zuerst beschrieben. Die gemeinsame Schaltung umfaßt den Digitalsequenzgenerator **103** und den Analogsignalgenerator **105**, deren Ausgänge an die Kanalschaltungen eines jeden der Kanäle durch den digitalen Bus **106** bzw. den analogen Bus **108** angeschlossen sind, wie oben beschrieben wurde.

**[0056]** In der die in [Fig. 3](#) gezeigten Ausführungsform umfaßt der Digitalsequenzgenerator **103** den n-Bit-Digitalzähler **250**, der einen Ausgang umfaßt, der an den Eingang des Analogsignalgenerators **105** und an den digitalen Bus **106** angeschlossen ist. Der digitale Zähler **250** umfaßt einen Takteingang, der an die Taktleitung **270**, die das Taktsignal CLOCK überträgt, angeschlossen ist. Wie oben angemerkt, weist das Taktsignal CLOCK eine Taktperiode auf, die nicht größer als  $1/2^n$  mal der Umwandlungsperiode ist. Der digitale Zähler umfaßt auch einen Rücksetzeingang, der an die Taktende-Leitung **272**, die das Taktende-Signal EOC („end-of-count“) überträgt, angeschlossen ist. Das Taktende-Signal setzt den Zähler am Ende jeder Umwandlungsperiode zurück. Die gemeinsame Schaltung **102** kann zusätzlich einen Taktsignalgenerator (nicht gezeigt), der das Taktsignal CLOCK auf der Taktleitung **270** und das Taktende-Signal EOC auf der Taktende-Leitung **272** erzeugt, umfassen. Alternativ können diese Signale von einer externen Quelle empfangen werden.

**[0057]** Während jeder Umwandlungsperiode führt der n-Bit-Digitalzähler **250** eine einfache binäre Zählung von Null bis  $2^n-1$  durch, um eine Folge von  $2^n$  n-Bit-Binärzahlen als die digitale Sequenz zu erzeugen. Während jeder Periode des Taktsignals CLOCK wird eine n-Bit-Binärzahl erzeugt. Die in aufeinanderfolgenden Perioden des Taktsignals erzeugten Binärzahlen unterscheiden sich von einander durch ein niederwertigstes Bit.

**[0058]** Der Analogsignalgenerator **105** umfaßt den n-Bit-Digital-Analog-Wandler **252**. Der Digital-Ana-

log-Wandler **252** empfängt eine digitale Sequenz an seinem Eingang und erzeugt das sich zeitlich ändernde analoge Signal in Reaktion auf die digitale Sequenz. Da sich die digitale Sequenz um ein niederwertigstes Bit in jeder Periode des Taktsignals CLOCK erhöht, hat das sich zeitlich ändernde analoge Signal eine treppenförmige Signalform, die sich in jeder Periode des Taktsignals während der Umwandlungsperiode in Schritten einer Spannung, die einem niedrigstwertigen Bit entspricht, erhöht.

**[0059]** Der Ausgang des Digital-Analog-Wandlers **252** kann direkt an den analogen Bus **108** angeschlossen werden oder kann an den analogen Bus über den optionalen Puffer **254** angeschlossen werden. Wenn der Puffer vorgesehen wird, wird der Ausgang des Digital-Analog-Wandlers **252** an den Eingang des Puffers anstatt an den analogen Bus angeschlossen, und der Ausgang des Puffers wird an den analogen Bus angeschlossen. Der Puffer sollte vorgesehen werden, wenn die gegenwärtige Steuerleistung des Digital-Analog-Wandlers **252** nicht ausreicht, um die Anforderungen an die Eingangsleistung jedes der Kanalschaltungen **104** multipliziert mit der Anzahl der Kanalschaltungen, die in dem Digital-Analog-Wandler **200** umfaßt sind, zu befriedigen.

**[0060]** Die analoge Steuerschaltung **105** der in [Fig. 3](#) gezeigten Ausführungsform umfaßt drei optionale Elemente, nämlich den Latch **251**, den analogen Rücksetzschalter **256** und das Umwandlungsvorschriftmodul **258**. Der Latch **251** wird unten beschrieben.

**[0061]** Der analoge Rücksetzschalter **256** kann in der analogen Steuerschaltung **105** vorgesehen werden, um dabei zu helfen, den analogen Bus **108** vor dem Beginn jeder Umwandlungsperiode in seinen Startzustand zurückzusetzen. Wenn der Ausgang des Digital-Analog-Wandlers **252** oder, wenn er vorgesehen ist, der Ausgang des Puffers **254** den analogen Bus in der Zeit, die zum Zurücksetzen des analogen Busses vorgesehen ist, in seinen Anfangszustand zurücksetzen, kann der analoge Rücksetzschalter ausgelassen werden. Wenn er vorgesehen wird, wird der analoge Rücksetzschalter zwischen dem analogen Bus **108** und der Erdung angeschlossen und umfaßt einen Steuereingang, der an die Taktende-Leitung **272** angeschlossen wird. Während jeder Umwandlungsperiode hält das Taktende-Signal EOC den analogen Rücksetzschalter auf AUS. Am Ende der Umwandlungsperiode schaltet das Taktende-Signal kurzzeitig den analogen Rücksetzschalter auf EIN, was den analogen Bus zurücksetzt, indem es ihn kurzzeitig mit der Erdung verbindet. Alternativ kann der analoge Rücksetzschalter den analogen Bus zurücksetzen, indem er den analogen Bus mit einem anderen Potential als der Erdung verbindet.

**[0062]** Das optionale Umwandlungsvorschriftmodul

**258** kann vorgesehen werden, wenn angestrebt wird, dem Multikanal-Digital-Analog-Wandler **200** eine nicht-lineare Umwandlungscharakteristik zu verleihen. Eine nichtlineare Umwandlungscharakteristik kann zum Beispiel verwendet werden, um Gamma-korrektur in einer Videoanzeige durchzuführen. Wenn das Umwandlungsmodul ausgelassen wird, wird der Eingang des Analogsignalgenerators **105** direkt an den digitalen Bus **106** angeschlossen, so daß die digitale Sequenz, die vom Eingang des n-Bit-Digital-Analog-Wandlers **252** empfangen wird, dieselbe ist, wie die digitale Sequenz auf dem digitalen Bus **106**. In dieser Konfiguration hat der Multikanal-Digital-Analog-Wandler **200** eine lineare Umwandlungscharakteristik. Wenn der Analogsignalgenerator das Umwandlungsvorschriftmodul **258** umfaßt, wird das Umwandlungsvorschriftmodul zwischen den digitalen Bus **106** und den Eingang des Analogsignalgenerators **105** geschaltet, wie in [Fig. 3](#) gezeigt ist. Das Umwandlungsvorschriftmodul ändert die digitale Sequenz, die vom Eingang des Digital-Analog-Wandlers **252** empfangen wird, relativ zu der digitalen Sequenz auf dem digitalen Bus **106**, so daß die sich zeitlich ändernde analoge Spannung auf dem analogen Bus **108** eine nichtlineare Beziehung zu der digitalen Sequenz auf dem digitalen Bus aufweist. Die nicht-lineare Beziehung zwischen dem sich zeitlich ändernden analogen Signal und der digitalen Sequenz erlegt den Digital-Analog-Umwandlungen, die von jedem der Kanalschaltungen **104** ausgeführt werden, eine nicht-lineare Umwandlungscharakteristik auf.

**[0063]** Herkömmlicherweise wird Gammakorrektur auf ein aus digitalen n-Bit-Eingangswörtern bestehendes Videosignal angewandt, indem digitale Verarbeitung auf die digitalen Eingangswörter angewandt wird. Diese herkömmliche Verarbeitung hat den Nachteil, daß das von einer solchen Verarbeitung erzeugte gammakorrigierte digitale Videosignal in jedem Bereich der Gammakurve, der den digitalen Eingangswörtern eine Kompression auferlegt, eine verringerte Auflösung aufweist. Das Durchführen der Gammakorrektur durch eine Änderung der Beziehung zwischen der digitalen Sequenz, die vom Digitalsequenzgenerator **103** erzeugt wird, und dem sich zeitlich ändernden analogen Signal, das vom Analogsignalgenerator **105** erzeugt wird, stellt eine Gammakorrektur ohne diesen Verlust an Auflösung bereit und stellt eine Korrektorgenauigkeit bereit, die größer ist als diejenige, die man erhält, wenn n-Bit-Gammakorrektur digital auf digitale n-Bit-Eingangswörter angewandt wird.

**[0064]** Das Umwandlungsvorschriftmodul **258** kann die vom digitalen Bus **106** empfangene digitale Sequenz ändern, indem es arithmetische Operationen auf die digitale Sequenz anwendet. Alternativ kann das Umwandlungsvorschriftmodul eine Verweistabelle umfassen, die, wenn sie von der vom digitalen Bus

empfangenen digitalen Sequenz adressiert wird, die geänderte digitale Sequenz erzeugt. Die Anzahl der Bits der Zahlen, die von dem Umwandlungsvorschriftmodul in Reaktion auf die n-Bit-Zahlen, die vom digitalen Bus empfangen werden, erzeugt werden, kann von n abweichen, d. h. sie kann größer oder kleiner als n sein, um gewisse Umwandlungscharakteristika bereitzustellen.

**[0065]** Wenn das Umwandlungsvorschriftmodul in einer Verweistabelle ausgeführt wird, kann, indem der Inhalt der Verweistabelle angemessen konstruiert wird, ein gegebenes digitales Eingangswort leicht auf jeden beliebigen Analogpegel, der von dem Digital-Analog-Wandler **252** hergestellt werden kann, abgebildet werden. Dies erlaubt es, jede beliebige Umwandlungscharakteristik leicht zu implementieren. Darüber hinaus ermöglicht die Leichtigkeit, mit der Verweistabellen, die in wiederbeschreibbarem Speicher gespeichert sind, umprogrammiert werden können, ein sehr schnelles Modifizieren der Umwandlungscharakteristik.

**[0066]** Obwohl das Umwandlungsvorschriftmodul **258** oben als ein digitales Modul beschrieben wird, das zwischen den digitalen Bus **106** und den Eingang des Digital-Analog-Wandlers **252** zwischengeschaltet ist, kann die Beziehung zwischen der digitalen Sequenz auf dem digitalen Bus und dem sich zeitlich ändernden analogen Signal auf dem analogen Bus **108** alternativ von einem analogen Umwandlungsvorschriftmodul, das in oder nachgeschaltet nach dem Digital-Analog-Wandler **252** angeordnet ist, modifiziert werden. Dem Multikanal-Digital-Analog-Wandler **200** kann zu Beispiel eine logarithmische Umwandlungscharakteristik gegeben werden, indem ein vom Digital-Analog-Wandler **252** erzeugter Strom durch eine Diode geleitet wird, und die an der Diode anliegende Spannung über einen geeigneten Pufferverstärker als das sich zeitlich ändernde analoge Signal auf den analogen Bus gespeist wird.

**[0067]** Nun wird die Kanalschaltung **104** von Kanal 1 beschrieben. Die Kanalschaltungen der übrigen Kanäle sind dazu identisch. Die Kanalschaltung umfaßt den digitalen Eingang **120**, den digitalen Komparator **122**, den analogen Abtaster **124** und den analogen Ausgang **126**.

**[0068]** Der digitale Komparator **122** umfaßt das n-Bit-Register **260**, den digitalen Wort-Komparator **261** und den optionalen Latch **262**. Das Register umfaßt einen Dateneingang **130**, der an den digitalen Eingang **120** angeschlossen ist, und einen Datenausgang, der an den digitalen Wort-Komparator angeschlossen ist. Der Register umfaßt auch einen Takteingang, der an die Taktende-Leitung **272** angeschlossen ist. Das Taktende-Signal EOC, das am Ende jeder Umwandlungsperiode der Taktende-Leitung aktiviert wird, überträgt das digitale Eingangs-

wort an dem digitalen Eingang an den Ausgang des Registers. Das digitale Eingangswort verbleibt am Ausgang des Registers, bis das Taktende-Signal wiederum am Ende der nächsten Umwandlungsperiode aktiviert wird. Das Register hält also das digitale Eingangswort für den digitalen Wort-Komparator über die gesamte Umwandlungsperiode abrufbar.

**[0069]** Der digitale Wort-Komparator **261** umfaßt einen ersten Eingang, der an den Ausgang des n-Bit-Registers **260** angeschlossen ist, einen zweiten Eingang **132**, der an den digitalen Bus **106** angeschlossen ist, und einen Ausgang, der an den Eingang des Latches **262** angeschlossen ist. Der Ausgang des digitalen Wort-Komparators ändert seinen Zustand während der Taktperiode, in der eine der n-Bit-Zahlen, aus denen die digitale Sequenz besteht, an dem zweiten Eingang des digitalen Wort-Komparators numerisch gleich dem digitalen Eingangswort an dem ersten Eingang ist.

**[0070]** Der Latch **262** umfaßt einen Eingang, der an den Ausgang des digitalen Wort-Komparators **261** angeschlossen ist, und einen Ausgang, der an den Steuereingang des analogen Abtasters **124** angeschlossen ist. Der Latch umfaßt auch einen Takteingang, der an die Taktleitung **270** angeschlossen ist, und einen Rücksetzeingang, der an die Taktende-Leitung **272** angeschlossen ist. Am Ende jeder Umwandlungsperiode setzt das Taktende-Signal EOC, das in der Taktende-Leitung **272** aktiviert wird, den Ausgang des Latches **262** auf einen ersten Zustand zurück. Wenn der Ausgang des digitalen Wort-Komparators, wie oben beschrieben, seinen Zustand wechselt, wechselt der Eingang des Latches in den zweiten Zustand. Infolgedessen wechselt beim nächsten Übergang des Taktsignals CLOCK der Ausgang des Latches in den zweiten Zustand. Der Ausgang des Latches verbleibt in dem zweiten Zustand, bis das Taktende-Signal EOC den Latch am Ende der Umwandlungsperiode zurücksetzt.

**[0071]** Der Latch **262** kann ausgelassen werden, wenn die Vergleichszeit des digitalen Wort-Komparators **261** fixiert ist, d. h. wenn die Zeit, die der digitale Wort-Komparator benötigt, um zu ermitteln, daß die n-Bit-Zahl an einem seiner Eingänge numerisch gleich dem digitalen Eingangswort auf dem anderen seiner Eingänge ist, unabhängig von dem digitalen Eingangswort ist, oder wenn der digitale Wort-Komparator einen getakteten Ausgang hat. Anderenfalls ist die Zeitverzögerung zwischen dem Erscheinen einer n-Bit-Zahl, die mit dem digitalen Eingangswort übereinstimmt, auf dem digitalen Bus **106**, und der Änderung des Zustands des Ausgangs des digitalen Wort-Komparators vom Eingangswort abhängig. Eine vom Eingangswort abhängige Verzögerung kann einen vom Eingangswort abhängigen Fehler in der analogen Ausgangsspannung hervorrufen. Das Einschließen des Latches **262** macht die Verzöge-

rung vom Eingangswort unabhängig und beseitigt so diesen Fehler.

**[0072]** Der analoge Abtaster **124** umfaßt den Abtastschalter **264** und den Pufferverstärker **266**. Der Abtastschalter ist in Reihe zwischen dem analogen Bus **108** und dem analogen Eingang des Pufferverstärkers angeschlossen. Der Ausgang des Pufferverstärkers ist an den analogen Ausgang **126** angeschlossen. Der Abtastschalter umfaßt einen Steuereingang, der an den Ausgang **134** des digitalen Komparators **122** angeschlossen ist.

**[0073]** Am Ende jeder Umwandlungsperiode setzt das Taktende-Signal EOC, das in der Taktende-Leitung **272** aktiviert wird, den Ausgang des Latches **262** auf einen ersten Zustand zurück. In seinem ersten Zustand schließt der Ausgang des Latches, angelegt an den Steuereingang des Abtastschalters **264**, den Abtastschalter. Dies erlaubt es dem analogen Eingang und dem analogen Ausgang des Pufferverstärkers **266**, dem zeitabhängigen analogen Signal auf dem analogen Bus **108** zu folgen. Wenn der Ausgang des digitalen Wort-Komparators **261** seinen Zustand ändert, wechselt der Eingang des Latches in den zweiten Zustand. Im nächsten Übergang des Taktsignals CLOCK wechselt der Ausgang des Latches seinen Zustand und öffnet den Abtastschalter **264**. Dies unterbindet es, daß der analoge Eingang und der analoge Ausgang des Pufferverstärkers das sich zeitlich ändernde analoge Signal auf dem analogen Bus **108** verfolgen, und hält die Ausgangsspannung des Pufferverstärkers auf einem Pegel, der dem Pegel auf dem analogen Bus zu der Zeit, in der der Ausgang des Latches seinen Zustand geändert hat, entspricht. Der Ausgang des Pufferverstärkers verbleibt in dem von ihm gehaltenen Zustand, bis der Abtastschalter wieder von dem Latch **262**, das am Ende der Umwandlungsperiode zurückgesetzt wird, geschlossen wird.

**[0074]** Wenn die Verzögerung, die vom Latch **262** oder durch die Taktung des Ausgangs des digitalen Wort-Komparators **261** eingeführt wird, den Pegel des sich zeitlich ändernden analogen Signals auf dem analogen Bus **108**, wenn der Steuereingang des Abtastschalters **264** seinen Zustand ändert, vom Pegel des analogen Signals, wenn die n-Bit-Zahl an einem Eingang des digitalen Wort-Komparators numerisch gleich dem digitalen Eingangswort an dem anderen Eingang wird, abweichen läßt, sollte der Latch **251** in die analoge Steuerschaltung **105** eingeschlossen werden. Anderenfalls wird ein systematischer Fehler im Spannungspegel an dem analogen Ausgang **126** auftreten. Der Latch **251** wird von dem Taktsignal CLOCK getaktet und verzögert die in den Digital-Analog-Wandler **252** eingegebene digitale Sequenz relativ zu der digitalen Sequenz auf dem digitalen Bus **106**. Diese Verzögerung stellt sicher, daß, wenn der Steuereingang des Abtastschalters **264**

seinen Zustand ändert, der Pegel des sich zeitlich ändernden analogen Signals auf dem analogen Bus **108** derselbe ist, wie der, wenn die n-Bit-Zahl an einem Eingang des digitalen Wort-Komparators numerisch gleich dem digitalen Eingang an dem anderen Eingang wird.

**[0075]** Der Betrieb einer stark vereinfachten Ausführungsform der in [Fig. 3](#) gezeigten Schaltung während zweier aufeinander folgender Perioden CP1 und CP2 werden nun mit Bezug auf die [Fig. 3](#) und [Fig. 4A-Fig. 4F](#) beschrieben. In der beschriebenen, stark vereinfachten, Ausführungsform bestehen die digitalen Eingangswörter aus 4-Bit-Wörtern, d. h.  $n = 4$ , und es wird angenommen, daß das Signal an dem Steuereingang des Abtastschalters **264** zur selben Zeit seinen Zustand ändert, zu der die n-Bit-Zahl an dem einem Eingang des digitalen Wort-Komparators **261** numerisch gleich dem digitalen Eingangswort an dem anderen wird. In anderen Worten fehlt der beschriebenen Ausführungsform der Latch **251**, und der Latch **262** hat eine Verzögerung von Null.

**[0076]** [Fig. 4A](#) zeigt das Taktsignal CLOCK auf der Taktleitung **270**.

**[0077]** [Fig. 4B](#) zeigt das Taktende-Signal EOC auf der Taktende-Leitung **272**. Die Zeitspanne zwischen aufeinander folgenden Taktende-Signalen definiert die Umwandlungsperioden CP1 und CP2. Wie oben angemerkt ist die Anzahl von Taktperioden in jeder Umwandlungsperiode mindestens gleich groß wie Anzahl der Taktperioden, die benötigt wird, damit der Digitalsequenzgenerator die digitale Sequenz erzeugen kann. Zusätzlich tastet der analoge Abtaster **124**, wenn das digitale Eingangswort an dem digitalen Eingang **120** beim Maximum des Eingabebereichs, d. h. bei  $2^n - 1$ , liegt, das sich zeitlich ändernde analoge Signal während der letzten Taktperiode, bevor das Taktende-Signal aktiviert und der Spannungspegel an dem analogen Ausgang **126** auf Null zurückgesetzt wird, ab. Um der Spannung an dem analogen Ausgang eine längere Zeitspanne zum Abklingen bereitzustellen, und um die durch das Aktivieren des Taktende-Signals EOC durchgeführte Rücksetzoperation aufzunehmen, können zusätzliche Taktperioden zu der Umwandlungsperiode hinzugefügt werden. In dem gezeigten Beispiel entspricht jede Umwandlungsperiode 18 Perioden des Taktsignals CLOCK. Der 4-Bit-Digitalzähler **250** benötigt 16 Taktperioden, um von 0 bis 15 zu zählen, eine zusätzliche Taktperiode wird bereitgestellt, um den Spannungspegel auf dem analogen Ausgang abklingen zu lassen, und eine weitere Taktperiode wird bereitgestellt, um die Rücksetzoperation aufzunehmen.

**[0078]** [Fig. 4C](#) zeigt schematisch die dezimalen Äquivalente der 4-Bit-Zahlen, aus denen die digitale Sequenz, die vom Digitalsequenzgenerator **103** in Reaktion auf das Taktsignal CLOCK erzeugt wird, be-

steht. Zu Beginn der Umwandlungsperiode wird die 4-Bit-Zahl, die vom Zähler **250** ausgegeben wird, auf Null gesetzt. Die vom Zähler ausgegebene 4-Bit-Zahl erhöht sich in jeder Periode des Taktsignals um eins und erreicht 15 (1111) nach 16 Taktperioden. In dem gezeigten Beispiel verbleibt die vom Zähler ausgegebene Zahl für eine weitere Taktperiode auf 15 festgesetzt. In der folgenden Taktperiode, die das Ende der Umwandlungsperiode markiert, setzt das Taktende-Signal EOC die vom Zähler **250** ausgegebene Zahl auf Null zurück.

**[0079]** [Fig. 4D](#) ist ein Graph, der das sich zeitlich ändernde analoge Signal **280** auf dem analogen Bus **108** zeigt. Das sich zeitlich ändernde analoge Signal wird von dem Analogsignalgenerator **105** in Reaktion auf die in [Fig. 4C](#) gezeigte digitale Sequenz erzeugt. In diesem Beispiel besteht das sich zeitlich ändernde analoge Signal aus einem treppenförmigen Rampensignal, das bei Null Volt beginnt, und das sich in jeder Taktperiode um einen Anteil von  $1/2^n$  der Vollausschlags-Ausgangsspannung des Multikanal-Digital-Analog-Wandlers **200** erhöht. Wenn zum Beispiel die Vollausschlags-Ausgangsspannung des Multikanal-Digital-Analog-Wandlers **200** 1 Volt beträgt, erhöht sich das sich zeitlich ändernde analoge Signal in jeder Taktperiode um 62,5 mV.

**[0080]** In dem gezeigten Beispiel verbleibt das sich zeitlich ändernde analoge Signal **280** bei einem Pegel, der der Vollausschlags-Ausgangsspannung des Multikanal-Digital-Analog-Wandlers **200** entspricht, während einer zusätzlichen Periode des Taktsignals CLOCK. In der folgenden Periode des Taktsignals wird das sich zeitlich ändernde analoge Signal auf Null zurückgesetzt, indem das Taktende-Signal EOC den n-Bit-Zähler **250** auf Null zurücksetzt. Eine Rückkehr des sich zeitlich ändernden analogen Signals auf Null kann vom Taktende-Signal auch dadurch unterstützt werden, daß es den analogen Rücksetzschalter **256** auf EIN schaltet.

**[0081]** [Fig. 4E](#) ist ein Graph, der das Signal an dem analogen Ausgang **126** der Kanalschaltung **104** von Kanal 1 während zweier aufeinander folgender Umwandlungsperioden CP1 und CP2 zeigt. In der Umwandlungsperiode CP1 ist das digitale Eingangswort von Kanal 1 0111 (7), und in der Umwandlungsperiode CP2 ist das digitale Eingangswort von Kanal 1 0100 (4). Während der Umwandlungsperiode CP1 erhöhen sich die 4-Bit-Zahlen, die vom 4-Bit-Digitalzähler **250** als die digitale Sequenz ([Fig. 4C](#)) ausgegeben werden, schrittweise, der Pegel des zeitabhängigen analogen Signals **280** ([Fig. 4D](#)) erhöht sich, und der Pegel des Signals **282** an dem analogen Ausgang von Kanal 1 erhöht sich. Der Pegel des Signals **282** erhöht sich bis die vom Zähler **250** ausgegebene n-Bit-Zahl numerisch gleich dem digitalen Eingangswort, d. h. 0111, ist. Wenn diese Identität auftritt, ändert der Ausgang des digitalen Kompara-



tors **122** seinen Zustand und öffnet den Abtastschalter **264** in dem analogen Abtaster **124**. Dies hält das Signal **282** auf einem Pegel, der 7/16 der Vollausschlags-Ausgangsspannung  $V$  entspricht, während des Rests der Umwandlungsperiode CP1. Das Signal **282** wird auf Null zurückgesetzt, wenn das Taktende-Signal EOC den digitalen Zähler **250** und das Latch **262** zurücksetzt. Das Zurücksetzen des digitalen Zählers setzt das sich zeitlich ändernde analoge Signal auf dem analogen Bus **108** auf Null zurück. Das Zurücksetzen des Latches schließt den Abtastschalter **264**, was den Eingang des Pufferverstärkers **266** wieder an den analogen Bus anschließt.

**[0082]** Der Betrieb der Kanalschaltung **104** von Kanal 1 während der Umwandlungsperiode CP2 ist analog, außer daß das Signal **282** an dem analogen Ausgang **126** des Kanals 1 sich zu erhöhen unterbindet, sobald die vom Zähler **250** ausgegebene 4-Bit-Zahl numerisch gleich einem anderen digitalen Eingangswort, d. h. 0100, ist. Wenn diese Identität auftritt, wird das Signal **282** während des Rests der Umwandlungsperiode auf einem Pegel gehalten, der 4/16 der Vollausschlags-Ausgangsspannung  $V$  entspricht.

**[0083]** [Fig. 4F](#) ist ein Graph, der das Signal **284** an dem analogen Ausgang **126** der Kanalschaltung **104** von Kanal N während zweier aufeinander folgender Umwandlungsperioden CP1 und CP2 zeigt. In der Umwandlungsperiode CP1 ist das digitale Eingangswort von Kanal N 1100 (12), und in der Umwandlungsperiode CP2 ist das digitale Eingangswort von Kanal N 0010 (2). Der Betrieb der Kanalschaltung von Kanal N während der Umwandlungsperioden CP1 und CP2 ist analog zu dem oben beschriebenen, außer daß das Signal **284** sich zu erhöhen unterbindet, sobald die vom Zähler **250** ausgegebene 4-Bit-Zahl numerisch gleich anderen digitalen Eingangswörtern ist, d. h. gleich 1100 während der Umwandlungsperiode CP1 und gleich 0010 während der Umwandlungsperiode CP2. Wenn diese Identitäten auftreten wird die Spannung **284** an dem analogen Ausgang von Kanal N während des Rests der Umwandlungsperiode CP1 auf einem Pegel gehalten, der 12/16 der Vollausschlags-Ausgangsspannung  $V$  entspricht, und während des Rests der Umwandlungsperiode CP2 auf einem Pegel gehalten, der 2/16 der Vollausschlags-Ausgangsspannung  $V$  entspricht.

**[0084]** In Ausführungsformen, die ein Umwandlungsvorschriftmodul umfassen, wie es oben beschrieben wird, unterbindet die Spannung an dem analogen Ausgang **126** eines Kanals sich zu erhöhen, wenn die n-Bit-Zahl auf dem digitalen Bus **106** numerisch gleich dem digitalen Eingangswort des Kanals ist. Wegen der nichtlinearen Beziehung zwischen dem sich zeitlich ändernden analogen Signal auf dem analogen Bus **108** und der digitalen Sequenz auf dem digitalen Bus erhöht sich das sich

zeitlich ändernde analoge Signal jedoch nicht in den gleich großen Schritten, die in [Fig. 4D](#) gezeigt sind. Wenn das Umwandlungsmodul vorgesehen wird, hat der Spannungspegel an dem analogen Ausgang **126** immer noch eine vorbestimmte Beziehung zu dem digitalen Eingangswort, das an dem digitalen Eingang **120** empfangen wird, aber die vorbestimmte Beziehung ist nicht die lineare Beziehung, die in den [Fig. 4E](#) und [Fig. 4F](#) gezeigt wird.

**[0085]** In der bevorzugten Ausführungsform, die in [Fig. 3](#) gezeigt ist, umfaßt der Analogsignalgenerator **105** den n-Bit-Digital-Analog-Wandler **252**, der das sich zeitlich ändernde analoge Signal aus der vom Digitalsequenzgenerator **103** erzeugten digitalen Sequenz erzeugt. Dies ist jedoch für die Erfindung nicht entscheidend. Andere Schaltungen sind im Stand der Technik bekannt, die fähig sind, ein sich zeitlich änderndes analoges Signal mit einer vorbestimmten Beziehung zu einer digitalen Sequenz zu erzeugen. Zum Beispiel kann ein relativ einfacher analoger Rampengenerator verwendet werden, der mit der digitalen Sequenz phasenverriegelt ist. Die Steigung und die Endpunkte der Rampe können so kalibriert werden, daß die angestrebte Umwandlungscharakteristik erzeugt wird. Der analoge Rampengenerator kann so konfiguriert werden, daß er eine lineare oder eine nichtlineare Charakteristik aufweist. Die Charakteristik des analogen Rampengenerators bestimmt die Beziehung zwischen der digitalen Sequenz und dem sich zeitlich ändernden analogen Signal.

**[0086]** Ein analoger Signalgenerator erzeugt ein sich kontinuierlich änderndes analoges Signal als das sich zeitlich ändernde analoge Signal, was die Anforderungen an die Genauigkeit der Zeitsteuerung der vom analogen Abtaster **124** durchgeführten Abtastung erhöhen kann. Die Verwendung des Digital-Analog-Wandlers **252** zum Erzeugen des sich zeitlich ändernden analogen Signals führt zu der treppenförmigen Signalforn, die in [Fig. 4D](#) gezeigt ist. Die treppenförmige Signalforn umfaßt eine Folge von Schritten, während denen das sich zeitlich ändernde analoge Signal sich nicht verändert, und kann daher genau abgetastet werden, selbst wenn es der Zeitsteuerung der Abtastung an Genauigkeit mangelt.

**[0087]** Die [Fig. 5A](#) und [Fig. 5B](#) zeigen ein stark vereinfachtes Beispiel einer analogen Steuerschaltung **300** zur Steuerung einer Miniatur-Videoanzeige, die auf einem ferroelektrischen Flüssigkristallmaterial basiert. Die Schaltung basiert auf den analogen Steuerschaltungen, die in den oben erwähnten Patentanmeldungen mit den Seriennummern 09/070,487 und 09/070,669 offenbart sind. Die Schaltung umfaßt den Multikanal-Digital-Analog-Wandler **200** nach der Erfindung, der die analoge Abtastschaltung der analogen Steuerschaltung, die in den Patentanmeldungen beschrieben wird, ersetzt.

**[0088]** Der Multikanal-Digital-Analog-Wandler **200** erlaubt es der analogen Steuerschaltung **300** in Reaktion auf ein digitales Videosignal, wie etwa das, welches von einer Digitalkamera erzeugt wird, zu arbeiten. Jedes Vollbild eines solchen digitalen Videosignals besteht aus einer Folge von drei Teilbildern, je eins für jede Primärfarbe. Die Videoanzeige, die die analoge Steuerschaltung umfaßt, zeigt ein Bild in Reaktion auf jedes Teilbild des digitalen Videosignals an, während es mit Licht von der entsprechenden Primärfarbe beleuchtet wird.

**[0089]** In der Ausführungsform des Digital-Analog-Wandlers **200**, der in der analogen Steuerschaltung **300** vorgesehen ist, erzeugt der Digitalesequenz-generator eine digitale Sequenz, die aus einer Folge von n-Bit-Grau-Codes besteht, deren binäre Äquivalente eine monotone Rampe bilden. Die Verwendung von Grau-Codes als die digitale Sequenz erhöht die Zuverlässigkeit der Detektion der numerischen Identität, die vom digitalen Wort-Komparator **261** ausgeführt wird, wesentlich. Binäre Codes, die in gewissen aufeinander folgenden Taktperioden erzeugt werden, unterscheiden sich in mehreren Bits und können in sich in allen ihren Bits unterscheiden, was beispielsweise auftritt, wenn die binären Codes, die in aufeinander folgenden Taktperioden erzeugt werden, 0111 und 1000 sind. Der Wechsel von 0111 auf 1000 kann einen vorübergehenden Fehlzustand, wie etwa 1100, einschließen. Ein Umwandlungsfehler tritt auf, wenn der digitale Wort-Komparator bestimmt, daß der vorübergehende Fehlzustand numerisch gleich dem digitalen Eingangswort ist. Grau-Codes, die in aufeinander folgenden Taktperioden erzeugt werden, unterscheiden sich nur in einem Bit, und leiden daher nicht unter vorübergehenden Fehlzuständen und den sie begleitenden inkorrekten Detektionen von numerischer Identität.

**[0090]** Zur Erzeugung einer digitalen Sequenz, die aus Grau-Codes besteht, kann der Digitalesequenz-generator **103** einen n-Bit-Grau-Code-Zähler als den n-Bit-Zähler **250** umfassen. Alternativ kann ein n-Bit-Binärzähler, gefolgt von einem Binär-Grau-Wandler als der n-Bit-Zähler verwendet werden.

**[0091]** Wenn die digitale Sequenz aus einer Folge von Grau-Codes besteht, kann der Analogsignalgenerator **124** einen Grau-Code-Digital-Analog-Wandler als den Digital-Analog-Wandler **252** umfassen. Alternativ kann ein herkömmlicher binärer Digital-Analog-Wandler, dem ein Grau-Binär-Wandler vorgeschaltet ist, als der Digital-Analog-Wandler **252** verwendet werden. Grau-Binär- und Binär-Grau-Wandler sind im Stand der Technik bekannt, und werden hier daher nicht beschrieben.

**[0092]** Elemente der in den [Fig. 5A](#) und [Fig. 5B](#) gezeigten Ausführungsform, die mit Elementen der in

den [Fig. 2](#) und [Fig. 3](#) gezeigten Ausführungsform übereinstimmen, werden mit den selben Bezugszeichen gekennzeichnet, und werden hier nicht nochmals beschrieben. Um die Zeichnungen zu vereinfachen werden Bezugszeichen nur auf ein exemplarisches Pixel und die an das Pixel angeschlossenen Elemente angewandt.

**[0093]** In dem gezeigten, stark vereinfachten Beispiel umfaßt die analoge Steuerschaltung **300** einen Array **301** von Pixeln, die in drei Reihen von je vier Pixeln angeordnet sind. Jedes Pixel umfaßt eine Pixelschaltung. Eine exemplarische Pixelschaltung ist bei **307** gezeigt. In diesem Beispiel besteht jedes Teilbild von dem digitalen Videosignal aus einem digitalen n-Bit-Eingangswort für jedes Pixel im Array, d. h. aus 12 digitalen n-Bit-Wörtern, und der Multikanal-Digital-Analog-Wandler **200** umfaßt vier Kanalschaltungen **104**, je einen für die vier Spalten des Arrays. In einer praktischen Ausführungsform würde der Array typischerweise aus  $640 \times 480$  Pixeln bestehen, und der Multikanal-Digital-Analog-Wandler **200** würde 640 Kanäle umfassen. Die gezeigte Anordnung kann jedoch leicht für Arrays mit wesentlich weniger oder mehr Pixel verwendet werden, und Wandler mit wesentlich weniger oder mehr Kanälen sind möglich.

**[0094]** Ein Spaltenbus **329** schließt den analogen Ausgang **126** einer jeden Kanalschaltung **104** des Multikanal-Digital-Analog-Wandlers **200** an jede der Pixelschaltungen **307** in einer Spalte des Arrays **301** an. Der Wandler **200** leitet einen analogen Wert von jedem der digitalen Eingangswörter, aus denen das Teilbild des digitalen Videosignals besteht, ab. Jeder der analogen Werte wird an diejenige Pixelschaltung verteilt, die an einer Position in dem Array liegt, die der Position des zugehörigen digitalen Eingangsworts in dem Teilbild des digitalen Videosignals entspricht. Die Pixelschaltung erzeugt dann ein Zwei-Zustand-Steuersignal für die Elektrode, das einen Einschaltzyklus hat, der von dem analogen Wert bestimmt wird. Der Einschaltzyklus des Elektroden-Steuersignals definiert die Helligkeit des Pixel, von dem die Pixelschaltung einen Teil bildet.

**[0095]** [Fig. 5B](#) zeigt ein Blockdiagramm der Pixelschaltung **307**. Die Pixelschaltung umfaßt die Elektroden-Steuerschaltung **309**, den Abtasteingang **313**, den Auswahl Eingang **315** und den Auswahlschalter **317**. Die Elektroden-Steuerschaltung **309** erzeugt das Zwei-Zustand-Steuersignal für die Elektrode, das die reflektierende Elektrode **311** steuert. Der Auswahlschalter ist in Reihe zwischen dem Abtasteingang und dem Eingang **319** der Elektroden-Steuerschaltung angeschlossen. Der Auswahlschalter hat ein Steuergatter **321**, das an den Auswahl Eingang angeschlossen ist. Die reflektierende Elektrode überlappt üblicherweise die Elektroden-Steuerschaltung und den Auswahlschalter.



**[0096]** Wieder mit Bezug auf [Fig. 5A](#) sind die Abtasteingänge **313** aller Pixelschaltungen **307** in jeder der Spalten des Array **301** durch den zugehörigen Spaltenbus **329** an den analogen Ausgang **126** der zugehörigen Kanalschaltung **104** des Multikanal-Digital-Analog-Wandlers **200** angeschlossen. Die Auswahlwege **315** von allen Pixelschaltungen in jeder der Reihen des Array sind an einen ihnen zugehörigen Ausgang **323** des Reihenwählers **325** angeschlossen.

**[0097]** Die Steuerschaltung **300** empfängt das digitale Videosignal über den Videoeingang **327**. In dem digitalen Videosignal besteht jedes Teilbild aus einem digitalen n-Bit-Wort für jedes Pixel in dem Array **301**. Die digitalen Wörter sind im Rasterverfahren angeordnet, mit dem Beginn in der oberen linken Ecke. Normalerweise ist in dieser Anwendung  $n = 8$ , aber jedes der digitalen Wörter kann aus mehr oder weniger Bits bestehen.

**[0098]** Der digitale Videoeingang **327** ist an den Eingang des Binär-Grau-Wandlers **328** angeschlossen. Der Binär-Grau-Wandler modifiziert das digitale Videosignal, indem er die digitalen Wörter des digitalen Videosignals von Binärcodes zu äquivalenten Grau-Codes umwandelt. Das modifizierte digitale Videosignal, das vom Binär-Grau-Wandler erzeugt wird, ist an den Eingang des Video-Demultiplexers **331** angeschlossen. Wenn die vom Digitalsequenzgenerator **103** erzeugte digitale Sequenz aus einer Sequenz von binären Zahlen besteht, wird der Binär-Grau-Wandler nicht benötigt.

**[0099]** Der Video-Demultiplexer **331** umfaßt einen Ausgang **333**, der zu jeder der Spalten des Arrays **301** und zu der Kanalschaltung **104** jedes der Kanäle (CH1-CH4) des Multikanal-Digital-Analog-Wandlers **200** gehört. Jeder der Ausgänge ist an den digitalen Eingang **120** einer der Kanalschaltungen **104** des Wandlers **200** angeschlossen. Der Demultiplexer verarbeitet jede Zeile des modifizierten digitalen Videosignals, das er an seinem Eingang empfängt, um den Grau-Code für jede Pixelschaltung in einer Reihe des Arrays an denjenigen seiner Ausgänge auszugeben, der mit der Position der Pixelschaltung in der Reihe übereinstimmt. Der an jeden der Ausgänge des Demultiplexers ausgegebene Grau-Code bildet das digitale Eingangswort der Kanalschaltung des Digital-Analog-Wandlers **200** an die der Ausgang angeschlossen ist.

**[0100]** Der Video-Demultiplexer **331** wird so gezeigt, daß er das sync. (synchronisierte) Signal SYNC **335**, das an die gemeinsame Schaltung **102** des Multikanal-Digital-Analog-Wandlers **200** und an den Reihenwähler **325** angeschlossen ist, bereitstellt. Das sync. Signal wird aus dem digitalen Videosignal, das vom Video-Demultiplexer empfangen wird, extrahiert. Das Taktsignal CLOCK und das Um-

wandlungsende-Signal EOC in dem Multikanal-Digital-Analog-Wandler **200** sind mit dem sync. Signal SYNC phasenverriegelt. Da der Multikanal-Digital-Analog-Wandler analoge Werte für alle Pixelschaltungen **307** in einer Reihe des Arrays **301** gleichzeitig erzeugt, kann die Umwandlungsperiode des Wandlers **200** so lang sein, wie die Zeilenperiode des digitalen Videosignals. Der Reihenwähler **325** wird mit der Zeilenfrequenz des digitalen Videosignals getaktet und durch die Vollbild-Sync. des digitalen Videosignals synchronisiert. Das sync. Signal SYNC kann alternativ von einer externen Quelle (nicht gezeigt) bereitgestellt werden.

**[0101]** Der Reihenwähler **325** empfängt das sync. Signal SYNC vom Video-Demultiplexer **331**, wie gerade beschrieben wurde. Der Reihenwähler umfaßt für jede Reihe in dem Array **301** einen zugehörigen Ausgang **323**. Dieser Ausgang ist über den Reihensbus **339** an die Auswahlwähler **315** aller Pixelschaltungen in der Reihe angeschlossen. Der Ausgang des Reihenwählers nimmt zwei mögliche Zustände an, einen aktivierten Zustand und einen deaktivierten Zustand. Der aktivierte Zustand schaltet all Auswahlwähler **317**, die an den Ausgang angeschlossen sind, auf EIN, während der deaktivierte Zustand alle Auswahlwähler, die an den Ausgang angeschlossen sind, auf AUS schaltet. Nur einer der Ausgänge des Reihenwählers ist zu jedem Zeitpunkt in dem aktivierten Zustand. Die Ausgänge wechseln in den aktivierten Zustand in der Rasterverfahrens-Reihenfolge, d. h. daß der Ausgang, der an die oberste Reihe des Arrays angeschlossen ist, direkt nach dem Vollbild sync. in den aktivierten Zustand wechselt. Eine Zeilenperiode später wechselt der Ausgang, der an die nächste Reihe des Arrays angeschlossen ist, in den aktivierten Zustand, und der Ausgang, der an die oberste Reihe angeschlossen ist, wechselt in den deaktivierten Zustand.

**[0102]** Der Betrieb der analogen Steuerschaltung **300** während eines Teilbildes des digitalen Videosignals wird nun mit Bezug auf die [Fig. 6A-Fig. 6H](#) beschrieben. Wie oben angemerkt, empfängt jede Kanalschaltung **104** des 4-Kanal-Digital-Analog-Wandlers **200** während jeder Zeile des digitalen Videosignals das digitale Eingangswort für ein Pixel in einer Reihe des Arrays **301** an ihrem digitalen Eingang **120** und stellt einen zugehörigen analogen Wert an seinem analogen Ausgang **126** bereit. [Fig. 6A](#) zeigt das sich zeitlich ändernde analoge Signal auf dem analogen Bus **108**. Der Analogsignalgenerator erzeugt einen Zyklus des analogen Videosignals während jeder Zeile des digitalen Videosignals.

**[0103]** Die [Fig. 6B-Fig. 6E](#) zeigen Beispiele der Signalformen, die von den analogen Ausgängen **126** der Kanalschaltungen **104** der Kanäle CH1-CH4 während der drei Zeilen des Teilbildes den Spaltenbussen CB1 bis CB4 jeweils eingepreßt werden.

Während jeder Umwandlungsperiode, was einer Zeile des digitalen Videosignals entspricht, verteilt jeder Spaltenbus, wie etwa der Spaltenbus CB2, den von der Kanalschaltung **104**, an die er angeschlossen ist, erzeugten analogen Wert an die Abtasteingänge **313** all der an den Spaltenbus angeschlossenen Pixelschaltungen **307**. Der analoge Wert wird jedoch nur von der Pixelschaltung angenommen, die in der Reihe liegt, deren Reihenbus **339** an den Ausgang **323** des Reihenwählers **325**, der in dem aktivierten Zustand ist, angeschlossen ist. Die [Fig. 6F-Fig. 6H](#) zeigen die Signalformen, die den Reihenbussen RB1-RB3 von den zugehörigen Ausgängen des Reihenwählers eingeprägt werden.

**[0104]** Wenn beispielsweise die vier Kanalschaltungen **104** des Digital-Analog-Wandlers **200** zusammen vier analoge Werte aus den vier digitalen Eingangswörtern erzeugen, die aus der ersten Zeile des Teilbildes des digitalen Videosignals (LINE1) abgeleitet wurden, dann ist der Ausgang des Reihenwählers **325**, der sich im aktivierten Zustand befindet, der Ausgang, der durch den Reihenbus RB1 an die Pixelschaltungen in der obersten Reihe des Arrays **301** angeschlossen ist, wie in [Fig. 6F](#) gezeigt ist. Die übrigen zwei Reihenbusse RB2 und RB3 sind an Ausgänge im deaktivierten Zustand angeschlossen, wie in den [Fig. 6G](#) bzw. [Fig. 6H](#) gezeigt ist. Als Folge werden die vier analogen Werte, die vom Wandler **200** während der LINE1 gleichzeitig erzeugt werden, über die Spaltenbusse CB1-CB4 an alle Pixelschaltungen im Array verteilt, werden aber nur von den Pixelschaltungen in der obersten Reihe des Arrays, d. h. von den Pixelschaltungen, deren Auswahlleitungen an den Reihenbus RB1 angeschlossen sind, gesteuert vom Ausgang des Reihenwählers **325** in dem aktivierten Zustand, angenommen.

**[0105]** Wenn die vier analogen Werte, die gleichzeitig vom Wandler **200** erzeugt werden, aus den digitalen Eingangswörtern erzeugt werden, die aus der zweiten Zeile (LINE2) des digitalen Videosignals abgeleitet werden, werden die analogen Werte, als Folge davon, daß der Ausgang des Reihenwählers, der an den Reihenbus RB2 angeschlossen ist, nur während LINE2 im aktivierten Zustand ist (Man vergleiche [Fig. 6G](#) mit den [Fig. 6F](#) und [Fig. 6H](#) während LINE2), nur von den Pixelschaltungen in der zweiten Reihe des Arrays **301** angenommen. Wenn die vier analogen Werte, die gleichzeitig vom Wandler **200** erzeugt werden, aus den digitalen Eingangswörtern erzeugt werden, die aus der dritten Zeile (LINE3) des digitalen Videosignals abgeleitet werden, werden sie, als Folge davon, daß der Ausgang des Reihenwählers, der an den Reihenbus RB3 angeschlossen ist, nur während LINE3 im aktivierten Zustand ist (Man vergleiche [Fig. 6H](#) mit den [Fig. 6F](#) und [Fig. 6G](#) während LINE3), nur von den Pixelschaltungen in der zweiten Reihe des Arrays **301** angenommen.

**[0106]** Wie oben angemerkt, unterbindet die analoge Spannung an dem Abtasteingang **313**, wenn das digitale Eingangswort von einer der Kanalschaltungen **104** des Multikanal-Digital-Analog-Wandlers **200** numerisch gleich dem letzten n-Bit-Wort in der digitalen Sequenz auf dem digitalen Bus **106** ist (siehe [Fig. 6E](#) während LINE1), sich während der mit dem Ende der digitalen Sequenz zusammenfallenden Taktperiode sich zu verändern. Um zu gewährleisten, daß die Spannung am Eingang **319** der Elektroden-Steuerschaltung **309** den selben Pegel wie die Spannung am zugehörigen analogen Ausgang **126** erreicht, werden eine oder mehrere zusätzliche Taktperioden zwischen der Taktperiode, die das Ende der digitalen Sequenz markiert, und der Taktperiode, in der das Umwandlungsende-Signal EOC aktiviert wird, eingefügt. Zusätzlich sollte der Ausgang **323** des Reihenwählers **325**, der an den Reihenbus **339** der Reihe von Pixelschaltungen, zu der die vom Wandler **200** erzeugten analogen Werte gehören, am oder nach dem Beginn der Umwandlungsperiode in seinen aktivierten Zustand schalten und sollte während der ganzen Umwandlungsperiode einschließlich der zusätzlichen Taktperioden im aktivierten Zustand verbleiben, um es der Spannung an dem Eingang **319** zu erlauben, sich einzupendeln. Der Ausgang des Reihenwählers sollte jedoch in seinen deaktivierten Zustand wechseln, bevor das EOC Signal aktiviert wird und der Abtastschalter **264** in seinen geschlossenen Zustand zurückkehrt. Daher sollte der Ausgang des Reihenwählers aus dem aktivierten Zustand in den deaktivierten Zustand während, aber vor dem Ende der zusätzlich vorgesehenen Taktperioden wechseln, damit die Spannung an dem Eingang **319** sich einpendeln kann. Ein Beispiel der bevorzugten Beziehung zwischen der Spannung an dem analogen Ausgang des Wandlers **200** und dem Ausgang des Reihenwählers kann man durch einen Vergleich der [Fig. 6E](#) und [Fig. 6F](#) während LINE1 ersehen.

**[0107]** Die Anzahl der Taktperioden, die zusätzlich zu den  $2^n$  Taktperioden, die benötigt werden, um den n-Bit-Digitalzähler **250** von Null auf  $2^n - 1$  weiterzuschalten, erforderlich sind, hängt von der Zeitdauer jeder Taktperiode, der Kapazität und dem Widerstand der Spaltenbusse **329**, der Eingangskapazität der Elektroden-Steuerschaltung **309** und der Steuerleistung des Pufferverstärkers **266** ([Fig. 3](#)) in der Kanalschaltung **104** ab. Die Anzahl von zugefügten Taktperioden sollte ausreichen, um es der analogen Spannung am Abtasteingang **319** der vom Multikanal-Digital-Analog-Wandler **200** am weitesten entfernten Elektroden-Steuerschaltung zu erlauben, sich einzupendeln.

### Patentansprüche

1. Verfahren zur Durchführung abgeglicherer Digital-Analog-Umwandlungen, bei welchen in jedem von N parallelen Kanälen ein digitales Eingangswort

in einen entsprechenden analogen Ausgang umgewandelt wird, wobei das Verfahren umfaßt:

Erzeugen einer digitalen Sequenz;

Ändern der digitalen Sequenz;

in Reaktion auf die geänderte digitale Sequenz, Erzeugen eines sich zeitlich ändernden analogen Signals mit einer nichtlinearen Beziehung zur digitalen Sequenz;

Verteilen der unveränderten digitalen Sequenz und des sich zeitlich ändernden analogen Signals an die N parallelen Kanäle; und

in jedem der N Kanäle:

Bereitstellen eines analogen Ausgangspegels, der dem zeitabhängigen analogen Signal folgt;

digitales Vergleichen des digitalen Eingangsworts mit der unveränderten digitalen Sequenz, und wenn die digitale Sequenz mit dem digitalen Eingangswort numerisch gleich ist, Unterbinden, daß der analoge Ausgang dem sich zeitlich ändernden analogen Signal folgt und Beibehalten des analogen Ausgangspegels, und

Bereitstellen eines Latches, der die Zeit zur Bestimmung, daß die digitale Sequenz zum digitalen Eingangswort numerisch identisch ist, vom Eingangswort unabhängig macht.

2. Verfahren nach Anspruch 1, bei dem ein Erzeugen des sich zeitlich ändernden analogen Signals ein Unterziehen der digitalen Sequenz einer Digital-Analog-Umwandlung zur Erzeugung des sich zeitlich ändernden analogen Signals umfaßt.

3. Verfahren nach Anspruch 1 oder 2, bei dem ein Erzeugen des sich zeitlich ändernden analogen Signals ein Erzeugen eines analogen Rampensignals umfaßt, das auf die digitale Sequenz als das sich zeitlich ändernde analoge Signal phasenverriegelt ist.

4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem ein Erzeugen der digitalen Sequenz umfaßt:

Durchführen eines binären Zählens eines Taktsignals zur Erzeugung der digitalen Sequenz.

5. Verfahren nach einem der vorhergehenden Ansprüche, bei dem ein Erzeugen der digitalen Sequenz umfaßt:

Bereitstellen eines Taktsignals; und

in Reaktion auf das Taktsignal, Erzeugen von Grau-Codes als die digitale Sequenz.

6. Multikanal-Parallel-Abgleich-Digital-Analog-Wandler (**100, 200**), der in jedem von N Kanälen ein digitales Eingangswort empfängt und in Reaktion auf das digitale Eingangswort einen analogen Ausgang erzeugt, wobei der Digital-Analog-Wandler umfaßt:

einen Digitalsequenzgenerator (**103**), der eine digitale Sequenz erzeugt;

einen Analogsignalgenerator (**105**), der in Reaktion

auf die digitale Sequenz zur Erzeugung eines sich zeitlich ändernden analogen Signals mit einer vorbestimmten Beziehung zur digitalen Sequenz zur Verteilung an die N Kanäle arbeitet;

ein Umwandlungsvorschriftmodul (**258**), das die vorbestimmte Beziehung zwischen dem sich zeitlich ändernden analogen Signal und der digitalen Sequenz in eine nichtlineare Beziehung ändert, wobei

das Umwandlungsvorschriftmodul in Reaktion auf die durch den Digitalsequenzgenerator (**103**) erzeugte digitale Sequenz zur Erzeugung einer modifizierten digitalen Sequenz arbeitet, die bewirkt, daß der Analogsignalgenerator (**105**) das sich zeitlich ändernde analoge Signal erzeugt; und

in jedem der N Kanäle eine Kanalschaltung (**104**), welche umfaßt:

einen Digitalkomparator (**122**), der zum Empfang der nicht veränderten digitalen Sequenz und des digitalen Eingangsworts von dem einen der N Kanäle angeschlossen ist und der konfiguriert ist, anzugeben, wann die digitale Sequenz dem digitalen Eingangswort numerisch gleich ist,

einen zum Empfang des sich zeitlich ändernden analogen Signals angeschlossenen analogen Abtaster (**124**), der zum Empfang des sich zeitlich ändernden analogen Signals angeschlossen ist, in Reaktion auf den digitalen Komparator arbeitet und konfiguriert ist, als den analogen Ausgang von einem der N Kanäle einen analogen Ausgangspegel zu liefern, der dem sich zeitlich ändernden analogen Signal folgt, und, wenn der digitale Komparator angibt, daß die nicht veränderte Sequenz zum digitalen Eingangswort numerisch gleich ist, das Verfolgen des sich zeitlich ändernden analogen Signals unterbindet, wobei dieses darauffolgend gehalten wird, und

einen Latch (**262**) mit einem an einen Ausgang des digitalen Komparators (**122**) angeschlossenen Eingang und einem an den analogen Abtaster (**124**) angeschlossenen Ausgang, der die für den digitalen Komparator (**122**) erforderliche Zeit zur Bestimmung, daß die digitale Sequenz zum digitalen Eingangswort numerisch identisch ist, unabhängig vom Eingangswort macht.

7. Multikanal-Digital-Analog-Wandler nach Anspruch 6, bei dem der Analogsignalgenerator einen Digital-Analog-Wandler (**252**) umfaßt, der zum Empfang der digitalen Sequenz angeschlossen ist und in Reaktion darauf das sich zeitlich ändernde analoge Signal erzeugt.

8. Multikanal-Digital-Analog-Wandler nach Anspruch 6 oder 7, bei dem der Analogsignalgenerator einen analogen Rampengenerator umfaßt, der zum Empfang der digitalen Sequenz angeschlossen ist und das sich zeitlich ändernde analoge Signal phasenverriegelt auf die digitale Sequenz erzeugt.

9. Multikanal-Digital-Analog-Wandler nach Anspruch 8, bei dem der analoge Rampengenerator

eine nichtlineare Charakteristik aufweist.

10. Multikanal-Digital-Analog-Wandler nach einem der Ansprüche 6 bis 9, bei dem der analoge Abtaster eine Folge-und-Halte-Schaltung umfaßt.

11. Multikanal-Digital-Analog-Wandler nach Anspruch 10, bei dem die Folge-und-Halte-Schaltung umfaßt:

einen Pufferverstärker (**266**), der einen an den analogen Ausgang angeschlossenen Ausgang und einen analogen Eingang umfaßt; und

einen Abtastschalter (**264**), der in Reihe zwischen dem analogen Signalgenerator und dem analogen Eingang des Pufferverstärkers angeschlossen ist, wobei der Abtastschalter betrieben wird, wenn der digitale Komparator angibt, daß die digitale Sequenz dem digitalen Eingangswort numerisch gleich ist.

12. Multikanal-Digital-Analog-Wandler nach einem der Ansprüche 6 bis 9, bei dem der analoge Abtaster eine Abtast-und-Halte-Schaltung umfaßt.

13. Multikanal-Digital-Analog-Wandler nach einem der Ansprüche 6 bis 12, bei dem der digitale Sequenzgenerator einen binären Zähler (**250**) umfaßt.

14. Multikanal-Digital-Analog-Wandler nach einem der Ansprüche 6 bis 12, bei dem der digitale Sequenzgenerator einen sequentiellen Grau-Code-Generator umfaßt.

15. Analoge Steuerschaltung (**300**) für eine Videoanzeige, wobei die analoge Steuerschaltung in Reaktion auf ein digitales Videosignal betrieben wird, das in Zeilen angeordnete Vollbilder digitaler Worte umfaßt, wobei die analoge Steuerschaltung umfaßt: Pixelschaltungen (**307**), die in einem Array aus Reihen und Spalten angeordnet sind und wobei jede einen Abtasteingang (**313**) und einen Auswahleingang (**315**) umfaßt;

Spaltenbusse (**329**), die die Abtasteingänge der Pixelschaltungen in jeweiligen Spalten des Arrays zwischenverbinden;

Reihenbusse (**339**), die die Auswahleingänge der Pixelschaltungen in jeweiligen Reihen des Arrays zwischenverbinden;

einen Reihenwähler (**325**), der mit jeweiligen Reihenbussen verbundene Ausgänge umfaßt;

einen Video-Demultiplexer (**331**), der einen zum Empfang des digitalen Videosignals angeschlossenen Eingang und den Spalten des Arrays entsprechende Ausgänge (z.B. 333) umfaßt, wobei der Video-Multiplexer die digitalen Worte in den Zeilen des digitalen Videosignals zu jeweiligen Ausgängen richtet, wobei jeder der Ausgänge eines der digitalen Worte als ein digitales Eingangswort empfängt; und einen Multikanal-Digital-Analog-Wandler (**200**) gemäß einem der Ansprüche 6-13, bei dem die Kanalschaltungen den Spalten des Arrays entsprechen

und wobei in jeder der Kanalschaltungen der digitale Komparator zum Empfang des digitalen Eingangsworts von einem der Ausgänge des Video-Demultiplexers angeschlossen ist.

16. Analoge Steuerschaltung nach Anspruch 15, bei der:

die analoge Steuerschaltung zusätzlich einen Binär-Grau-Code-Wandler umfaßt, der dem Video-Demultiplexer vorgeschaltet ist, wobei der Binär-Grau-Code-Wandler binäre digitale Worte des digitalen Videosignals in digitale Grau-Code-Worte umwandelt; und

der digitale Sequenzgenerator zur Erzeugung der digitalen Sequenz als eine Reihe von Grau-Codes konfiguriert ist.

17. Analoge Steuerschaltung nach Anspruch 15 oder 16, bei der der Reihenwähler zur Aktivierung der Auswahleingänge lediglich der Pixelschaltungen in einer der Reihen des Arrays konfiguriert ist, die einer der Zeilen des digitalen Videosignals entsprechen, zu dem die digitalen Eingangsworte gehören.

Es folgen 5 Blatt Zeichnungen

## Anhängende Zeichnungen

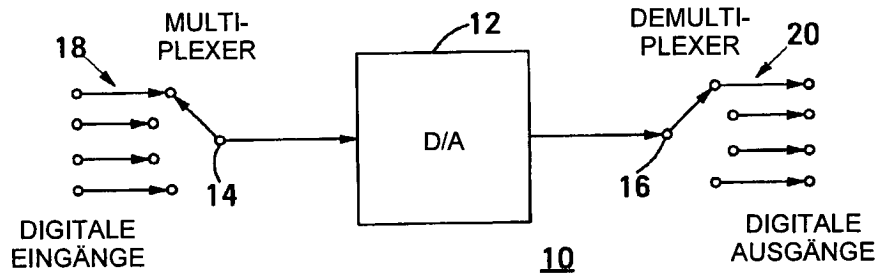


FIG.1

STAND DER TECHNIK

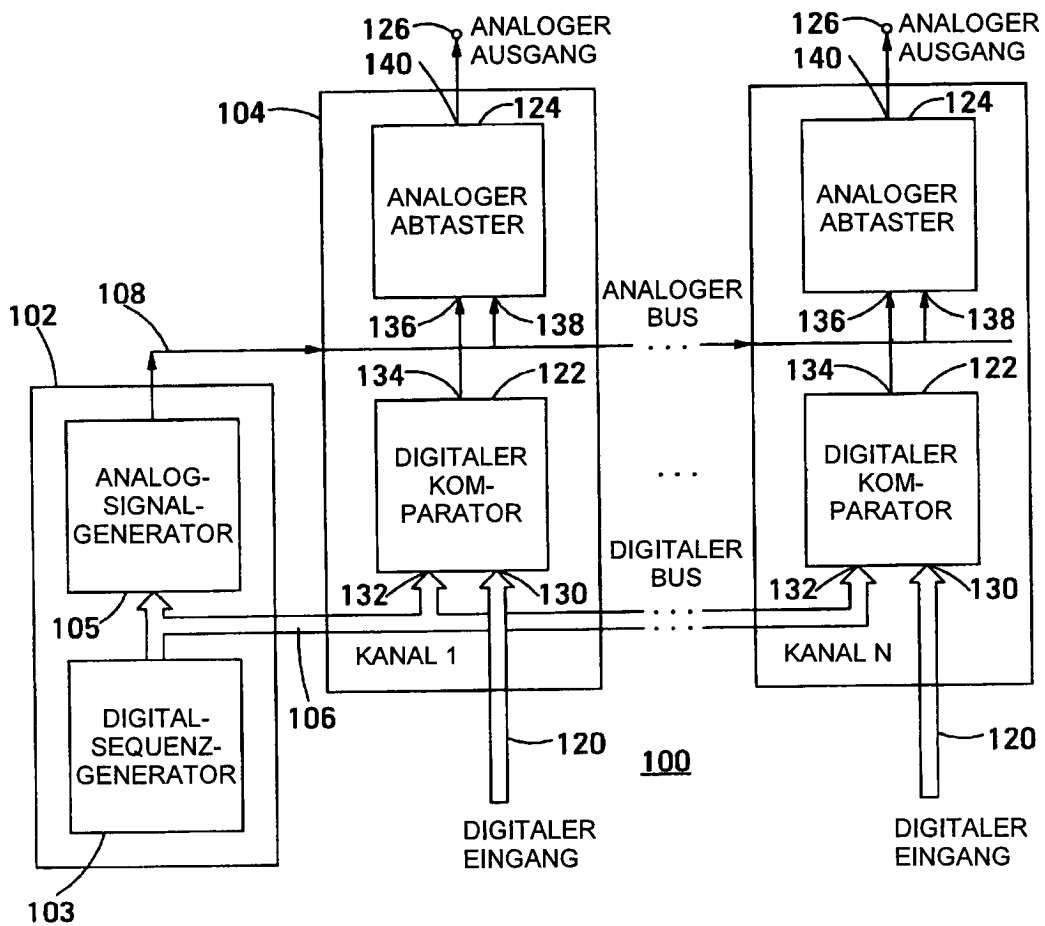


FIG.2

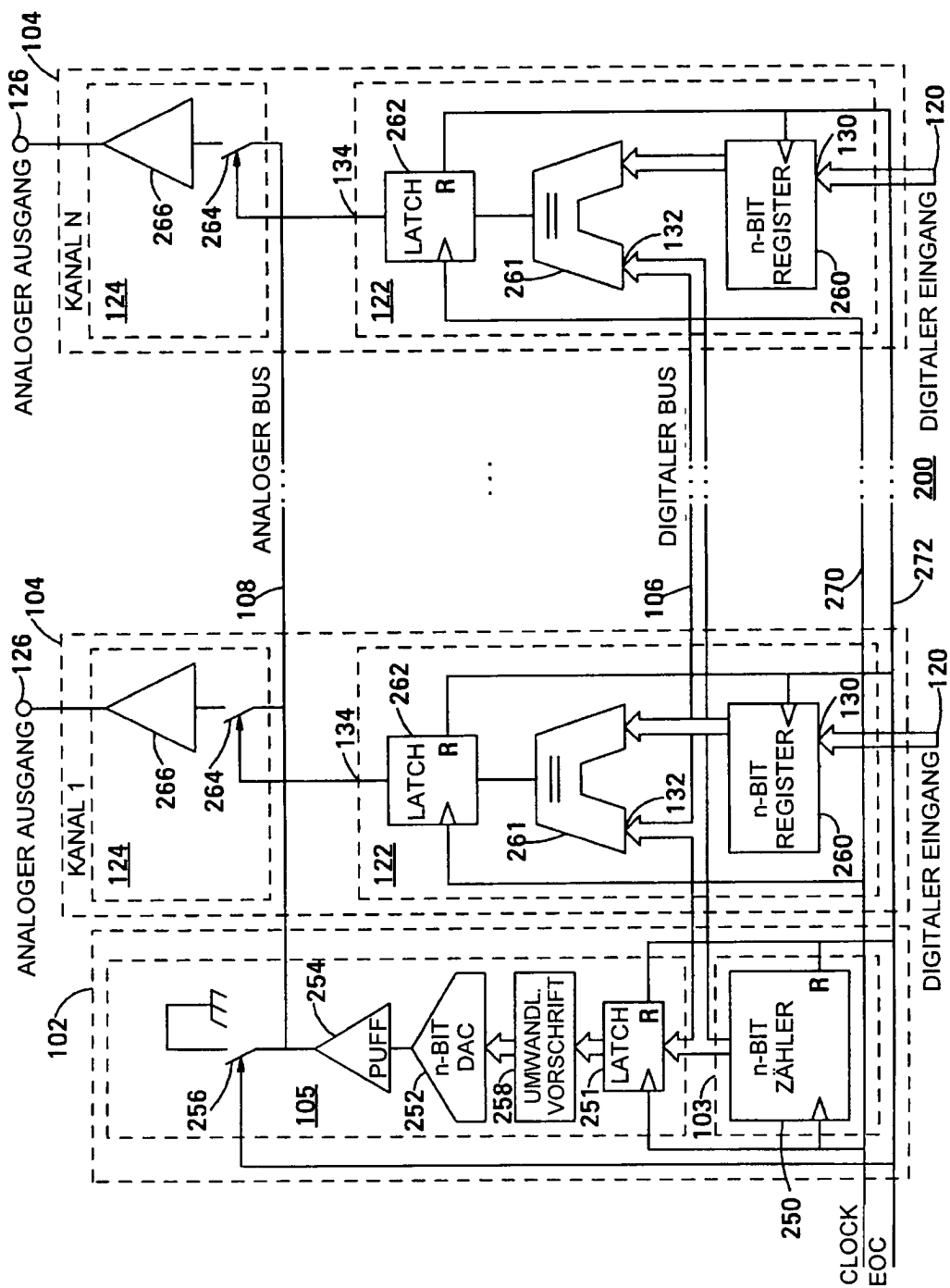


FIG.3



FIG. 4A



FIG. 4B



FIG. 4C

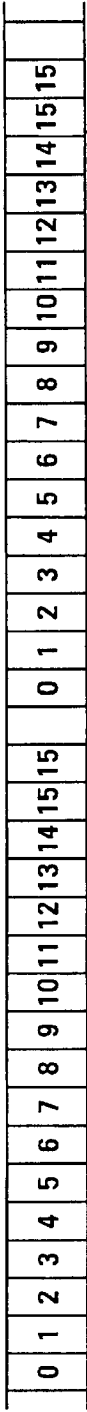


FIG. 4D

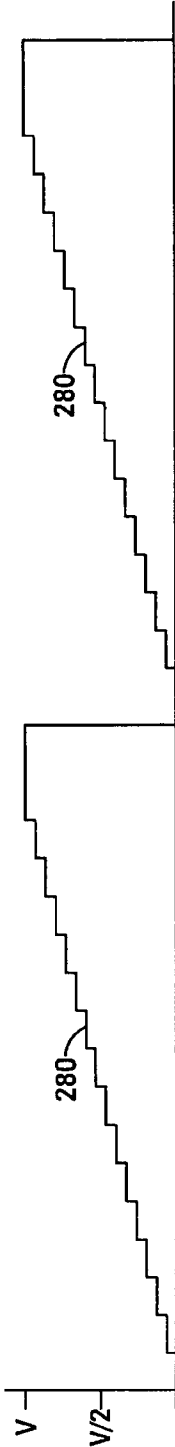


FIG. 4E

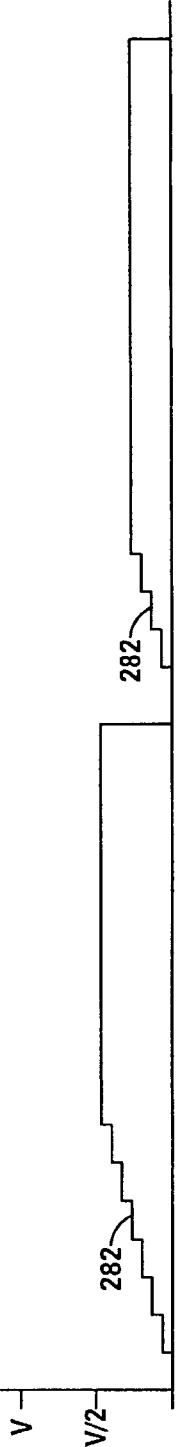
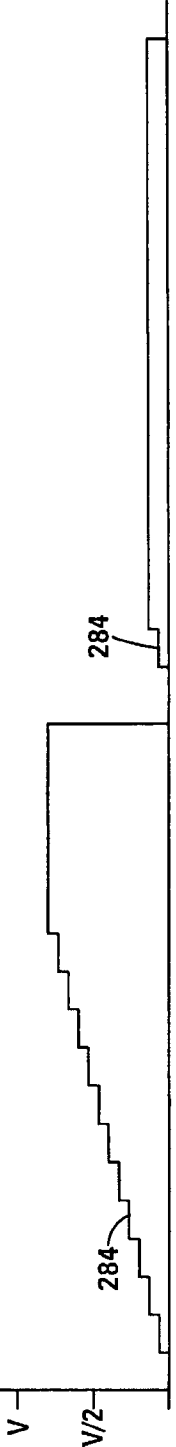
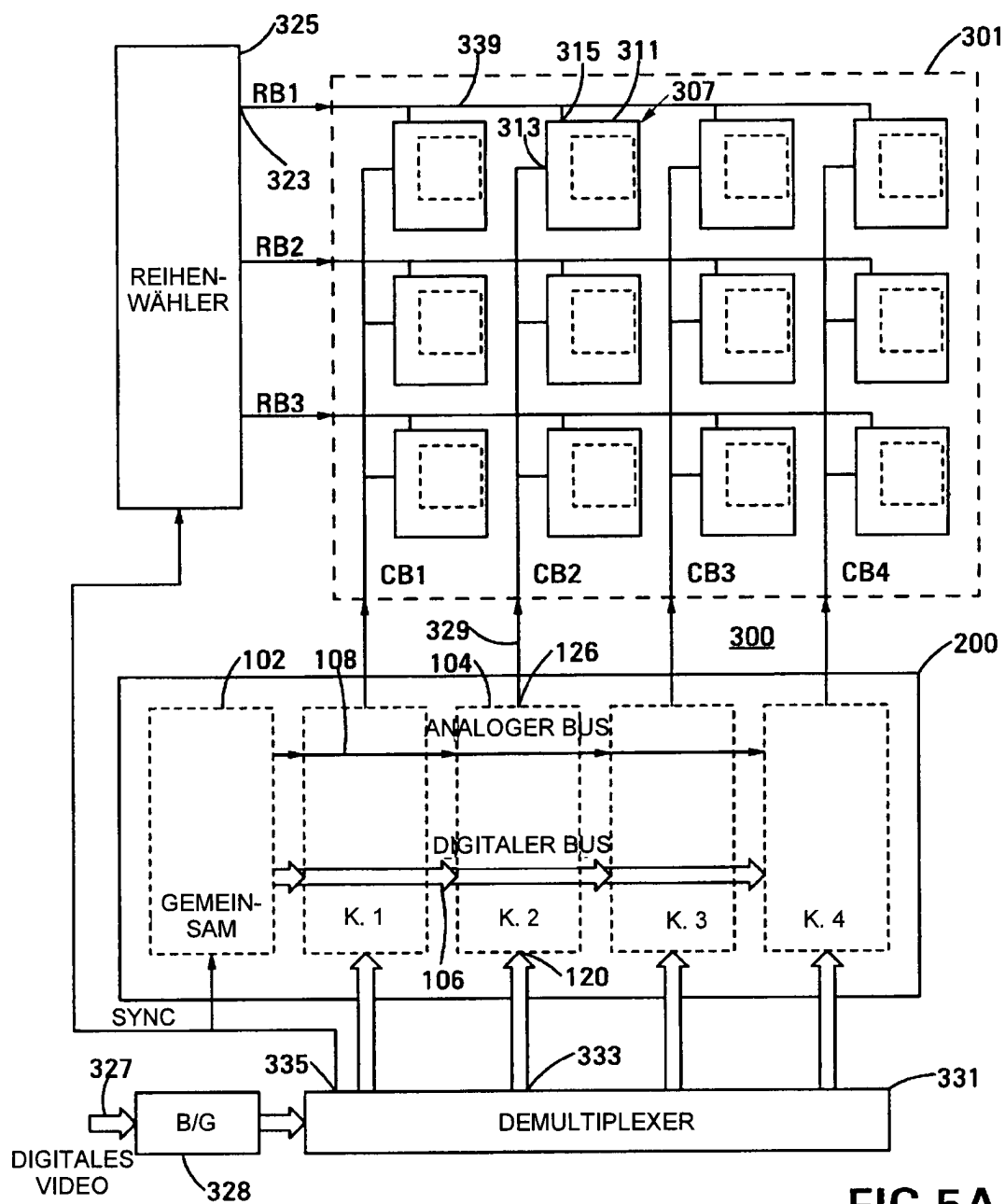
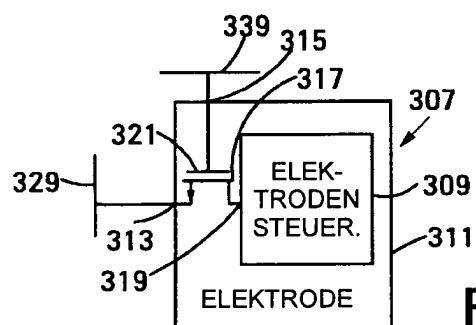


FIG. 4F





**FIG.5A**



**FIG.5B**

