

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7016973号  
(P7016973)

(45)発行日 令和4年2月7日(2022.2.7)

(24)登録日 令和4年1月28日(2022.1.28)

(51)国際特許分類

F I

H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04	G
H 0 1 L	27/04 (2006.01)	H 0 1 L	29/91	C
H 0 1 L	29/861 (2006.01)	H 0 1 L	29/91	F
H 0 1 L	29/868 (2006.01)	H 0 1 L	29/90	D
H 0 1 L	21/329 (2006.01)	H 0 1 L	29/91	L

請求項の数 6 (全63頁) 最終頁に続く

(21)出願番号	特願2021-2361(P2021-2361)
(22)出願日	令和3年1月8日(2021.1.8)
(62)分割の表示	特願2017-104661(P2017-104661) )の分割
原出願日	平成29年5月26日(2017.5.26)
(65)公開番号	特開2021-73698(P2021-73698A)
(43)公開日	令和3年5月13日(2021.5.13)
審査請求日	令和3年1月8日(2021.1.8)
(31)優先権主張番号	特願2016-114282(P2016-114282)
(32)優先日	平成28年6月8日(2016.6.8)
(33)優先権主張国・地域又は機関	日本国(JP)
(31)優先権主張番号	特願2016-114283(P2016-114283)
(32)優先日	平成28年6月8日(2016.6.8)
(33)優先権主張国・地域又は機関	

最終頁に続く

(73)特許権者	000005821 パナソニック株式会社 大阪府門真市大字門真1006番地
(74)代理人	100115381 弁理士 小谷 昌崇
(74)代理人	100067828 弁理士 小谷 悦司
(74)代理人	100118049 弁理士 西谷 浩治
(72)発明者	安達 和広 大阪府門真市大字門真1006番地 パナソニック株式会社内
審査官	市川 武宜

最終頁に続く

(54)【発明の名称】 基板電圧制御回路

## (57)【特許請求の範囲】

## 【請求項1】

第1ソース端子、第2ソース端子、基板端子を有する双方向スイッチングデバイスと接続する基板電圧制御回路において、

前記第1ソース端子と接続する第1接続端子と、

前記第2ソース端子と接続する第2接続端子と、

前記基板端子と接続する基板電圧制御端子と、

第1ソース、第1ドレイン、第1ゲートを有し、前記第1ソースが前記基板電圧制御端子に接続され、前記第1ドレインが前記第1接続端子に接続された第1スイッチと、

前記第1ゲートと前記第2接続端子との間に接続された第1抵抗と、

第2ソース、第2ドレイン、第2ゲートを有し、前記第2ソースが前記基板電圧制御端子に接続され、前記第2ドレインが前記第2接続端子に接続された第2スイッチと、

前記第2ゲートと前記第1接続端子との間に接続された第2抵抗と、

を備え、

前記第1スイッチは、前記第1ゲート及び前記第1ソース間に第1ゲートをアノードとする第1ダイオードを内蔵するトランジスタであり、

前記第2スイッチは、前記第2ゲート及び前記第2ソース間に第2ゲートをアノードとする第2ダイオードを内蔵するトランジスタである、

基板電圧制御回路。

## 【請求項2】

前記双方向スイッチングデバイスは、GaN双方向スイッチングデバイスである、  
請求項1記載の基板電圧制御回路。

【請求項3】

前記第1ダイオードがpn接合ダイオードであり、  
前記第2ダイオードがpn接合ダイオードである、  
請求項1又は2記載の基板電圧制御回路。

【請求項4】

前記トランジスタは、p型半導体層を有し、  
前記第1抵抗及び前記第2抵抗は、それぞれ前記p型半導体層と同じ層で形成される、  
請求項1～3のいずれかに記載の基板電圧制御回路。

10

【請求項5】

前記基板電圧制御回路は、前記双方向スイッチングデバイスと同じチップ上に形成される  
集積回路である、  
請求項1～4のいずれかに記載の基板電圧制御回路。

【請求項6】

第1ソース端子、第2ソース端子、基板端子を有する双方向スイッチングデバイスと接続  
する基板電圧制御回路において、

前記第1ソース端子と接続する第1接続端子と、

前記第2ソース端子と接続する第2接続端子と、

前記基板端子と接続する基板電圧制御端子と、

20

第1ソース、第1ドレイン、第1ゲートを有し、前記第1ソースが前記基板電圧制御端  
子に接続され、前記第1ドレインが前記第1接続端子に接続された第1スイッチと、

前記第1ゲートと前記第2接続端子との間に接続された第1抵抗と、

第2ソース、第2ドレイン、第2ゲートを有し、前記第2ソースが前記基板電圧制御端  
子に接続され、前記第2ドレインが前記第2接続端子に接続された第2スイッチと、

前記第2ゲートと前記第1接続端子との間に接続された第2抵抗と、

を備え、

前記第1スイッチは、前記第1ゲートが絶縁性のFETであり、

前記第2スイッチは、前記第2ゲートが絶縁性のFETであり、

第1アノードと第1カソードとを有する第1チェナードायオードと、

第2アノードと第2カソードとを有する第2チェナードायオードとを更に備え、

30

前記第1アノードは、前記基板電圧制御端子に接続され、

前記第1カソードは、前記第1ゲートに接続され、

前記第2アノードは、前記基板電圧制御端子に接続され、

前記第2カソードは、前記第2ゲートに接続される、

基板電圧制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、双方向スイッチングデバイスの基板端子の電圧を制御する回路に関する。

40

【背景技術】

【0002】

本開示の実施形態に関連する双方向スイッチングデバイスとは、2つのソース端子間を、  
電氣的に短絡の状態（オン状態）または開放の状態（オフ状態）に制御することが可能な  
、一つのチップ上に作成される半導体デバイスのことである（特許文献1参照）。ここで  
、双方向スイッチングデバイスは、第1のソース端子の電圧が第2のソース端子の電圧よ  
りも高く、且つ、双方向スイッチングデバイスがオン状態のときに、第1のソース端子か  
ら第2のソース端子の方向に電流を流すことが可能である。また、双方向スイッチングデ  
バイスは、第2のソース端子の電圧が第1のソース端子の電圧よりも高く、且つ、双方向  
スイッチングデバイスがオン状態のときに、第2のソース端子から第1のソース端子の方

50

向に電流を流すことが可能である。

【0003】

双方向スイッチングデバイスは、例えば、マトリクスコンバータの電力変換器の主スイッチのようなパワーデバイスに適用することができる。

【0004】

特許文献1は、双方向スイッチングデバイスの基板電圧を、2つのソース端子の電圧のうち、低い方の電圧に設定することで、双方向スイッチングデバイスの動作を安定させる制御回路(103)を開示する(第5図参照)。この制御回路(103)は、基板端子(SUB)と第2のソース端子(S2)との間に、ダイオード(135)と抵抗(136)との並列回路が接続され、且つ、基板端子(SUB)と第1のソース端子(S1)との間にも同様に、ダイオード(133)と抵抗(134)との並列回路が接続されている。ここで、ダイオード(135)は、カソード端子が第2のソース端子(S2)に接続され、アノード端子が基板端子(SUB)に接続されており、ダイオード(133)は、カソード端子が第1のソース端子(S1)に接続され、アノード端子が基板端子(SUB)に接続されている。

10

【先行技術文献】

【特許文献】

【0005】

【文献】国際公開第2011/064955号

【発明の概要】

20

【0006】

双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させる基板電圧制御回路が求められている。

【0007】

本開示に係る基板電圧制御回路は、第1接続端子と、第2接続端子と、基板電圧制御端子と、第1ソース、第1ドレイン、第1ゲートを有し、前記第1ソースが前記基板電圧制御端子に接続され、前記第1ドレインが前記第1接続端子に接続された第1スイッチと、前記第1ゲートと前記第2接続端子との間に接続された第1抵抗と、第2ソース、第2ドレイン、第2ゲートを有し、前記第2ソースが前記基板電圧制御端子に接続され、前記第2ドレインが前記第2接続端子に接続された第2スイッチと、前記第2ゲートと前記第1接続端子との間に接続された第2抵抗と、を備える。

30

【0008】

包括的または具体的な態様は、素子、デバイス、モジュール、システム、集積回路、方法またはコンピュータプログラムで実現されてもよい。また、包括的または具体的な態様は、素子、デバイス、モジュール、システム、集積回路、方法およびコンピュータプログラムの任意の組み合わせによって実現されてもよい。

【0009】

開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる。効果および/または利点は、明細書および図面に開示の様々な実施形態または特徴によって個々に提供され、これらの1つ以上を得るために全てを必要とはしない。

40

【図面の簡単な説明】

【0010】

【図1】本開示の実施形態の基本構成に係る基板電圧制御回路を示す図である。

【図2】基板端子の電圧とソース端子の電圧との理想的な関係を示す波形図である。

【図3】本開示の実施の形態1における基板電圧制御回路の一例を示す図である。

【図4】本開示の実施の形態2における基板電圧制御回路の一例を示す図である。

【図5A】回路シミュレーションの結果を示す波形図である。

【図5B】回路シミュレーションの結果を示す波形図である。

【図6】双方向スイッチングデバイスを回路記号で示す図である。

50

【図 7】ゲート駆動回路部を接続した GaN 双方向スイッチングデバイスの断面構成を示す図である。

【図 8】GaN スwitchングデバイスの断面構成を示す図である。

【図 9】GaN ダイオードの断面構造を示す図である。

【図 10】本開示の実施の形態 3 に係る基板電圧制御回路の一例を示す図である。

【図 11】本開示の実施の形態 4 に係る基板電圧制御回路の一例を示す図である。

【図 12 A】図 11 の基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 12 B】図 11 の基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 13】本開示の実施の形態 5 における基板電圧制御回路の一例を示す図である。

【図 14】本開示の実施の形態 5 における基板電圧制御回路を改良した基板電圧制御回路の一例を示す図である。

【図 15 A】図 14 に示す基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 15 B】図 14 に示す基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 16】本開示の実施の形態 6 における基板電圧制御回路の一例を示す図である。

【図 17】本開示の実施の形態 6 における基板電圧制御回路を改良した基板電圧制御回路の一例を示す図である。

【図 18 A】図 17 に示す基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 18 B】図 17 に示す基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 19】本開示の実施の形態 7 における基板電圧制御回路の一例を示す図である。

【図 20】本開示の実施の形態 7 における基板電圧制御回路を改良した基板電圧制御回路の一例を示す図である。

【図 21 A】図 20 に示す基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【図 21 B】図 20 に示す基板電圧制御回路を用いた、回路シミュレーションの結果を示す波形図である。

【発明を実施するための形態】

【0011】

上述した特許文献 1 の制御回路 (103) は、基板端子の電圧を 2 つのソース端子の電圧のうち低い方の電圧にすることができない場合が生じる。

【0012】

以下、2 つのソース端子のうち、ソース端子 (S1) がソース端子 (S2) より低い場合を例に挙げて説明する。この場合、ソース端子 (S1) の電圧より、基板端子 (SUB) の電圧が高ければ、ダイオード (133) は、オン状態になり、アノード端子からカソード端子に電流を流し、基板端子 (SUB) の電圧をソース端子 (S1) の電圧近辺まで下げることができる。

【0013】

しかし、基板端子 (SUB) の電圧がソース端子 (S1) の電圧より低ければ、ダイオード (133) は、カソード端子の電圧がアノード端子の電圧より高く、オン状態になれないので、電流を流すことができない。この場合、制御回路 (103) は、基板端子 (SUB) の電圧をソース端子 (S1) の電圧まで上昇させることができない。このことは、ソース端子 (S2) の電圧がソース端子 (S1) の電圧より低く、且つ、基板端子 (SUB) の電圧がソース端子 (S2) の電圧より低い場合も同様である。

【0014】

つまり、特許文献 1 の技術は、基板端子 (SUB) の電圧が、低い方のソース端子の電圧

10

20

30

40

50

よりも低い場合、基板端子（SUB）の電圧を低い方のソース端子の電圧近辺まで上げることができない。したがって、特許文献1の技術は、双方向スイッチングデバイスを安定したスイッチング特性で動作させることができないと共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させることができないという課題がある。

【0015】

本開示は、上記課題を解決するものであり、双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させる基板電圧制御回路を提供するものである。

【0016】

（本開示に至る経緯）

マトリクスコンバータなどに用いられるパワーデバイスとして、バンドギャップが大きいGaNを用いて、ノーマリオフ化と低オン抵抗化とが両立された双方向GIT（Gate Injection Transistor）と呼ばれるトランジスタが知られている。

【0017】

双方向GITは、基板端子の電圧が変動するので、双方向のスイッチング特性がアンバランスなるといえる問題がある。そこで、上述した特許文献1に示すように、双方向スイッチングデバイスの基板端子（SUB）の電圧を、2つのソース端子の電圧のうち、低い方の電圧に設定する技術が知られている。

【0018】

しかし、特許文献1は、上述したように、基板端子（SUB）の電圧が、低い方のソース端子の電圧よりも低い場合、基板端子（SUB）の電圧を低い方のソース端子の電圧近辺まで上げることができないという課題がある。

【0019】

そこで、本開示の第1態様に係る基板電圧制御回路は、双方向スイッチングデバイスの基板端子と接続される基板電圧制御端子の電圧が、ソース2接続端子の電圧とソース1接続端子の電圧とのうち低い方の電圧より低い場合であっても、基板電圧制御端子の電圧をソース2接続端子の電圧とソース1接続端子の電圧とのうち低い方の電圧に設定することを目的とする。

【0020】

また、特許文献1は、基板端子（SUB）の電圧が低い方のソース端子の電圧よりも低い場合、基板端子（SUB）の電圧がフローティング状態となり、双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させることができないという課題もある。

【0021】

本開示の第2、第3態様に係る基板電圧制御回路は、上記の課題を解決するものである。

【0022】

本開示の第1態様に係る基板電圧制御回路は、双方向スイッチングデバイスの基板端子電圧を制御する基板電圧制御回路であって、

ソース1接続端子とソース2接続端子と基板電圧制御端子とローサイド回路とハイサイド回路とを備え、

前記双方向スイッチングデバイスは、ソース1端子とソース2端子と基板端子とを備え、

前記ソース1接続端子は、前記ソース1端子と接続され、

前記ソース2接続端子は、前記ソース2端子と接続され、

前記基板電圧制御端子は、前記基板端子と接続され、

前記ローサイド回路は、ローサイドスイッチとローサイド抵抗とを備え、

前記ローサイドスイッチは、ローサイドスイッチソース端子とローサイドスイッチドレイン端子とローサイドスイッチゲート端子とを備え、

前記ハイサイド回路は、ハイサイドスイッチとハイサイド抵抗とを備え、

10

20

30

40

50

前記ハイサイドスイッチは、ハイサイドスイッチソース端子とハイサイドスイッチドレイン端子とハイサイドスイッチゲート端子とを備え、

前記ローサイドスイッチソース端子は、前記基板電圧制御端子と接続され、

前記ローサイドスイッチドレイン端子は、前記ソース1接続端子と接続され、

前記ローサイドスイッチゲート端子と前記ソース2接続端子との間に、前記ローサイド抵抗が接続され、

前記ハイサイドスイッチソース端子は、前記基板電圧制御端子と接続され、

前記ハイサイドスイッチドレイン端子は、前記ソース2接続端子と接続され、

前記ハイサイドスイッチゲート端子と前記ソース1接続端子との間に、前記ハイサイド抵抗が接続される。

10

#### 【0023】

本態様によれば、ソース2接続端子の電圧がソース1接続端子の電圧より高く、且つ、基板電圧制御端子の電圧がソース1接続端子の電圧より低い場合、ローサイドスイッチは、基板電圧制御端子の電圧を基準としたときのローサイドスイッチゲート端子の電圧がローサイドスイッチの閾値電圧より高ければ、オン状態になる。これにより、基板電圧制御端子とソース1接続端子とが短絡し、基板電圧制御端子の電圧がソース1接続端子付近まで増加する。その結果、基板電圧制御端子の電圧がソース1接続端子の電圧より低い場合であっても、基板電圧制御端子の電圧をソース1接続端子の電圧に設定できる。

#### 【0024】

また、ソース1接続端子の電圧がソース2接続端子の電圧より高く、且つ、基板電圧制御端子の電圧がソース2接続端子の電圧より低い場合、ハイサイドスイッチは、基板電圧制御端子の電圧を基準としたときのハイサイドスイッチゲート端子の電圧がハイサイドスイッチの閾値電圧より高ければ、オン状態になる。これにより、基板電圧制御端子とソース2接続端子とが短絡し、基板電圧制御端子の電圧がソース2接続端子付近まで増大する。その結果、基板電圧制御端子の電圧がソース2接続端子の電圧より低い場合であっても、基板電圧制御端子の電圧をソース2接続端子の電圧に設定できる。

20

#### 【0025】

このように、本態様は、常に基板電圧制御端子の電圧を、ソース1接続端子の電圧及びソース2接続端子の電圧のうち、低い方の電圧に設定できる。その結果、双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させることができる。

30

#### 【0026】

第1態様において、前記ローサイド回路は、ローサイドダイオードを備え、

前記ローサイドダイオードのアノード端子は、前記ローサイドスイッチゲート端子に接続され、前記ローサイドダイオードのカソード端子は、前記ソース2接続端子に接続され、

前記ハイサイド回路は、ハイサイドダイオードを備え、

前記ハイサイドダイオードのアノード端子は、前記ハイサイドスイッチゲート端子に接続され、前記ハイサイドダイオードのカソード端子は、前記ソース1接続端子に接続され、

前記ローサイドダイオードは、前記ソース2接続端子の電圧が前記ソース1接続端子の電圧と同じ電圧になるまでに、前記ローサイドスイッチゲート端子の電圧を前記ローサイドスイッチの閾値電圧より低くし、前記ローサイドスイッチをオフ状態にさせ、

40

前記ハイサイドダイオードは、前記ソース1接続端子の電圧が前記ソース2接続端子の電圧と同じ電圧になるまでに、前記ハイサイドスイッチゲート端子の電圧を前記ハイサイドスイッチの閾値電圧より低くし、前記ハイサイドスイッチをオフ状態にしてもよい。

#### 【0027】

本態様によれば、ソース2接続端子の電圧がソース1接続端子の電圧と同じ電圧になるまでに、ローサイドダイオードは、ローサイドスイッチゲート端子の寄生容量から電荷を引く抜き、ローサイドスイッチゲート端子の電圧をローサイドスイッチの閾値電圧より低くし、ローサイドスイッチをオフ状態にする。これにより、ソース2接続端子の電圧がソース1接続端子の電圧よりも低くなってもローサイドスイッチのオン状態が継続されること

50

を防止できる。

【 0 0 2 8 】

また、ソース 1 接続端子の電圧がソース 2 接続端子の電圧と同じ電圧になるまでに、ハイサイドダイオードは、ハイサイドスイッチゲート端子の寄生容量から電荷を引き抜き、ハイサイドスイッチゲート端子の電圧をハイサイドスイッチの閾値電圧より低くし、ハイサイドスイッチをオフ状態にする。これにより、ソース 1 接続端子の電圧がソース 2 接続端子の電圧よりも低くなってもハイサイドスイッチのオン状態が継続されることを防止できる。そのため、ハイサイドスイッチとローサイドスイッチとが共にオン状態になることを防止でき、ソース 2 接続端子とソース 1 接続端子とが、ハイサイドスイッチとローサイドスイッチとを通じて短絡し、回路が破壊されることを防止できる。

10

【 0 0 2 9 】

第 1 態様において、前記ローサイド回路は、ローサイドコンデンサを備え、前記ローサイドコンデンサは、前記ソース 1 接続端子と前記ローサイドスイッチゲート端子との間に接続され、

前記ハイサイド回路は、ハイサイドコンデンサを備え、

前記ハイサイドコンデンサは、前記ソース 2 接続端子と前記ハイサイドスイッチゲート端子との間に接続され、

前記ソース 1 接続端子の電圧を基準にするときの前記ソース 2 接続端子の電圧を  $V_{s2s1}$  としたときに、

前記ローサイドコンデンサは、前記  $V_{s2s1}$  が正の電圧の範囲において 0 V 近くに減少するまで、前記ローサイドスイッチのオン状態が継続されるように、前記ローサイドスイッチゲート端子の電圧の低下を抑制し、

20

前記ハイサイドコンデンサは、前記  $V_{s2s1}$  が負の電圧の範囲において 0 V 近くに増加するまで、前記ハイサイドスイッチのオン状態が継続されるように、前記ハイサイドスイッチゲート端子の電圧の低下を抑制してもよい。

【 0 0 3 0 】

本態様によれば、ローサイドコンデンサは、 $V_{s2s1}$  が正の電圧の範囲において 0 V 近くに減少するまで、ローサイドスイッチのオン状態が継続されるように、ローサイドスイッチゲート端子の電圧の低下を抑制する。これにより、ローサイドスイッチゲート端子の電圧を安定化し、ソース 1 接続端子の電圧及びソース 2 接続端子の電圧のうち低い方の電圧に対する基板電圧制御端子の電圧の追従性を高めることができる。

30

【 0 0 3 1 】

また、ハイサイドコンデンサは、 $V_{s2s1}$  が負の電圧の範囲において 0 V 近くに増加するまで、ハイサイドスイッチのオン状態が継続されるように、ハイサイドスイッチゲート端子の電圧の低下を抑制する。これにより、ハイサイドスイッチゲート端子の電圧を安定化し、ソース 1 接続端子の電圧及びソース 1 接続端子の電圧のうち低い方の電圧に対する基板電圧制御端子の電圧の追従性を高めることができる。

【 0 0 3 2 】

第 1 態様において、前記ローサイドコンデンサと前記ハイサイドコンデンサとはキャパシタンス容量値が 1 0 0 p F から 1 0 n F までであってもよい。

40

【 0 0 3 3 】

本態様によれば、ソース 1 接続端子の電圧とソース 2 接続端子の電圧とのうち、低い方の電圧に対する基板電圧制御端子の電圧の追従性を高めることができる。

【 0 0 3 4 】

第 1 態様において、前記ローサイド抵抗と前記ハイサイド抵抗との抵抗値が 5 0 0 オームから 5 0 0 キロオームまでであってもよい。

【 0 0 3 5 】

本態様によれば、ソース 1 接続端子の電圧とソース 2 接続端子の電圧とのうち、低い方の電圧に対する基板電圧制御端子の電圧の追従性を高めることができる。

【 0 0 3 6 】

50

第1態様において、前記ローサイドスイッチは、  
 前記ローサイドスイッチソース端子の電圧を基準にしたときの前記ローサイドスイッチゲート端子の電圧をローサイドスイッチゲート電圧としたときに、  
 前記ローサイドスイッチゲート電圧が前記ローサイドスイッチの閾値電圧より高いときに、オン状態になり、前記ローサイドスイッチソース端子と前記ローサイドスイッチドレイン端子とを短絡させ、  
 前記ローサイドスイッチゲート電圧が前記ローサイドスイッチの閾値電圧より低いときに、オフ状態になり、前記ローサイドスイッチソース端子と前記ローサイドスイッチドレイン端子とを開放させ、  
 前記ハイサイドスイッチは、  
 前記ハイサイドスイッチソース端子の電圧を基準にしたときの前記ハイサイドスイッチゲート端子の電圧をハイサイドスイッチゲート電圧としたときに、  
 前記ハイサイドスイッチゲート電圧がハイサイドスイッチの閾値電圧より高いときに、オン状態になり、前記ハイサイドスイッチソース端子と前記ハイサイドスイッチドレイン端子とを短絡させ、  
 前記ハイサイドスイッチゲート電圧が前記ハイサイドスイッチの閾値電圧より低いときに、オフ状態になり、前記ハイサイドスイッチソース端子と前記ハイサイドスイッチドレイン端子とを開放させてもよい。

10

## 【0037】

本態様によれば、ローサイドスイッチソース端子の電圧を基準にしたときのローサイドスイッチゲート端子の電圧であるローサイドスイッチゲート電圧がローサイドスイッチの閾値電圧より高いときに、ローサイドスイッチは、オン状態になり、ローサイドスイッチソース端子とローサイドスイッチドレイン端子とを短絡させる。これにより、ローサイドスイッチソース端子が接続された基板端子制御端子の電圧が、ソース1接続端子の電圧より低い場合であっても、基板電圧制御端子の電圧をソース1接続端子の電圧に設定できる。

20

## 【0038】

また、前記ハイサイドスイッチソース端子の電圧を基準にしたときのハイサイドスイッチゲート端子の電圧であるハイサイドスイッチゲート電圧がハイサイドスイッチの閾値電圧より高いときに、ハイサイドスイッチは、オン状態になり、ハイサイドスイッチソース端子と前記ハイサイドスイッチドレイン端子とを短絡させる。これにより、ハイサイドスイッチソース端子が接続された基板端子制御端子の電圧が、ソース2接続端子の電圧より低い場合であっても、基板電圧制御端子の電圧をソース2接続端子の電圧に設定できる。

30

## 【0039】

第1態様において、前記ローサイドスイッチと前記ハイサイドスイッチとは、Metal Oxide Semiconductor (MOSFET) もしくは、Insulated Gate Bipolar Transistor (IGBT) もしくは、Junction Field Effect Transistor (JFET) もしくは、Static Induced Transistor (SIT) もしくは、High Electron Mobility Transistor (HEMT) であってもよい。

## 【0040】

40

第1態様において、前記ローサイドスイッチは、  
 ローサイドスイッチボディダイオードが内蔵され、  
 前記ローサイドスイッチソース端子の電圧が前記ローサイドスイッチドレイン端子の電圧より大きいときに、前記ローサイドスイッチソース端子から前記ローサイドスイッチドレイン端子に前記ローサイドスイッチボディダイオードを通して電流が流れ、  
 前記ハイサイドスイッチは、  
 ハイサイドスイッチボディダイオードが内蔵され、  
 前記ハイサイドスイッチソース端子の電圧が前記ハイサイドスイッチドレイン端子の電圧より大きいときに、前記ハイサイドスイッチソース端子から前記ハイサイドスイッチドレイン端子に前記ハイサイドスイッチボディダイオードを通して電流が流れてもよい。

50

## 【 0 0 4 1 】

本態様によれば、外部の回路部品を設けることなく、ローサイドスイッチダイオードとハイサイドスイッチダイオードとを構成できる。

## 【 0 0 4 2 】

本開示の第 2 態様に係る基板電圧制御回路は、双方向スイッチングデバイスの基板端子電圧を制御する基板電圧制御回路であって、

ソース 1 接続端子と、ソース 2 接続端子と、基板電圧制御端子と、ローサイド回路と、ハイサイド回路とを備え、

前記双方向スイッチングデバイスは、ソース 1 端子とソース 2 端子と基板端子とを備え、

前記ソース 1 接続端子は、前記ソース 1 端子と接続され、

前記ソース 2 接続端子は、前記ソース 2 端子と接続され、

前記基板電圧制御端子は、前記基板端子と接続され、

前記ローサイド回路は、ローサイド第 1 スイッチとローサイド第 2 スイッチとローサイドコンデンサとローサイド電源とを備え、

前記ローサイド第 1 スイッチは、ローサイド第 1 スイッチソース端子とローサイド第 1 スイッチドレイン端子とローサイド第 1 スイッチゲート端子とを備え、

前記ローサイド第 2 スイッチは、ローサイド第 2 スイッチソース端子とローサイド第 2 スイッチドレイン端子とローサイド第 2 スイッチゲート端子とを備え、

前記ハイサイド回路は、ハイサイド第 1 スイッチとハイサイド第 2 スイッチとハイサイドコンデンサとハイサイド電源とを備え、

前記ハイサイド第 1 スイッチは、ハイサイド第 1 スイッチソース端子とハイサイド第 1 スイッチドレイン端子とハイサイド第 1 スイッチゲート端子とを備え、

前記ハイサイド第 2 スイッチは、ハイサイド第 2 スイッチソース端子とハイサイド第 2 スイッチドレイン端子とハイサイド第 2 スイッチゲート端子とを備え、

前記ローサイド第 1 スイッチソース端子は、前記基板電圧制御端子と接続され、

前記ローサイド第 1 スイッチドレイン端子は、前記ソース 1 接続端子と接続され、

前記ローサイド第 1 スイッチゲート端子は、前記ローサイド第 2 スイッチドレイン端子と接続され、

前記ローサイドコンデンサは、前記ソース 2 接続端子と前記ローサイド第 2 スイッチゲート端子との間に接続され、

前記ローサイド電源は、前記基板電圧制御端子と前記ローサイド第 2 スイッチソース端子との間に接続され、

前記ハイサイド第 1 スイッチソース端子は、前記基板電圧制御端子と接続され、

前記ハイサイド第 1 スイッチドレイン端子は、前記ソース 2 接続端子と接続され、

前記ハイサイド第 1 スイッチゲート端子は、前記ハイサイド第 2 スイッチドレイン端子と接続され、

前記ハイサイドコンデンサは、前記ソース 1 接続端子と前記ハイサイド第 2 スイッチゲート端子との間に接続され、

前記ハイサイド電源は、前記基板電圧制御端子と前記ローサイド第 2 スイッチソース端子との間に接続される。

## 【 0 0 4 3 】

本態様によれば、ソース 1 接続端子に対するソース 2 接続端子の電圧を電圧  $V_{s2s1}$  とすると、電圧  $V_{s2s1}$  がプラスの範囲で低下するときに、ローサイドコンデンサのカップリングによってローサイド第 2 スイッチゲート端子の電圧（ゲート電圧）が低下する。

このとき、ローサイド第 2 スイッチのゲート電圧はローサイド電源の電圧を基準にしたゲート電圧になる。そして、このゲート電圧がローサイド第 2 スイッチの閾値電圧より低くなると、ローサイド第 2 スイッチはオン状態になり、ローサイド電源の電圧がローサイド第 1 スイッチゲート端子に印加され、ローサイド第 1 スイッチがオン状態になり、基板電圧制御端子にソース 1 接続端子の電圧が印加される。

## 【 0 0 4 4 】

10

20

30

40

50

そのため、本態様は、電圧  $V_{s2s1}$  の変化時に、基板電圧制御端子の電圧をソース 1 接続端子の電圧に設定し、基板電圧制御端子の電圧がフローティング状態になることを防止できる。その結果、本態様は、双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させることができる。

【0045】

また、本態様は、電圧  $V_{s2s1}$  がプラスの範囲で低下するとき、ローサイド第 2 スイッチによってローサイド第 1 スイッチのローサイド第 1 スイッチゲート端子が駆動されるので、ローサイド第 1 スイッチの駆動性能を高めることができる。

【0046】

以上のことは、電圧  $V_{s2s1}$  がマイナスの範囲で増大するときにおいても、ハイサイド回路で同様に成り立つ。

【0047】

また、第 2 態様において、前記ローサイド回路は、ローサイドスイッチダイオードを備え、前記ローサイドスイッチダイオードは、アノード端子が前記基板電圧制御端子と接続され、カソード端子が前記ローサイド第 1 スイッチゲート端子と接続され、

前記ハイサイド回路は、ハイサイドスイッチダイオードを備え、

前記ハイサイドスイッチダイオードは、アノード端子が前記基板電圧制御端子と接続され、カソード端子が前記ハイサイド第 1 スイッチゲート端子と接続され、

前記ローサイドスイッチダイオードは、前記基板電圧制御端子の電圧が前記ソース 1 接続端子の電圧より大きいときに、前記ローサイドスイッチダイオードのアノード端子から前記ローサイドスイッチダイオードのカソード端子に電流を流すことで、前記基板電圧制御端子の電圧を前記ソース 1 接続端子の電圧に近づけ、

前記ハイサイドスイッチダイオードは、前記基板電圧制御端子の電圧が前記ソース 2 接続端子の電圧より大きいときに、前記ハイサイドスイッチダイオードのアノード端子から前記ハイサイドスイッチダイオードのカソード端子に電流を流し、前記基板電圧制御端子の電圧を前記ソース 2 接続端子の電圧に近づけてもよい。

【0048】

本態様によれば、ローサイドスイッチダイオードが設けられているので、基板電圧制御端子の電圧がソース 1 接続端子の電圧より大きいとき、ローサイドスイッチダイオードがオン状態になって、基板電圧制御端子の電圧をソース 1 接続端子の電圧に近づけることができる。

【0049】

また、ハイサイドスイッチダイオードが設けられているので、基板電圧制御端子の電圧がソース 2 接続端子の電圧より大きいとき、ハイサイドスイッチダイオードがオン状態になって基板電圧制御端子の電圧をソース 2 接続端子の電圧に近づけることができる。

【0050】

また、第 2 態様において、前記ローサイド回路は、ローサイドダイオードを備え、

前記ローサイドダイオードは、アノード端子が前記ローサイド第 1 スイッチゲート端子に接続され、カソード端子が前記ソース 2 接続端子に接続され、

前記ハイサイド回路は、ハイサイドダイオードを備え、

前記ハイサイドダイオードは、アノード端子が前記ハイサイド第 1 スイッチゲート端子に接続され、カソード端子が前記ソース 1 接続端子に接続され、

前記ローサイドダイオードは、前記ソース 2 接続端子の電圧が前記ソース 1 接続端子の電圧と同じ電圧になるまでに、前記ローサイド第 1 スイッチゲート電圧を前記ローサイド第 1 スイッチの閾値電圧より低くし、前記ローサイド第 1 スイッチをオフ状態にし、

前記ハイサイドダイオードは、前記ソース 1 接続端子の電圧が前記ソース 2 接続端子の電圧と同じ電圧になるまでに、前記ハイサイド第 1 スイッチゲート電圧を前記ハイサイド第 1 スイッチの閾値電圧より低くし、前記ハイサイド第 1 スイッチをオフ状態にしてもよい。

【0051】

10

20

30

40

50

本態様によれば、ソース2接続端子の電圧がソース1接続端子の電圧と同じ電圧になるまでに、ローサイドダイオードは、ローサイド第1スイッチゲート端子の寄生のキャパシタンス容量から電荷を引く抜き、ローサイド第1スイッチゲート端子の電圧をローサイド第1スイッチの閾値電圧より低くし、ローサイド第1スイッチをオフ状態にする。これにより、ソース2接続端子の電圧がソース1接続端子の電圧よりも低くなってもローサイド第1スイッチのオン状態が継続されることを防止できる。

**【0052】**

また、ソース1接続端子の電圧がソース2接続端子の電圧と同じ電圧になるまでに、ハイサイドダイオードは、ハイサイド第1スイッチゲート端子の寄生のキャパシタンス容量から電荷を引き抜き、ハイサイド第1スイッチゲート端子の電圧をハイサイド第1スイッチの閾値電圧より低くし、ハイサイド第1スイッチをオフ状態にする。これにより、ソース1接続端子の電圧がソース2接続端子の電圧よりも低くなってもハイサイド第1スイッチのオン状態が継続されることを防止できる。

10

**【0053】**

また、第2態様において、前記ローサイド第1スイッチは、前記ローサイド第1スイッチソース端子を基準とする前記ローサイド第1スイッチゲート端子の電圧を、ローサイドスイッチゲート電圧としたときに、前記ローサイドスイッチゲート電圧が前記ローサイド第1スイッチの閾値電圧より高いときに、オン状態になり、前記ローサイド第1スイッチソース端子と前記ローサイド第1スイッチドレイン端子とを短絡し、前記ローサイド第1スイッチゲート電圧が前記ローサイド第1スイッチの閾値電圧より低いときに、オフ状態になり、前記ローサイド第1スイッチソース端子と前記ローサイド第1スイッチドレイン端子とを開放し、前記ハイサイド第1スイッチは、前記ハイサイド第1スイッチソース端子を基準とする前記ハイサイド第1スイッチゲート端子の電圧を、ハイサイド第1スイッチゲート電圧としたときに、前記ハイサイド第1スイッチゲート電圧が前記ハイサイド第1スイッチの閾値電圧より高いときに、オン状態になり、前記ハイサイド第1スイッチソース端子と前記ハイサイド第1スイッチドレイン端子とを短絡し、前記ハイサイド第1スイッチゲート電圧が前記ハイサイド第1スイッチの閾値電圧より低いときに、オフ状態になり、前記ハイサイド第1スイッチソース端子と前記ハイサイド第1スイッチドレイン端子とを開放してもよい。

20

30

**【0054】**

本態様によれば、ローサイド第1スイッチソース端子の電圧を基準にしたときのローサイド第1スイッチゲート端子の電圧であるローサイドスイッチゲート電圧がローサイド第1スイッチの閾値電圧より高いときに、ローサイド第1スイッチは、オン状態になり、ローサイド第1スイッチソース端子とローサイド第1スイッチドレイン端子とを短絡させる。これにより、ローサイド第1スイッチソース端子が接続された基板電圧制御端子の電圧が、ソース1接続端子の電圧より低い場合であっても、基板電圧制御端子の電圧をソース1接続端子の電圧に設定できる。

40

**【0055】**

また、ハイサイド第1スイッチソース端子の電圧を基準にしたときのハイサイド第1スイッチゲート端子の電圧であるハイサイドスイッチゲート電圧がハイサイド第1スイッチの閾値電圧より高いときに、ハイサイド第1スイッチは、オン状態になり、ハイサイド第1スイッチソース端子とハイサイド第1スイッチドレイン端子とを短絡させる。これにより、ハイサイド第1スイッチソース端子が接続された基板電圧制御端子の電圧が、ソース2接続端子の電圧より低い場合であっても、基板電圧制御端子の電圧をソース2接続端子の電圧に設定できる。

**【0056】**

また、第2態様において、前記ローサイド第1スイッチと前記ハイサイド第1スイッチと

50

は、それぞれ、Metal Oxide Semiconductor (MOSFET) もしくは、Insulated Gate Bipolar Transistor (IGBT) もしくは、Junction Field Effect Transistor (JFET) もしくは、Static Induced Transistor (SIT) もしくは、High Electron Mobility Transistor (HEMT) であってもよい。

【0057】

また、第2態様において、前記ローサイド第1スイッチは、内蔵されたローサイドスイッチボディダイオードを備え、

前記ローサイドスイッチボディダイオードは、前記ローサイド第1スイッチソース端子の電圧が前記ローサイド第1スイッチドレイン端子の電圧より大きいときに、前記ローサイド第1スイッチソース端子から前記ローサイド第1スイッチドレイン端子に電流を流し、前記ハイサイドスイッチは、内蔵されたハイサイドスイッチボディダイオードを備え、前記ハイサイドスイッチボディダイオードは、前記ハイサイド第1スイッチソース端子の電圧が前記ハイサイド第1スイッチドレイン端子の電圧より大きいときに、前記ハイサイド第1スイッチソース端子から前記ハイサイド第1スイッチドレイン端子に電流を流してもよい。

10

【0058】

電圧  $V_{s2s1}$  がプラス範囲で一定電圧となる定常状態の期間では、ローサイド第2スイッチはオフ状態になるので、ローサイド第1スイッチもオフ状態になり、基板電圧制御端子の電圧は電氣的にフローティング状態になってしまう。

20

【0059】

本態様によれば、ローサイド第2スイッチがローサイドスイッチボディダイオードを備えているので、電圧  $V_{s2s1}$  がプラス範囲で一定電圧となる定常状態の期間において、基板電圧制御端子の電圧は、ソース1接続端子の電圧より、ローサイドボディダイオードの閾値電圧分高い電圧に維持される。その結果、電圧  $V_{s2s1}$  がプラス範囲で一定電圧となる定常状態の期間において、基板電圧制御端子の電圧をソース1接続端子の電圧とソース2接続端子の電圧とのうち低い方のソース1接続端子の電圧に設定できる。このことは、ハイサイド回路においても同様に成り立つ。

【0060】

更に、本態様によれば、外部の回路部品を設けることなく、ローサイドスイッチダイオードとハイサイドスイッチダイオードとを構成できる。

30

【0061】

本開示の第3態様に係る基板電圧制御回路は、双方向スイッチングデバイスの基板端子電圧を制御する基板電圧制御回路であって、

ソース1接続端子とソース2接続端子と基板電圧制御端子と、ローサイド回路とハイサイド回路とを備え、

前記双方向スイッチングデバイスは、ソース1端子とソース2端子と基板端子を有し、

前記ソース1接続端子は、前記ソース1端子と接続され、

前記ソース2接続端子は、前記ソース2端子と接続され、

前記基板電圧制御端子は、前記基板端子と接続され、

前記ローサイド回路は、ローサイド第1スイッチとローサイド第2スイッチとローサイド第1コンデンサとを備え、

前記ローサイド第1スイッチは、ローサイド第1スイッチソース端子とローサイド第1スイッチドレイン端子とローサイド第1スイッチゲート端子とを備え、

前記ローサイド第2スイッチは、ローサイド第2スイッチソース端子とローサイド第2スイッチドレイン端子とローサイド第2スイッチゲート端子とを備え、

前記ハイサイド回路は、ハイサイド第1スイッチとハイサイド第2スイッチとハイサイド第1コンデンサとを備え、

前記ハイサイド第1スイッチは、ハイサイド第1スイッチソース端子とハイサイド第1ス

40

50

イッチドレイン端子とハイサイド第1スイッチゲート端子とを備え、  
 前記ハイサイド第2スイッチは、ハイサイド第2スイッチソース端子とハイサイド第2スイッチドレイン端子とハイサイド第2スイッチゲート端子とを備え、  
 前記ローサイド第1スイッチソース端子は、前記ソース1接続端子と接続され、  
 前記ローサイド第1スイッチドレイン端子は、前記基板電圧制御端子と接続され、  
 前記ローサイド第1スイッチゲート端子は、前記ローサイド第2スイッチドレイン端子と接続され、  
 前記ローサイド第2スイッチソース端子は、前記ソース1接続端子と接続され、  
 前記ローサイド第1コンデンサは、前記ソース2接続端子と前記ローサイド第2スイッチドレイン端子の間に接続され、  
 前記ハイサイド第1スイッチソース端子は、前記ソース2接続端子と接続され、  
 前記ハイサイド第1スイッチドレイン端子は、前記基板電圧制御端子と接続され、  
 前記ハイサイド第1スイッチゲート端子は、前記ハイサイド第2スイッチドレイン端子と接続され、  
 前記ハイサイド第2スイッチソース端子は、前記ソース2接続端子と接続され、  
 前記ハイサイド第1コンデンサは、前記ソース1接続端子と前記ハイサイド第2スイッチドレイン端子の間に接続される。

10

【0062】

本態様によれば、ソース1接続端子に対するソース2接続端子の電圧を電圧 $V_{s2s1}$ とすると、電圧 $V_{s2s1}$ がプラスの範囲で低下するときに、ローサイド第1コンデンサのカップリングによって、ローサイド第1スイッチソース端子の電圧を基準にしたときのローサイド第1スイッチゲート端子の電圧（以下、ゲート電圧）が低下する。ローサイド第1スイッチのゲート電圧がローサイド第1スイッチの閾値電圧より低くなると、ローサイド第1スイッチはオン状態になり、基板電圧制御端子にソース1接続端子の電圧が印加される。

20

【0063】

そのため、本態様は、電圧 $V_{s2s1}$ がプラスの範囲で低下するときに、基板電圧制御端子の電圧をソース1接続端子の電圧に設定し、基板電圧制御端子の電圧がフローティング状態になることを防止できる。その結果、本態様は、双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させることができる。

30

【0064】

以上のことは、ソース2接続端子に対するソース1接続端子の電圧を電圧 $V_{s1s2}$ とすると、電圧 $V_{s1s2}$ がプラスの範囲で低下する場合（電圧 $V_{s2s1}$ がマイナスの範囲で増大する場合）においても、ハイサイド回路で同様に成り立つ。

【0065】

第3態様において、前記ローサイド回路は、ローサイドダイオードを更に備え、  
 前記ハイサイド回路は、ハイサイドダイオードを更に備え、  
 前記ローサイドダイオードは、ローサイドアノード端子とローサイドカソード端子とを備え、  
 前記ハイサイドダイオードは、ハイサイドアノード端子とハイサイドカソード端子とを備え、  
 前記ローサイドアノード端子は、前記ローサイド第2スイッチゲート端子と接続され、  
 前記ローサイドカソード端子は、前記基板電圧制御端子と接続され、  
 前記ハイサイドアノード端子は、前記ハイサイド第2スイッチゲート端子と接続され、  
 前記ローサイドカソード端子は、前記基板電圧制御端子と接続されていてもよい。

40

【0066】

本態様によれば、基板電圧制御端子の電圧が低下すると、ローサイドダイオードがオン状態になって、ローサイド第2スイッチゲート端子の電圧が基板電圧制御端子の電圧の低下に追従して低下する。これにより、ローサイド第2スイッチのゲート電圧がローサイド第

50

2 スイッチの閾値電圧より低くなると、ローサイド第2スイッチはオン状態になる。その結果、ローサイド第1スイッチゲート端子とローサイド第1スイッチソース端子とが同じ電位となり、ローサイド第1スイッチはオフ状態になる。

【0067】

そのため、本態様は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合において、基板電圧制御端子の電圧が低下したときに、確実にローサイド第1スイッチをオフ状態にすることができる。このことは、電圧 $V_{s1s2}$ がマイナスの範囲において低下する場合に、基板電圧制御端子の電圧が低下したときにも、ハイサイド回路で同様に成り立つ。

【0068】

第3態様において、前記ローサイド回路は、ローサイド第2コンデンサを更に備え、  
前記ハイサイド回路は、ハイサイド第2コンデンサを更に備え、  
前記ローサイド第2コンデンサは、前記基板電圧制御端子と前記ローサイド第2スイッチゲート端子の間に接続され、  
前記ハイサイド第2コンデンサは、前記基板電圧制御端子と前記ハイサイド第2スイッチゲート端子の間に接続されていてもよい。

10

【0069】

本態様によれば、基板電圧制御端子の電圧が低下すると、ローサイド第2コンデンサのカップリングによって、ローサイド第2スイッチゲート端子の電圧が基板電圧制御端子の電圧の低下に追従して低下する。これにより、ローサイド第2スイッチのゲート電圧がローサイド第2スイッチの閾値電圧より低くなると、ローサイド第2スイッチはオン状態になる。その結果、ローサイド第1スイッチゲート端子とローサイド第1スイッチソース端子とが同じ電位となり、ローサイド第1スイッチはオフ状態になる。

20

【0070】

そのため、本態様は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合において、基板電圧制御端子の電圧が低下したときに、確実にローサイド第1スイッチをオフ状態にすることができる。このことは、電圧 $V_{s1s2}$ がマイナスの範囲において低下する場合に、基板電圧制御端子の電圧が低下したときにも、ハイサイド回路で同様に成り立つ。

【0071】

第3態様において、前記ローサイド回路は、ローサイド抵抗を更に備え、  
前記ハイサイド回路は、ハイサイド抵抗を更に備え、  
前記ローサイド抵抗は、前記基板電圧制御端子と前記ローサイド第2スイッチゲート端子の間に接続され、  
前記ハイサイド抵抗は、前記基板電圧制御端子と前記ハイサイド第2スイッチゲート端子の間に接続されていてもよい。

30

【0072】

本態様によれば、基板電圧制御端子の電圧が低下すると、ローサイド第2スイッチゲート端子からローサイド抵抗を介して基板電圧制御端子へ電流が流れることによって、ローサイド第2スイッチゲート端子の電圧が基板電圧制御端子の電圧の低下に追従して低下する。これにより、ローサイド第2スイッチのゲート電圧がローサイド第2スイッチの閾値電圧より低くなると、ローサイド第2スイッチはオン状態になる。その結果、ローサイド第1スイッチゲート端子とローサイド第1スイッチソース端子とが同じ電位となり、ローサイド第1スイッチはオフ状態になる。

40

【0073】

そのため、本態様は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合において、基板電圧制御端子の電圧が低下したときに、確実にローサイド第1スイッチをオフ状態にすることができる。このことは、電圧 $V_{s1s2}$ がマイナスの範囲において低下する場合に、基板電圧制御端子の電圧が低下したときにも、ハイサイド回路で同様に成り立つ。

【0074】

第3態様において、前記ローサイド第1スイッチは、前記ローサイド第1スイッチソース端子の電圧を基準にしたときの前記ローサイド第1スイッチゲート端子の電圧をローサイ

50

ド第1スイッチゲート電圧としたときに、

前記ローサイド第1スイッチゲート電圧が前記ローサイド第1スイッチの閾値電圧より低いときに、オン状態になり、前記ローサイド第1スイッチソース端子と前記ローサイド第1スイッチドレイン端子とを短絡させ、

前記ローサイド第1スイッチゲート電圧が前記ローサイド第1スイッチの閾値電圧より高いときに、オフ状態になり、前記ローサイド第1スイッチソース端子と前記ローサイド第1スイッチドレイン端子とを開放させ、

前記ハイサイド第1スイッチは、

前記ハイサイド第1スイッチソース端子の電圧を基準にしたときの前記ハイサイド第1スイッチゲート端子の電圧をハイサイド第1スイッチゲート電圧としたときに、

前記ハイサイド第1スイッチゲート電圧が前記ハイサイド第1スイッチの閾値電圧より低いときに、オン状態になり、前記ハイサイド第1スイッチソース端子と前記ハイサイド第1スイッチドレイン端子とを短絡させ、

前記ハイサイド第1スイッチゲート電圧が前記ハイサイド第1スイッチの閾値電圧より高いときに、オフ状態になり、前記ハイサイド第1スイッチソース端子と前記ハイサイドスイッチドレイン端子とを開放させてもよい。

【0075】

本態様によれば、ローサイド第1スイッチ及びハイサイド第1スイッチをP型のMOSFET等のP型のスイッチングデバイスによって構成することができる。

【0076】

第3態様において、前記ローサイド第1スイッチと前記ハイサイド第1スイッチとが、それぞれ、P型のMetal Oxide Semiconductor (MOSFET) もしくは、Insulated Gate Bipolar Transistor (IGBT) もしくは、Junction Field Effect Transistor (JFET) もしくは、Static Induced Transistor (SIT) もしくは、High Electron Mobility Transistor (HEMT) であってもよい。

【0077】

第3態様において、前記ローサイド第1スイッチは、

ローサイド第1スイッチボディダイオードを内蔵し、

前記ローサイド第1スイッチソース端子の電圧が前記ローサイド第1スイッチドレイン端子の電圧より低いときに、前記ローサイド第1スイッチドレイン端子から前記ローサイド第1スイッチソース端子に前記ローサイド第1スイッチボディダイオードを通して電流を流し、

前記ハイサイド第1スイッチは、

ハイサイド第1スイッチボディダイオードを内蔵し、

前記ハイサイド第1スイッチソース端子の電圧が前記ハイサイド第1スイッチドレイン端子の電圧より低いときに、前記ハイサイド第1スイッチドレイン端子から前記ハイサイド第1スイッチソース端子に前記ハイサイド第1スイッチボディダイオードを通して電流を流すようにしてもよい。

【0078】

ソース2接続端子の電圧がソース1接続端子の電圧よりも低くなり、電圧 $V_{s2s1}$ がプラスの電圧からマイナスの電圧になったとする。この場合、電圧 $V_{s2s1}$ がプラスの電圧のときに基板電圧制御端子の電圧がソース1接続端子の電圧と同じになっているので、ソース2接続端子の電圧は、基板電圧制御端子の電圧よりも低くなる。このため、ソース2接続端子と接続されたハイサイド第1スイッチソース端子の電圧は、基板電圧制御端子と接続されたハイサイド第1スイッチドレイン端子の電圧よりも低くなる。

【0079】

これにより、ハイサイド第1スイッチドレイン端子からハイサイド第1スイッチソース端子にハイサイド第1スイッチボディダイオードを通して電流が流れ、基板電圧制御端子の電圧が、ソース2接続端子の電圧にハイサイド第1スイッチボディダイオードの閾値電圧

10

20

30

40

50

を加えた電圧以下に制限される。その結果、電圧  $V_{s2s1}$  がマイナスの範囲において低下するのに追従して、基板電圧制御端子の電圧も低下する。

【0080】

そのため、本態様は、電圧  $V_{s2s1}$  がマイナスの範囲で低下する場合に、電圧  $V_{s2s1}$  の低下に追従して基板電圧制御端子の電圧を低下させることができる。このことは、電圧  $V_{s1s2}$  がマイナスの範囲で低下する場合（電圧  $V_{s2s1}$  がプラスの範囲で増大する場合）にも、ローサイド回路で同様に成り立つ。

【0081】

第3態様において、前記ローサイド回路は、

前記ローサイドアノード端子と前記ローサイド第2スイッチゲート端子との間に接続されたローサイド第3コンデンサを更に備え、

前記ハイサイド回路は、前記ハイサイドアノード端子と前記ハイサイド第2スイッチゲート端子との間に接続されたハイサイド第3コンデンサを更に備え、

前記ローサイド第1コンデンサと前記ハイサイド第1コンデンサとはキャパシタンス容量値が  $0.1\text{ nF}$  から  $100\text{ nF}$  までであり、

前記ローサイド第3コンデンサと前記ハイサイド第3コンデンサとはキャパシタンス容量値が  $0.05\text{ nF}$  から  $50\text{ nF}$  までであってもよい。

【0082】

本態様によれば、ソース1接続端子の電圧とソース2接続端子の電圧とのうち、低い方の電圧に対する基板電圧制御端子の電圧の追従性を高めることができる。

【0083】

第3態様において、前記ローサイド回路は、

前記ローサイド第1スイッチゲート端子と前記ソース1接続端子との間に接続されたローサイド第1抵抗と、

前記ローサイド第2スイッチゲート端子と前記ソース1接続端子との間に接続されたローサイド第2抵抗と、

前記ローサイドアノード端子と前記ローサイド第2スイッチゲート端子との間に接続されたローサイド第3抵抗と、

を更に備え、前記ハイサイド回路は、前記ハイサイド第1スイッチゲート端子と前記ソース2接続端子との間に接続されたハイサイド第1抵抗と、

前記ハイサイド第2スイッチゲート端子と前記ソース2接続端子との間に接続されたハイサイド第2抵抗と、

前記ハイサイドアノード端子と前記ハイサイド第2スイッチゲート端子との間に接続されたハイサイド第3抵抗と、

を更に備え、

前記ローサイド第1抵抗と前記ローサイド第2抵抗と前記ローサイド第3抵抗と前記ハイサイド第1抵抗と前記ハイサイド第2抵抗と前記ハイサイド第3抵抗との抵抗値が  $10\text{ k}\Omega$  から  $1\text{ M}\Omega$  までであってもよい。

【0084】

本態様によれば、ソース1接続端子の電圧とソース2接続端子の電圧とのうち、低い方の電圧に対する基板電圧制御端子の電圧の追従性を高めることができる。

【0085】

[ 双方向スイッチングデバイス ]

本開示の基板電圧制御回路を説明する前に、基板電圧制御回路が制御対象とする双方向スイッチングデバイスについて、図6を用いて説明をする。

【0086】

図6は、双方向スイッチングデバイス900を回路記号で示す図である。双方向スイッチングデバイス900はソース端子  $S1$  と、ソース端子  $S2$  と、2つのゲート端子  $G1$  ,  $G2$  と、基板端子  $SUB$  とを備える。ソース端子  $S1$  の電圧を  $V_{s1}$  とし、ソース端子  $S2$  の電圧を  $V_{s2}$  とし、ゲート端子  $G1$  の電圧を  $V_{g1}$  とし、ゲート端子  $G2$  の電圧を  $V_{g2}$

10

20

30

40

50

2とし、ソース端子S1の電圧 $V_{s1}$ を基準にしたゲート端子G1の電圧 $V_{g1}$ を電圧 $V_{gs1}$ とし、ソース端子S2の電圧 $V_{s2}$ を基準にしたゲート端子G2の電圧 $V_{g2}$ を電圧 $V_{gs2}$ とする。

【0087】

また、電圧 $V_{s1}$ より電圧 $V_{s2}$ の方が高い場合、電圧 $V_{gs1}$ が閾値電圧より高いとき、双方向スイッチングデバイス900はオン状態になり、電圧 $V_{gs1}$ が閾値電圧より低いとき、双方向スイッチングデバイス900はオフ状態になる。

【0088】

一方、電圧 $V_{s2}$ より電圧 $V_{s1}$ の方が高い場合、電圧 $V_{gs2}$ が閾値電圧より高いとき、双方向スイッチングデバイス900はオン状態になり、電圧 $V_{gs2}$ が閾値電圧より低いとき、双方向スイッチングデバイス900はオフ状態になる。

10

【0089】

図6に示す双方向スイッチングデバイス900は2つのゲート端子G1, G2を持つが、1つのゲート端子を持つ双方向スイッチングデバイスであっても、本開示の基板電圧制御回路は、適用可能であり、期待する効果が得られる。

【0090】

[基板端子電圧波形]

次に、目標とする基板端子SUBの理想的な電圧波形について図2を用いて説明する。図2は、基板端子SUBの電圧と、ソース端子S1及びソース端子S2の電圧差との理想的な関係を示す波形図200である。一点鎖線で示すソース端子電圧波形201は、一方のソース端子(例えばソース端子S1)の電圧を0Vの基準電圧にしたときの、他方のソース端子(例えばソース端子S2)の電圧波形である。破線で示す基板端子電圧波形221は基板端子SUBの電圧波形である。

20

【0091】

ソース端子電圧波形201がマイナスからプラスの電圧に変化し(時刻T1)、その後、プラスからマイナスの電圧に変化するとき(時刻T2)、基板端子電圧波形221は、常に低い方のソース端子電圧と同じ電圧になるのが理想の電圧波形である。

【0092】

詳細には、ソース端子電圧波形201がソース端子S2の電圧波形であるとする、時刻T1までは、ソース端子S2の電圧がソース端子S1の電圧よりも低いので、基板端子電圧波形221は、ソース端子電圧波形201に追従して増大している。時刻T1~T2では、ソース端子S2の電圧がソース端子S1の電圧より高いので、基板端子電圧波形221は、0Vのソース端子S1の電圧に追従し、0Vを維持している。時刻T2以降は、再び、ソース端子S2の電圧がソース端子S1の電圧よりも低くなるので、基板端子電圧波形221は、ソース端子電圧波形201に追従して減少している。

30

【0093】

そこで、本開示に係る基板電圧制御回路は、基板端子SUBの電圧を図2で示す理想的な基板端子電圧波形221に可能な限り近づけることを更なる目的とする。

【0094】

[基本構成]

次に、本開示の基本構成の基板電圧制御回路について図1を用いて説明する。図1は、本開示の基本構成に係る基板電圧制御回路100を示す図である。

40

【0095】

基板電圧制御回路100は、ソース1接続端子111およびソース2接続端子121の2つのソース接続端子と、基板電圧制御端子101とを備える。これらの端子と、図6に示す双方向スイッチングデバイス900の端子との結線について説明する。ソース1接続端子111はソース端子S1と接続され、ソース2接続端子121はソース端子S2と接続され、基板電圧制御端子101は基板端子SUBと接続される。

【0096】

更に、基板電圧制御回路100は、ソース1接続端子111及び基板電圧制御端子101

50

間に接続されたスイッチ 1 1 2 と、ソース 2 接続端子 1 2 1 及び基板電圧制御端子 1 0 1 間に接続されたスイッチ 1 2 2 と、スイッチ 1 1 2 , 1 2 2 を制御する制御回路 1 3 1 とを備える。制御回路 1 3 1 は、ソース 1 接続端子 1 1 1 の電圧がソース 2 接続端子 1 2 1 の電圧より低いとき、スイッチ 1 1 2 をオン状態にし、同時にスイッチ 1 2 2 をオフ状態にする。また、制御回路 1 3 1 は、ソース 1 接続端子 1 1 1 の電圧がソース 2 接続端子 1 2 1 の電圧より高いとき、スイッチ 1 1 2 をオフ状態にし、同時にスイッチ 1 2 2 をオン状態にする。

【 0 0 9 7 】

制御回路 1 3 1 は、ソース 1 接続端子 1 1 1 の電圧とソース 2 接続端子 1 2 1 の電圧とを比較するコンパレータと、このコンパレータの出力信号を元に制御信号を生成する制御信号生成回路と、生成された制御信号にしたがってスイッチ 1 1 2 とスイッチ 1 2 2 とを制御するゲートドライバ回路とを備える。このように、制御回路 1 3 1 は、コンパレータと、制御信号生成回路と、ゲートドライバ回路というような回路で実現される。

10

【 0 0 9 8 】

しかし、この制御回路 1 3 1 は、コンパレータと、制御信号生成回路と、ゲートドライバ回路とが必要なため、回路規模が大きくなり、体積の増加及びコストの増加を招来する。以下に説明するように、本開示の基板電圧制御回路は、制御回路 1 3 1 が不要なので、回路規模を小さくし、小型化とコスト低減とが可能である。以下、本開示の実施の形態について説明する。

【 0 0 9 9 】

20

(実施の形態 1)

図 3 は、本開示の実施の形態 1 における基板電圧制御回路 3 0 0 の一例を示す図である。基板電圧制御回路 3 0 0 は、ソース 1 接続端子 1 1 1 と、ソース 2 接続端子 1 2 1 と、基板電圧制御端子 1 0 1 と、ローサイド回路 3 1 9 と、ハイサイド回路 3 2 9 とを備える。

【 0 1 0 0 】

ソース 1 接続端子 1 1 1 は双方向スイッチングデバイス 9 0 0 のソース端子 S 1 が接続され、ソース 2 接続端子 1 2 1 は双方向スイッチングデバイス 9 0 0 のソース端子 S 2 が接続され、基板電圧制御端子 1 0 1 は双方向スイッチングデバイス 9 0 0 の基板端子 S U B が接続される。

【 0 1 0 1 】

30

ローサイド回路 3 1 9 は、基板電圧制御端子 1 0 1 にソース 1 接続端子 1 1 1 の電圧を印加させるための回路である。ハイサイド回路 3 2 9 は、基板電圧制御端子 1 0 1 にソース 2 接続端子 1 2 1 の電圧を印加させるための回路である。ローサイド回路 3 1 9 とハイサイド回路 3 2 9 とはそれぞれ回路構成は同じである。但し、ローサイド回路 3 1 9 とハイサイド回路 3 2 9 とでは、ソース 1 接続端子 1 1 1 とソース 2 接続端子 1 2 1 との接続関係が逆である点が相違する。

【 0 1 0 2 】

N c h M O S F E T 3 1 2 は、図 1 のスイッチ 1 1 2 に N チャンネル型 M O S F E T ( M e t a l O x i d e S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r ) を適用したものである。同様に N c h M O S F E T 3 2 2 はスイッチ 1 2 2 に N チャンネル型の M O S F E T を適用したものである。

40

【 0 1 0 3 】

ローサイド回路 3 1 9 は、N c h M O S F E T 3 1 2 (ローサイドスイッチの一例、および第 1 スwitch の一例) と、抵抗 3 1 3 とを備える。ハイサイド回路 3 2 9 は、N c h M O S F E T 3 2 2 (ハイサイドスイッチの一例、および第 2 スwitch の一例) と、抵抗 3 2 3 とを備える。

【 0 1 0 4 】

N c h M O S F E T 3 1 2 は、ソース端子 S が基板電圧制御端子 1 0 1 に接続され、ドレイン端子 D がソース 1 接続端子 1 1 1 に接続され、ゲート端子 G が抵抗 3 1 3 を通してソース 2 接続端子 1 2 1 に接続される。

50

## 【0105】

NchMOSFET322はソース端子Sが基板電圧制御端子101に接続され、ドレイン端子Dがソース2接続端子121に接続され、ゲート端子Gが抵抗323を通してソース1接続端子111に接続される。

## 【0106】

ソース2接続端子121の電圧 $V_{s2}$ がソース1接続端子111の電圧 $V_{s1}$ より高いとき、NchMOSFET312がオン状態、NchMOSFET322がオフ状態になる。これにより、基板電圧制御端子101とソース1接続端子111とが電氣的に短絡状態になり、基板電圧制御端子101にソース1接続端子111の電圧 $V_{s1}$ が印加される。

## 【0107】

ソース1接続端子111の電圧 $V_{s1}$ がソース2接続端子121の電圧 $V_{s2}$ より高いとき、NchMOSFET322がオン状態、NchMOSFET312がオフ状態になる。これにより、基板電圧制御端子101とソース2接続端子121とが電氣的に短絡状態になり、基板電圧制御端子101にソース2接続端子121の電圧 $V_{s2}$ が印加される。

## 【0108】

Nチャンネル型MOSFETは、原理的に、ソース端子Sとドレイン端子Dとの2つの端子の電圧のうち、低い方の電圧を基準にしたときのゲート端子Gの電圧(ゲート電圧 $V_{gs}$ )が、閾値電圧 $V_{th}$ より高いときオン状態になり、閾値電圧 $V_{th}$ より低いときにオフ状態になる。

## 【0109】

NchMOSFETの閾値電圧 $V_{th}$ は、厳密には、ソース端子Sを基準にしたドレイン端子Dの電圧 $V_{ds}$ に応じて、2種類の閾値電圧 $V_{th}$ が存在する。1つ目は、 $V_{ds} > 0V$ のときの閾値電圧 $V_{th}$ であり、一般的に称される閾値電圧である。2つ目は、 $V_{ds} < 0V$ のときの閾値電圧 $V_{th}$ であり、一般的には、電圧 $V_{ds}$ が負電圧のときの閾値電圧と称される。両閾値電圧 $V_{th}$ の値は異なる。以下、両閾値電圧 $V_{th}$ を区別する場合、前者を閾値電圧 $V_{th1}$ と記述し、後者を閾値電圧 $V_{th2}$ と記述する。

## 【0110】

(i) ローサイド回路： $V_{sub} > V_{s1}$ の場合

ローサイド回路319において、基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ より高いとき( $V_{sub} > V_{s1}$ )、ソース1接続端子111を基準にしたときのNchMOSFET312のゲート端子Gの電圧がゲート電圧 $V_{gs}$ となる。また、 $V_{sub} > V_{s1}$ の場合、電圧 $V_{ds} < 0$ なので、NchMOSFET312の閾値電圧 $V_{th}$ は、閾値電圧 $V_{th2}$ となる。

## 【0111】

このとき、ソース1接続端子111を基準にしたときのソース2接続端子121の電圧 $V_{s2s1}$ が、NchMOSFET312の閾値電圧 $V_{th2}$ より高ければ、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th2}$ より高くなって、NchMOSFET312はオン状態になる。一方、電圧 $V_{s2s1}$ が閾値電圧 $V_{th2}$ より低ければ、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th2}$ より低くなって、NchMOSFET312はオフ状態になる。

## 【0112】

(ii) ローサイド回路： $V_{s1} > V_{sub}$ の場合

逆に、基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ より低いとき( $V_{s1} > V_{sub}$ )、基板電圧制御端子101を基準にしたときのNchMOSFET312のゲート端子Gの電圧がゲート電圧 $V_{gs}$ になる。また、 $V_{s1} > V_{sub}$ の場合、電圧 $V_{ds} > 0$ なので、閾値電圧 $V_{th}$ は閾値電圧 $V_{th1}$ となる。

## 【0113】

このとき、基板電圧制御端子101を基準にしたときのソース2接続端子121の電圧 $V_{s2sub}$ がNchMOSFET312の閾値電圧 $V_{th1}$ より高ければ、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th1}$ より高くなって、NchMOSFET312はオン状態になる。一方、電圧 $V_{s2sub}$ が閾値電圧 $V_{th1}$ より低いとき、ゲート電圧 $V_{gs}$ が閾値電圧

10

20

30

40

50

$V_{th1}$ より低くなって、 $NchMOSFET312$ はオフ状態になる。

【0114】

(iii) ハイサイド回路： $V_{sub} > V_{s2}$ の場合

これらのことは、ハイサイド回路329においても同様である。基板電圧制御端子101の電圧 $V_{sub}$ が $NchMOSFET322$ のドレイン端子Dに繋がるソース2接続端子121の電圧 $V_{s2}$ より高いときは( $V_{sub} > V_{s2}$ )、ソース2接続端子121を基準にした $NchMOSFET322$ のゲート端子Gの電圧がゲート電圧 $V_{gs}$ になる。また、 $V_{sub} > V_{s2}$ の場合、 $NchMOSFET322$ において、 $V_{ds} < 0$ になるので、 $NchMOSFET322$ の閾値電圧 $V_{th}$ は閾値電圧 $V_{th2}$ となる。

【0115】

このとき、ソース2接続端子121を基準にしたソース1接続端子111の電圧 $V_{s1s2}$ が $NchMOSFET322$ の閾値電圧 $V_{th2}$ より高いとき、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th2}$ より高くなって、 $NchMOSFET322$ はオン状態になる。一方、電圧 $V_{s1s2}$ が閾値電圧 $V_{th2}$ より低いとき、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th2}$ より低くなって、 $NchMOSFET322$ はオフ状態になる。

【0116】

(iv) ハイサイド回路： $V_{s2} > V_{sub}$ の場合

逆に、基板電圧制御端子101の電圧 $V_{sub}$ が $NchMOSFET322$ のドレイン端子Dに繋がるソース2接続端子121の電圧 $V_{s2}$ より低いとき( $V_{sub} < V_{s2}$ )、電圧 $V_{sub}$ を基準にした $NchMOSFET322$ のゲート端子Gの電圧がゲート電圧 $V_{gs}$ になる。また、 $V_{sub} < V_{s2}$ の場合、 $NchMOSFET322$ において、 $V_{ds} > 0$ になるので、 $NchMOSFET322$ の閾値電圧 $V_{th}$ は閾値電圧 $V_{th1}$ となる。

【0117】

このとき、基板電圧制御端子101を基準にしたソース1接続端子111の電圧 $V_{s1sub}$ が $NchMOSFET322$ の閾値電圧 $V_{th1}$ より高いとき、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th1}$ より高くなって、 $NchMOSFET322$ はオン状態になる。一方、電圧 $V_{s1sub}$ が閾値電圧 $V_{th1}$ より低いとき、ゲート電圧 $V_{gs}$ が閾値電圧 $V_{th1}$ より低くなって、 $NchMOSFET322$ はオフ状態になる。

【0118】

$NchMOSFET312$ と $NchMOSFET322$ とは、ボディダイオードを持つデバイスでもよいし、持たないデバイスでもよい。また、 $NchMOSFET312$ と $NchMOSFET322$ とは、IGBT(Insulated Gate Bipolar Transistor)やJFET(Junction Field Effect Transistor)などの、Nチャネル型のスイッチングデバイスで置き換えてもよく、スイッチ112及び122は、Nチャネル型MOSFETに限られるものではない。

【0119】

また、 $NchMOSFET312$ と $NchMOSFET322$ とに使用される半導体デバイスの半導体材料は、シリコン(Si)、シリコン・カーバイド(SiC)、ガリウム・ナイトライド(GaN)、ダイヤモンドなどでもよく、特定の半導体材料に限られるものではない。

【0120】

このように、基板電圧制御回路300は、上記の(i)に示すように、電圧 $V_{sub}$ が電圧 $V_{s1}$ より低い場合であっても、電圧 $V_{s2sub}$ が $NchMOSFET312$ の閾値電圧 $V_{th1}$ より高ければ、 $NchMOSFET312$ がオン状態になって、基板電圧制御端子101とソース1接続端子とを短絡状態にすることができる。

【0121】

また、基板電圧制御回路300は、上記の(iv)に示すように、電圧 $V_{sub}$ が電圧 $V_{s2}$ より低い場合であっても、電圧 $V_{s1sub}$ が $NchMOSFET322$ の閾値電圧 $V_{th1}$ より高ければ、 $NchMOSFET322$ がオン状態になって、基板電圧制御端

10

20

30

40

50

子 1 0 1 とソース 2 接続端子 1 2 1 とを短絡状態にすることができる。

【 0 1 2 2 】

このように、基板電圧制御回路 3 0 0 は、上記の ( i ) ~ ( i v ) に示すように、常に基板電圧制御端子 1 0 1 の電圧を、ソース 1 接続端子の電圧及びソース 2 接続端子の電圧のうち、低い方の電圧に設定できる。その結果、双方向スイッチングデバイスを安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイスを動作させることができる。

【 0 1 2 3 】

(実施の形態 2)

以上の説明に用いた図 3 は原理的な回路の構成であり、実用的な回路には保護機能や性能向上のための工夫が必要となる。実施の形態 1 を改良した実用的な実施の形態 2 の基板電圧制御回路について図 4 を用いて説明する。

10

【 0 1 2 4 】

図 4 は、本開示の実施の形態 2 における基板電圧制御回路 4 0 0 の一例を示す図である。基板電圧制御回路 4 0 0 は、図 3 の基板電圧制御回路 3 0 0 に、ダイオード 4 1 4 (ローサイドダイオードの一例、および第 1 ダイオードの一例) と、ダイオード 4 2 4 (ハイサイドダイオードの一例、および第 2 ダイオードの一例) と、チェナードダイオード 4 1 5 (ローサイドスイッチダイオードの一例) と、チェナードダイオード 4 2 5 (ハイサイドスイッチダイオードの一例) と、コンデンサ 4 1 6 と、コンデンサ 4 2 6 とが更に追加されている。ローサイド回路 4 1 9 は、N c h M O S F E T 3 1 2 と、抵抗 3 1 3 と、ダイオード 4 1 4 と、チェナードダイオード 4 1 5 と、コンデンサ 4 1 6 とを備える。ハイサイド回路 4 2 9 は、N c h M O S F E T 3 2 2 と、抵抗 3 2 3 と、ダイオード 4 2 4 と、チェナードダイオード 4 2 5 と、コンデンサ 4 2 6 とを備える。

20

【 0 1 2 5 】

ローサイド回路 4 1 9 は、ソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  がソース 1 接続端子 1 1 1 の電圧  $V_{s1}$  より高いとき、基板電圧制御端子 1 0 1 にソース 1 接続端子 1 1 1 の電圧  $V_{s1}$  を印加するための回路である。ハイサイド回路 4 2 9 は、ソース 1 接続端子 1 1 1 の電圧  $V_{s1}$  がソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  より高いときに、基板電圧制御端子 1 0 1 にソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  を印加するための回路である。

【 0 1 2 6 】

ローサイド回路 4 1 9 において、ダイオード 4 1 4 のアノード端子 a は N c h M O S F E T 3 1 2 のゲート端子 G に接続され、ダイオード 4 1 4 のカソード端子 k はソース 2 接続端子 1 2 1 に接続される。チェナードダイオード 4 1 5 のアノード端子 a は基板電圧制御端子 1 0 1 に接続され、チェナードダイオード 4 1 5 のカソード端子 k は N c h M O S F E T 3 1 2 のゲート端子 G に接続される。コンデンサ 4 1 6 は N c h M O S F E T 3 1 2 のゲート端子 G とソース 1 接続端子 1 1 1 との間に接続される。

30

【 0 1 2 7 】

同様に、ハイサイド回路 4 2 9 において、ダイオード 4 2 4 のアノード端子 a は N c h M O S F E T 3 2 2 のゲート端子 G に接続され、ダイオード 4 2 4 のカソード端子 k はソース 1 接続端子 1 1 1 に接続される。チェナードダイオード 4 2 5 のアノード端子 a は基板電圧制御端子 1 0 1 に接続され、チェナードダイオード 4 2 5 のカソード端子 k は N c h M O S F E T 3 2 2 のゲート端子 G に接続される。コンデンサ 4 2 6 は、N c h M O S F E T 3 2 2 のゲート端子 G とソース 2 接続端子 1 2 1 との間に接続される。

40

【 0 1 2 8 】

以下、ローサイド回路 4 1 9 の動作と部品の定数とについて説明する。以下の説明では電圧  $V_{sub} > 電圧 V_{s1}$  であるものとして説明する。

【 0 1 2 9 】

[ダイオード]

ここで、ソース 1 接続端子 1 1 1 を基準にしたソース 2 接続端子 1 2 1 の電圧を、実施の形態 1 と同様、電圧  $V_{s2s1}$  と定義する。電圧  $V_{s2s1}$  が N c h M O S F E T 3 1 2

50

の閾値電圧  $V_{th}$  より高いプラスの電圧のときは、NchMOSFET 312 は、オン状態になる。電圧  $V_{s2s1}$  が NchMOSFET 312 の閾値電圧  $V_{th}$  より低いプラス電圧のときは、NchMOSFET 312 はオフ状態になる。また、電圧  $V_{s2s1}$  がマイナス電圧のときも NchMOSFET 312 はオフ状態になる。

#### 【0130】

電圧  $V_{s2s1}$  がプラス電圧から 0V に向かって変化する期間及びプラス電圧からマイナス電圧に変化するときの過度期間において、電圧  $V_{s2s1}$  が閾値電圧  $V_{th}$  より低くなったとき、即座に NchMOSFET 312 をターンオフする必要がある。

#### 【0131】

しかし、NchMOSFET 312 のゲート端子 G には寄生のキャパシタンス容量が存在するため、ゲート電圧  $V_{gs}$  の変化は、ソース 2 接続端子 121 の電圧  $V_{s2}$  の変化に対し遅延する可能性がある。この遅延は、寄生キャパシタンス容量と抵抗 313 の抵抗値との積で決まる時定数に関係する大きさになる。遅延が生じると、例えば、電圧  $V_{s2s1}$  がマイナスの電圧になっても暫くの期間、NchMOSFET 312 はオンの状態が継続する可能性がある。このときに、ハイサイド回路 429 の NchMOSFET 322 もオン状態になっているので、ソース 2 接続端子 121 とソース 1 接続端子 111 とは、NchMOSFET 312 と NchMOSFET 322 とを通して短絡し、基板電圧制御回路 400 及び双方向スイッチングデバイス 900 等の回路を破壊する可能性がある。そのため、基板電圧制御回路 400 は、遅延を十分に低減して NchMOSFET 312 を即座にターンオフする必要がある。ダイオード 414 は、この遅延を低減するために設けられている。

#### 【0132】

NchMOSFET 312 のゲート電圧  $V_{gs}$  が、ソース 2 接続端子 121 の電圧  $V_{s2}$  に対してダイオード 414 の閾値電圧  $V_f$  だけ高い電圧より大きいとき ( $V_{gs} > V_{s2} + V_f$ )、ダイオード 414 はオン状態になって、アノード端子 a からカソード端子 k に向けて電流を流す。そのため、電圧  $V_{s2s1}$  が低下していき、ゲート電圧  $V_{gs}$  が電圧  $V_{s2}$  に対して閾値電圧  $V_f$  よりも高くなると、ダイオード 414 は、オン状態になって、NchMOSFET 312 の寄生キャパシタンス容量に蓄積された電荷を引き抜く。その結果、NchMOSFET 312 のゲート電圧  $V_{gs}$  は、即座に  $V_{s2s1}$  の変化に追従できる。電圧  $V_{s2s1}$  が 0V 近辺のときに確実に NchMOSFET 312 をオフ状態にするためには、NchMOSFET 312 がオフ状態になる前に、ダイオード 414 がオン状態になる必要がある。そのため、NchMOSFET 312 の閾値電圧  $V_{th}$  はダイオード 414 の閾値電圧  $V_f$  より大きくすればよい。

#### 【0133】

##### [チェナーダイオード]

チェナーダイオード 415, 425 は、NchMOSFET 312, 322 のゲート端子 G の過電圧破壊を回避するための保護回路である。チェナーダイオード 415 は、NchMOSFET 312 のゲート端子 G の許容電圧より低いチェナー電圧を持つ。これにより、チェナーダイオード 415 は、ゲート端子 G に許容電圧よりも高い電圧が印加されることを防止し、ゲート端子 G の過電圧破壊を回避することができる。

#### 【0134】

チェナーダイオード 425 は、NchMOSFET 322 のゲート端子 G の許容電圧より低いチェナー電圧を持つ。これにより、チェナーダイオード 425 は、ゲート端子 G に許容電圧よりも高い電圧が印加されることを防止し、ゲート端子 G の過電圧破壊を回避することができる。

#### 【0135】

なお、チェナーダイオード 415 は、基板電圧制御端子 101 の電圧がソース 1 接続端子 111 の電圧より高いとき、アノード端子 a からカソード端子 k に電流を流し、電圧  $V_{sub}$  をソース 1 接続端子 111 の電圧に近づける。

#### 【0136】

10

20

30

40

50

また、チェナーダイオード425は、基板電圧制御端子101の電圧 $V_{sub}$ がソース2接続端子121の電圧より高いとき、アノード端子aからカソード端子kに電流を流し、電圧 $V_{sub}$ をソース2接続端子の電圧に近づける。

【0137】

[抵抗]

抵抗313の抵抗値は低い程、ソース2接続端子121の電圧 $V_{s2}$ に対する基板電圧制御端子101の電圧 $V_{sub}$ の追従性が向上する。そのため、抵抗313は、抵抗値が低いほどよい。しかし、電圧 $V_{s2s1}$ がプラスの電圧のときに、ソース2接続端子121から、抵抗313、チェナーダイオード415、及びNchMOSFET312を通して、ソース1接続端子111に電流が流れる。そのため、抵抗313の抵抗値が低すぎると、この電流が増大し、基板電圧制御回路400の損失が増加する。そのため、抵抗313の抵抗値は、基板電圧制御端子101の電圧 $V_{sub}$ の追従性と損失とのトレードオフの中で最適な値を設定すればよい。このことは、抵抗323も同様である。例えば、抵抗313と抵抗323との抵抗値は、500以上、500k以下の値が採用できる。

10

【0138】

[コンデンサ]

ダイオード414にはアノード端子aとカソード端子kとの間に寄生キャパシタンス容量がある。NchMOSFET312のゲート端子Gにも寄生キャパシタンス容量がある。電圧 $V_{s2s1}$ がプラスの電圧の範囲にある場合において、電圧 $V_{s2sub}$ が、チェナーダイオード415のチェナー電圧より大きいとき、チェナーダイオード415のカソード端子kからアノード端子aに電流が流れる。そのため、NchMOSFET312のゲート電圧 $V_{gs}$ は、チェナーダイオード415のチェナー電圧にクランプされ一定の電圧になる。電圧 $V_{s2sub}$ が、チェナーダイオード415のチェナー電圧より高い電圧から0Vに向かって低下するとき、ダイオード414のカソード端子kとアノード端子aの寄生キャパシタンス容量によるカップリングによって、チェナーダイオード415のカソード端子kからアノード端子aへ変位電流が流れる。この変位電流は、NchMOSFET312のゲート電圧 $V_{gs}$ を低下させる。

20

【0139】

そのため、ゲート電圧 $V_{gs}$ は、電圧 $V_{s2s1}$ がプラスの電圧の範囲で0V近くに低下する前に閾値電圧 $V_{th}$ よりも低くなって、NchMOSFET312をオフ状態にする可能性がある。これにより、基板電圧制御端子101の電圧 $V_{sub}$ の制御が理想の波形から逸脱し、性能が低下する場合がある。コンデンサ416はこれを改善するために設けられている。

30

【0140】

コンデンサ416は、NchMOSFET312のゲート電圧 $V_{gs}$ の変動を小さくする。詳細には、コンデンサ416は、電圧 $V_{s2s1}$ が正の電圧の範囲において、0V近くに低下するとき、ダイオード414の寄生キャパシタンス容量によって、チェナーダイオード415のカソード端子kからアノード端子aへ流れる変位電流の一部を吸収する。そのため、コンデンサ416は、NchMOSFET312のゲート電圧 $V_{gs}$ の低下を抑制することができる。その結果、電圧 $V_{s2s1}$ が0V近くに減少するまで、NchMOSFET312のオン状態が継続されるようになる。したがって、電圧 $V_{sub}$ の波形を理想の波形に近づけることができる。

40

【0141】

ここで、コンデンサ416のキャパシタンス容量値は大きい程、基板電圧制御端子101の電圧波形を理想の波形に近づけることができるが、損失は増加する。基板電圧制御端子101の電圧波形を理想の波形に近づけることと、損失とはトレードオフの関係にある。そのため、コンデンサ416のキャパシタンス容量値は、基板電圧制御端子101の電圧波形の特性と損失との関係から、適切な値が設定されればよい。例えば、キャパシタンス容量値としては、100pF以上、10nF以下の値が採用できる。

【0142】

50

以上がローサイド回路 4 1 9 の動作及び定数の説明である。ハイサイド回路 4 2 9 とローサイド回路 4 1 9 とは、ソース 1 接続端子 1 1 1 とソース 2 接続端子 1 2 1 との接続関係が逆である点以外は、同じ回路構成である。そのため、ハイサイド回路 4 2 9 の動作及び定数については、ローサイド回路 4 1 9 と同じであるので説明を省く。

【 0 1 4 3 】

[ シミュレーション ]

次に、図 4 に示す基板電圧制御回路 4 0 0 を用いて行った回路シミュレーションの結果について説明する。

【 0 1 4 4 】

図 5 A、図 5 B は、回路シミュレーションの結果を示す波形図である。この回路シミュレーションでは、ソース 1 接続端子 1 1 1 を 0 V で一定にし、ソース 2 接続端子 1 2 1 の電圧を - 1 5 0 V から + 1 5 0 V に変化させるときと、ソース 2 接続端子 1 2 1 の電圧を + 1 5 0 V から - 1 5 0 V の電圧に変化させたときとの基板電圧制御端子 1 0 1 の電圧  $V_{sub}$  の電圧波形を観察した。そして、電圧  $V_{s2s1}$  に対する電圧  $V_{sub}$  の追従性について評価を行った。この回路シミュレーションでは、電圧  $V_{s2s1}$  の変化する時間は 1 0 0 ナノ秒とした。

10

【 0 1 4 5 】

図 5 A は、電圧  $V_{s2s1}$  がマイナス電圧からプラス電圧に変化するときの電圧波形であり、図 5 B は、電圧  $V_{s2s1}$  がプラス電圧からマイナス電圧に変化するときの電圧波形である。図 5 A、図 5 B には電圧波形 W 1 ~ W 4 の 4 つの電圧波形が示されており、電圧波形 W 1 は電圧  $V_{s2s1}$  の電圧波形であり、電圧波形 W 2 ~ W 4 は電圧  $V_{sub}$  の電圧波形である。

20

【 0 1 4 6 】

電圧波形 W 2 ~ W 4 は、それぞれ、回路の条件が異なる。電圧波形 W 2 の回路の条件は、抵抗 3 1 3 と、抵抗 3 2 3 と、コンデンサ 4 1 6 と、コンデンサ 4 2 6 とが削除された条件である。電圧波形 W 3 の条件は、抵抗 3 1 3 と抵抗 3 2 3 とが、それぞれ、1 k であり、且つ、コンデンサ 4 1 6 とコンデンサ 4 2 6 とが削除された条件である。電圧波形 W 4 の条件は、抵抗 3 1 3 と抵抗 3 2 3 とが、それぞれ、1 k であり、且つ、コンデンサ 4 1 6 と、コンデンサ 4 2 6 とが 1 n F の条件である。

【 0 1 4 7 】

図 5 A と図 5 B との両方において、電圧  $V_{s2s1}$  がマイナスの範囲で変化するとき、電圧  $V_{s2s1}$  に対する電圧  $V_{sub}$  の追従性に差が見られた。電圧  $V_{s2s1}$  が一定である定常状態においては、電圧  $V_{sub}$  はいずれも同じ電圧波形となった。

30

【 0 1 4 8 】

図 5 A において、抵抗 3 1 3 と抵抗 3 2 3 とを削除したときの電圧波形 W 2 と、抵抗値 1 k の抵抗 3 1 3 と抵抗 3 2 3 とを追加したときの電圧波形 W 3 とを比較すると、電圧波形 W 1 が 0 V に到達してから電圧波形 W 3 が 0 V に到達するまでの時間は、電圧波形 W 1 が 0 V に到達してから電圧波形 W 2 が 0 V に到達するまでの時間よりも短い。また、図 5 B において、電圧波形 W 2 と電圧波形 W 3 とを比較すると、電圧波形 W 1 が 0 V に到達してから電圧波形 W 3 が電圧波形 W 1 と重なるまでの時間は、電圧波形 W 1 が 0 V に到達してから電圧波形 W 2 が電圧波形 W 1 と重なるまでの時間よりも短い。すなわち、電圧波形 W 3 の方が理想の電圧波形に近くなった。図 5 A において、電圧波形 W 3 と、電圧波形 W 3 の回路の条件に、キャパシタンス容量が 1 n F のコンデンサ 4 1 6 とコンデンサ 4 2 6 とを追加したときの電圧波形 W 4 とを比較すると、電圧波形 W 1 が 0 V に到達してから電圧波形 W 4 が 0 V に到達するまでの時間は、電圧波形 W 1 が 0 V に到達してから電圧波形 W 3 が 0 V に到達するまでの時間よりも短い。また、図 5 B において、電圧波形 W 3 と電圧波形 W 4 とを比較すると、電圧波形 W 1 が 0 V に到達してから電圧波形 W 4 が電圧波形 W 1 と重なるまでの時間は、電圧波形 W 1 が 0 V に到達してから電圧波形 W 3 が電圧波形 W 1 と重なるまでの時間よりも短い。すなわち、電圧波形 W 4 の方が電圧波形 W 3 よりも更に理想の電圧波形に近くなった。電圧波形 W 4 では、前述した図 4 の動作の説明と一致

40

50

する回路シミュレーションの結果を得られた。

【 0 1 4 9 】

以上、本開示が期待する基板電圧制御回路 4 0 0 の動作が、回路シミュレーションにより検証された。

【 0 1 5 0 】

このように、基板電圧制御回路 4 0 0 は、ダイオード 4 1 4 , 4 2 4 と、コンデンサ 4 1 6 , 4 2 6 とを備えているので、電圧  $V_{s2s1}$  に対する電圧  $V_{sub}$  の追従性をより高め、電圧  $V_{sub}$  を理想の電圧波形に近づけることができる。

【 0 1 5 1 】

[ 双方向スイッチングデバイスの構造 ]

本開示の基板電圧制御回路は、双方向スイッチングデバイスの半導体素子と同じチップ上に集積回路として形成することができる。基板電圧制御回路の集積化について説明する前に、最初に、双方向スイッチングデバイスの構造について図 7 を用いて説明する。

【 0 1 5 2 】

図 7 は、ゲート駆動回路部 5 1 0 2 を接続した GaN 双方向スイッチングデバイス 5 1 0 1 の断面構成を示す図である。

【 0 1 5 3 】

図 7 に示すように、GaN 双方向スイッチングデバイス 5 1 0 1 は、導電性のシリコン ( Si ) 基板 5 1 1 1 の上に形成された厚さが約  $1 \mu\text{m}$  のバッファ層 5 1 1 2 と、バッファ層 5 1 1 2 の上に形成された半導体層積層体 5 1 1 3 とを備える。バッファ層 5 1 1 2 は、交互に積層された厚さが  $10 \text{ nm}$  程度の窒化アルミニウム ( AlN ) と厚さが  $10 \text{ nm}$  程度の窒化ガリウム ( GaN ) とを備える。

【 0 1 5 4 】

半導体層積層体 5 1 1 3 は、基板側から順次積層された第 1 の半導体層 5 1 1 4 と第 1 の半導体層 5 1 1 4 と比べてバンドギャップが大きい第 2 の半導体層 5 1 1 5 とを備える。第 1 の半導体層 5 1 1 4 は、厚さが  $2 \mu\text{m}$  程度のアンドープの窒化ガリウム ( GaN ) 層であり、第 2 の半導体層 5 1 1 5 は、厚さが  $20 \text{ nm}$  程度の n 型の窒化アルミニウムガリウム ( AlGaN ) 層である。

【 0 1 5 5 】

GaN からなる第 1 の半導体層 5 1 1 4 と、AlGaN からなる第 2 の半導体層 5 1 1 5 とのヘテロ界面近傍には、自発分極及びピエゾ分極による電荷が生じる。これにより、シートキャリア濃度が  $1 \times 10^{13} \text{ cm}^{-2}$  以上で且つ移動度が  $1000 \text{ cm}^2 \text{ V} / \text{sec}$  以上の 2 次元電子ガス ( 2 DEG ) 層であるチャネル領域が生成されている。

【 0 1 5 6 】

半導体層積層体 5 1 1 3 の上には、互いに間隔をおいて第 1 のオーミック電極 5 1 1 6 A と第 2 のオーミック電極 5 1 1 6 B とが形成されている。第 1 のオーミック電極 5 1 1 6 A 及び第 2 のオーミック電極 5 1 1 6 B は、チタン ( Ti ) とアルミニウム ( Al ) とが積層されており、チャネル領域とオーミック接触している。

【 0 1 5 7 】

図 7 に例示された構成では、コンタクト抵抗を低減するために、第 2 の半導体層 5 1 1 5 の一部が除去されている。さらに、第 1 の半導体層 5 1 1 4 が  $40 \text{ nm}$  程度掘り下げられ、第 1 のオーミック電極 5 1 1 6 A 及び第 2 のオーミック電極 5 1 1 6 B が第 1 の半導体層 5 1 1 4 と第 2 の半導体層 5 1 1 5 との界面に接している。なお、第 1 のオーミック電極 5 1 1 6 A 及び第 2 のオーミック電極 5 1 1 6 B は、第 2 の半導体層 5 1 1 5 の上面に形成されてもよい。

【 0 1 5 8 】

第 1 のオーミック電極 5 1 1 6 A の上面には、Au と Ti とからなる S1 電極配線 5 1 5 1 A が形成されており、S1 電極配線 5 1 5 1 A と第 1 のオーミック電極 5 1 1 6 A とが電氣的に接続されている。第 2 のオーミック電極 5 1 1 6 B の上面には、Au と Ti とからなる S2 電極配線 5 1 5 1 B が形成されており、S2 電極配線 5 1 5 1 B と第 2 のオー

10

20

30

40

50

ミック電極 5 1 1 6 B とが電氣的に接続されている。

【 0 1 5 9 】

第 2 の半導体層 5 1 1 5 の上面における、第 1 のオーミック電極 5 1 1 6 A と第 2 のオーミック電極 5 1 1 6 B との間の領域には、第 1 の p 型半導体層 5 1 1 9 A 及び第 2 の p 型半導体層 5 1 1 9 B が互いに間隔をおいて選択的に形成されている。第 1 の p 型半導体層 5 1 1 9 A の上面には第 1 のゲート電極 5 1 1 8 A が形成され、第 2 の p 型半導体層 5 1 1 9 B の上面には第 2 のゲート電極 5 1 1 8 B が形成されている。第 1 のゲート電極 5 1 1 8 A 及び第 2 のゲート電極 5 1 1 8 B は、それぞれ、パラジウム ( P d ) と金 ( A u ) との積層体で構成され、第 1 の p 型半導体層 5 1 1 9 A 及び第 2 の p 型半導体層 5 1 1 9 B とオーミック接触している。

10

【 0 1 6 0 】

S 1 電極配線 5 1 5 1 A 、第 1 のオーミック電極 5 1 1 6 A 、第 2 の半導体層 5 1 1 5 、第 1 の p 型半導体層 5 1 1 9 A 、第 1 のゲート電極 5 1 1 8 A 、第 2 の p 型半導体層 5 1 1 9 B 、第 2 のゲート電極 5 1 1 8 B 、第 2 のオーミック電極 5 1 1 6 B 、及び S 2 電極配線 5 1 5 1 B を覆うように窒化シリコン ( S i N ) からなる保護膜 5 1 4 1 が形成されている。

【 0 1 6 1 】

S i 基板 5 1 1 1 の裏面には、ニッケル ( N i ) とクロム ( C r ) と銀 ( A g ) とが積層された厚さ 8 0 0 n m 程度の裏面電極 5 1 5 3 が形成されており、裏面電極 5 1 5 3 は S i 基板 5 1 1 1 とオーミック接合している。

20

【 0 1 6 2 】

第 1 のオーミック電極 5 1 1 6 A と接続された端子、第 1 のゲート電極 5 1 1 8 A と接続された端子、第 2 のゲート電極 5 1 1 8 B と接続された端子、及び第 2 のオーミック電極 5 1 1 6 B と接続された端子は、それぞれ、図 6 のソース端子 S 1 、ゲート端子 G 1 、ゲート端子 G 2 、及びソース端子 S 2 に対応する。また、裏面電極と接続された端子は、図 6 の基板端子 S U B に対応する。

【 0 1 6 3 】

第 1 の p 型半導体層 5 1 1 9 A 及び第 2 の p 型半導体層 5 1 1 9 B は、それぞれ、厚さが 3 0 0 n m 程度で、マグネシウム ( M g ) がドーパされた p 型の G a N で構成されている。第 1 の p 型半導体層 5 1 1 9 A 及び第 2 の p 型半導体層 5 1 1 9 B と、第 2 の半導体層 5 1 1 5 とにより p n 接合がそれぞれ形成される。これにより、第 1 のオーミック電極 5 1 1 6 A と第 1 のゲート電極 5 1 1 8 A 間との電圧が、例えば、0 V 以下の場合には、第 1 の p 型半導体層 5 1 1 9 A からチャンネル領域中に空乏層が広がるため、チャンネルに流れる電流を遮断することができる。同様に、第 2 のオーミック電極 5 1 1 6 B と第 2 のゲート電極 5 1 1 8 B の間の電圧が、例えば、0 V 以下の場合には、第 2 の p 型半導体層 5 1 1 9 B からチャンネル領域中に空乏層が広がるため、チャンネルに流れる電流を遮断することができる。従って、いわゆるノーマリーオフ動作をする半導体素子を実現できる。また、第 1 の p 型半導体層 5 1 1 9 A と第 2 の p 型半導体層 5 1 1 9 B との間の距離は、第 1 のオーミック電極 5 1 1 6 A 及び第 2 のオーミック電極 5 1 1 6 B に印加される最大電圧に耐えられる距離に設計されている。

30

40

【 0 1 6 4 】

ゲート駆動回路部 5 1 0 2 は、ソース端子 S 1 とゲート端子 G 1 との間に接続された第 1 の電源 5 1 2 1 と、ソース端子 S 2 とゲート端子 G 2 との間に接続された第 2 の電源 5 1 2 2 とを備える。第 1 の電源 5 1 2 1 及び第 2 の電源 5 1 2 2 は、出力電圧を変化させることができる可変電源である。なお、第 1 の電源 5 1 2 1 及び第 2 の電源 5 1 2 2 としては、可変電源に代えて電源を内蔵するゲート回路等が採用されてもよい。

【 0 1 6 5 】

第 1 の電源 5 1 2 1 の電圧を第 1 のゲート電極 5 1 1 8 A の閾値電圧よりも低くして、第 1 のゲート電極 5 1 1 8 A の下側に空乏層が広がるようにし、第 2 の電源 5 1 2 2 の電圧を第 2 のゲート電極 5 1 1 8 B の閾値電圧よりも低くして、第 2 のゲート電極 5 1 1 8 B

50

の下側に空乏層が広がるようにする。

【0166】

このようにすれば、第1のオーミック電極5116Aであるソース端子S1と第2のオーミック電極5116Bであるソース端子S2との間にはどちらの方向にも電流が流れない。第1の電源5121の電圧を第1のゲート電極5118Aの閾値電圧以上とし、第2の電源5122の電圧を第2のゲート電極5118Bの閾値電圧以上とすれば、ソース端子S1とソース端子S2との間に、双方向に電流を流すことができる。第1の電源5121の電圧を第1のゲート電極5118Aの閾値電圧以上とし、第2の電源5122の電圧を第2のゲート電極5118Bの閾値電圧よりも低くすれば、ソース端子S1からソース端子S2は電流が流れないが、ソース端子S2からソース端子S1へは電流が流れる。第1の電源5121の電圧を第1のゲート電極5118Aの閾値電圧よりも低くし、第2の電源5122の電圧を第1のゲート電極5118Aの閾値電圧以上とすれば、ソース端子S1からソース端子S2へは電流が流れるが、ソース端子S2からソース端子S1へは電流が流れない。

10

【0167】

次に、基板電圧制御回路を構成する部品を、前述したGaN双方向スイッチングデバイス5101と同じ半導体プロセスを使用して形成する構造について説明する。基板電圧制御回路とGaN双方向スイッチングデバイス5101とは同じ半導体プロセスで形成されるので、同じチップ上に集積することが可能であることを、以下、説明する。

【0168】

図4に示すNchMOSFET312とNchMOSFET322とを、GaNスイッチングデバイスに置き換えることを想定する。図8は、GaNスイッチングデバイス6101の断面構成を示す図である。GaNスイッチングデバイス6101は双方向スイッチングデバイスではなく、ソース端子Sと、ドレイン端子Dと、ゲート端子Gとの3つの端子を備える単方向のスイッチングデバイスである。GaNスイッチングデバイス6101は、図7のGaN双方向スイッチングデバイス5101の構成から第2のゲート電極5118Bと第2のp型半導体層5119Bとを削除した構造で形成することができる。そのため、GaNスイッチングデバイス6101は、GaN双方向スイッチングデバイス5101と同じ半導体プロセスで形成できる。また、GaN双方向スイッチングデバイス5101のソース端子S1と、ソース端子S2と、ゲート端子G1とは、GaNスイッチングデバイス6101では、それぞれ、ソース端子Sと、ドレイン端子Dと、ゲート端子Gとになる。

20

【0169】

ソース端子Sを基準にしたゲート端子Gの電圧(ゲート電圧 $V_{gs}$ )が、GaNスイッチングデバイス6101の閾値電圧より大きいとき、GaNスイッチングデバイス6101はオン状態になり、ソース端子Sとドレイン端子Dとは電氣的に短絡する。また、ゲート電圧 $V_{gs}$ が閾値電圧より低いとき、GaNスイッチングデバイス6101はオフ状態になり、ソース端子Sとドレイン端子Dとは電氣的に開放状態になる。

【0170】

次に、図4に示すダイオード414, 424を、半導体材料であるGaNを利用して形成する方法を説明する。図9は、GaNダイオード7101の断面構造を示す図である。GaNダイオード7101は、図8に示すGaNスイッチングデバイス6101の構成からS1電極配線5151Aと第1のオーミック電極5116Aとを削除した構造で形成される。そのため、GaNダイオード7101は、GaN双方向スイッチングデバイス5101と同じ半導体プロセスで形成できる。また、GaNスイッチングデバイス6101のゲート端子Gとドレイン端子Dとは、それぞれ、GaNダイオード7101では、アノード端子aとカソード端子kとになる。

40

【0171】

GaNダイオード7101は、第1のp型半導体層5119Aと第2の半導体層5115とにより形成されるpn接合を利用したものである。カソード端子kを基準にしたアノード

50

ド端子 a の電圧  $V_{ak}$  が、GaN ダイオード 7101 の閾値電圧  $V_f$  よりも大きいとき、GaN ダイオード 7101 はオン状態になり、電流が流れる。また、電圧  $V_{ak}$  が閾値電圧  $V_f$  よりも低いときはオフ状態になり電流は流れない。

【0172】

図4に示す抵抗 313, 323 は、図7に示す第1のp型半導体層 5119Aと同じ材料と層で形成することができる。p型半導体層のレイアウトの幅と長さを調整することで、所望の抵抗の値にすることができる。そのため、抵抗 313, 323 は、双方向スイッチングデバイスのGaN双方向スイッチングデバイス 5101と同じ半導体プロセスで形成できる。

【0173】

抵抗 313, 323 は、窒化硅化タングステン (WSiN) 等の材料で形成されてもよい。

【0174】

図4に示すチェナードायオード 415, 425 は、ゲート端子 G の過電圧保護素子である。GaN スwitchングデバイス 6101 の場合、ゲート端子 G とソース端子 S との間に、pn 接合のダイオードを内蔵している。そのため、この内蔵されたダイオードが、ゲート端子 G の過電圧保護として機能し、チェナードાયオードの役割を有している。この場合、チェナードાયオード 415, 425 は外部の電気部品で構成しなくてもよい。

【0175】

図4に示すコンデンサ 416 と 426 とについて説明する。大きなキャパシタンス容量のコンデンサを半導体プロセスで形成すると、チップ面積が大きくなるため好ましくない。図4の基板電圧制御回路 400 は、上述したようにコンデンサ 416, 426 を削除しても動作可能である。もし、コンデンサ 416, 426 が必要なときは、半導体チップに集積するのではなく、外部の電気部品として基板電圧制御回路 400 に接続するのが望ましい。

【0176】

以上、図4に示す基板電圧制御回路 400 の部品である GaN スwitchングデバイス 6101 と GaN ダイオード 7101 と抵抗とを、同じ半導体チップの表面に形成して集積化することを説明した。ここで、それぞれの部品は、電氣的に素子分離をする必要がある。素子分離は、例えば、トレンチ構造を利用することで実現できる。

【0177】

次に、集積された基板電圧制御回路 400 において、基板電圧制御端子 101 と、GaN 双方向スイッチングデバイス 5101 の裏面電極 5153 との接続方法について説明する。

【0178】

裏面電極 5153 は、パッケージに収めた場合、リードフレームの上に配置される。このとき、裏面電極 5153 とリードフレームとは電氣的に接続される。基板電圧制御端子 101 にワイヤーボンディング用のパッドを設け、このパッドと、裏面電極 5153 に接続されるリードフレームとが、ワイヤーボンディングで結線されればよい。

【0179】

また、チップの表面から Si 基板 5111 までトレンチ構造の穴を開けて、この穴に、チップ表面に形成される基板電圧制御端子 101 の電氣的ノードと、Si 基板 5111 とを接続する配線を貫通させてもよい。

【0180】

(実施の形態 3)

図10は、本開示の実施の形態 3 に係る基板電圧制御回路 500 の一例を示す図である。基板電圧制御回路 500 は、図1のスイッチ 112, 122 に N チャネル型の MOSFET である Nch MOSFET 312, 322 を適用し、Nch MOSFET 312, 322 のゲート端子 G を P チャネル型の MOSFET である Pch MOSFET 513, 523 で駆動することを特徴とする。

【0181】

ソース 1 接続端子 111 は双方向スイッチングデバイス 900 のソース端子 S1 が接続さ

10

20

30

40

50

れ、ソース2接続端子121は双方向スイッチングデバイス900のソース端子S2が接続され、基板電圧制御端子101は双方向スイッチングデバイス900の基板端子SUBが接続される。

【0182】

基板電圧制御回路500は、ローサイド回路519とハイサイド回路529とを備える。ローサイド回路519は、NchMOSFET312（ローサイド第1スイッチの一例）と、PchMOSFET513（ローサイド第2スイッチの一例）と、コンデンサ514（ローサイドコンデンサの一例）と、電源515（ローサイド電源の一例）とを備える。

【0183】

ハイサイド回路529は、NchMOSFET322（ハイサイド第1スイッチの一例）と、PchMOSFET523（ハイサイド第2スイッチの一例）と、コンデンサ524（ハイサイドコンデンサの一例）と、電源525（ハイサイド電源の一例）とを備える。

10

【0184】

ローサイド回路519は、基板電圧制御端子101にソース1接続端子111の電圧Vs1を印加させるための回路である。ハイサイド回路529は基板電圧制御端子101にソース2接続端子121の電圧Vs2を印加させるための回路である。

【0185】

まず、ローサイド回路519について説明する。NchMOSFET312のソース端子Sは基板電圧制御端子101に接続され、ドレイン端子Dはソース1接続端子111に接続され、ゲート端子GはPchMOSFET513のドレイン端子Dに接続される。PchMOSFET513のソース端子Sは、電源515のプラス端子に接続され、ゲート端子Gとソース2接続端子121との間にコンデンサ514が接続される。電源515のマイナス端子は基板電圧制御端子101に接続される。

20

【0186】

ここで、ソース1接続端子111を基準とするソース2接続端子の電圧を電圧Vs2s1と表す。電圧Vs2s1がプラスの範囲において低下すると、コンデンサ514のカップリングによって、PchMOSFET513のゲート端子Gの電圧が低下する。PchMOSFET513のゲート電圧Vgsは、電源515のプラス端子を基準とするゲート端子Gの電圧になる。このゲート電圧VgsがPchMOSFET513の閾値電圧より低いときにPchMOSFET513はオン状態になり、高いときにオフ状態になる。

30

【0187】

PchMOSFET513がオン状態になると、電源515のプラス電圧がNchMOSFET312のゲート端子Gに印加される。NchMOSFET312のゲート電圧VgsがNchMOSFET312の閾値電圧より高きときに、NchMOSFET312はオン状態になり、低いときにオフ状態になる。つまり、電圧Vs2s1がプラスの範囲で低下するときに、PchMOSFET513がオン状態になり、続いてNchMOSFET312がオン状態になり、その結果、基板電圧制御端子101にソース1接続端子111の電圧Vs1が印加される。

【0188】

そのため、基板電圧制御回路500は、電圧Vs2s1の変化時に、基板電圧制御端子101の電圧Vsubをソース1接続端子111の電圧Vs1に設定し、基板電圧制御端子101の電圧Vsubがフローティング状態になることを防止できる。その結果、基板電圧制御回路500は、双方向スイッチングデバイス900を安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイス900を動作させることができる。

40

【0189】

ここで、NchMOSFET312のゲート電圧Vgsは、NchMOSFET312のソース端子Sの電圧とドレイン端子Dの電圧とのうち低い方の電圧を基準にしたときのゲート端子Gの電圧となる。

【0190】

50

したがって、NchMOSFET312は、基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ がより低い場合において、ソース端子Sを基準としたときのゲート電圧 $V_{gs}$ が閾値電圧より高くなると、オン状態になり、ソース端子Sとドレイン端子Dとを短絡する。これにより、NchMOSFET312は、基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ より低い場合であっても、基板電圧制御端子101の電圧 $V_{sub}$ をソース1接続端子111の電圧 $V_{s1}$ に設定できる。

【0191】

ローサイド回路519とハイサイド回路529とは、それぞれ、ソース1接続端子111とソース2接続端子121との接続関係が逆である以外、回路構成は同じであり、動作も同じである。

10

【0192】

次に、ハイサイド回路529について簡単に説明する。電圧 $V_{s2s1}$ がマイナスの範囲において増大し、コンデンサ524のカップリングによって、PchMOSFET523のゲート電圧 $V_{gs}$ が低下すると、PchMOSFET523はオン状態になり、NchMOSFET322がオン状態になる。その結果、基板電圧制御端子101にソース2接続端子121の電圧 $V_{s2}$ が印加される。したがって、ハイサイド回路529は、ローサイド回路519と同様、電圧 $V_{s2s1}$ の変化時に、基板電圧制御端子101の電圧 $V_{sub}$ がフローティング状態になることを防止できる。

【0193】

NchMOSFET312とNchMOSFET322とは、それぞれ、ボディダイオードを備えていることが望ましい。その理由について以下、説明する。前述の動作についての説明のように、NchMOSFET312がオン状態になるのは電圧 $V_{s2s1}$ が低下する期間であり、電圧 $V_{s2s1}$ が一定である定常状態の期間にはNchMOSFET312はオフ状態を保つ。そのため、ソース2接続端子121の電圧 $V_{s2}$ がソース1接続端子111の電圧 $V_{s1}$ より高ければ、基板電圧制御端子101の電圧は電氣的にフローティング状態になるためプラスの電圧になる場合がある。

20

【0194】

図2で説明したように、基板電圧制御端子101の電圧波形は、常に、ソース1接続端子111の電圧 $V_{s1}$ とソース2接続端子121の電圧 $V_{s2}$ とのうち、低い方の電圧が、基板電圧制御端子101の電圧 $V_{sub}$ に一致するのが理想である。よって、基板電圧制御端子101の電圧がプラスの電圧になると、基板電圧制御端子101の電圧波形が理想の電圧波形でなくなってしまう。

30

【0195】

これに対して、NchMOSFET312がボディダイオードを持てば、電圧 $V_{s2s1}$ がプラス電圧のとき、基板電圧制御端子101の電圧 $V_{sub}$ は、ソース1接続端子111の電圧 $V_{s1}$ よりボディダイオードの閾値電圧 $V_f$ 分高い電圧付近に設定される。その結果、ボディダイオードを持つNchMOSFET312は、基板電圧制御端子101の電圧波形を理想の電圧波形に近づけることができる。このことは、NchMOSFET322についても同様に成り立つ。

40

【0196】

なお、NchMOSFET312とNchMOSFET322とがボディダイオードを持たないデバイスで構成される場合、NchMOSFET312とNchMOSFET322とのそれぞれに外付けのダイオードを接続すればよい。この場合、NchMOSFET312において、外付けのダイオードは、アノード端子が基板電圧制御端子101に接続され、カソード端子がソース1接続端子111に接続されればよい。また、NchMOSFET322において、外付けのダイオードは、アノード端子が基板電圧制御端子101に接続され、カソード端子がソース2接続端子121に接続されればよい。

【0197】

また、NchMOSFET312とNchMOSFET322とは、それぞれ、Nチャネ

50

ル型のMOSFETに限らず、N型のFET、IGBT、JFET、BJTなどのスイッチングデバイスで構成されてもよい。この場合においても、ボディダイオードを持たないスイッチングデバイスを用いる場合は、NchMOSFETの場合と同様に、外付けのダイオードを接続すればよい。

#### 【0198】

このように、本態様では、電圧 $V_{s2s1}$ がプラスの範囲で低下するとき、PchMOSFET513によってNchMOSFET312のゲート端子Gが駆動されるので、NchMOSFET312の駆動性能を高めることができる。また、本態様では、電圧 $V_{s2s1}$ がマイナスの範囲で増大するときも、ハイサイド回路529が、ローサイド回路519と同様に動作するので、NchMOSFET322の駆動性能を高めることができる。

10

#### 【0199】

(実施の形態4)

図10に示す基板電圧制御回路500は、原理を説明するための基本回路である。実施の形態4の基板電圧制御回路600は、実施の形態3の基板電圧制御回路500に対して、保護機能が付加され、より実用的な回路構成を備えるものである。

#### 【0200】

図11は、本開示の実施の形態4に係る基板電圧制御回路600の一例を示す図である。基板電圧制御回路600は、基板電圧制御回路500に対して、チェナードायオード415、616、620、425、626、630と、ダイオード414、618、424、628と、コンデンサ617、627と、抵抗619、641、629、651とが追加されている。

20

#### 【0201】

基板電圧制御回路600は、図10の基板電圧制御回路500の2つの電源515と電源525との機能が、コンデンサ617、627を利用する回路で実現されている。基板電圧制御回路600は、ローサイド回路681とハイサイド回路691とを備える。

#### 【0202】

以下、ローサイド回路681の動作及び部品について説明する。

#### 【0203】

NchMOSFET312は、基板電圧制御回路500と同様、基板電圧制御端子101にソース1接続端子111の電圧 $V_{s1}$ を印加するためのスイッチである。PchMOSFET513は、基板電圧制御回路500と同様、電圧 $V_{s2s1}$ がプラスの範囲で低下するときにオンし、NchMOSFET312のゲート端子Gを駆動するためのスイッチである。コンデンサ514は、電圧 $V_{s2s1}$ がプラスの範囲で低下するときにPchMOSFET513のゲート端子Gを駆動するためのコンデンサである。

30

#### 【0204】

[チェナードायオード415]

チェナードायオード415(ローサイドスイッチダイオードの一例)は、NchMOSFET312のゲート端子Gの過電圧破壊を防止するための保護回路である。チェナードायオード415は、アノード端子aが基板電圧制御端子101に接続され、カソード端子kがNchMOSFET312のゲート端子Gに接続されている。チェナードायオード415は、NchMOSFET312のゲート端子Gの許容電圧程度のチェナードायオード電圧を持てばよい。これにより、チェナードायオード415は、NchMOSFET312のゲート端子Gに許容電圧よりも高い電圧が印加されることを防止し、ゲート端子Gの過電圧破壊を回避することができる。

40

#### 【0205】

また、チェナードायオード415は、基板電圧制御端子101の電圧がソース1接続端子111の電圧より大きいときオン状態になって、基板電圧制御端子101の電圧 $V_{sub}$ をソース1接続端子111の電圧に近づける。

#### 【0206】

これらのことは、ハイサイド回路691のチェナードायオード425においても同様に成

50

り立つ。

【0207】

[ チェナードायオード616 ]

チェナードायオード616は、PchMOSFET513のゲート端子Gの過電圧破壊を防止するための保護回路である。チェナードायオード616は、アノード端子aがPchMOSFET513のゲート端子Gに接続され、カソード端子kがPchMOSFET513のソース端子Sに接続されている。チェナードायオード616は、PchMOSFET513のゲート端子Gの許容電圧程度のチェナー電圧を持てばよい。これにより、チェナードायオード616は、PchMOSFET513のゲート端子Gに許容電圧よりも高い電圧が印加されることを防止し、ゲート端子Gの過電圧破壊を回避することができる。

10

【0208】

このことは、ハイサイド回路691のチェナードायオード626においても同様に成り立つ。

【0209】

[ チェナードायオード620 ]

チェナードायオード620は、コンデンサ617に印加される最大電圧を決めるための電圧クランプ回路である。チェナードायオード620は、アノード端子aが基板電圧制御端子101に接続され、カソード端子kがPchMOSFET513のソース端子Sに接続されている。チェナードायオード620は、コンデンサ617を充電する最大電圧程度のチェナー電圧を持つチェナードायオードが採用されればよい。

20

【0210】

このことは、ハイサイド回路691のチェナードायオード630においても同様に成り立つ。

【0211】

[ ダイオード414 ]

ダイオード414（ローサイドダイオードの一例）は、アノード端子aがNchMOSFET312のゲート端子Gに接続され、カソード端子kがソース2接続端子121に接続されている。

【0212】

ダイオード414は、電圧 $V_{s2s1}$ が0V近辺になるまでに、NchMOSFET312のゲート電圧 $V_{gs}$ をNchMOSFET312の閾値電圧より低くし、NchMOSFET312をオフ状態にする。すなわち、ダイオード414は、電圧 $V_{s2s1}$ がプラスの範囲において、0V近くまで低下すると、オン状態になって、NchMOSFET312のゲート端子Gに存在する寄生のキャパシタンス容量から電荷を引く抜き、NchMOSFET312を即座にオフ状態にする。

30

【0213】

これにより、ダイオード414は、電圧 $V_{s2s1}$ がマイナス電圧になっているにも拘わらず、NchMOSFET312がオン状態を維持することを防止できる。その結果、ダイオード414は、電圧 $V_{s2}$ と電圧 $V_{s1}$ のうち低い方の電圧に対する基板電圧制御端子101の電圧 $V_{sub}$ の追従性を高めることができる。

40

【0214】

このことは、ハイサイド回路691のダイオード424についても同様に成り立つ。

【0215】

[ コンデンサ617 ]

コンデンサ617は、PchMOSFET513の電源であり、電圧 $V_{s2s1}$ がプラス電圧のときに充電される。コンデンサ617は、チェナードायオード620のアノード端子aとカソード端子kとの間に接続されている。コンデンサ617は、NchMOSFET312のゲート端子Gを駆動して、NchMOSFET312をオン状態にし、NchMOSFET312のオン期間を継続するために必要となる電荷量を供給することができる十分なキャパシタンス容量が設定されればよい。しかし、コンデンサ617が充放電す

50

る際のエネルギーは損失になるため、コンデンサ 6 1 7 のキャパシタンス容量は過度に大きくしないようにする必要がある。

【 0 2 1 6 】

このことは、ハイサイド回路 6 9 1 のコンデンサ 6 2 7 についても同様に成り立つ。

【 0 2 1 7 】

[ ダイオード 6 1 8 ]

ダイオード 6 1 8 は、電圧  $V_{s2s1}$  がマイナス電圧のときに、コンデンサ 6 1 7 に充電された電荷が放電されることを防止するためのダイオードである。ダイオード 6 1 8 は、アノード端子 a が抵抗 6 1 9 に接続され、カソード端子 k がコンデンサ 6 1 7 に接続されている。このことは、ハイサイド回路 6 9 1 のダイオード 6 2 8 についても同様に成り立つ。

10

【 0 2 1 8 】

[ 抵抗 6 1 9 ]

抵抗 6 1 9 は、コンデンサ 6 1 7 を充電するときの充電電流の大きさを抑制するための抵抗である。抵抗 6 1 9 は、ダイオード 6 1 8 のアノード端子 a と、ソース 2 接続端子 1 2 1 との間に接続されている。

【 0 2 1 9 】

抵抗 6 1 9 は、双方向スイッチングデバイス 9 0 0 の定常期間内で、コンデンサ 6 1 7 を十分に充電できる時定数になるように抵抗値が設定されればよい。コンデンサ 6 1 7 の充電電圧がチェナードダイオード 6 2 0 のチェナー電圧になっている状態において、コンデンサ 6 1 7 の充電電流は、チェナードダイオード 6 2 0 を流れて全て損失になる。そのため、抵抗 6 1 9 の抵抗値が小さすぎると損失が増加する。そこで、抵抗 6 1 9 の抵抗値は過度に小さくしないようにする必要がある。

20

【 0 2 2 0 】

このことは、ハイサイド回路 6 9 1 の抵抗 6 2 9 についても同様に成り立つ。

【 0 2 2 1 】

[ 抵抗 6 4 1 ]

抵抗 6 4 1 は、電圧  $V_{s2s1}$  が一定の定常状態のときに、PchMOSFET 5 1 3 のゲート電圧  $V_{gs}$  をソース端子 S の電圧に近い値に設定し、PchMOSFET 5 1 3 を確実にオフ状態にする。抵抗 6 4 1 は、コンデンサ 5 1 4 と並列接続されている。

30

【 0 2 2 2 】

抵抗 6 4 1 のソース 2 接続端子 1 2 1 に接続される端子は、PchMOSFET 5 1 3 のソース端子 S に接続されてもよいし、ダイオード 6 1 8 のアノード端子 a に接続されてもよい。

【 0 2 2 3 】

抵抗 6 4 1 は、電圧  $V_{s2s1}$  が変化したときに、コンデンサ 5 1 4 に蓄積される電荷を放電する役割を持つ。この放電の時定数は、抵抗 6 4 1 の抵抗値とコンデンサ 5 1 4 のキャパシタンス容量との積になる。抵抗 6 4 1 の抵抗値は、この時定数が、電圧  $V_{s2s1}$  が変化する時間より充分長くなるような値に設定されればよい。コンデンサ 5 1 4 は、電圧  $V_{s2s1}$  が低下する期間に、PchMOSFET 5 1 3 がオンすべき期間を十分に確保できる程度のキャパシタンス容量が設定されればよい。

40

【 0 2 2 4 】

このことは、ハイサイド回路 6 9 1 の抵抗 6 5 1 についても同様に成り立つ。

【 0 2 2 5 】

以上がローサイド回路 6 8 1 の動作及び部品に関する説明である。ハイサイド回路 6 9 1 は、ローサイド回路 6 8 1 と同じ回路構成であり、ソース 1 接続端子 1 1 1 とソース 2 接続端子 1 2 1 との接続関係が互いに逆になっていることのみが異なり、動作も同様であるので、説明を省く。

【 0 2 2 6 】

[ 実用的な回路定数 ]

50

コンデンサ 5 1 4 とコンデンサ 5 2 4 とのキャパシタンス容量は、それぞれ、例えば、1 0 0 p F 以上、1 0 n F 以下の値であればよい。コンデンサ 6 1 7 とコンデンサ 6 2 7 とのキャパシタンス容量は、それぞれ、1 0 0 n F 以上、1 0 μ F 以下であればよい。抵抗 6 1 9 と抵抗 6 2 9 との抵抗値は、それぞれ、1 0 0 以上、1 0 0 k 以下であればよい。抵抗 6 4 1 と抵抗 6 5 1 との抵抗値は、それぞれ、1 0 k 以上、1 M 以下であればよい。

#### 【 0 2 2 7 】

[ 基板電圧制御回路 5 0 0 , 6 0 0 と基板電圧制御回路 3 0 0 との比較 ]

図 3 に示す基板電圧制御回路 3 0 0 は、N c h M O S F E T 3 1 2 と N c h M O S F E T 3 2 2 とのゲート端子 G を、それぞれ、抵抗 3 1 3 と抵抗 3 2 3 とを通して駆動する。抵抗 3 1 3 と抵抗 3 2 3 との抵抗値を低くすると駆動性能を高めることができる。しかし、抵抗 3 1 3 と抵抗 3 2 3 との抵抗値を低くすると、基板電圧制御回路 3 0 0 の損失が増大してしまう。そのため、この損失を抑えるために、抵抗 3 1 3 と抵抗 3 2 3 とは抵抗値を高くする必要があり、駆動性能を大きくすることは難しい。

10

#### 【 0 2 2 8 】

これに対し、図 1 0 、図 1 1 に示す基板電圧制御回路 5 0 0 , 6 0 0 は、N c h M O S F E T 3 1 2 と N c h M O S F E T 3 2 2 とのゲート端子 G を、それぞれ、P c h M O S F E T 5 1 3 と P c h M O S F E T 5 2 3 とで駆動する。そのため、基板電圧制御回路 5 0 0 , 6 0 0 は、駆動性能を大きくすることが比較的容易である。したがって、基板電圧制御回路 5 0 0 , 6 0 0 は、基板電圧制御回路 3 0 0 よりも、基板電圧制御端子 1 0 1 の電圧波形を理想の波形により近づけることが可能である。

20

#### 【 0 2 2 9 】

[ 回路シミュレーション ]

図 1 2 A 、図 1 2 B は、図 1 1 の基板電圧制御回路 6 0 0 を用いた、回路シミュレーションの結果を示す波形図である。

#### 【 0 2 3 0 】

この回路シミュレーションでは、ソース 1 接続端子 1 1 1 を 0 V で一定にし、ソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  をマイナス 1 5 0 V からプラス 1 5 0 V に変化させたときの基板電圧制御端子 1 0 1 の電圧  $V_{sub}$  の電圧波形と、ソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  をプラス 1 5 0 V からマイナス 1 5 0 V に変化させたときの基板電圧制御端子 1 0 1 の電圧  $V_{sub}$  の電圧波形とを観察した。

30

#### 【 0 2 3 1 】

図 1 2 A は、ソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  をマイナス 1 5 0 V からプラス 1 5 0 V に変化させたときの電圧波形を示し、図 1 2 B は、ソース 2 接続端子 1 2 1 の電圧  $V_{s2}$  をプラス 1 5 0 V からマイナス 1 5 0 V に変化させたときの電圧波形を示している。

#### 【 0 2 3 2 】

図 1 2 A 、図 1 2 B には、電圧波形 W 1 , W 2 の 2 つの電圧波形が示されており、電圧波形 W 1 は電圧  $V_{s2s1}$  の電圧波形であり、電圧波形 W 2 は基板電圧制御端子 1 0 1 の電圧  $V_{sub}$  の電圧波形である。図 1 2 A 、図 1 2 B において、電圧波形 W 1 の電圧変化期間は 1 0 0 ナノ秒である。

40

#### 【 0 2 3 3 】

図 1 2 A に示すように、電圧波形 W 2 は、電圧波形 W 1 が 0 V を超えると、即座に 0 V になっており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s1}$  に追従できていることが分かる。また、図 1 2 B に示すように、電圧波形 W 2 は、電圧波形 W 1 が 0 V を下回ると、電圧波形 W 1 と共に低下しており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s2}$  に追従できていることが分かる。このように、基板電圧制御回路 6 0 0 の追従性能は、比較例に比べて、前述した図 2 の電圧波形により近い結果となった。

#### 【 0 2 3 4 】

( 実施の形態 5 )

図 1 3 は、本開示の実施の形態 5 における基板電圧制御回路 1 0 0 0 の一例を示す図であ

50

る。基板電圧制御回路1000は、ソース1接続端子111と、ソース2接続端子121と、基板電圧制御端子101と、ローサイド回路1091と、ハイサイド回路1092とを備える。

【0235】

ソース1接続端子111は、双方向スイッチングデバイス900のソース端子S1に接続される。ソース2接続端子121は、双方向スイッチングデバイス900のソース端子S2に接続される。基板電圧制御端子101は、双方向スイッチングデバイス900の基板端子SUBに接続される。

【0236】

ローサイド回路1091は、基板電圧制御端子101にソース1接続端子111の電圧を印加するための回路である。ハイサイド回路1092は、基板電圧制御端子101にソース2接続端子121の電圧を印加するための回路である。

10

【0237】

ローサイド回路1091は、PchMOSFET1012（ローサイド第1スイッチの一例）と、PchMOSFET1013（ローサイド第2スイッチの一例）と、ダイオード1014（ローサイドダイオードの一例）と、コンデンサ1015（ローサイド第1コンデンサの一例）と、を備える。

【0238】

PchMOSFET1012は、図1のスイッチ112にP型MOSFET（Metal Oxide Semiconductor Field Effect Transistor）を適用したものである。PchMOSFET1012は、ソース端子S（ローサイド第1スイッチソース端子の一例）とドレイン端子D（ローサイド第1スイッチドレイン端子の一例）とゲート端子G（ローサイド第1スイッチゲート端子の一例）とを備える。

20

【0239】

PchMOSFET1012のソース端子Sは、ソース1接続端子111と接続される。PchMOSFET1012のドレイン端子Dは、基板電圧制御端子101と接続される。PchMOSFET1012のゲート端子Gは、後述のPchMOSFET1013のドレイン端子Dと接続される。

【0240】

PchMOSFET1012は、ソース端子Sの電圧を基準にしたときのゲート端子Gの電圧をゲート電圧Vgs（ローサイド第1スイッチゲート電圧の一例）としたときに、ゲート電圧VgsがPchMOSFET1012の閾値電圧（以下、閾値電圧Vthと記載）より低いときに、オン状態になり、ソース端子Sとドレイン端子Dとを短絡させる。一方、PchMOSFET1012は、ゲート電圧VgsがPchMOSFET1012の閾値電圧Vthより高いときに、オフ状態になり、ソース端子Sとドレイン端子Dとを開放させる。

30

【0241】

また、PchMOSFET1012は、ボディダイオードBD（ローサイド第1スイッチボディダイオードの一例）を内蔵している。PchMOSFET1012は、ソース端子Sの電圧がドレイン端子Dの電圧より低いとき、つまり、ソース1接続端子111の電圧Vs1が基板電圧制御端子101の電圧Vsubよりも低いときに、ドレイン端子Dからソース端子SにボディダイオードBDを通して電流を流す。しかし、これに代えて、PchMOSFET1012を、ボディダイオードBDを内蔵していないデバイスで構成してもよい。例えば、外付けダイオードのアノード端子を基板電圧制御端子101と接続して、当該外付けダイオードをPchMOSFET1012と並列に接続してもよい。

40

【0242】

PchMOSFET1013は、PchMOSFET1012のゲート端子Gを駆動するためのP型MOSFETである。PchMOSFET1013は、ソース端子S（ローサイド第2スイッチソース端子の一例）とドレイン端子D（ローサイド第2スイッチドレイン端子の一例）とゲート端子G（ローサイド第2スイッチゲート端子の一例）とを備える。

50

## 【0243】

PchMOSFET1013のソース端子Sはソース1接続端子111と接続される。PchMOSFET1013のドレイン端子DはPchMOSFET1012のゲート端子Gと接続される。PchMOSFET1013のゲート端子Gはダイオード1014のアノード端子aと接続される。

## 【0244】

PchMOSFET1013も、PchMOSFET1012と同様、ゲート電圧 $V_{gs}$ がPchMOSFET1013の閾値電圧 $V_{th}$ より低いときに、オン状態になり、ソース端子Sとドレイン端子Dとを短絡させる。また、PchMOSFET1013は、ゲート電圧 $V_{gs}$ がPchMOSFET1013の閾値電圧 $V_{th}$ より高いときに、オフ状態になり、ソース端子Sとドレイン端子Dとを開放させる。

10

## 【0245】

ダイオード1014は、PchMOSFET1013のゲート端子Gを駆動するためのダイオードである。ダイオード1014は、アノード端子a（ローサイドアノード端子の一例）とカソード端子k（ローサイドカソード端子の一例）とを備える。ダイオード1014のアノード端子aは、PchMOSFET1013のゲート端子Gと接続される。ダイオード1014のカソード端子kは、基板電圧制御端子101と接続される。つまり、ダイオード1014は、基板電圧制御端子101とPchMOSFET1013のゲート端子Gとの間に接続される。

## 【0246】

コンデンサ1015は、PchMOSFET1012のゲート端子Gを駆動するためのコンデンサである。コンデンサ1015は、ソース2接続端子121とPchMOSFET1013のドレイン端子Dとの間に接続される。

20

## 【0247】

ハイサイド回路1092は、PchMOSFET1032（ハイサイド第1スイッチの一例）と、PchMOSFET1033（ハイサイド第2スイッチの一例）と、ダイオード1034（ハイサイドダイオードの一例）と、コンデンサ1035（ハイサイド第1コンデンサの一例）と、を備える。

## 【0248】

PchMOSFET1032は、図1のスイッチ122にP型MOSFETを適用したものである。PchMOSFET1032は、ソース端子S（ハイサイド第1スイッチソース端子の一例）とドレイン端子D（ハイサイド第1スイッチドレイン端子の一例）とゲート端子G（ハイサイド第1スイッチゲート端子の一例）とを備える。

30

## 【0249】

PchMOSFET1032のソース端子Sはソース2接続端子121と接続される。PchMOSFET1032のドレイン端子Dは基板電圧制御端子101と接続される。PchMOSFET1032のゲート端子Gは、後述のPchMOSFET1033のドレイン端子Dと接続される。

## 【0250】

ソース端子Sの電圧を基準にしたときのゲート端子Gの電圧をゲート電圧 $V_{gs}$ （ハイサイド第1スイッチゲート電圧の一例）とする。このとき、ゲート電圧 $V_{gs}$ がPchMOSFET1032の閾値電圧 $V_{th}$ より低いときに、PchMOSFET1032はオン状態になり、ソース端子Sとドレイン端子Dとを短絡させる。一方、ゲート電圧 $V_{gs}$ がPchMOSFET1032の閾値電圧 $V_{th}$ より高いときに、PchMOSFET1032はオフ状態になり、ソース端子Sとドレイン端子Dとを開放させる。

40

## 【0251】

また、PchMOSFET1032は、ボディダイオードBD（ハイサイド第1スイッチボディダイオードの一例）を内蔵している。PchMOSFET1032は、ソース端子Sの電圧がドレイン端子Dの電圧より低いとき、つまり、ソース2接続端子121の電圧 $V_{s2}$ が基板電圧制御端子101の電圧 $V_{sub}$ よりも低いときに、ドレイン端子Dから

50

ソース端子SにボディダイオードBDを通して電流を流す。しかし、これに代えて、PchMOSFET1032を、ボディダイオードBDを内蔵していないデバイスで構成してもよい。例えば、外付けダイオードのアノード端子を基板電圧制御端子101と接続して、当該外付けダイオードをPchMOSFET1032と並列に接続してもよい。

【0252】

PchMOSFET1033はPchMOSFET1032のゲート端子Gを駆動するためのP型MOSFETである。PchMOSFET1033は、ソース端子S（ハイサイド第2スイッチソース端子の一例）とドレイン端子D（ハイサイド第2スイッチドレイン端子の一例）とゲート端子G（ハイサイド第2スイッチゲート端子の一例）とを備える。

【0253】

PchMOSFET1033のソース端子Sはソース2接続端子121と接続される。PchMOSFET1033のドレイン端子DはPchMOSFET1032のゲート端子Gと接続される。PchMOSFET1033のゲート端子Gはダイオード1034のアノード端子aと接続される。

【0254】

PchMOSFET1032と同様、ゲート電圧VgsがPchMOSFET1033の閾値電圧Vthより低いときに、PchMOSFET1033はオン状態になり、ソース端子Sとドレイン端子Dとを短絡させる。また、ゲート電圧VgsがPchMOSFET1033の閾値電圧Vthより高いときに、PchMOSFET1033はオフ状態になり、ソース端子Sとドレイン端子Dとを開放させる。

【0255】

ダイオード1034はPchMOSFET1033のゲート端子Gを駆動するためのダイオードである。ダイオード1034は、アノード端子a（ハイサイドアノード端子の一例）とカソード端子k（ハイサイドカソード端子の一例）とを備える。ダイオード1034のアノード端子aは、PchMOSFET1033のゲート端子Gと接続される。ダイオード1034のカソード端子kは、基板電圧制御端子101と接続される。つまり、ダイオード1034は、基板電圧制御端子101とPchMOSFET1033のゲート端子Gとの間に接続される。

【0256】

コンデンサ1035はPchMOSFET1032のゲート端子Gを駆動するためのコンデンサである。コンデンサ1035は、ソース1接続端子111とPchMOSFET1033のドレイン端子Dとの間に接続される。

【0257】

[ローサイド回路1091の動作]

次にローサイド回路1091の動作について説明する。ソース2接続端子121の電圧Vs2がソース1接続端子111の電圧Vs1より高い場合、ソース1接続端子111の電圧Vs1を基準にしたときのソース2接続端子121の電圧Vs2s1はプラスの電圧である。

【0258】

電圧Vs2s1がプラスの電圧である場合に、電圧Vs2s1が一定電圧である定常状態のときは、PchMOSFET1012のボディダイオードBDによって、基板電圧制御端子101の電圧Vsubは、ソース1接続端子111の電圧Vs1にボディダイオードBDの閾値電圧（以下、閾値電圧Vf）を加えた電圧以下に制限される。

【0259】

電圧Vs2s1がプラスの範囲において低下すると、コンデンサ1015のカップリングによってPchMOSFET1012のゲート端子Gの電圧が低下する。これにより、PchMOSFET1012のゲート電圧VgsがPchMOSFET1012の閾値電圧Vthより低くなると、PchMOSFET1012はオン状態になり、PchMOSFET1012のソース端子Sとドレイン端子Dとを短絡させる。PchMOSFET1012のソース端子Sとドレイン端子Dとが短絡すると、ソース1接続端子111の電圧V

10

20

30

40

50

s 1がPchMOSFET1012を通して基板電圧制御端子101に印加される。これにより、基板電圧制御端子101の電圧 $V_{sub}$ は電圧 $V_{s1}$ と同じになる。このとき、PchMOSFET1013は、ソース端子Sの電圧とゲート端子Gの電圧とが同じであるのでオフ状態となる。

【0260】

このように、基板電圧制御回路1000は、電圧 $V_{s2s1}$ がプラスの範囲で低下するときに、基板電圧制御端子101の電圧 $V_{sub}$ をソース1接続端子111の電圧 $V_{s1}$ に設定し、基板電圧制御端子101の電圧 $V_{sub}$ がフローティング状態になることを防止できる。その結果、基板電圧制御回路1000は、双方向スイッチングデバイス900を安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイス900を動作させることができる。

10

【0261】

ソース2接続端子121の電圧 $V_{s2}$ がソース1接続端子111の電圧 $V_{s1}$ よりも低くなり、電圧 $V_{s2s1}$ がプラスの電圧からマイナスの電圧になったとする。この場合、電圧 $V_{s2s1}$ がプラスの電圧のときに基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ と同じになっているので、ソース2接続端子121の電圧 $V_{s2}$ は、基板電圧制御端子101の電圧 $V_{sub}$ よりも低くなる。このため、ソース2接続端子121と接続されたPchMOSFET1032のソース端子Sの電圧は、基板電圧制御端子101と接続されたPchMOSFET1032のドレイン端子Dの電圧よりも低くなる。

20

【0262】

これにより、PchMOSFET1032のドレイン端子Dからソース端子SにボディダイオードBDを通して電流が流れ、基板電圧制御端子101の電圧 $V_{sub}$ が、ソース2接続端子121の電圧 $V_{s2}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。その結果、電圧 $V_{s2s1}$ がマイナスの範囲において低下するのに追従して、基板電圧制御端子101の電圧 $V_{sub}$ も低下する。

【0263】

このように、基板電圧制御回路1000は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合に、電圧 $V_{s2s1}$ の低下に追従して基板電圧制御端子101の電圧 $V_{sub}$ を低下させることができる。

30

【0264】

電圧 $V_{s2s1}$ の低下に追従して電圧 $V_{sub}$ が低下すると、ダイオード1014はオン状態になり、PchMOSFET1013のゲート端子Gの電圧が電圧 $V_{sub}$ の低下に追従して低下する。これにより、PchMOSFET1013のゲート電圧 $V_{gs}$ がPchMOSFET1013の閾値電圧 $V_{th}$ より低くなると、PchMOSFET1013はオン状態になり、PchMOSFET1013のソース端子Sとドレイン端子Dとを短絡させる。その結果、PchMOSFET1012のゲート端子Gとソース1接続端子111とが同じ電位になり、PchMOSFET1012はオフ状態になる。

【0265】

仮に、このときにPchMOSFET1012がオフ状態にならないと、PchMOSFET1012及びPchMOSFET1032のボディダイオードBDを通して、ソース1接続端子111とソース2接続端子121とが短絡し、大電流が流れる虞がある。その結果、ローサイド回路1091は、正常に動作できなくなり、場合によってはローサイド回路1091が破壊される虞がある。

40

【0266】

しかし、基板電圧制御回路1000は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合に、確実にPchMOSFET1012をオフ状態にすることができる。

【0267】

尚、ダイオード1014のカソード端子kを基板電圧制御端子101と接続せず、ソース2接続端子121と接続してもよい。これにより、電圧 $V_{s2s1}$ がマイナスの範囲で低

50

下する場合に、ダイオード1014をオン状態にさせて、PchMOSFET1013をオン状態にすることで、PchMOSFET1012をオフ状態にしてもよい。

【0268】

ハイサイド回路1092とローサイド回路1091とは、ソース1接続端子111とソース2接続端子121との接続関係が逆であること以外、回路構成は同じであり、動作も同じである。

【0269】

[ハイサイド回路1092の動作]

以下、ハイサイド回路1092の動作について簡単に説明する。ソース1接続端子111の電圧 $V_{s1}$ がソース2接続端子121の電圧 $V_{s2}$ より高い場合、ソース2接続端子121の電圧 $V_{s2}$ を基準にしたときのソース1接続端子111の電圧(以下、電圧 $V_{s1s2}$ )はプラスの電圧である。

10

【0270】

電圧 $V_{s1s2}$ がプラスの電圧である場合に、電圧 $V_{s1s2}$ が一定電圧である定常状態のときは、PchMOSFET1032のボディダイオードBDによって、電圧 $V_{sub}$ は電圧 $V_{s2}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。

【0271】

電圧 $V_{s1s2}$ がプラスの範囲において低下し、コンデンサ1035のカップリングによってPchMOSFET1032のゲート電圧 $V_{gs}$ が低下すると、PchMOSFET1032はオン状態になり、ソース2接続端子121の電圧 $V_{s2}$ が基板電圧制御端子101に印加される。これにより、基板電圧制御端子101の電圧 $V_{sub}$ は電圧 $V_{s2}$ と同じになる。

20

【0272】

このように、基板電圧制御回路1000は、電圧 $V_{s1s2}$ がプラスの範囲で低下する場合(電圧 $V_{s2s1}$ がマイナスの範囲で増大する場合)にも電圧 $V_{sub}$ を電圧 $V_{s2}$ に設定し、電圧 $V_{sub}$ がフローティング状態になることを防止できる。

【0273】

電圧 $V_{s1s2}$ がプラスの電圧からマイナスの電圧になった場合、PchMOSFET1032のドレイン端子Dからソース端子SにボディダイオードBDを通して電流が流れる。これにより、電圧 $V_{sub}$ が電圧 $V_{s2}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。その結果、電圧 $V_{s1s2}$ がマイナスの範囲において低下するのに追従して、基板電圧制御端子101の電圧 $V_{sub}$ も低下する。

30

【0274】

このように、基板電圧制御回路1000は、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合にも、電圧 $V_{s1s2}$ の低下に追従して基板電圧制御端子101の電圧 $V_{sub}$ を低下させることができる。

【0275】

電圧 $V_{s1s2}$ の低下に追従して電圧 $V_{sub}$ が低下すると、ダイオード1034がオン状態になることによって、PchMOSFET1033のゲート電圧 $V_{gs}$ が閾値電圧 $V_{th}$ より低くなり、PchMOSFET1033は、オン状態になる。これにより、PchMOSFET1032のゲート端子Gとソース2接続端子121とが同じ電位になり、PchMOSFET1032はオフ状態になる。

40

【0276】

仮に、このときにPchMOSFET1032がオフ状態にならないと、PchMOSFET1012及びPchMOSFET1032のボディダイオードBDを通して、ソース1接続端子111とソース2接続端子121とが短絡し、大電流が流れる虞がある。その結果、ハイサイド回路1092は、正常に動作できなくなり、場合によってはハイサイド回路1092が破壊される虞がある。

【0277】

しかし、基板電圧制御回路1000は、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合

50

に、確実に P c h M O S F E T 1 0 3 2 を オフ状態にすることができる。

【 0 2 7 8 】

尚、ダイオード 1 0 3 4 のカソード端子 k を基板電圧制御端子 1 0 1 と接続せず、ソース 1 接続端子 1 1 1 と接続してもよい。これにより、電圧  $V_{s1s2}$  がマイナスの範囲で低下する場合に、ダイオード 1 0 3 4 をオン状態にさせて、P c h M O S F E T 1 0 3 3 をオン状態にすることで、P c h M O S F E T 1 0 3 2 をオフ状態にしてもよい。

【 0 2 7 9 】

尚、P c h M O S F E T 1 0 1 2、1 0 1 3、1 0 3 2、1 0 3 3 は、それぞれ、P 型 M O S F E T に限らず、P 型の F E T、I G B T、B J T などのスイッチングデバイスで構成されてもよい。このとき、P c h M O S F E T 1 0 1 2 と P c h M O S F E T 1 0 3 2

10

【 0 2 8 0 】

図 1 3 に示した実施の形態 5 における基板電圧制御回路 1 0 0 0 は、動作原理を示すために最小限の部品を用いて構成されている。実用的な回路には、各ゲート端子 G の保護回路や、性能を十分に向上させる等の改良が必要である。以下では、その一例として、基板電圧制御回路 1 0 0 0 を改良した実用的な基板電圧制御回路 1 1 0 0 について図 1 4 を用いて説明する。図 1 4 は、本開示の実施の形態 5 における基板電圧制御回路 1 0 0 0 を改良した基板電圧制御回路 1 1 0 0 の一例を示す図である。

20

【 0 2 8 1 】

図 1 4 に示すように、基板電圧制御回路 1 1 0 0 は、図 1 3 に示すローサイド回路 1 0 9 1 に、チェナードायオード 1 1 1 6、1 1 1 8 と、抵抗 1 1 1 7、1 1 1 9、1 1 2 0 と、コンデンサ 1 1 2 1 とを追加したローサイド回路 1 1 9 1 と、図 1 3 に示すハイサイド回路 1 0 9 2 に、チェナードायオード 1 1 3 6、1 1 3 8 と、抵抗 1 1 3 7、1 1 3 9、1 1 4 0 と、コンデンサ 1 1 4 1 と、を追加したハイサイド回路 1 1 9 2 と、を備える。

【 0 2 8 2 】

図 1 4 に示す基板電圧制御回路 1 1 0 0 の基本的な回路構成及び動作は、上述の基板電圧制御回路 1 0 0 0 の回路構成及び動作と同じであるので説明を省略する。以下、基板電圧制御回路 1 0 0 0 になく、基板電圧制御回路 1 1 0 0 に追加された部品の役割について説明する。

30

【 0 2 8 3 】

以下、ローサイド回路 1 1 9 1 に追加された部品の役割について説明する。

【 0 2 8 4 】

チェナードायオード 1 1 1 6 は、アノード端子 a が P c h M O S F E T 1 0 1 2 のゲート端子 G に接続され、カソード端子 k がソース 1 接続端子 1 1 1 に接続されている。これにより、チェナードायオード 1 1 1 6 は、P c h M O S F E T 1 0 1 2 のゲート端子 G の過電圧破壊を防止する。

【 0 2 8 5 】

チェナードायオード 1 1 1 8 は、アノード端子 a が P c h M O S F E T 1 0 1 3 のゲート端子 G に接続され、カソード端子 k がソース 1 接続端子 1 1 1 に接続されている。これにより、チェナードायオード 1 1 1 8 は、P c h M O S F E T 1 0 1 3 のゲート端子 G の過電圧破壊を防止する。

40

【 0 2 8 6 】

抵抗 1 1 1 7 (ローサイド第 1 抵抗の一例) は、P c h M O S F E T 1 0 1 2 のゲート端子 G とソース 1 接続端子 1 1 1 との間に接続されている。これにより、抵抗 1 1 1 7 は、電圧  $V_{s2s1}$  が一定である定常状態の期間、P c h M O S F E T 1 0 1 2 のゲート電圧  $V_{gs}$  を 0 V に固定し、P c h M O S F E T 1 0 1 2 を確実にオフ状態に保つ。

【 0 2 8 7 】

抵抗 1 1 1 9 (ローサイド第 2 抵抗の一例) は、P c h M O S F E T 1 0 1 3 のゲート端

50

子Gとソース1接続端子111との間に接続されている。これにより、抵抗1119は、電圧 $V_{s2s1}$ が一定である定常状態の期間、PchMOSFET1013のゲート電圧 $V_{gs}$ を0Vに固定し、PchMOSFET1013を確実にオフ状態に保つ。

【0288】

抵抗1120（ローサイド第3抵抗の一例）は、ダイオード1014のアノード端子aとPchMOSFET1013のゲート端子Gとの間に接続されている。これにより、抵抗1120は、ダイオード1014がオン状態のときに流れる電流を制限する。

【0289】

コンデンサ1121（ローサイド第3コンデンサの一例）は、ダイオード1014のアノード端子aとPchMOSFET1013のゲート端子Gとの間に接続されている。これにより、コンデンサ1121は、基板電圧制御端子101の電圧 $V_{sub}$ が低下し始めるときに即座にPchMOSFET1013のゲート電圧 $V_{gs}$ を低下させて、PchMOSFET1013をオン状態にする。

10

【0290】

次に、ハイサイド回路1192に追加された部品の役割について説明する。

【0291】

チェナードायオード1136は、アノード端子aがPchMOSFET1032のゲート端子Gに接続され、カソード端子kがソース2接続端子121に接続されている。これにより、チェナードायオード1136は、PchMOSFET1032のゲート端子Gの過電圧破壊を防止する。

20

【0292】

チェナードायオード1138は、アノード端子aがPchMOSFET1033のゲート端子Gに接続され、カソード端子kがソース2接続端子121に接続されている。これにより、チェナードायオード1138は、PchMOSFET1033のゲート端子Gの過電圧破壊を防止する。

【0293】

抵抗1137（ハイサイド第1抵抗の一例）は、PchMOSFET1032のゲート端子Gとソース2接続端子121との間に接続されている。これにより、抵抗1137は、電圧 $V_{s2s1}$ が一定である定常状態の期間、PchMOSFET1032のゲート電圧 $V_{gs}$ を0Vに固定し、PchMOSFET1032を確実にオフ状態に保つ。

30

【0294】

抵抗1139（ハイサイド第2抵抗の一例）は、PchMOSFET1033のゲート端子Gとソース2接続端子121との間に接続されている。これにより、抵抗1139は、電圧 $V_{s2s1}$ が一定である定常状態の期間、PchMOSFET1033のゲート電圧 $V_{gs}$ を0Vに固定し、PchMOSFET1033を確実にオフ状態に保つ。

【0295】

抵抗1140（ハイサイド第3抵抗の一例）は、ダイオード1034のアノード端子aとPchMOSFET1033のゲート端子Gとの間に接続されている。これにより、抵抗1140は、ダイオード1034がオン状態のときに流れる電流を制限する。

【0296】

コンデンサ1141（ハイサイド第3コンデンサの一例）は、ダイオード1034のアノード端子aとPchMOSFET1033のゲート端子Gとの間に接続されている。これにより、コンデンサ1141は、基板電圧制御端子101の電圧 $V_{sub}$ が低下し始めるときに即座にPchMOSFET1033のゲート端子Gの電圧を低下させて、PchMOSFET1033をオン状態にする。

40

【0297】

尚、コンデンサ1015、1035のキャパシタンス容量は、それぞれ、例えば、0.1nFから100nFであればよい。コンデンサ1121、1141のキャパシタンス容量は、それぞれ、例えば、0.05nFから50nFであればよい。抵抗1117、1119、1120、1137、1139、1140の抵抗値は、それぞれ、例えば、10キロ

50

オームから 1 メガオームであればよい。

【 0 2 9 8 】

[ シミュレーション ]

次に、図 1 4 に示す基板電圧制御回路 1 1 0 0 を用いた、回路シミュレーションの結果について説明する。

【 0 2 9 9 】

この回路シミュレーションでは、電圧  $V_{s1}$  を 0 V で一定にし、電圧  $V_{s2}$  をマイナス 1 5 0 V からプラス 1 5 0 V に変化させるとき、電圧  $V_{s2}$  をプラス 1 5 0 V からマイナス 1 5 0 V の電圧に変化させたときとの電圧  $V_{sub}$  の電圧波形と、を観察した。この回路シミュレーションでは、電圧  $V_{s2s1}$  の変化する時間は 1 0 0 ナノ秒とした。

10

【 0 3 0 0 】

図 1 5 A 及び図 1 5 B は、図 1 4 に示す基板電圧制御回路 1 1 0 0 を用いた、回路シミュレーションの結果を示す波形図である。図 1 5 A は、電圧  $V_{s2s1}$  がマイナス電圧からプラス電圧に変化するときの電圧波形を示し、図 1 5 B は電圧  $V_{s2s1}$  がプラス電圧からマイナス電圧に変化するときの電圧波形を示している。図 1 5 A、図 1 5 B には、電圧波形  $W1$ 、 $W2$  の 2 つの電圧波形が示されている。電圧波形  $W1$  は電圧  $V_{s2s1}$  の電圧波形であり、電圧波形  $W2$  は電圧  $V_{sub}$  の電圧波形である。

【 0 3 0 1 】

図 1 5 A に示すように、電圧  $V_{s2s1}$  がマイナスの電圧から 0 V まで増大する場合、電圧波形  $W2$  は電圧波形  $W1$  と共に増大しており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s2}$  に対する電圧  $V_{sub}$  の追従性は非常に良いことがわかる。電圧  $V_{s2s1}$  が 0 V を超えてから暫くの期間は、電圧波形  $W2$  は電圧波形  $W1$  よりも低い電圧で増大しており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s1}$  ( 0 V ) に対する電圧  $V_{sub}$  の追従性はそれ程良くないことがわかる。当該期間後、電圧  $V_{s2s1}$  が更に増大する場合、電圧波形  $W2$  は略 0 V を示しており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s1}$  ( 0 V ) に対する電圧  $V_{sub}$  の追従性は非常に良いことがわかる。

20

【 0 3 0 2 】

一方、図 1 5 B に示すように、電圧  $V_{s2s1}$  がプラスの電圧から 0 V まで低下する場合、電圧波形  $W2$  は略 0 V を示しており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s1}$  ( 0 V ) に対する電圧  $V_{sub}$  の追従性は非常に良いことがわかる。また、電圧  $V_{s2s1}$  が 0 V からマイナスの電圧に低下する場合も、電圧波形  $W2$  は電圧波形  $W1$  と共に低下しており、電圧  $V_{s2}$  と電圧  $V_{s1}$  とのうち低い方の電圧  $V_{s2}$  に対する電圧  $V_{sub}$  の追従性は非常に良いことがわかる。

30

【 0 3 0 3 】

このように、回路シミュレーションによって、基板電圧制御回路 1 1 0 0 によれば、電圧  $V_{sub}$  の電圧波形  $W2$  を、図 2 に示す理想的な基板端子電圧波形 2 2 1 に近い電圧波形にできることがわかった。

【 0 3 0 4 】

( 実施の形態 6 )

図 1 6 は、本開示の実施の形態 6 における基板電圧制御回路 1 3 0 0 の一例を示す図である。尚、以下、実施の形態 5 で説明した構成と同一の符号を付した構成は、実施の形態 5 で説明したものと同一であることを示し、適宜、その説明を省略する。

40

【 0 3 0 5 】

基板電圧制御回路 1 3 0 0 は、実施の形態 5 で説明したソース 1 接続端子 1 1 1、ソース 2 接続端子 1 2 1 及び基板電圧制御端子 1 0 1 と、ローサイド回路 1 3 9 1 と、ハイサイド回路 1 3 9 2 とを備える。

【 0 3 0 6 】

ローサイド回路 1 3 9 1 は、基板電圧制御端子 1 0 1 にソース 1 接続端子 1 1 1 の電圧を印加するための回路である。ハイサイド回路 1 3 9 2 は、基板電圧制御端子 1 0 1 にソース 2 接続端子 1 2 1 の電圧を印加するための回路である。

50

## 【0307】

ローサイド回路1391は、実施の形態5で説明したPchMOSFET1012、PchMOSFET1013、及びコンデンサ1015と、コンデンサ1314（ローサイド第2コンデンサの一例）と、を備える。

## 【0308】

コンデンサ1314は、PchMOSFET1013のゲート端子Gを駆動するためのコンデンサである。コンデンサ1314は基板電圧制御端子101とPchMOSFET1013のゲート端子Gとの間に接続される。

## 【0309】

ハイサイド回路1392は、実施の形態5で説明したPchMOSFET1032、PchMOSFET1033、及びコンデンサ1035と、コンデンサ1334（ハイサイド第2コンデンサの一例）と、を備える。

10

## 【0310】

コンデンサ1334は、PchMOSFET1033のゲート端子Gを駆動するためのコンデンサである。コンデンサ1334は、基板電圧制御端子101とPchMOSFET1033のゲート端子Gとの間に接続される。

## 【0311】

つまり、基板電圧制御回路1300は、図13に示す基板電圧制御回路1000において、ダイオード1014に代えてコンデンサ1314を適用し、ダイオード1034に代えてコンデンサ1334を適用した構成となっている。

20

## 【0312】

## [ローサイド回路1391の動作]

次にローサイド回路1391の動作について説明する。電圧 $V_{s2s1}$ がプラスの電圧である場合に、電圧 $V_{s2s1}$ が一定電圧である定常状態のときは、PchMOSFET1012のボディダイオードBDによって、基板電圧制御端子101の電圧 $V_{sub}$ はソース1接続端子111の電圧 $V_{s1}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。

## 【0313】

電圧 $V_{s2s1}$ がプラスの範囲において低下すると、コンデンサ1015のカップリングによってPchMOSFET1012のゲート端子Gの電圧が低下する。これにより、PchMOSFET1012のゲート電圧 $V_{gs}$ がPchMOSFET1012の閾値電圧 $V_{th}$ より低くなると、PchMOSFET1012はオン状態になり、PchMOSFET1012のソース端子Sとドレイン端子Dとを短絡させる。PchMOSFET1012のソース端子Sとドレイン端子Dとが短絡すると、ソース1接続端子111の電圧 $V_{s1}$ がPchMOSFET1012を通して基板電圧制御端子101に印加される。これにより、基板電圧制御端子101の電圧 $V_{sub}$ は電圧 $V_{s1}$ と同じになる。このとき、PchMOSFET1013は、ソース端子Sの電圧とゲート端子Gの電圧とが同じであるのでオフ状態となる。

30

## 【0314】

このように、基板電圧制御回路1300は、電圧 $V_{s2s1}$ がプラスの範囲で低下するときに、基板電圧制御端子101の電圧 $V_{sub}$ をソース1接続端子111の電圧 $V_{s1}$ に設定し、基板電圧制御端子101の電圧 $V_{sub}$ がフローティング状態になることを防止できる。その結果、基板電圧制御回路1300は、双方向スイッチングデバイス900を安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイス900を動作させることができる。

40

## 【0315】

ソース2接続端子121の電圧 $V_{s2}$ がソース1接続端子111の電圧 $V_{s1}$ よりも低くなり、電圧 $V_{s2s1}$ がプラスの電圧からマイナスの電圧になったとする。この場合、電圧 $V_{s2s1}$ がプラスの電圧のときに基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ と同じになっているので、ソース2接続端子121の電圧 $V$

50

s 2 は、基板電圧制御端子 101 の電圧  $V_{sub}$  よりも低くなる。このため、ソース 2 接続端子 121 と接続された PchMOSFET 1032 のソース端子 S の電圧は、基板電圧制御端子 101 と接続された PchMOSFET 1032 のドレイン端子 D の電圧よりも低くなる。

【0316】

これにより、PchMOSFET 1032 のドレイン端子 D からソース端子 S にボディダイオード BD を通して電流が流れ、基板電圧制御端子 101 の電圧  $V_{sub}$  が、ソース 2 接続端子 121 の電圧  $V_{s2}$  にボディダイオード BD の閾値電圧  $V_f$  を加えた電圧以下に制限される。その結果、電圧  $V_{s2s1}$  がマイナスの範囲において低下するのに追従して、基板電圧制御端子 101 の電圧  $V_{sub}$  も低下する。

10

【0317】

このように、基板電圧制御回路 1300 は、電圧  $V_{s2s1}$  がマイナスの範囲で低下する場合に、電圧  $V_{s2s1}$  の低下に追従して基板電圧制御端子 101 の電圧  $V_{sub}$  を低下させることができる。

【0318】

電圧  $V_{s2s1}$  の低下に追従して電圧  $V_{sub}$  が低下すると、コンデンサ 1314 のカップリングによって、PchMOSFET 1013 のゲート端子 G の電圧が電圧  $V_{sub}$  の低下に追従して低下する。これにより、PchMOSFET 1013 のゲート電圧  $V_{gs}$  が PchMOSFET 1013 の閾値電圧  $V_{th}$  より低くなると、PchMOSFET 1013 はオン状態になり、PchMOSFET 1013 のソース端子 S とドレイン端子 D とを短絡させる。その結果、PchMOSFET 1012 のゲート端子 G とソース 1 接続端子 111 とが同じ電位になり、PchMOSFET 1012 はオフ状態になる。

20

【0319】

仮に、このときに PchMOSFET 1012 がオフ状態にならないと、PchMOSFET 1012 及び PchMOSFET 1032 のボディダイオード BD を通して、ソース 1 接続端子 111 とソース 2 接続端子 121 とが短絡し、大電流が流れる虞がある。その結果、ローサイド回路 1391 は、正常に動作できなくなり、場合によってはローサイド回路 1391 が破壊される虞がある。

【0320】

しかし、基板電圧制御回路 1300 は、電圧  $V_{s2s1}$  がマイナスの範囲で低下する場合に、確実に PchMOSFET 1012 をオフ状態にすることができる。

30

【0321】

尚、コンデンサ 1314 を、基板電圧制御端子 101 と接続せず、ソース 2 接続端子 121 と PchMOSFET 1013 のゲート端子 G との間に接続してもよい。これにより、電圧  $V_{s2s1}$  がマイナスの範囲で低下する場合に、コンデンサ 1314 のカップリングによって、PchMOSFET 1013 をオン状態にすることで、PchMOSFET 1012 をオフ状態にしてもよい。

【0322】

ハイサイド回路 1392 とローサイド回路 1391 とは、ソース 1 接続端子 111 とソース 2 接続端子 121 との接続関係が逆であること以外、回路構成は同じであり、動作も同じである。

40

【0323】

[ハイサイド回路 1392 の動作]

以下、ハイサイド回路 1392 の動作について簡単に説明する。電圧  $V_{s1s2}$  がプラスの電圧である場合に、電圧  $V_{s1s2}$  が一定電圧である定常状態のときは、PchMOSFET 1032 のボディダイオード BD によって、電圧  $V_{sub}$  は電圧  $V_{s2}$  にボディダイオード BD の閾値電圧  $V_f$  を加えた電圧以下に制限される。

【0324】

電圧  $V_{s1s2}$  がプラスの範囲において低下し、コンデンサ 1035 のカップリングによって PchMOSFET 1032 のゲート電圧  $V_{gs}$  が低下すると、PchMOSFET

50

1032はオン状態になり、ソース2接続端子121の電圧 $V_{s2}$ が基板電圧制御端子101に印加される。これにより、基板電圧制御端子101の電圧 $V_{sub}$ は電圧 $V_{s2}$ と同じになる。

【0325】

このように、基板電圧制御回路1300は、電圧 $V_{s1s2}$ がプラスの範囲で低下する場合（電圧 $V_{s2s1}$ がマイナスの範囲で増大する場合）にも電圧 $V_{sub}$ を電圧 $V_{s2}$ に設定し、電圧 $V_{sub}$ がフローティング状態になることを防止できる。

【0326】

電圧 $V_{s1s2}$ がプラスの電圧からマイナスの電圧になった場合、PchMOSFET1032のドレイン端子Dからソース端子SにボディダイオードBDを通して電流が流れる。これにより、電圧 $V_{sub}$ が電圧 $V_{s2}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。その結果、電圧 $V_{s1s2}$ がマイナスの範囲において低下するのに追従して、基板電圧制御端子101の電圧 $V_{sub}$ も低下する。

10

【0327】

このように、基板電圧制御回路1300は、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合にも、電圧 $V_{s1s2}$ の低下に追従して基板電圧制御端子101の電圧 $V_{sub}$ を低下させることができる。

【0328】

電圧 $V_{s1s2}$ の低下に追従して電圧 $V_{sub}$ が低下すると、コンデンサ1334のカップリングによって、PchMOSFET1033のゲート電圧 $V_{gs}$ が閾値電圧 $V_{th}$ より低くなり、PchMOSFET1033はオン状態になる。これにより、PchMOSFET1032のゲート端子Gとソース2接続端子121とが同じ電位になり、PchMOSFET1032はオフ状態になる。

20

【0329】

仮に、このときにPchMOSFET1032がオフ状態にならないと、PchMOSFET1012及びPchMOSFET1032のボディダイオードBDを通して、ソース1接続端子111とソース2接続端子121とが短絡し、大電流が流れる虞がある。その結果、ハイサイド回路1392は、正常に動作できなくなり、場合によってはハイサイド回路1392が破壊される虞がある。

【0330】

しかし、基板電圧制御回路1300は、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合に、確実にPchMOSFET1032をオフ状態にすることができる。

30

【0331】

尚、コンデンサ1334を、基板電圧制御端子101と接続せず、ソース2接続端子121とPchMOSFET1033のゲート端子Gとの間に接続してもよい。これにより、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合に、コンデンサ1334のカップリングによって、PchMOSFET1033をオン状態にすることで、PchMOSFET1032をオフ状態にしてもよい。

【0332】

図16に示した実施の形態6における基板電圧制御回路1300は、動作原理を示すために最小限の部品を用いて構成されている。実用的な回路には、各ゲート端子Gの保護回路や、性能を十分に向上させる等の改良が必要である。以下では、その一例として、基板電圧制御回路1300を改良した実用的な基板電圧制御回路1400について図17を用いて説明する。図17は、本開示の実施の形態6における基板電圧制御回路1300を改良した基板電圧制御回路1400の一例を示す図である。

40

【0333】

図17に示すように、基板電圧制御回路1400は、図16に示すローサイド回路1391に、チェナードiode1116、1118と、抵抗1117、1119とを追加したローサイド回路1491と、図16に示すハイサイド回路1392に、チェナードiode1136、1138と、抵抗1137、1139とを追加したハイサイド回路1492

50

と、を備える。

【0334】

図17に示す基板電圧制御回路1400の基本的な回路構成及び動作は、上述の基板電圧制御回路1300の回路構成及び動作と同じであるので説明を省略する。また、基板電圧制御回路1300になく、基板電圧制御回路1400に追加された部品1116～1119、1136～1139は、基板電圧制御回路1000にはなく、基板電圧制御回路1100に追加された部品1116～1119、1136～1139と同じであるので、説明を省略する。

【0335】

尚、コンデンサ1015、1035のキャパシタンス容量は、それぞれ、例えば、0.1 nFから10 nFであればよい。コンデンサ1314、1334のキャパシタンス容量は、それぞれ、例えば、0.05 nFから5 nFであればよい。抵抗1117、1119、1137、1139の抵抗値は、それぞれ、例えば、100キロオームから1メガオームであればよい。

10

【0336】

[シミュレーション]

次に、図17に示す基板電圧制御回路1400を用いた、回路シミュレーションの結果について説明する。

【0337】

この回路シミュレーションでは、電圧 $V_{s1}$ を0Vで一定にし、電圧 $V_{s2}$ をマイナス150Vからプラス150Vに変化させるときと、電圧 $V_{s2}$ をプラス150Vからマイナス150Vの電圧に変化させたときとの電圧 $V_{sub}$ の電圧波形と、を観察した。この回路シミュレーションでは、電圧 $V_{s2s1}$ の変化する時間は100ナノ秒とした。

20

【0338】

図18A及び図18Bは、図17に示す基板電圧制御回路1400を用いた、回路シミュレーションの結果を示す波形図である。図18Aは、電圧 $V_{s2s1}$ がマイナス電圧からプラス電圧に変化するときの電圧波形を示し、図18Bは電圧 $V_{s2s1}$ がプラス電圧からマイナス電圧に変化するときの電圧波形を示している。図18A、図18Bには、電圧波形 $W1$ 、 $W2$ の2つの電圧波形が示されている。電圧波形 $W1$ は電圧 $V_{s2s1}$ の電圧波形であり、電圧波形 $W2$ は電圧 $V_{sub}$ の電圧波形である。

30

【0339】

図18Aに示すように、電圧 $V_{s2s1}$ がマイナスの電圧から0Vまで増大する場合、電圧波形 $W2$ は電圧波形 $W1$ と共に増大しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s2}$ に対する電圧 $V_{sub}$ の追従性は非常に良いことがわかる。電圧 $V_{s2s1}$ が0Vを超えてから暫くの期間は、電圧波形 $W2$ は電圧波形 $W1$ よりも低い略一定の電圧を示しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s1}$ (0V)に対する電圧 $V_{sub}$ の追従性はそれ程良くないことがわかる。当該期間後、電圧 $V_{s2s1}$ が一定になると、電圧波形 $W2$ は略0Vを示すようになり、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s1}$ (0V)に対する電圧 $V_{sub}$ の追従性は非常に良いことがわかる。

【0340】

一方、図18Bに示すように、電圧 $V_{s2s1}$ がプラスの電圧から0Vまで低下する場合、電圧波形 $W2$ は0Vより少し低い一定の電圧を示しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s1}$ (0V)に対する電圧 $V_{sub}$ の追従性は良いことがわかる。また、電圧 $V_{s2s1}$ が0Vからマイナスの電圧に低下する場合、電圧波形 $W2$ は電圧波形 $W1$ よりも少し高い電圧を保ちながら、電圧波形 $W1$ と共に低下しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s2}$ に対する電圧 $V_{sub}$ の追従性は良いことがわかる。

40

【0341】

このように、回路シミュレーションによって、基板電圧制御回路1400によれば、電圧 $V_{sub}$ の電圧波形 $W2$ を、図2に示す理想的な基板端子電圧波形221に近い電圧波形

50

にできることがわかった。

【0342】

(実施の形態7)

図19は、本開示の実施の形態7における基板電圧制御回路1600の一例を示す図である。尚、以下、実施の形態5で説明した構成と同一の符号を付した構成は、実施の形態5で説明したものと同一であることを示し、適宜、その説明を省略する。

【0343】

基板電圧制御回路1600は、実施の形態5で説明したソース1接続端子111、ソース2接続端子121及び基板電圧制御端子101と、ローサイド回路1691と、ハイサイド回路1692とを備える。

10

【0344】

ローサイド回路1691は、基板電圧制御端子101にソース1接続端子111の電圧を印加するための回路である。ハイサイド回路1692は、基板電圧制御端子101にソース2接続端子121の電圧を印加するための回路である。

【0345】

ローサイド回路1691は、実施の形態5で説明したPchMOSFET1012、PchMOSFET1013、及びコンデンサ1015と、抵抗1614(ローサイド抵抗の一例)と、を備える。

【0346】

抵抗1614は、PchMOSFET1013のゲート端子Gを駆動するための抵抗である。抵抗1614は、基板電圧制御端子101とPchMOSFET1013のゲート端子Gとの間に接続される。

20

【0347】

ハイサイド回路1692は、実施の形態5で説明したPchMOSFET1032、PchMOSFET1033、及びコンデンサ1035と、抵抗1634(ハイサイド抵抗の一例)と、を備える。

【0348】

抵抗1634は、PchMOSFET1033のゲート端子Gを駆動するための抵抗である。抵抗1634は、基板電圧制御端子101とPchMOSFET1033のゲート端子Gとの間に接続される。

30

【0349】

つまり、基板電圧制御回路1600は、図13に示す基板電圧制御回路1000において、ダイオード1014に代えて抵抗1614を適用し、ダイオード1034に代えて抵抗1634を適用した構成となっている。

【0350】

[ローサイド回路1691の動作]

次にローサイド回路1691の動作について説明する。電圧 $V_{s2s1}$ がプラスの電圧である場合に、電圧 $V_{s2s1}$ が一定電圧である定常状態のときは、PchMOSFET1012のボディダイオードBDによって、基板電圧制御端子101の電圧 $V_{sub}$ はソース1接続端子111の電圧 $V_{s1}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。

40

【0351】

電圧 $V_{s2s1}$ がプラスの範囲において低下すると、コンデンサ1015のカップリングによってPchMOSFET1012のゲート端子Gの電圧が低下する。これにより、PchMOSFET1012のゲート電圧 $V_{gs}$ がPchMOSFET1012の閾値電圧 $V_{th}$ より低くなると、PchMOSFET1012はオン状態になり、PchMOSFET1012のソース端子Sとドレイン端子Dとを短絡させる。PchMOSFET1012のソース端子Sとドレイン端子Dとが短絡すると、ソース1接続端子111の電圧 $V_{s1}$ がPchMOSFET1012を通して基板電圧制御端子101に印加される。これにより、基板電圧制御端子101の電圧 $V_{sub}$ は電圧 $V_{s1}$ と同じになる。このとき、

50

PchMOSFET1013は、ソース端子Sの電圧とゲート端子Gの電圧とが同じであるのでオフ状態となる。

【0352】

このように、基板電圧制御回路1600は、電圧 $V_{s2s1}$ がプラスの範囲で低下するときに、基板電圧制御端子101の電圧 $V_{sub}$ をソース1接続端子111の電圧 $V_{s1}$ に設定し、基板電圧制御端子101の電圧 $V_{sub}$ がフローティング状態になることを防止できる。その結果、基板電圧制御回路1600は、双方向スイッチングデバイス900を安定したスイッチング特性で動作させると共に、2つの電流方向のスイッチング特性の差が低減されるように双方向スイッチングデバイス900を動作させることができる。

【0353】

ソース2接続端子121の電圧 $V_{s2}$ がソース1接続端子111の電圧 $V_{s1}$ よりも低くなり、電圧 $V_{s2s1}$ がプラスの電圧からマイナスの電圧になったとする。この場合、電圧 $V_{s2s1}$ がプラスの電圧のときに基板電圧制御端子101の電圧 $V_{sub}$ がソース1接続端子111の電圧 $V_{s1}$ と同じになっているので、ソース2接続端子121の電圧 $V_{s2}$ は、基板電圧制御端子101の電圧 $V_{sub}$ よりも低くなる。このため、ソース2接続端子121と接続されたPchMOSFET1032のソース端子Sの電圧は、基板電圧制御端子101と接続されたPchMOSFET1032のドレイン端子Dの電圧よりも低くなる。

【0354】

これにより、PchMOSFET1032のドレイン端子Dからソース端子SにボディダイオードBDを通して電流が流れ、基板電圧制御端子101の電圧 $V_{sub}$ が、ソース2接続端子121の電圧 $V_{s2}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。その結果、電圧 $V_{s2s1}$ がマイナスの範囲において低下するのに追従して、基板電圧制御端子101の電圧 $V_{sub}$ も低下する。

【0355】

このように、基板電圧制御回路1600は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合に、電圧 $V_{s2s1}$ の低下に追従して基板電圧制御端子101の電圧 $V_{sub}$ を低下させることができる。

【0356】

電圧 $V_{s2s1}$ の低下に追従して電圧 $V_{sub}$ が低下すると、PchMOSFET1013のゲート端子Gから抵抗1614を介して基板電圧制御端子101へ電流が流れることによって、PchMOSFET1013のゲート端子Gの電圧が電圧 $V_{sub}$ の低下に追従して低下する。これにより、PchMOSFET1013のゲート電圧 $V_{gs}$ がPchMOSFET1013の閾値電圧 $V_{th}$ より低くなると、PchMOSFET1013はオン状態になり、PchMOSFET1013のソース端子Sとドレイン端子Dとを短絡させる。その結果、PchMOSFET1012のゲート端子Gとソース1接続端子111とが同じ電位になり、PchMOSFET1012はオフ状態になる。

【0357】

仮に、このときにPchMOSFET1012がオフ状態にならないと、PchMOSFET1012及びPchMOSFET1032のボディダイオードBDを通して、ソース1接続端子111とソース2接続端子121とが短絡し、大電流が流れる虞がある。その結果、ローサイド回路1691は、正常に動作できなくなり、場合によってはローサイド回路1691が破壊される虞がある。

【0358】

しかし、基板電圧制御回路1600は、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合に、確実にPchMOSFET1012をオフ状態にすることができる。

【0359】

尚、抵抗1614を、基板電圧制御端子101と接続せず、ソース2接続端子121とPchMOSFET1013のゲート端子Gとの間に接続してもよい。これにより、電圧 $V_{s2s1}$ がマイナスの範囲で低下する場合に、PchMOSFET1013のゲート端子

10

20

30

40

50

Gから抵抗1614を介してソース2接続端子121へと電流を流すようにしてもよい。これによって、PchMOSFET1013をオン状態にすることで、PchMOSFET1012をオフ状態にしてもよい。

【0360】

ハイサイド回路1692とローサイド回路1691とは、ソース1接続端子111とソース2接続端子121との接続関係が逆であること以外、回路構成は同じであり、動作も同じである。

【0361】

[ハイサイド回路1692の動作]

以下、ハイサイド回路1692の動作について簡単に説明する。電圧 $V_{s1s2}$ がプラスの電圧である場合に、電圧 $V_{s1s2}$ が一定電圧である定常状態のときは、PchMOSFET1032のボディダイオードBDによって、電圧 $V_{sub}$ は電圧 $V_{s1}$ にPchMOSFET1032の閾値電圧 $V_{th}$ を加えた電圧以下に制限される。

10

【0362】

電圧 $V_{s1s2}$ がプラスの範囲において低下し、コンデンサ1035のカップリングによってPchMOSFET1032のゲート電圧 $V_{gs}$ が低下すると、PchMOSFET1032はオン状態になり、ソース2接続端子121の電圧 $V_{s2}$ が基板電圧制御端子101に印加される。これにより、基板電圧制御端子101の電圧 $V_{sub}$ は電圧 $V_{s2}$ と同じになる。

【0363】

このように、基板電圧制御回路1600は、電圧 $V_{s1s2}$ がプラスの範囲で低下する場合（電圧 $V_{s2s1}$ がマイナスの範囲で増大する場合）にも電圧 $V_{sub}$ を電圧 $V_{s2}$ に設定し、電圧 $V_{sub}$ がフローティング状態になることを防止できる。

20

【0364】

電圧 $V_{s1s2}$ がプラスの電圧からマイナスの電圧になった場合、PchMOSFET1032のドレイン端子Dからソース端子SにボディダイオードBDを通して電流が流れる。これにより、電圧 $V_{sub}$ が電圧 $V_{s2}$ にボディダイオードBDの閾値電圧 $V_f$ を加えた電圧以下に制限される。その結果、電圧 $V_{s1s2}$ がマイナスの範囲において低下するの追従して、基板電圧制御端子101の電圧 $V_{sub}$ も低下する。

【0365】

このように、基板電圧制御回路1600は、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合にも、電圧 $V_{s1s2}$ の低下に追従して基板電圧制御端子101の電圧 $V_{sub}$ を低下させることができる。

30

【0366】

電圧 $V_{s1s2}$ の低下に追従して電圧 $V_{sub}$ が低下すると、PchMOSFET1033のゲート端子Gから抵抗1634を介して基板電圧制御端子101へ電流が流れることによって、PchMOSFET1033のゲート電圧 $V_{gs}$ が閾値電圧 $V_{th}$ より低くなり、PchMOSFET1033はオン状態になる。これにより、PchMOSFET1032のゲート端子Gとソース2接続端子121とが同じ電位になり、PchMOSFET1032はオフ状態になる。

40

【0367】

仮に、このときにPchMOSFET1032がオフ状態にならないと、PchMOSFET1012及びPchMOSFET1032のボディダイオードBDを通して、ソース1接続端子111とソース2接続端子121とが短絡し、大電流が流れる虞がある。その結果、ハイサイド回路1692は、正常に動作できなくなり、場合によってはハイサイド回路1692が破壊される虞がある。

【0368】

しかし、基板電圧制御回路1600は、電圧 $V_{s1s2}$ がマイナスの範囲で低下する場合に、確実にPchMOSFET1032をオフ状態にすることができる。

【0369】

50

尚、抵抗 1634 を、基板電圧制御端子 101 と接続せず、ソース 2 接続端子 121 と PchMOSFET 1033 のゲート端子 G との間に接続してもよい。これにより、電圧  $V_{s1s2}$  がマイナスの範囲で低下する場合に、PchMOSFET 1033 のゲート端子 G から抵抗 1634 を介してソース 2 接続端子 121 へと電流を流すようにしてもよい。これによって、PchMOSFET 1033 をオン状態にすることで、PchMOSFET 1032 をオフ状態にしてもよい。

#### 【0370】

図 19 に示した実施の形態 7 における基板電圧制御回路 1600 は、動作原理を示すために最小限の部品を用いて構成されている。実用的な回路には、各ゲート端子 G の保護回路や、性能を十分に向上させる等の改良が必要である。以下では、その一例として、基板電圧制御回路 1600 を改良した実用的な基板電圧制御回路 1700 について図 20 を用いて説明する。図 20 は、本開示の実施の形態 7 における基板電圧制御回路 1600 を改良した基板電圧制御回路 1700 の一例を示す図である。

10

#### 【0371】

図 20 に示すように、基板電圧制御回路 1700 は、図 19 に示すローサイド回路 1691 に、チェナードायオード 1116、1118 と、抵抗 1117 と、コンデンサ 1719 とを追加したローサイド回路 1791 と、図 19 に示すハイサイド回路 1692 に、チェナードायオード 1136、1138 と、抵抗 1137 と、コンデンサ 1739 とを追加したハイサイド回路 1792 と、を備える。

#### 【0372】

図 20 に示す基板電圧制御回路 1700 の基本的な回路構成及び動作は、上述の基板電圧制御回路 1600 の回路構成及び動作と同じであるので説明を省略する。また、基板電圧制御回路 1600 になく、基板電圧制御回路 1700 に追加された部品 1116 ~ 1118、1136 ~ 1138 は、基板電圧制御回路 1000 にはなく、基板電圧制御回路 1100 に追加された部品 1116 ~ 1118、1136 ~ 1138 と同じであるので、説明を省略する。以下、図 19 に示す基板電圧制御回路 1600 になく、図 20 に示す基板電圧制御回路 1700 に追加されたコンデンサ 1719、1739 の役割について説明する。

20

#### 【0373】

コンデンサ 1719 は、基板電圧制御端子 101 と PchMOSFET 1013 のゲート端子 G との間に接続されている。これにより、コンデンサ 1719 は、基板電圧制御端子 101 の電圧  $V_{sub}$  が低下し始めるときに即座に PchMOSFET 1013 のゲート端子 G の電圧を低下させて、PchMOSFET 1013 をオフ状態にする。

30

#### 【0374】

コンデンサ 1739 は、基板電圧制御端子 101 と PchMOSFET 1033 のゲート端子 G との間に接続されている。これにより、コンデンサ 1739 は、基板電圧制御端子 101 の電圧  $V_{sub}$  が低下し始めるときに即座に PchMOSFET 1033 のゲート端子 G の電圧を低下させて、PchMOSFET 1033 をオフ状態にする。

#### 【0375】

尚、コンデンサ 1015、1035 のキャパシタンス容量は、それぞれ、例えば、0.1 nF から 10 nF であればよい。コンデンサ 1719、1739 のキャパシタンス容量は、それぞれ、例えば、0.05 nF から 5 nF であればよい。抵抗 1117、1137、1614、1634 の抵抗値は、それぞれ、例えば、100 キロオームから 1 メガオームであればよい。

40

#### 【0376】

#### [シミュレーション]

次に、図 20 に示す基板電圧制御回路 1700 を用いて行った回路シミュレーションの結果について説明する。

#### 【0377】

この回路シミュレーションでは、電圧  $V_{s1}$  を 0 V で一定にし、電圧  $V_{s2}$  をマイナス 150 V からプラス 150 V に変化させるときと、電圧  $V_{s2}$  をプラス 150 V からマイナス

50

150Vの電圧に変化させたときとの電圧 $V_{sub}$ の電圧波形と、を観察した。この回路シミュレーションでは、電圧 $V_{s2s1}$ の変化する時間は100ナノ秒とした。

【0378】

図21A及び図21Bは、図20に示す基板電圧制御回路1700を用いた、回路シミュレーションの結果を示す波形図である。図21Aは、電圧 $V_{s2s1}$ がマイナス電圧からプラス電圧に変化するときの電圧波形を示し、図21Bは電圧 $V_{s2s1}$ がプラス電圧からマイナス電圧に変化するときの電圧波形を示している。図21A、図21Bには、電圧波形W1、W2の2つの電圧波形が示されている。電圧波形W1は電圧 $V_{s2s1}$ の電圧波形であり、電圧波形W2は電圧 $V_{sub}$ の電圧波形である。

【0379】

図21Aに示すように、電圧 $V_{s2s1}$ がマイナスの電圧から0Vまで増大する場合、電圧波形W2は電圧波形W1と共に増大しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s2}$ に対する電圧 $V_{sub}$ の追従性は非常に良いことがわかる。また、電圧 $V_{s2s1}$ が0Vから増大する場合、電圧波形W2は略0Vを示しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s1}$ (0V)に対する電圧 $V_{sub}$ の追従性は非常に良いことがわかる。

【0380】

一方、図21Bに示すように、電圧 $V_{s2s1}$ がプラスの電圧から0Vまで低下する場合、電圧波形W2は略0Vを示しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s1}$ (0V)に対する電圧 $V_{sub}$ の追従性は非常に良いことがわかる。また、電圧 $V_{s2s1}$ が0Vからマイナスの電圧に低下する場合、電圧波形W2は電圧波形W1と共に低下しており、電圧 $V_{s2}$ と電圧 $V_{s1}$ とのうち低い方の電圧 $V_{s2}$ に対する電圧 $V_{sub}$ の追従性は非常に良いことがわかる。

【0381】

このように、回路シミュレーションによって、基板電圧制御回路1700によれば、電圧 $V_{sub}$ の電圧波形W2を、図2に示す理想的な基板端子電圧波形221に最も近い電圧波形にできることがわかった。

【0382】

本開示の基板電圧制御回路は、双方向スイッチングデバイスに適用できるので、マトリクスコンバータ等の技術分野にとって有用である。

【0383】

本開示は以下の態様も含む。

【0384】

[項目1]

第1接続端子と、

第2接続端子と、

基板電圧制御端子と、

第1ソース、第1ドレイン、第1ゲートを有し、前記第1ソースが前記基板電圧制御端子に接続され、前記第1ドレインが前記第1接続端子に接続された第1スイッチと、

第2ソース、第2ドレイン、第2ゲートを有し、前記第2ドレインが前記第1ゲートに接続された第2スイッチと、

前記第2接続端子と前記第2ゲートとの間に接続された第1コンデンサと、

前記基板電圧制御端子と前記第2ソースとの間に接続された第1電源と、

第3ソース、第3ドレイン、第3ゲートを有し、前記第3ソースが前記基板電圧制御端子に接続され、前記第3ドレインが前記第2接続端子に接続された第3スイッチと、

第4ソース、第4ドレイン、第4ゲートを有し、前記第4ドレインが前記第3ゲートに接続された第4スイッチと、

前記第1接続端子と前記第4ゲートとの間に接続された第2コンデンサと、

前記基板電圧制御端子と前記第4ソースとの間に接続された第2電源と、

を備える、基板電圧制御回路。

10

20

30

40

50

## 【 0 3 8 5 】

## [ 項目 2 ]

第 1 アノード、第 1 カソードを有し、前記第 1 アノードは前記基板電圧制御端子に接続され、前記第 1 カソードは前記第 1 ゲートに接続された第 1 ダイオードと、  
第 2 アノード、第 2 カソードを有し、前記第 2 アノードは前記基板電圧制御端子に接続され、前記第 2 カソードは前記第 3 ゲートに接続された第 2 ダイオードと、  
を更に備える、項目 1 に記載の基板電圧制御回路。

## 【 0 3 8 6 】

## [ 項目 3 ]

前記第 1 ダイオードは、前記基板電圧制御端子の電圧が前記第 1 接続端子の電圧より大きいときに、前記第 1 アノードから前記第 1 カソードに電流を流すことで、前記基板電圧制御端子の電圧を前記第 1 接続端子の電圧に近づけ、  
前記第 2 ダイオードは、前記基板電圧制御端子の電圧が前記第 2 接続端子の電圧より大きいときに、前記第 2 アノードから前記第 2 カソード端子に電流を流し、前記基板電圧制御端子の電圧を前記第 2 接続端子の電圧に近づける、項目 2 に記載の基板電圧制御回路。

10

## 【 0 3 8 7 】

## [ 項目 4 ]

第 3 アノード、第 3 カソードを有し、前記第 3 アノードは前記第 1 ゲートに接続され、前記第 3 カソードは前記第 2 接続端子に接続された第 3 ダイオードと、  
第 4 アノード、第 4 カソードを有し、前記第 4 アノードは前記第 3 ゲートに接続され、前記第 4 カソードは前記第 1 接続端子に接続された第 4 ダイオードと、  
を更に備える、項目 1 に記載の基板電圧制御回路。

20

## 【 0 3 8 8 】

## [ 項目 5 ]

前記第 3 ダイオードは、前記第 2 接続端子の電圧が前記第 1 接続端子の電圧と同じ電圧になるまでに、前記第 1 ゲートの電圧を前記第 1 スイッチの閾値電圧より低くし、前記第 1 スイッチをオフ状態にし、  
前記第 4 ダイオードは、前記第 1 接続端子の電圧が前記第 2 接続端子の電圧と同じ電圧になるまでに、前記第 3 ゲートの電圧を前記第 3 スイッチの閾値電圧より低くし、前記第 3 スイッチをオフ状態にする、項目 4 に記載の基板電圧制御回路。

30

## 【 0 3 8 9 】

## [ 項目 6 ]

前記第 1 スイッチは、  
前記第 1 ソースの電圧を基準とする前記第 1 ゲートの電圧を、第 1 ゲート電圧としたときに、  
前記第 1 ゲート電圧が前記第 1 スイッチの閾値電圧より高いときに、オン状態になり、前記第 1 ソースと前記第 1 ドレインとを短絡し、  
前記第 1 ゲート電圧が前記第 1 スイッチの閾値電圧より低いときに、オフ状態になり、前記第 1 ソースと前記第 1 ドレインとを開放し、  
前記第 3 スイッチは、  
前記第 3 ソースの電圧を基準とする前記第 3 ゲートの電圧を、第 3 ゲート電圧としたときに、  
前記第 3 ゲート電圧が前記第 3 スイッチの閾値電圧より高いときに、オン状態になり、前記第 3 ソースと前記第 3 ドレインとを短絡し、  
前記第 3 ゲート電圧が前記第 3 スイッチの閾値電圧より低いときに、オフ状態になり、前記第 3 ソースと前記第 3 ドレインとを開放する、項目 1 に記載の基板電圧制御回路。

40

## 【 0 3 9 0 】

## [ 項目 7 ]

前記第 1 スイッチと前記第 3 スイッチとは、それぞれ、Metal Oxide Semiconductor (MOSFET) もしくは、Insulated Gate Bipolar

50

lar Transistrr (IGBT) もしくは、 Junction Field Effect Transistor (JFET) もしくは、 Static Induced Transistor (SIT) もしくは、 High Electron Mobility Transistor (HEMT) である、項目 1 項に記載の基板電圧制御回路。

【0391】

[項目 8]

前記第 1 スイッチは、第 1 ボディダイオードを備え、  
 前記第 1 ボディダイオードは、前記第 1 ソースの電圧が前記第 1 ドレインの電圧より大きいときに、前記第 1 ソースから前記第 1 ドレインに電流を流し、  
 前記第 3 スイッチは、第 3 ボディダイオードを備え、  
 前記第 3 ボディダイオードは、前記第 3 ソースの電圧が前記第 3 ドレインの電圧より大きいときに、前記第 3 ソースから前記第 3 ドレインに電流を流す、項目 1 に記載の基板電圧制御回路。

10

【0392】

[項目 9]

第 1 接続端子と、  
 第 2 接続端子と、  
 基板電圧制御端子と、  
 第 1 ソース、第 1 ドレイン、第 1 ゲートを有し、前記第 1 ソースが前記第 1 接続端子に接続され、前記第 1 ドレインが前記基板電圧制御端子に接続された第 1 スイッチと、  
 第 2 ソース、第 2 ドレイン、第 2 ゲートを有し、前記第 2 ソースが前記第 1 接続端子に接続され、前記第 2 ドレインが前記第 1 ゲートに接続された第 2 スイッチと、  
 前記第 2 接続端子と前記第 2 ドレインとの間に接続された第 1 コンデンサと、  
 第 3 ソース、第 3 ドレイン、第 3 ゲートを有し、前記第 3 ソースが前記第 2 接続端子に接続され、前記第 3 ドレインが前記基板電圧制御端子に接続された第 3 スイッチと、  
 第 4 ソース、第 4 ドレイン、第 4 ゲートを有し、前記第 4 ソースが前記第 2 接続端子に接続され、前記第 4 ドレインが前記第 3 ゲートに接続された第 4 スイッチと、  
 前記第 1 接続端子と前記第 4 ドレインとの間に接続された第 2 コンデンサと、  
 を備える、基板電圧制御回路。

20

【0393】

[項目 10]

第 1 アノード、第 1 カソードを有し、前記第 1 アノードは前記第 2 ゲートに接続され、前記第 1 カソードは前記基板電圧制御端子に接続された第 1 ダイオードと、  
 第 2 アノード、第 2 カソードを有し、前記第 2 アノードは前記第 4 ゲートに接続され、前記第 2 カソードは前記基板電圧制御端子に接続された第 2 ダイオードと、  
 を更に備える、項目 9 に記載の基板電圧制御回路。

30

【0394】

[項目 11]

前記基板電圧制御端子と前記第 2 ゲートとの間に接続された第 3 コンデンサと、  
 前記基板電圧制御端子と前記第 4 ゲートとの間に接続された第 4 コンデンサと、  
 を更に備える、項目 9 に記載の基板電圧制御回路。

40

【0395】

[項目 12]

前記基板電圧制御端子と前記第 2 ゲートとの間に接続された第 1 抵抗と、  
 前記基板電圧制御端子と前記第 4 ゲートとの間に接続された第 2 抵抗と、  
 を更に備える、項目 9 に記載の基板電圧制御回路。

【0396】

[項目 13]

前記第 1 スイッチは、  
 前記第 1 ソースの電圧を基準にしたときの前記第 1 ゲートの電圧を第 1 ゲート電圧とした

50

ときに、

前記第 1 ゲート電圧が前記第 1 スイッチの閾値電圧より低いときに、オン状態になり、前記第 1 ソースと前記第 1 ドレインとを短絡させ、

前記第 1 ゲート電圧が前記第 1 スイッチの閾値電圧より高いときに、オフ状態になり、前記第 1 ソースと前記第 1 ドレインとを開放させ、

前記第 3 スイッチは、

前記第 3 ソースの電圧を基準にしたときの前記第 3 ゲートの電圧を第 2 ゲート電圧としたときに、

前記第 2 ゲート電圧が前記第 3 スイッチの閾値電圧より低いときに、オン状態になり、前記第 3 ソースと前記第 3 ドレインとを短絡させ、

前記第 2 ゲート電圧が前記第 3 スイッチの閾値電圧より高いときに、オフ状態になり、前記第 3 ソースと前記第 3 ドレインとを開放させる、

項目 9 に記載の基板電圧制御回路。

【 0 3 9 7 】

[ 項目 1 4 ]

前記第 1 スイッチと前記第 3 スイッチとが、それぞれ、Metal Oxide Semiconductor (MOSFET) もしくは、Insulated Gate Bipolar Transistor (IGBT) もしくは、Junction Field Effect Transistor (JFET) もしくは、Static Induced Transistor (SIT) もしくは、High Electron Mobility Transistor (HEMT) である、項目 9 に記載の基板電圧制御回路。

【 0 3 9 8 】

[ 項目 1 5 ]

前記第 1 スイッチは、第 1 ボディダイオードを備え、

前記第 1 ソースの電圧が前記第 1 ドレインの電圧より低いときに、前記第 1 ドレインから前記第 1 ソースに前記第 1 ボディダイオードを通して電流を流し、

前記第 3 スイッチは、第 2 ボディダイオードを備え、

前記第 3 ソースの電圧が前記第 3 ドレインの電圧より低いときに、前記第 3 ドレインから前記第 3 ソースに前記第 2 ボディダイオードを通して電流を流す、

項目 9 に記載の基板電圧制御回路。

【 0 3 9 9 】

[ 項目 1 6 ]

前記第 1 アノードと前記第 2 ゲートとの間に接続された第 3 コンデンサと、

前記第 2 アノードと前記第 4 ゲートとの間に接続された第 4 コンデンサと、

を更に備え、

前記第 1 コンデンサの容量値、及び、前記第 2 コンデンサの容量値は、 $0.1 \text{ nF}$  以上、 $100 \text{ nF}$  以下であり、

前記第 3 コンデンサの容量値、及び、前記第 4 コンデンサの容量値は、 $0.05 \text{ nF}$  以上、 $50 \text{ nF}$  以下ある、項目 10 に記載の基板電圧制御回路。

【 0 4 0 0 】

[ 項目 1 7 ]

前記第 1 ゲートと前記第 1 接続端子との間に接続された第 1 抵抗と、

前記第 2 ゲートと前記第 1 接続端子との間に接続された第 2 抵抗と、

前記第 1 アノードと前記第 2 ゲートとの間に接続された第 3 抵抗と、

前記第 3 ゲートと前記第 2 接続端子との間に接続された第 4 抵抗と、

前記第 4 ゲートと前記第 2 接続端子との間に接続された第 5 抵抗と、

前記第 2 アノードと前記第 4 ゲートとの間に接続された第 6 抵抗と、

を更に備え、

前記第 1 抵抗、前記第 2 抵抗、前記第 3 抵抗、前記第 4 抵抗、前記第 5 抵抗、及び前記第 6 抵抗のそれぞれの抵抗値は、 $10 \text{ k}$  以上、 $1 \text{ M}$  以下である、項目 10 に記載の基板

10

20

30

40

50

電圧制御回路。

【符号の説明】

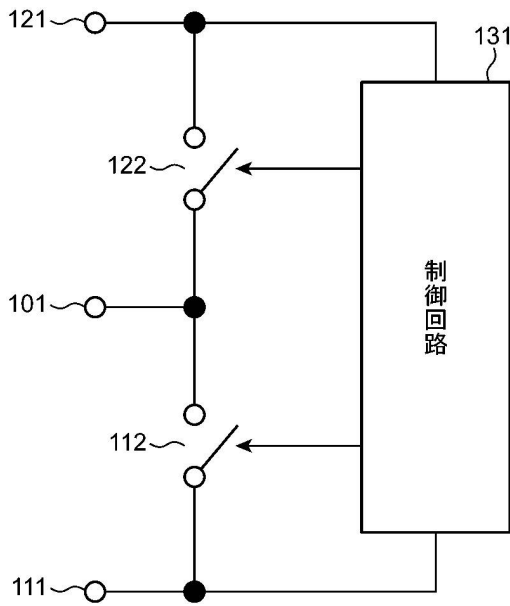
【0401】

100	基板電圧制御回路	
101	基板電圧制御端子	
111	ソース1接続端子	
112	スイッチ	
121	ソース2接続端子	
122	スイッチ	
131	制御回路	10
200	波形図	
201	ソース端子電圧波形	
221	基板端子電圧波形	
300	基板電圧制御回路	
312	NchMOSFET	
313	抵抗	
319	ローサイド回路	
322	NchMOSFET	
323	抵抗	
329	ハイサイド回路	20
400	基板電圧制御回路	
414	ダイオード	
415	チェナードायオード	
416	コンデンサ	
419	ローサイド回路	
424	ダイオード	
425	チェナードायオード	
426	コンデンサ	
429	ハイサイド回路	
900	双方向スイッチングデバイス	30
5101	GaN双方向スイッチングデバイス	
5102	ゲート駆動回路制御部	
5111	Si基板	
5112	バッファ層	
5113	半導体層積層体	
5114	第1の半導体層	
5115	第2の半導体層	
5116A	第1のオーミック電極	
5116B	第2のオーミック電極	
5118A	第1のゲート電極	40
5118B	第2のゲート電極	
5119A	第1のp型半導体層	
5119B	第2のp型半導体層	
5121	第1の電源	
5122	第2の電源	
5141	保護膜	
5151A	S1電極配線	
5151B	S2電極配線	
6101	GaN単方向スイッチングデバイス	
7101	GaNダイオード	50

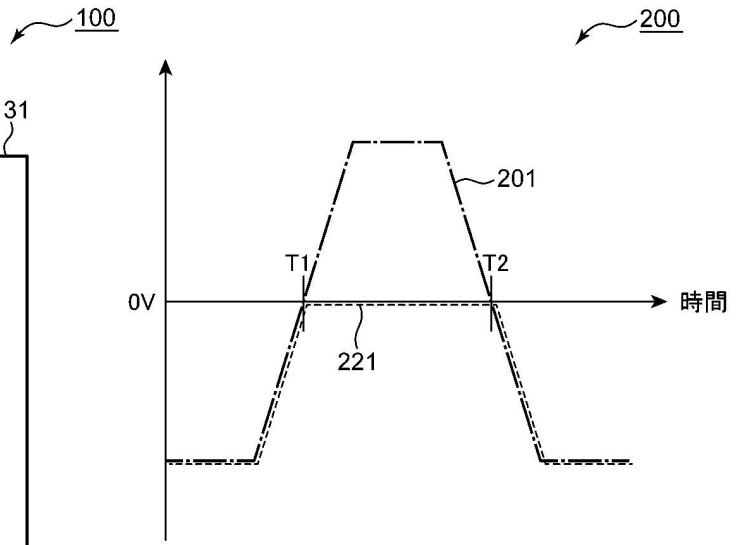
5 0 0	基板電圧制御回路	
6 0 0	基板電圧制御回路	
6 1 6	チェナードイオード	
6 1 7	コンデンサ	
6 1 8	ダイオード	
6 1 9	抵抗	
6 2 0	チェナードイオード	
6 2 7	コンデンサ	
6 2 9	抵抗	
6 4 1	抵抗	10
6 5 1	抵抗	
6 8 1	ローサイド回路	
6 9 1	ハイサイド回路	
1 0 0 0	基板電圧制御回路	
1 0 1 4	ダイオード(ローサイドダイオード)	
1 0 1 5	コンデンサ(ローサイド第1コンデンサ)	
1 0 3 4	ダイオード(ハイサイドダイオード)	
1 0 3 5	コンデンサ(ハイサイド第1コンデンサ)	
1 0 9 1	ローサイド回路	
1 0 9 2	ハイサイド回路	20
1 1 2 1	コンデンサ(ローサイド第3コンデンサ)	
1 1 4 1	コンデンサ(ハイサイド第3コンデンサ)	
1 1 1 7	抵抗(ローサイド第1抵抗)	
1 1 1 9	抵抗(ローサイド第2抵抗)	
1 1 2 0	抵抗(ローサイド第3抵抗)	
1 1 3 7	抵抗(ハイサイド第1抵抗)	
1 1 3 9	抵抗(ハイサイド第2抵抗)	
1 1 4 0	抵抗(ハイサイド第3抵抗)	
1 3 0 0	基板電圧制御回路	
1 3 1 4	コンデンサ(ローサイド第2コンデンサ)	30
1 3 3 4	コンデンサ(ハイサイド第2コンデンサ)	
1 3 9 1	ローサイド回路	
1 3 9 2	ハイサイド回路	
1 6 0 0	基板電圧制御回路	
1 6 1 4	抵抗(ローサイド抵抗)	
1 6 3 4	抵抗(ハイサイド抵抗)	
1 6 9 1	ローサイド回路	
1 6 9 2	ハイサイド回路	40

【図面】

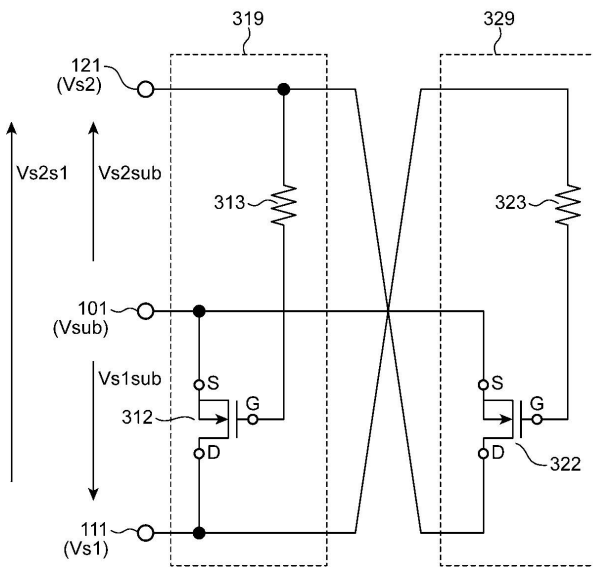
【図 1】



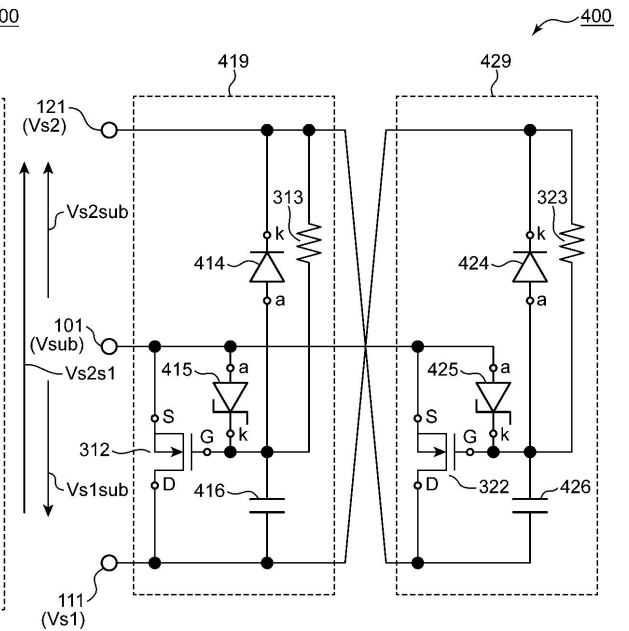
【図 2】



【図 3】



【図 4】



10

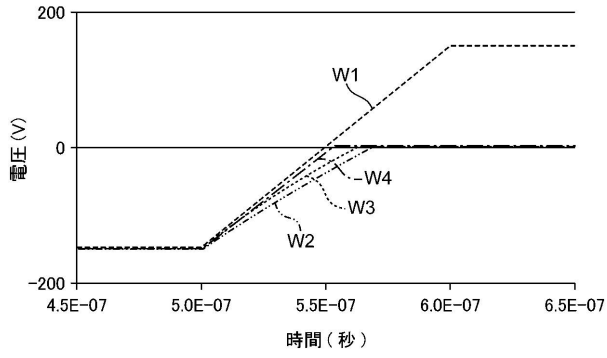
20

30

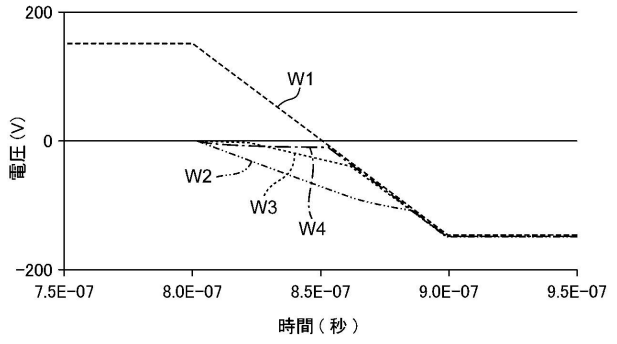
40

50

【図 5 A】

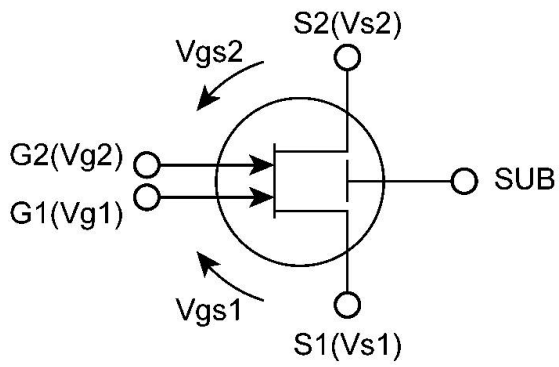


【図 5 B】

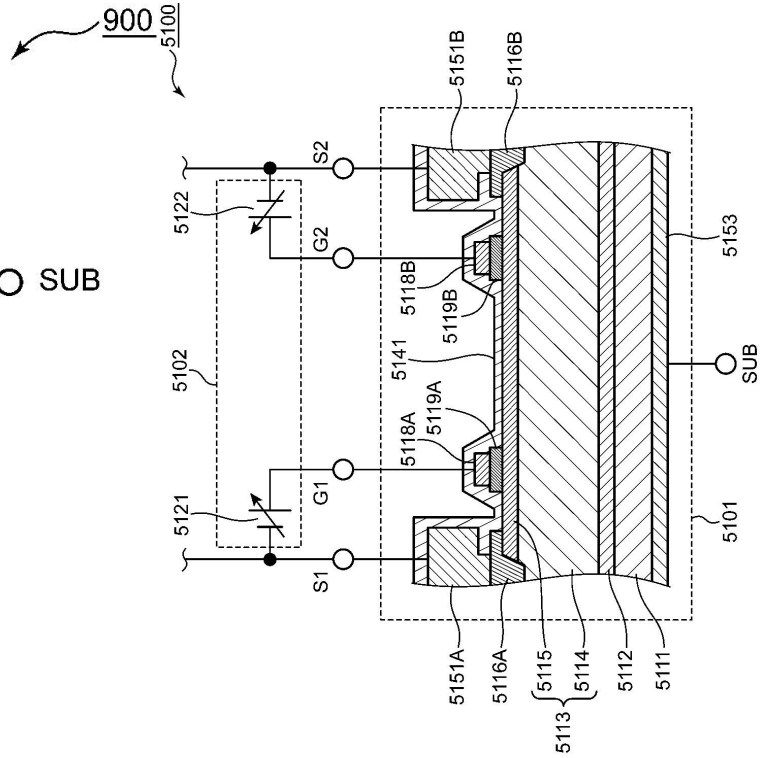


10

【図 6】



【図 7】



20

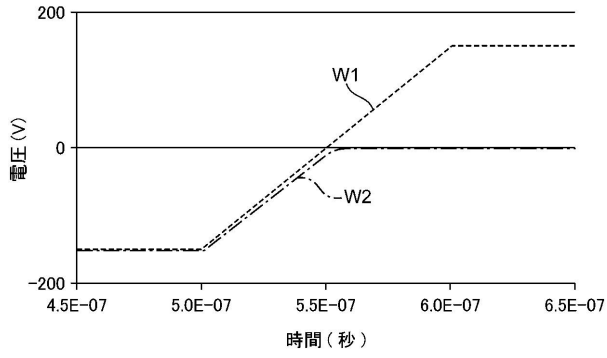
30

40

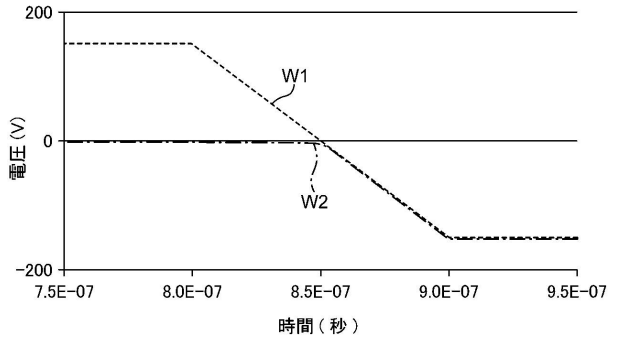
50



【図 1 2 A】

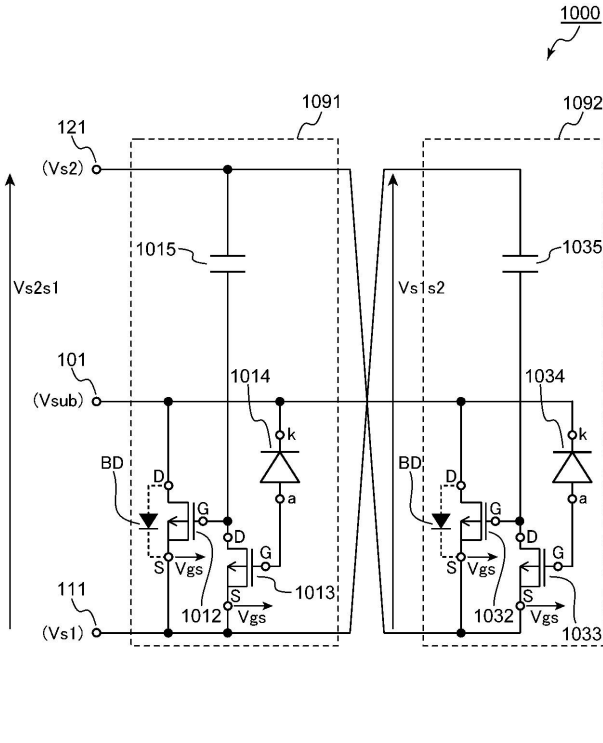


【図 1 2 B】

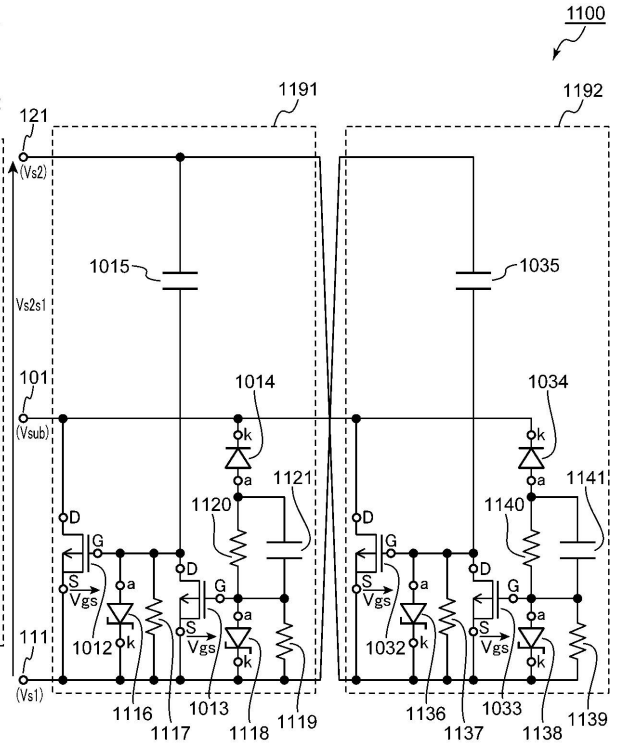


10

【図 1 3】



【図 1 4】



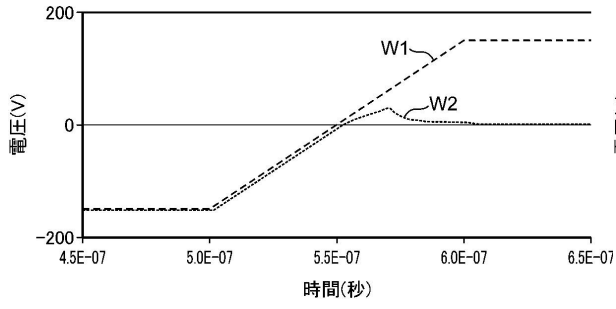
20

30

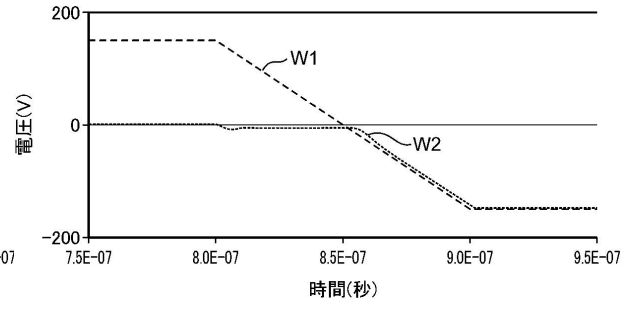
40

50

【図 15 A】

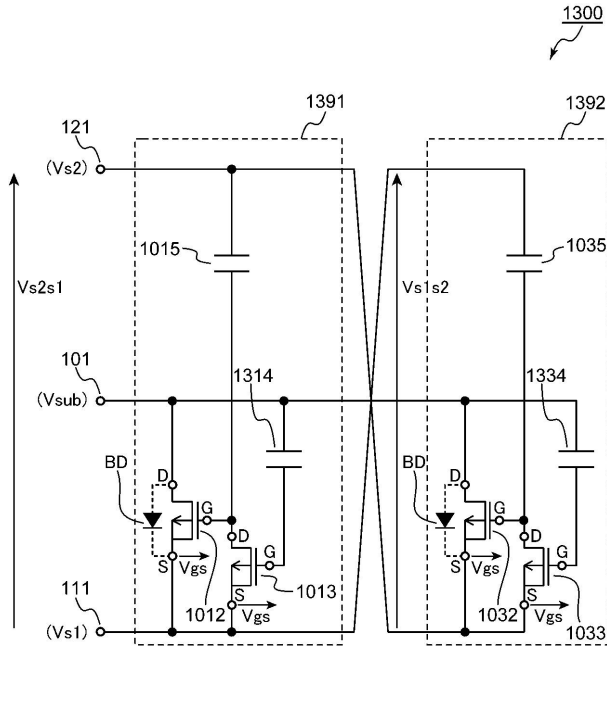


【図 15 B】

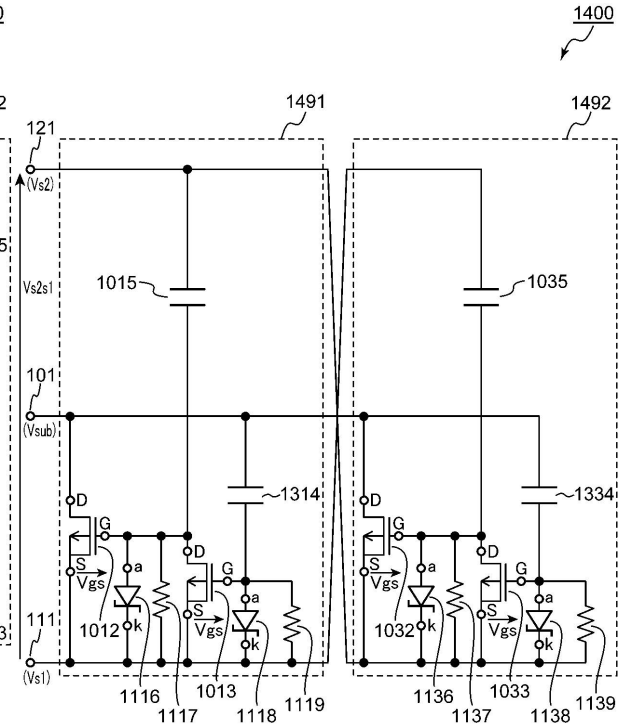


10

【図 16】



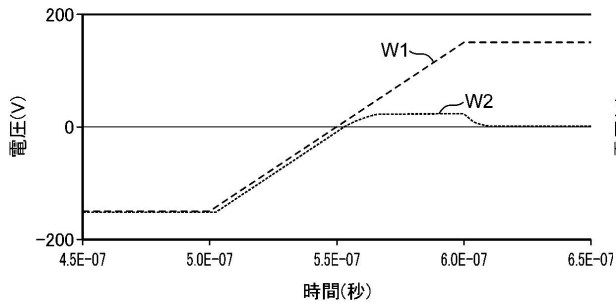
【図 17】



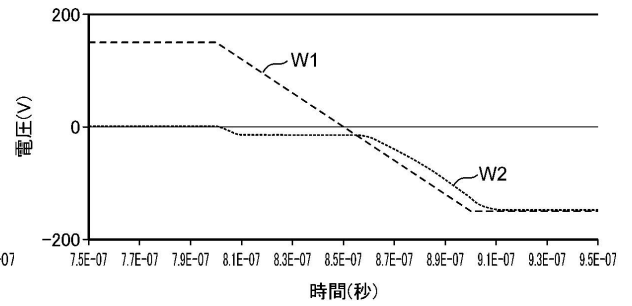
20

30

【図 18 A】



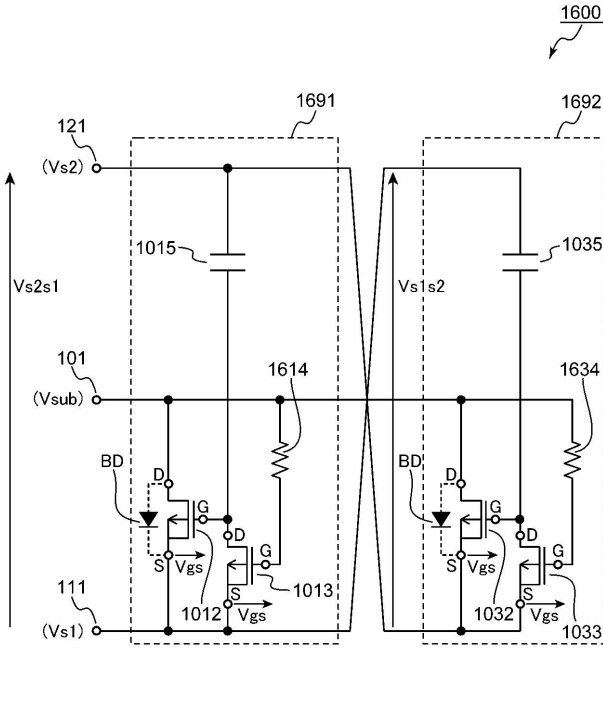
【図 18 B】



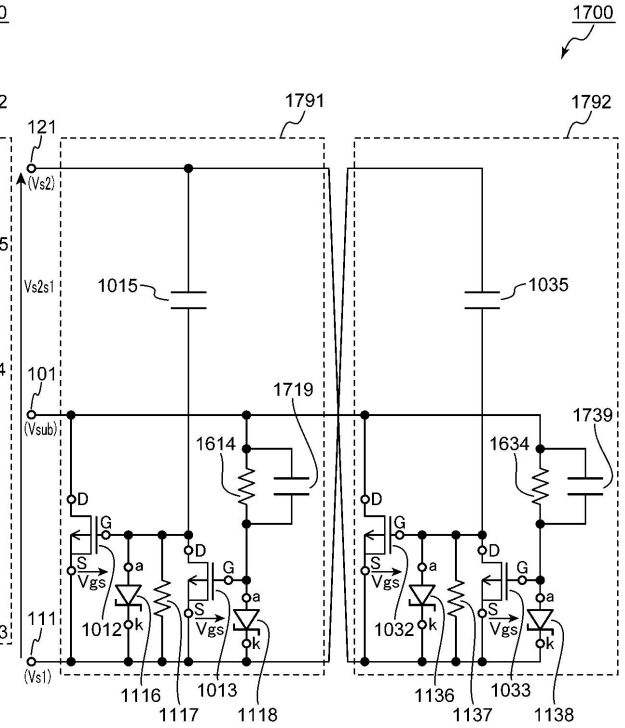
40

50

【図 19】



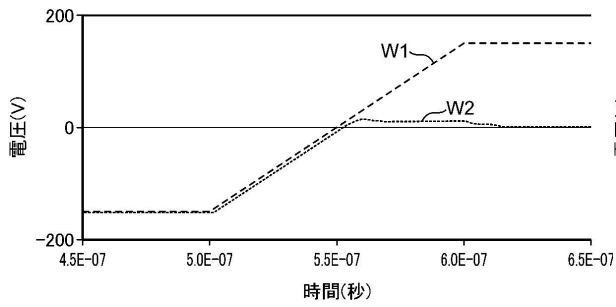
【図 20】



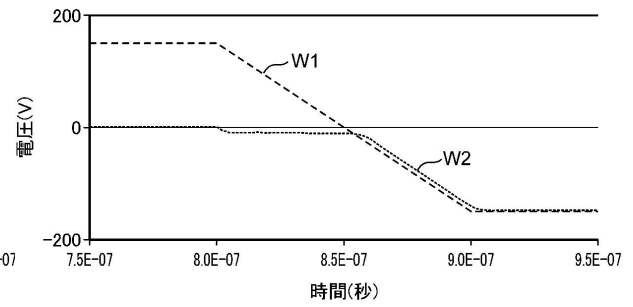
10

20

【図 21 A】



【図 21 B】



30

40

50

## フロントページの続き

(51)国際特許分類	F I		
H 0 1 L 29/866(2006.01)	H 0 1 L	27/06	1 0 2 A
H 0 1 L 21/8234(2006.01)	H 0 1 L	27/06	3 3 1
H 0 1 L 27/06 (2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L 21/28 (2006.01)	H 0 1 L	29/50	J
H 0 1 L 29/417(2006.01)	H 0 1 L	29/91	K
H 0 1 L 21/338(2006.01)	H 0 1 L	29/80	H
H 0 1 L 29/778(2006.01)	H 0 1 L	29/80	W
H 0 1 L 29/812(2006.01)	H 0 1 L	29/80	E
H 0 1 L 21/337(2006.01)	H 0 3 K	19/094	2 2 0
H 0 1 L 29/808(2006.01)			
H 0 3 K 19/094(2006.01)			

## 日本国(JP)

(31)優先権主張番号 特願2016-114400(P2016-114400)

(32)優先日 平成28年6月8日(2016.6.8)

(33)優先権主張国・地域又は機関

## 日本国(JP)

(31)優先権主張番号 特願2017-5222(P2017-5222)

(32)優先日 平成29年1月16日(2017.1.16)

(33)優先権主張国・地域又は機関

## 日本国(JP)

(56)参考文献 国際公開第 2 0 1 1 / 0 6 4 9 5 5 ( W O , A 1 )  
 特開平 0 5 - 1 5 2 5 2 6 ( J P , A )  
 国際公開第 2 0 1 4 / 1 0 3 1 2 6 ( W O , A 1 )  
 米国特許出願公開第 2 0 0 7 / 0 1 1 5 7 0 6 ( U S , A 1 )  
 特開 2 0 1 4 - 1 5 5 2 2 7 ( J P , A )

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 1 / 2 8  
 H 0 1 L 2 1 / 3 2 9  
 H 0 1 L 2 1 / 3 3 8  
 H 0 1 L 2 1 / 3 3 7  
 H 0 1 L 2 1 / 8 2 2  
 H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 9 / 8 0 8  
 H 0 1 L 2 9 / 8 6 1  
 H 0 1 L 2 9 / 8 6 8  
 H 0 1 L 2 7 / 0 4  
 H 0 1 L 2 7 / 0 6  
 H 0 1 L 2 9 / 4 1 7  
 H 0 3 K 1 9 / 0 9 4