

公告本

申請日期	P0.6.26
案 號	P0115362
類 別	G11C 16/00

A4
C4

512349

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用於在快閃記憶體核心記憶胞於讀取模式產生精確汲極電壓之方法及低功率電路
	英 文	METHOD AND LOW-POWER CIRCUITS USED TO GENERATE ACCURATE DRAIN VOLTAGE FOR FLASH MEMORY CORE CELLS IN READ MODE
二、發明 人創作	姓 名	1. 賓史 Q·雷 BINH Q. LE 2. 陳伯苓 PAU-LING CHEN 3. 麥可 A·范巴斯奇可 MICHAEL A. VANBUSKIRK
	國 籍	美國
三、申請人	住、居所	1. 美國·加州 95131·聖喬西市·奎史托波印特道 1277 號 1277 Crestpoint Drive, San Jose, California 95131, U.S.A. 2. 美國·加州 95070·薩瑞托珈市·艾諾耶迪阿格羅路 12947 號 12947 Arroyo De Arguello, Saratoga, California 95070, U.S.A. 3. 美國·加州 95070·薩瑞托珈市·范斯英路 18653 號 18653 Vessing Road, Saratoga, California 95070, U.S.A.
	姓 名 (名稱)	高級微裝置公司 ADVANCED MICRO DEVICES, INC.
三、申請人	國 籍	美國
	住、居所 (事務所)	美國·加州 94088-3453·桑尼威·第 1AMD 區·M/S 68·郵政信箱 3453 號 One AMD Place, M/S 68, P.O. Box 3453, Sunnyvale, California 94088-3453, U.S.A.
三、申請人	代 表 人 姓 名	理查·J·諾迪 RICHARD J. RODDY

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：
美 國 (地 區) 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權
2000 年 7 月 3 日 09/609,897 (主張優先權)

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

發明領域

本發明係關於記憶晶片，以及，特別是電子式可清除程式化唯讀記憶體（之後稱之為 EEPROM）以及快閃 EEPROM 晶片之外部連接。

背景資訊

一種像是快閃 EEPROM 之非揮發性的儲存記憶系統，是由好幾個記憶晶片所組成。每一個晶片包含儲存記憶元件的陣列、以及經由一組接腳，在外部相連接之其他相關的週邊電路。指令、位址、及資料資訊是經由這些接腳跟儲存記憶體相聯繫。此外，在 EEPROM 及快閃記憶體中，通常會有一組接腳，用來對晶片外之電荷儲存的連接。

所需要來將 EEPROM 程式化以及清除 EEPROM 元件的電壓，一般是比所需要來讀取記憶體之正常操作電壓還高。爲了要產生此較高的電壓， V_{pp} ，一般利用一個高壓產生電路。此高壓產生電路是一種直流-直流的電壓轉換器，通常是由連接到一組電容器的某種電荷幫浦（charge pump）所組成，其中，從標準邏輯準位 V_{dd} ，在這些電容器上的電壓是從一個階段增加到下一個階段，一直到電壓達到 V_{pp} 時。在儲存記憶系統中，單晶片的電荷幫浦通常是提供在系統中的一些晶片或所有其他的晶片來使用。因此，電容器不單只要提供 V_{pp} 的電壓，而且更要以一個足夠的程式化電流來提供。雖然大多數的高壓產生電路一般是放置在晶片

五、發明說明 (2)

當中，相較之下較大的電荷儲存裝置則並沒有放置在晶片當中，因為這些電容器並不容易來當作記憶儲存晶片的一部份。因此，在晶片上好幾個外接腳必須被專門用來將晶片外的電荷儲存，連接到晶片上剩下的功率產生電路，如納入在本文之參考文獻，由 Cernea 等人所著，描述在美國專利案號 5,508,971，名稱爲 “ Programmable Power Generation Circuit for Flash EEPROM Memory Systems ”。

好幾個晶片通常被編入到一單一的儲存記憶系統，如納入在本文之參考文獻，由 Norman 等人所著，是描述在美國專利案號 5,430,859，名稱爲 “ Solid State Memory System Including Plural Memory Chips and a Serialized Bus ”。當資料被提供到系統中時，此位址必須要明確地表示出在系統中的晶片，以及在所標示的晶片中之特定的位置。例如，如果資料是由一系列的信號所提供，第一個週期可以藉由一在之後的週期中之位址陣列的晶片位址，指出此晶片是要到哪裡去。此晶片然後跟具有其本身位置的晶片位址做比較，來決定它是不是所標示位址的晶片。然而，爲了要完成此任務，晶片需要知道它自己在裝置上的位址。如同個別的晶片可能都是相同的，此位址一般是由晶片是如何從一組裝置選擇的接腳之使用來標示出的。這些接腳是外接腳的子集合，而經由其連接到裝置上，來通知一個別的晶片其在系統中的位址。

如同對於非揮發性的儲存記憶體容量的增加以及速度之需求逐漸的增加般，晶片接腳的數目也同樣的需求。增

(請先閱讀背面之注意事項再填寫本頁)

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (3)

加每一儲存記憶系統之模組的儲存記憶晶片數，是表示晶片需要更多的裝置選擇接腳：例如，當四組晶片選擇接腳具體的指出一個在16-晶片膜組之特殊的晶片時，一種64-晶片的模組則需要六組這種的接腳。爲了要能夠更快的轉移資料，資料是被移置在較大的單元中。雖然資料能夠以序列的方式進入，但是可能不是以全位元的範圍方式進入：例如，在許多位元組中的一段資料，爲了要能夠更快地將此資料轉移到記憶元件陣列、或是從記憶元件陣列中轉移出來，這些資料每一次都可以被程式化或是被讀入到記憶元件中。爲了要得到在晶片上的這一段資料、或是移去在晶片上的這一段資料，其能夠被序列地移去，但是是以一種全位元組的範圍方式來做轉移，因此需要八組接腳來做序列的輸入或輸出。這種的改善，如納入在本文之參考文獻，由 Kevin M. Conley, John S. Mangan, and Jeffery G. Craig 等人所著，是描述在正在審查之美國專利案號 5,430,859，名稱爲“Flash EEPROM System with Simultaneous Multiple Data Sector Programming and Storage of Physical Block Characteristics in Other Designated Blocks”。

然而，在需要更多的接腳來做資料轉移及晶片辨識的情形時，有許多個爲什麼在晶片上的接腳最好是愈少愈好的原因。一個問題就是在於圍繞在晶片本身外圍之可利用的空間。在記憶儲存裝置上較少的外接腳（pinouts），將使得裝置變小，因此有更低的成本。此外，接腳的數目、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(4)

為了防止讀取干擾問題，一般已知於選定核心記憶胞電晶體的汲極(節點 D)電壓係不高於預定電壓(例如+1.7 伏)，依據使用技術決定。若假設抹消的記憶胞之讀取電流為 40 微安以及一次讀取 16 個此種記憶胞，則需要供給總讀取電流 16×40 微安或 0.64 毫安。但難以在極短時間(約 30 毫微秒)以內於具有負載電流 0.64 毫安的節點由僅+2.6 伏的電源供應器形成+1.7 伏的精確電壓於節點 D。

有鑑於此，需要提供一種方式而以有效率且有效的方式於讀取操作模式期間對選定的核心記憶胞產生精確汲極電壓之方式。此點於本發明係經由準確控制選擇閘極電壓達成，該電壓施加至選擇閘極電晶體之閘極，電晶體源極於讀取期間係連結至選定的核心記憶胞電晶體的對應汲極。

[發明之揭示]

本發明之概略技術優點係提供一種裝置及方法可克服先前技藝之問題用以於讀取操作模式期間對選定的核心記憶胞產生精確汲極電壓。

本發明之技術優點係提供一種以有效率且有效之方式於讀取操作模式期間對選定的核心記憶胞產生精確汲極電壓之裝置及方法。

本發明之另一技術優點係提供具有低電力消耗之於讀取操作模式期間對選定的核心記憶胞產生精確汲極電壓之控制電路及方法。

本發明之又另一技術優點係提供於讀取操作模式期間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

對選定的核心記憶胞產生精確汲極電壓之控制電路及方法，該電路包括差動放大器電路裝置，此差動放大器電路裝置可回應於對應於該選定核心記憶胞之汲極電壓的位元線電壓以及參考電壓用以產生選擇閘極電壓，當位元線電壓係高於目標電壓時，閘極電壓降低，以及當位元線電壓係低於目標電壓時，則閘極電壓升高。

根據本發明之較佳具體實施例，提供一種於讀取操作模式期間對半導體記憶裝置之選定核心記憶胞產生精確汲極電壓之控制電路。設置選定閘極電晶體，其傳導路徑係耦合於電源供應器電壓與選定的核心記憶胞之一之汲極間。差動放大器電路係回應於對應於選定核心記憶胞汲極電壓的位元線電壓以及參考電壓，因而產生一種選擇閘極電壓，該電壓於位元線電壓高於目標電壓時下降，以及當位元線電壓係低於目標電壓時升高。源極隨耦電路係回應於選擇閘極電壓用以產生位元線電壓，該電壓係維持於目標電壓。選擇閘極電晶體之控制閘極係連結而接收選擇閘極電壓用以將選定的核心記憶胞汲極電壓維持於約略恆定。

[圖式之簡單說明]

第 1 圖為習知 EEPROM 記憶裝置之簡化方塊圖；

第 2 圖為根據本發明之原理構成之用於第 1 圖選擇閘極電晶體之反饋放大器電路之示意電路圖；

第 3 圖為用於第 2 圖之升壓器電路 300 之細節示意電路圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

第 4 圖為用於第 3 圖之位準位移電路 400 之示意電路圖；

第 5 圖為用於第 2 圖之選擇閘極解碼器 500 之示意電路圖；

第 6 圖為用於第 2 圖之偏壓產生器電路 600 之示意電路圖；

第 7 圖為用於第 2 圖之參考電壓產生器電路 700 之示意電路圖；以及

第 8 圖為可用於說明本發明之操作之第 2 圖電路各點之波形圖。

[元件符號說明]

12	記憶胞矩陣	14	列解碼器
16	行解碼器	18	感應放大器電路
50、52、54、720	線		
200	反饋放大器環路	202	差動放大器環路
204	源極隨耦網路		
205、208、209、210、211、212、214、216	接收線		
206、412	電容器除法網路	218	輸出線
300	升壓器電路	400	位準位移器
402、404、406、408、410、502、504、506	電晶體		
500	選擇閘極解碼器	600	偏壓產生器電路
602	反相器		
604、702、704、706、708	PMOS 電晶體		
606、716、718	電阻器		

五、發明說明 (7)

608、610 NMOS電晶體 612 線路
700 參考電壓產生器 710、712、714 雙極電晶體

[執行本發明之最佳模式]

說明於讀取操作模式期間對選定的核心記憶胞產生精確汲極電壓之控制電路及方法。後文說明中陳述無數特定細節例如特定電路配置、組件等俾徹底了解本發明。但業界人士顯然易知可無需藉由此等特定細節實施本發明。於其它例中非了解本發明之操作原理有特別關聯的眾所周知的方法、電路及控制線被蓄意刪除以求清晰。

如前文指出，極難在極短時間(約 30 毫微秒)內，由僅 +2.6 伏的電源供應器電壓 VCC 於具有負載電流 0.64 毫安的第 1 圖選定核心記憶胞 MC11 之汲極(節點 D)產生精確電壓(例如 +1.7 伏)。如此本發明之目的係提供一種於讀取操作模式期間對選定核心記憶胞形成精確汲極電壓之裝置及方法，但無需耗用大量電流。有鑑於此本發明發明人發展出一種經由控制選擇閘極電晶體之控制閘極電壓 SEL 而調節選定的核心記憶胞及其電壓之方式，該等記憶胞係連結至選擇閘極電晶體 SG1...SGm 之對應源極。

回頭參照第 1 圖，發現流經選擇閘極電晶體 SG1 之電流 I_{讀取} 受平方法則控制且可表示如下：

$$I_{讀取} = K(V_{SEL} - V_D - V_T)^2$$

此處：

K 為特定閘極大小常數

V_{SEL} 為施加至選擇閘極電晶體之控制閘極電壓

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (8)

V_T 為選擇閘極電晶體之閾電壓 (具有本體效應)

V_D 為選定核心記憶胞電晶體之汲極電壓

對熟諳技藝人士而言顯然易知因數 K 係隨處理角落及溫度決定。同理，選擇閘極電晶體 $SG1$ 之閾電壓 V_T 係隨處理角落及溫度決定且將非為常數。此外，為了於節點 D 維持適當恆定汲極電壓，於某些條件下需要產生高於電源供應器電壓 VCC 的選擇閘極電壓 SEL 。因此為了克服所有此等問題，以避免讀取干擾效應，以及於讀取模式期間維持汲極電壓於恆定位準，發展出一種根據本發明原理組成的獨特配置之反饋放大器電路。

現在參照附圖細節，於第 2 圖顯示用於第 1 圖之選擇閘極電晶體 $SG1...SGm$ 之反饋放大器電路 200 之細節示意電路圖。反饋放大器電路 200 包括不平衡的差動放大器電路 202、源極隨耦網路 204、以及電容器除法器網路 206。差動放大器電路 202 係由 NMOS 輸入電晶體 $MN1、MN2$ ；PMOS 負載電晶體 $MP1、MP2$ ；電流源極電晶體 $MN3$ ；以及前置充電電晶體 $MP3$ 組成。第一輸入電晶體 $MN1$ 之閘極係連結至來自於電容器除法器網路 206 之節點 $VDIV$ ，其汲極係連結至節點 VS ，及其源極係連結至電流來源電晶體 $MN3$ 之汲極於節點 XH 。第二輸入電晶體 $MN2$ 之閘極係連結而接收線 205 之穩定參考電壓 $VREF$ ，其汲極係連結至節點 AH 及其源極也係連結至電流來源電晶體 $MN3$ 之汲極。參考電壓 $VREF$ 係由第 7 圖之參考電壓產生器 700 產生 (容後詳述)，產生典型為 +1.3 伏之參考電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (9)

第一負載電晶體 MP2 之源極係連結至節點 VB 用以接收線 208 的升壓電壓 VBOOST_SG，其汲極係連結至節點 VS 及其閘極係連結至節點 AH。第二負載電晶體 MP2 之源極也係連結至節點 VB 及其汲極及閘極也係連結至節點 AH。升壓電壓 VBOOST_SG 係由第 3 圖升壓器電路 300 產生(容後詳述)且典型係於+4.4 伏至+6.3 伏之範圍。

電流來源電晶體 MN3 之汲極係連結至節點 XH，其源極係連結至地電位 VSS(0 伏)及其閘極係連結而接收線 210 的偏壓電壓 CSBIAS。偏壓電壓 CSBIAS 係由第 6 圖之偏壓產生器電路 600 產生(容後詳述)且係於+1.0 伏至+1.5 伏之範圍。前置充電電晶體 MP3 之源極係連結至節點 VB，其汲極係連結至節點 VS 及其閘極係連結而接收線 211 的升壓信號 BOOST_H。

源極隨耦網路 204 包括功率下降電晶體 MP4 以及多個並聯連結的選擇電晶體 T1-T5，其係由選擇閘極電晶體 SG1...SGm(第 1 圖)的相同類型及大小形成，以及一個電流來源電晶體 MN4。電晶體 T1-T5 之汲極全部連結在一起且係連結至節點 BD。電晶體 T1-T5 的全部源極皆連結在一起且係連結至節點 VBITLINE。電晶體 T1-T5 的全部閘極係連結在一起且係連結至節點 VS。功率下降電晶體 MP4 之源極係連結至電源供應器電壓 VCC，其汲極係連結至節點 BD，其閘極係連結而接收線 209 之延遲互補信號 BOOSTB_D。電流來源電晶體 MN4 的汲極係連結至節點 VBITLINE，其源極係連結至地電位，及其閘極係連結而接

五、發明說明 (10)

收線 212 的偏壓電壓 CSBIAS。電源供應器電壓 VCC 係於 +2.6 伏至 +3.6 伏之範圍。由於電流來源電晶體 MN4 有電流流經其中而模擬 5 個被抹消記憶胞的總讀取電流，故於節點 VBITLINE 電壓將約等於於第 1 圖選定核心記憶胞汲極(節點 D)的電壓。

電容器除法器網路 206 係由第一電容器 C1 以及第二電容器 C2 形成，第二電容器 C2 係串聯連結第一電容器 C1 於節點 VDIV。第一電容器 C1 之另一端係連結而接收於節點 VBITLINE 的目標電壓，其係對應選定核心記憶胞 MC11 於節點 D(第 1 圖)的汲極電壓。第二電容器 C2 之另一端係連結至地電位。第一放電電晶體 MN5 之汲極係連結至第一電容器 C1 於節點 VBITLINE，及其源極係連結至地電位。第二放電電晶體 MN6 之汲極係連結至第一與第二電容器的接面於節點 VDIV 而界定反饋電壓，及其源極係連結至地電位。第一以及/或第二放電電晶體 MN5、MN6 之閘極係共同連結且接收於線 214 的反相升壓信號 BOOSTB。

反饋放大器電路 200 進一步包括反相器 INV1，反相器 INV1 之輸入端係連結而接收線 216 的升壓信號 BOOST，及其輸出端提供互補升壓信號 BOOSTB。反相器 INV2 之輸入端係連結至反相器 INV1 之輸出端，及其輸出端係連結至反相器 INV3 之輸入端。反相器 INV3 之輸出端產生延遲互補升壓信號 BOOSTB_D。位準位移電路 LS 之輸入端也連結而接收升壓信號 BOOST，以及於其輸出端提供位準

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費惠顧專用章

五、發明說明 (11)

位移升壓信號 BOOST_H。位準位移器電路 LS 之細節示意電路圖顯示於第 4 圖，容後詳述。須注意升壓信號 BOOST 於 ATD 脈衝期間係於低位準持續時間為 20 毫微秒，以及始於 ATD 脈衝的下降緣為高位準經歷約 70 毫微秒時間。

現在參照第 3 圖，說明升壓器電路 300 之細節示意電路圖，升壓器電路係回應於升壓信號 BOOST(第 2 圖)而產生 +4.4 伏至 +6.3 伏的升壓電壓 VBOOST_SG。升壓器電路 300 包括 PMOS 電晶體 MP302、MP304 及 MP306；兩個完全相同的位準位移器電路 LS1、LS2；反相器 INV308、INV310、INV312、INV314；以及升壓電容器 C_{升壓}。須注意位準位移器電路 LS1 及 LS2 係於第 2 圖的位準位移器電路 LS 完全相同。用於第 2 及 3 圖之位準位移器 400 之細節示意電路圖也適用於第 4 圖。

位準位移器 400 包含一對 NMOS 電晶體 402、404；一對交叉耦合 PMOS 負載電晶體 406、408 以及一具反相器 410。於 ATD 期間，由於輸出端 OUT(第 4 圖)的信號為低，故全部電晶體 MP302、MP304 及 MP306(第 3 圖)皆被導通 ON。結果節點 VH 及輸出線 412 電壓將前置充電至 +2.6 伏至 +3.6 伏的電源供應器電壓 VCC。當升壓信號 BOOST 進入高位準時，節點 VH 及線 412 的升壓電壓 VBOOST_SG 將由電源供應器電壓 VCC 升高至更高電壓。

回頭參照第 2 圖，須注意升壓電壓 VBOOST_SG 係連結至關聯選擇閘極 N 井負載區的寄生電容，如此具有重載電容負載(約 30 pF)。因此為了降低節點 VS 的負載俾提高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (12)

充電電流，選擇閘極電壓 VSGATE 與升壓電壓 VBOOST_SG 分開，升壓電壓 VBOOST_SG 將節點 VS 的負載降至約 8 pF。此係經由第 5 圖之選擇閘極解碼器 500 達成，第 5 圖為該選擇閘極解碼器之細節示意電路圖。

選擇閘極解碼器電路 500 透過線 50 的多工器(圖中未顯示)接收 N 井信號 VPSGH，該信號係與升壓電壓 VBOOST_SG 相等位準；以及於線 52 接收選擇閘極信號 VPSG，此 VPSG 信號係於選擇閘極電壓 VSGATE 的相同位準。解碼器 500 將選擇閘極電壓 SEL 送至線 54。解碼器 500 包括一對交叉耦合 P 通道電晶體 502、504 以及輸出電晶體 506。電晶體 502、504 之源極及 N 井區係連結在一起且共同連結而接收 N 井信號 VPSGH。電晶體 502 之閘極以及電晶體 504 之汲極係共同連結於節點 SELB。電晶體 504 之閘極及電晶體 502 之汲極係共同連結於節點 NN1。輸出電晶體 506 之 N 井區也連結而接收 N 井信號 VPSGH，及其源極係連結而接收選擇閘極信號 VPSG。如此由於電晶體 506 之源極以及 N 井區係彼此分開且其源極未繫結至信號 VPSGH，故信號 VPSG 係與信號 VPSGH 隔離。電晶體 506 之閘極也連結至節點 SELB，及其汲極係連結至線 54 用以提供選擇閘極電壓 SEL。有關降低電容負載技術之討論細節可參考專利申請案第 09/593,303 號，申請日 2000 年，6 月 13 日，名稱「於快閃記憶體 X-解碼器降低電容負載用於字元線及選定線做精確電壓控制之方法」。本專利申請案第 09/593,303 號係讓與本發明之相同受讓人且以引

經濟部智慧財產局員工消費合作社印製

五、發明說明 (13)

用方式併入本文。

由於希望快速充電輸出線 218(第 2 圖)之電壓 VSGATE 而未提高差動放大器電路 202 之偏壓電流，差動放大器電路蓄意設計成不平衡，因而提供使用低偏壓電流之快速充電時間。如所了解，右側電晶體 MP1、MN1 之大小比左側電晶體 MP2、MN2 之大小大 n 倍。結果流經電晶體 MP1 之偏壓電流 I 用以充電節點 VS 之電流約為 n 倍。

參照第 6 圖，說明用以產生偏壓電壓 CSBIAS 之偏壓產生器 600 之示意電路圖，偏壓產生器 600 係連結至第 2 圖電流源電晶體 MN3、MN4 之閘極。偏壓產生器電路 600 係由反相器 602、PMOS 電晶體 604、電阻器 606 及 NMOS 電晶體 608、610 形成。當線 611 的致能信號 EN 係於高位準時，電晶體 604 被導通而造成電流流經電阻器 606 及電晶體 608。結果於線路 612 產生的偏壓電壓 CBIAS 約為 +1.0 伏至 +1.5 伏。

於第 7 圖，顯示用以產生穩定參考電壓 VREF 1.3 伏之參考電壓產生器電路 700 之細節示意電路圖，參考電壓產生器電路 700 係連結至線 205(第 2 圖)第二輸入電晶體 MN2 閘極。參考電壓產生器 700 包括 PMOS 電流鏡電晶體 702、704、706、708；雙極電晶體 710、712、714 及電阻器 716、718。雙極電晶體 710、712 之電流將反射而流經電阻器 718 及雙極電晶體 714，因而於線 720 形成穩定參考電壓 VREF。參考電壓 VREF 之變化約為 80 毫伏。

現在參照第 8 圖之波形說明用於第 1 圖之選擇閘極電

五、發明說明 (14)

晶體 SG1...SGm 之第 2 圖說明之本發明之反饋放大器電路 200 之操作。初步發現反饋放大器電路 200 係於 ATD 脈衝期間被致能，如此當 ATD 脈衝於時間 t0 結束時升壓信號 VBOOST_SG(第 8 圖曲線 A)被前置充電朝向電源供應器電壓 VCC(例如 +3.0 伏)。

於時間 t0 之前，於 ATD 脈衝的起點，致能信號 EN 將走高，因而造成穩定參考電壓 VREF 快速充電且於 20 毫微秒後固定於約 +1.3 伏。由於電晶體 MP3 將被導通 ON，故節點 VS 也固定於電源供應器電壓 VCC。於時間 t0 或於 ATD 脈衝終點，升壓信號 BOOST 將走高。進一步，於升壓信號 BOOST 走高後的短時間，經由施加高邏輯位準至節點 Z14T 以及 SELG 而選定選擇閘極解碼器 500(第 5 圖)。結果電晶體 506 將被導通 ON，因而造成線 54(曲線 B)的選擇閘極電壓 SEL 於時間 t1 開始走高。於節點 VBITLINE(曲線 C)的電壓約等於第 1 圖節點 D 的電壓，也走高直到第 8 圖時間 t2 達到目標電壓(亦即 +1.5 伏)為止。電容器 C1 及 C2 值係選擇讓時間 t2 到達節點 VBITLINE 的目標電壓時，於節點 VDIV 之反饋電壓係於 +1.3 伏(等於參考電壓 VREF)。如此穩定參考電壓 VREF +1.3 伏用於定義於節點 VBITLINE 的目標電壓。須注意雖然於 ATD 脈衝期間反饋放大器電路 200 被致能，但至升壓信號 BOOST 走高為止，選擇閘極解碼器未被激活以防選定的核心記憶胞 MC11...MCnm 之汲極(節點 D)的電壓過衝。

現在假設於節點 VBITLINE 的電壓為 +1.7 伏(高於目標

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (15)

電壓 +1.5 伏)。如此將造成由節點 VDIV 反饋的電壓高於參考電壓 $V_{REF} + 1.3$ 伏，且將造成電晶體 MN1 更具有導電性。進一步，電晶體 MN2 將變成較少導電性，節點 AH 的電壓將走高，因而造成電晶體 MP1 較少導電。如此又將造成節點 VS 的電壓降低，反饋至電晶體 T1-T5 的閘極而使其變成導電性減低。如此於節點 VBITLINE 的電壓將朝向目標電壓下降。它方面，若節點 VBITLINE 係於 +1.3 伏，則於差動放大器電路 202 將出現相反現象，因而將電壓朝向 +1.5 伏目標電壓提升。藉此方式可知於節點 VBITLINE 的電壓係準確調節至 +1.5 伏，其約略係等於於選定的核心記憶胞汲極節點 D 電壓。

由前文說明可知本發明提供於讀取操作模式期間對選定的核心記憶胞產生精確汲極電壓之控制電路及方法。本發明之控制電路包括反饋放大器電路用以產生選擇閘極電壓，該電壓施加至選擇閘極電晶體的控制閘極用以維持選定的核心記憶胞汲極電壓約略恆定。

雖然已經就目前視為本發明之較佳具體實施例做說明，但熟諳技藝人士須了解可未悖離如本發明之精髓做出多種變化及修改且可以相當元件取代元件。此外可未悖離其中心範圍對本發明教示之特定情況或材料做修改。因此意圖本發明非僅限於如進行本發明之最佳模式所揭示之特定具體實施例，反而本發明涵括全部落入隨附之申請專利範圍之範圍之具體實施例。

四、中文發明摘要 (發明之名稱：用於在快閃記憶體核心記憶胞於讀取模式產生精確汲極電壓之方法及低功率電路)

本發明提供一種於讀取操作模式期間對半導體記憶裝置之選定核心記憶胞產生精確汲極電壓之控制電路及方法。提供選擇閘極電晶體(SG1...SGm)，其傳導路徑係耦合於電源電壓與選定核心記憶胞之一之汲極間。差動放大器電路(202)係回應於位元線電壓(對應於選定核心記憶胞之汲極電壓)以及參考電壓用以產生選擇閘極電壓。當位元線電壓係高於目標電壓時，則選擇閘極電壓降低；以及當位元線電壓係低於目標電壓時，則選擇閘極電壓升高。源極隨耦電路(204)係回應於選擇閘極電壓用以產生維持於目標電壓的位元線電壓。選擇閘極電晶體之控制閘極係連結而接收選擇閘極電壓用以維持選定核心記憶胞之汲極電壓於約略恆定電壓。

英文發明摘要 (發明之名稱：)

METHOD AND LOW-POWER CIRCUITS USED TO GENERATE ACCURATE DRAIN VOLTAGE FOR FLASH MEMORY CORE CELLS IN READ MODE

Control circuitry and a method for generating an accurate drain voltage for selected memory core cells in a semiconductor memory device during a Read mode of operation is provided. Select gate transistors (SG1...SGm) are provided which have their conduction path being coupled between a power supply voltage and a drain of one of the selected memory core cells. A differential amplifier circuit (202) is responsive to a bitline voltage corresponding to a drain voltage of the selected memory core cells and a reference voltage for generating a select gate voltage. The select gate voltage is decreased when the bitline voltage is higher than a target voltage and is increased when the bitline voltage is lower than the target voltage. A source follower circuit (204) is responsive to the select gate voltage for generating the bitline voltage which is maintained at the target voltage. The control gates of the select gate transistors are connected to receive the select gate voltage for maintaining the voltage at the drain of the selected memory core cells to be approximately constant.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種於讀取操作模式期間對半導體記憶體電路的選定的核心記憶胞產生精確汲極電壓之控制電路，該控制電路包含下列的組合：

選定的閘極電晶體(SG1...SGm)，各自具有導電路徑係耦合於電源電壓與選定的核心記憶胞之一之汲極；

差動放大器裝置(202)，回應於對應於選定的核心記憶胞之汲極電壓之位元線電壓以及參考電壓用以產生選擇閘極電壓，該選擇閘極電壓與位元線電壓係高於目標電壓時下降，以及當位元線電壓係低於目標電壓時升高；

源極隨耦電路裝置(204)，回應於選擇閘極電壓用以產生位元線電壓，該位元線電壓係維持於目標電壓；以及

選擇閘極電晶體之控制閘極係連結至接收該選擇閘極電壓用以維持於選定的核心記憶胞汲極電壓於約略恆定。

2. 如申請專利範圍第 1 項之產生精確汲極電壓之控制電路，其中該差動放大器電路裝置包括第一輸入電晶體(MN1)其閘極係連結至穩定參考電壓，以及第二輸入電晶體(MN2)其閘極係耦合至反饋電壓，該反饋電壓係與位元線電壓成比例，該第二輸入電晶體之集極提供選擇閘極電壓。

3. 如申請專利範圍第 2 項之產生精確汲極電壓之控制電路，進一步包含一個電容器除法器電路(206)，此電容

六、申請專利範圍

器除法器電路(206)包括第一電容器(C1)以及第二電容器(C2)串聯連結於位元線電壓與地電位間，該第一與第二電容器之接面提供反饋電壓。

4. 如申請專利範圍第 3 項之產生精確汲極電壓之控制電路，進一步包含第一恆定電流來源電晶體(MN3)，其汲極係連結至第一及第二輸入電晶體汲極，其源極係連結至地電位，以及其汲極係連結而接收偏壓電壓。
5. 如申請專利範圍第 4 項之產生精確汲極電壓之控制電路，進一步包含參考電壓產生器裝置(700)用以產生穩定參考電壓。
6. 如申請專利範圍第 5 項之產生精確汲極電壓之控制電路，進一步包含偏壓產生器裝置(600)用以產生偏壓電壓。
7. 如申請專利範圍第 6 項之產生精確汲極電壓之控制電路，其中該源極隨耦電路裝置係由多個電晶體(T1-T5)形成，該等電晶體之汲極係共同耦合且係耦合至電源供應器電位，其閘極係共同連結且係接收選擇閘極電壓，及其源極係共同連結且係提供位元線電壓。
8. 如申請專利範圍第 7 項之產生精確汲極電壓之控制電路，進一步包含第二電流來源電晶體(MN4)，其汲極係連結而接收位元線電壓，其源極係連結至地電位，及其閘極係連結而接收偏壓電壓。
9. 如申請專利範圍第 2 項之產生精確汲極電壓之控制電路，其中該第二輸入電晶體(MN2)之大小係比第一輸入電晶體(MN1)之大小大 n 倍因而形成不平衡之差動放大

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

器電路。

10.一種於讀取操作模式期間於半導體記憶體裝置之選定的核心記憶胞產生精確汲極電壓之方法，該方法包含下列步驟：

耦合選擇閘極電晶體介於電源供應器電壓與選定的核心記憶胞之一的汲極之間；

回應於對應於選定的核心記憶胞之汲極電壓之位元線電壓以及參考電壓產生選擇閘極電壓，該選擇閘極電壓於位元線電壓高於目標電壓時降低，而於位元線電壓低於目標電壓時升高；

產生位元線電壓，此位元線電壓係回應於選擇閘極電壓而維持於目標電壓；以及

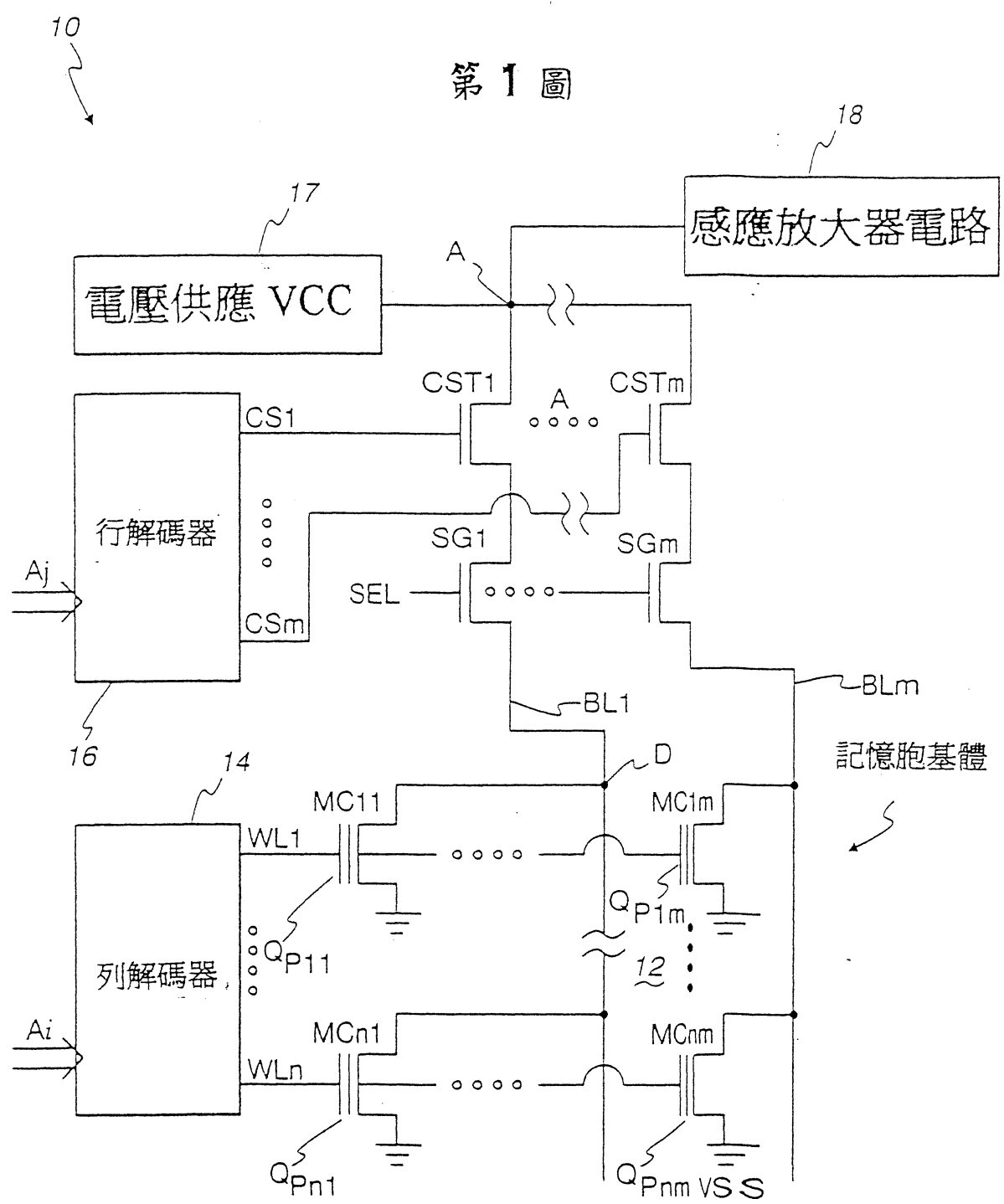
以選擇閘極電壓施加至選擇閘極電晶體之控制閘極，而維持於選定的核心記憶胞之汲極電壓為約略恆定。

(請先閱讀背面之注意事項再填寫本頁)

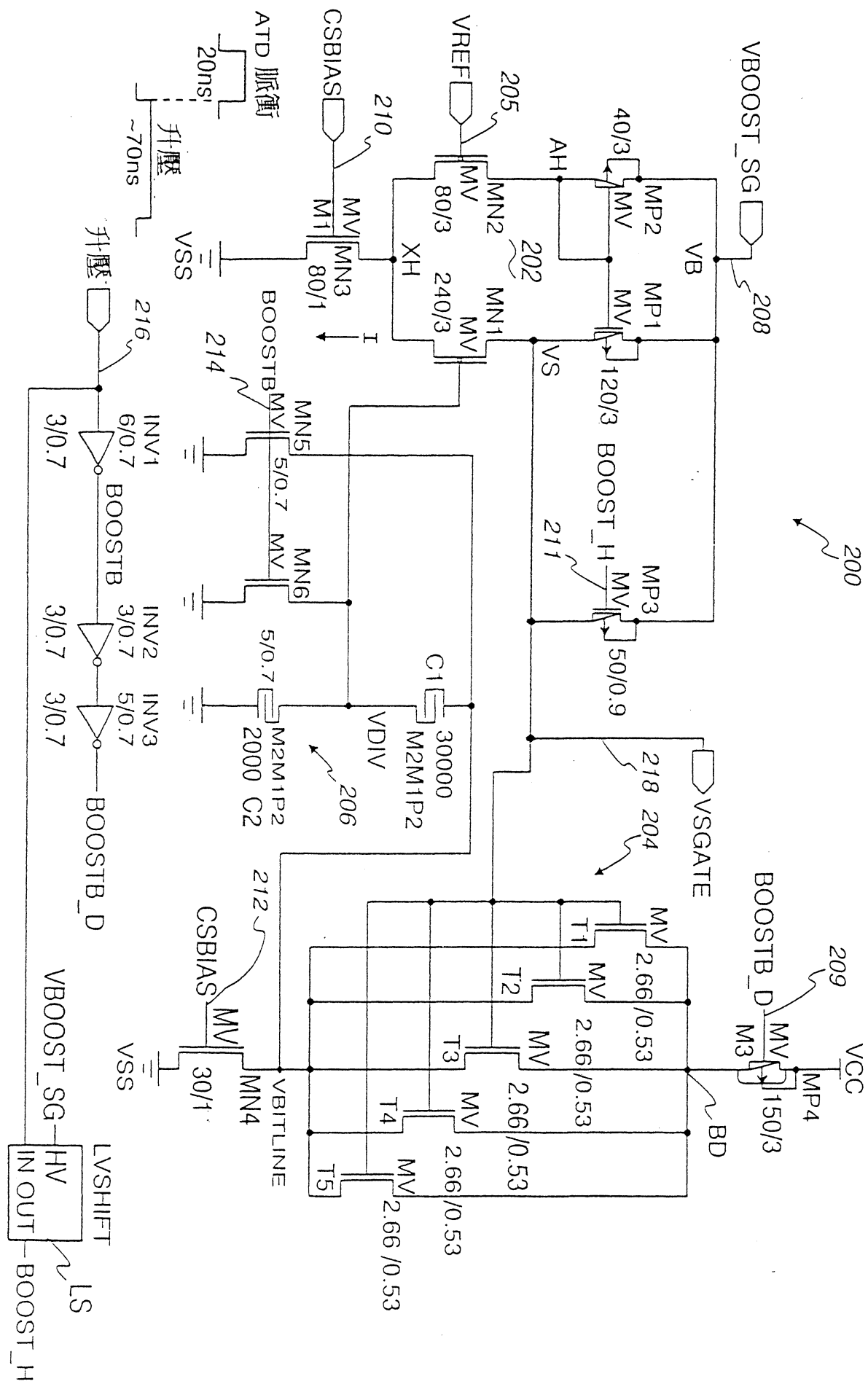
表

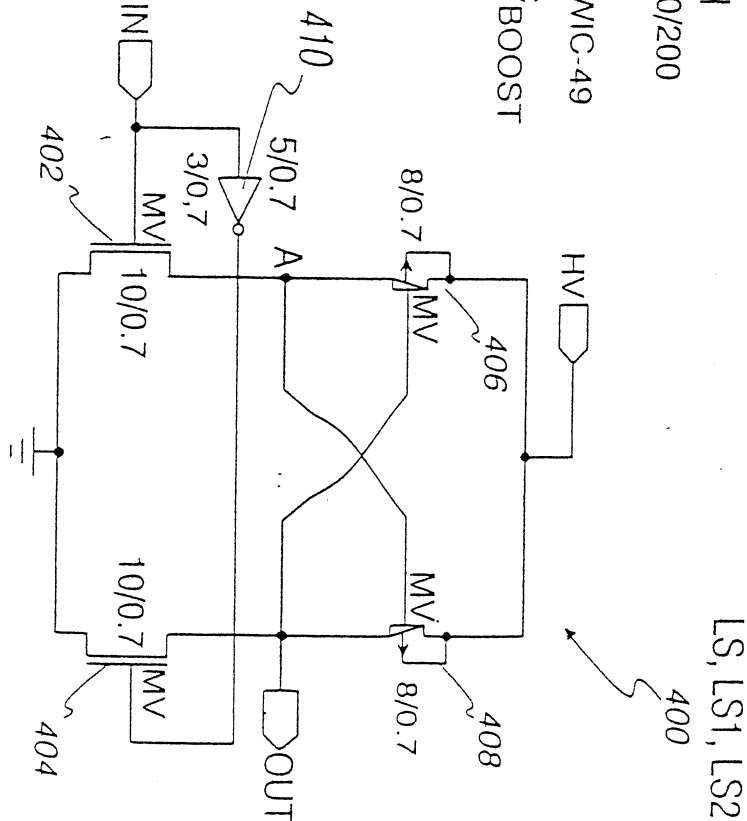
訂

線



第 2 圖





第 8 圖

VCC=3, 溫度=-40, RPP=114 歐姆/方形, 10 處理角落 (MULTSIM/NEWBOOSTER4/FULLPATH_SQ)

