

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-71931

(P2004-71931A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int. Cl.⁷
H01L 27/146

F I
H01L 27/14 A

テーマコード(参考)
4M118

審査請求 未請求 請求項の数 14 O L (全 10 頁)

(21) 出願番号 特願2002-231048 (P2002-231048)
(22) 出願日 平成14年8月8日(2002.8.8)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100089875
弁理士 野田 茂
(72) 発明者 宮田 幸児
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
Fターム(参考) 4M118 AA05 AB01 BA14 CA03 CA09
DD04 EA07 FA06 FA33 FA42
FA50 GC07 GD04 GD07

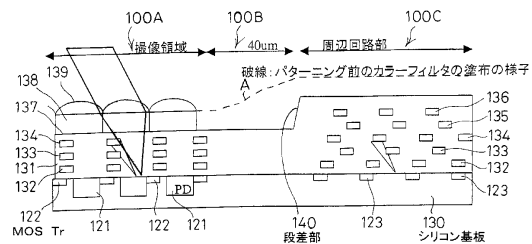
(54) 【発明の名称】 固体撮像素子及びその製造方法

(57) 【要約】

【課題】 周辺回路部の配線層を多層化する一方で撮像素素領域における配線層の層数を削減し、シェーディングや混色を抑制する。

【解決手段】 フォトダイオード121や各種トランジスタ122、123を設けたシリコン基板130上に、撮像素素領域部100Aでは3層の配線層132~134が形成され、周辺回路部100Cでは5層の配線層132~136が形成されている。したがって、撮像素素領域部100Aの上層部では、膜厚が小さくなり、その上にカラーフィルタ138およびオンチップレンズ139が配置されている。この結果、フォトダイオード121の受光面とカラーフィルタ138およびオンチップレンズ139との間の距離が小さくなり、シェーディングや混色を抑制することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮像素素領域部と、前記撮像素素領域部の駆動制御及び撮像信号に対する信号処理を行う周辺回路部とを設け、さらに前記半導体基板上に複数層の配線層と絶縁膜よりなる複数配線層を設けるとともに、前記複数配線層上の少なくとも撮像素素領域部に対応する領域に前記光電変換素子への入射光を制御する光学構造部材を設けた固体撮像素子において、前記撮像素素領域部上の複数配線層は、前記周辺回路部上の複数配線層に対して少ない層数で形成され、前記周辺回路部上の複数配線層よりも膜厚の小さい撮像素素領域部上の複数配線層上に前記光学構造部材が配置されている、

10

【請求項 2】

前記光学構造部材の上面の位置が前記周辺回路部の上面の位置よりも低い位置に配置されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】

前記光学構造部材は、オンチップマイクロレンズを含むことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 4】

前記光学構造部材は、オンチップ光学フィルタを含むことを特徴とする請求項 1 記載の固体撮像素子。

20

【請求項 5】

前記複数配線層の上層絶縁膜は、前記撮像素素領域部と周辺回路部との境界部で段差を有することを特徴とする請求項 1 記載の固体撮像素子。

【請求項 6】

前記段差が所定のテーパ角度を有して形成されていることを特徴とする請求項 5 記載の固体撮像素子。

【請求項 7】

前記段差のテーパ角度が 60° 以下であることを特徴とする請求項 6 記載の固体撮像素子。

【請求項 8】

半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2 次元アレイ状に配列した撮像素素領域部と、前記撮像素素領域部の駆動制御及び撮像信号に対する信号処理を行う周辺回路部とを設け、さらに前記半導体基板上に複数層の配線層と絶縁膜よりなる複数配線層を設けるとともに、前記複数配線層上の少なくとも撮像素素領域部に対応する領域に前記光電変換素子への入射光を制御する光学構造部材を設けた固体撮像素子の製造方法において、

30

前記半導体基板に撮像素素領域部及び周辺回路部を構成する各素子を形成する工程と、前記半導体基板上に撮像素素領域部及び周辺回路部とで共通する下層の複数配線層を形成する工程と、

前記下層の複数配線層上に周辺回路部に固有の上層の複数配線層を形成する工程と、前記上層の複数配線層の形成時に形成された撮像素素領域部上の絶縁膜を除去することにより、撮像素素領域部と周辺回路部との境界部に段差を形成する工程と、前記撮像素素領域部上の複数配線層上に前記光学構造部材を設ける工程と、を有することを特徴とする固体撮像素子の製造方法。

40

【請求項 9】

前記段差を所定のテーパ角度をもって形成することを特徴とする請求項 8 記載の固体撮像素子の製造方法。

【請求項 10】

固体撮像素子を有する電子機器において、前記固体撮像素子は、半導体基板に光電変換素子とゲート素子を含む複数の単位画素を 2

50

次元アレイ状に配列した撮像素素領域部と、前記撮像素素領域部の駆動制御及び撮像信号に対する信号処理を行う周辺回路部とを設け、さらに前記半導体基板上に複数層の配線層と絶縁膜よりなる複数配線層を設けるとともに、前記複数配線層上の少なくとも撮像素素領域部に対応する領域に前記光電変換素子への入射光を制御する光学構造部材を設けて構成され、

さらに前記撮像素素領域部上の複数配線層は、前記周辺回路部上の複数配線層に対して少ない層数で形成され、前記周辺回路部上の複数配線層よりも膜厚の小さい撮像素素領域部上の複数配線層上に前記光学構造部材が配置されている、
ことを特徴とする電子機器。

【請求項 1 1】

前記固体撮像素子によって撮像した画像信号の通信機能を有することを特徴とする請求項 1 0 記載の電子機器。

10

【請求項 1 2】

前記固体撮像素子によって撮像した画像信号の出力機能を有することを特徴とする請求項 1 0 記載の電子機器。

【請求項 1 3】

前記固体撮像素子によって撮像した画像信号の画像処理機能を有することを特徴とする請求項 1 0 記載の電子機器。

【請求項 1 4】

携帯型機器であることを特徴とする請求項 1 0 記載の電子機器。

20

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光電変換素子やゲート素子等を含む複数の単位画素が 2 次元配列された撮像領域を有する固体撮像素子及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

近年、ビデオカメラや電子カメラが広く普及しており、これらのカメラには、CCD 型や増幅型の固体撮像素子が使用されている。

これらの固体撮像素子は、それぞれ光電変換素子（フォトダイオード；PD）を設けた複数の単位画素が撮像領域内に 2 次元配列のアレイ状に配置されたものである。

30

そして、CCD 型固体撮像素子では、各単位画素に入射した光をフォトダイオードによって光電変換して信号電荷を生成し、この信号電荷を垂直 CCD 転送レジスタおよび水平 CCD 転送レジスタを介して出力部に設けたフローティングデフュージョン（FD）部に転送する。そして、この FD 部の電位変動を MOS トランジスタによって検出し、これを電気信号に変換、増幅することにより、撮像信号として出力する。

【0 0 0 3】

一方、増幅型固体撮像素子（CMOS イメージセンサ）では、各単位画素内に FD 部や転送、増幅等の各種 MOS トランジスタを有し、各単位画素に入射した光をフォトダイオードによって光電変換して信号電荷を生成し、この信号電荷を転送トランジスタによって FD 部に転送し、この FD 部の電位変動を増幅トランジスタによって検出し、これを電気信号に変換、増幅することにより、各画素毎の信号を信号線より出力する。

40

【0 0 0 4】

ところで、近年では、携帯電話などのモバイル機器へのカメラ機能搭載の目的から、撮像素子の小型化、省電力化に対する要求が強まっている。

このような要求に応えるためには、CCD 型の固体撮像素子よりも低電圧で動作可能であり、また、複雑な信号処理機能も容易にワンチップ化できる増幅型固体撮像素子（CMOS イメージセンサ）が適している。

そして、このような増幅型固体撮像素子のうち、現時点では最も小型の画素を有する構成としては、図 3 に示すような画素構造を有するものが提案されている（例えば、「Dun 50

50

- N i a n Y a u n g , S h o u - G w o W u u , Y e a n - K u e n F a n g e t a l . , " N o n s i l i c i d e s o u r c e / d r a i n p i x e l f o r 0 . 2 5 μ m C M O S i m a g e s e n s o r " I E E E E l e c t r o n D e v i c e L e t t e r s , V o l . 2 2 , N o . 2 , p p . 7 1 - 7 3 , F e b r u a r y 2 0 0 1 (参 照) 。

【0005】

以下、この従来例について、図3を参照して説明する。

図3は、 $2 \times 2 = 4$ 画素分の構成を示しており、各单位画素は、シリコン基板にはp型拡散層とn型拡散層からなるフォトダイオードPDと、このフォトダイオードPDで光電変換された信号電荷を電圧信号に変換して出力するための4つのMOSトランジスタTr1 ~ Tr4を設けたものである。 10

すなわち、読み出しトランジスタTr1は、読み出しパルスに基づいてフォトダイオードPDで生成された信号電荷を読み出して増幅トランジスタTr2にゲートに接続されたFD部に転送するものであり、増幅トランジスタTr2は、FD部の電位変動を対応して電圧信号(画素信号)を出力するものである。

また、垂直選択(アドレス)トランジスタTr3は、アドレスパルスに基づいて画素信号を読み出す水平ライン(画素行)を垂直方向に順次選択するためのものであり、リセットトランジスタTr4は、リセットパルスに基づいてFD部の電位を電源電位にリセットするものである。

【0006】

また、水平アドレス信号線11は、垂直選択トランジスタTr3のゲートに結線され、垂直選択トランジスタTr3によって信号を読み出す水平ラインを選択するものであり、リセット線12はリセットトランジスタTr4のゲートに結線され、リセットトランジスタTr4によってFD部の電位をリセットするものである。 20

また、垂直信号線13は、増幅トランジスタTr2のソースに結線され、増幅トランジスタTr2から出力された画素信号を画素部の外部に出力するものであり、定電流源14は、各画素に駆動電流を供給しており、図では省略しているが、画素列毎に垂直方向に配線された信号線によって供給される。

【0007】

これらの配線は、例えばA1多層配線が形成されている。フォトダイオードPDに多くの光を導入するためには、フォトダイオードPDの開口率を上げる必要があり、フォトダイオードPDの上方には、できるだけ信号線を配置しないようにレイアウトされている。そして、この配線層の上方には、オンチップレンズ(OCLE)を配置して開口率を上げる工夫がなされる。また、カラー信号を得るためのカラーフィルタが各フォトダイオードPDに対応して配線層上に配置される。 30

また、MOSトランジスタTr1 ~ Tr4による回路部に光が入射しないようにするための遮光膜が配置されている。

【0008】

【発明が解決しようとする課題】

ところで、被写体をレンズにより結像して撮像する固体撮像装置においては、シェーディングによる周辺減光の問題がある。具体的には、信号線などのチップ上の構造物による斜め光成分の乱反射により、画面中央部に比べて周辺部でフォトダイオードへの入射光量や光電変換効率が低下するという問題である。 40

特に近年はカメラ機能部品の小型化の要求から瞳距離の短い光学系が望まれるが、その場合、画面周辺の画素において斜めに入射する光の成分が信号線によって遮られるため、感度が低下し、シェーディングによる画質劣化が顕著になってしまう。

【0009】

そこで従来は、瞳補正と称して、例えば特開2000-150849号公報に開示されるように、撮像領域の周辺部寄りの領域において斜め光がフォトダイオードに集光されるように、オンチップレンズや遮光膜の開口の位置を補正し、シェーディングを軽減してい 50

る。

具体的には、フォトダイオードから見て光が入射する方向にオンチップレンズおよび遮光膜開口を配置する。

しかしながら、このような瞳補正を施した固体撮像素子においても、多層配線による入射光の乱反射により、瞳補正を行っても一部の斜め入射光が遮られ、特に短射出瞳距離の場合において、シェーディング抑制が十分にできない場合がある。

また、乱反射光が隣接する画素に入射すると、正しいフィルタを通過していない光を検出することになるため、正しい分光特性が得られない混色という問題もある。

【0010】

図4は、従来の増幅型固体撮像素子における多層配線の積層構造を示す断面図であり、このような固体撮像素子で生じるシェーディングと混色について示している。 10

この固体撮像素子では、シリコン基板30の表層部にフォトダイオード(PD)21や各種トランジスタ(MOSTR)22が設けられ、このシリコン基板30の上部にそれぞれ所定膜厚の絶縁膜31を介して3層の配線層32、33、34が積層され、その上に平坦化(保護)膜35等を介してカラーフィルタ36およびオンチップレンズ37が配置されている。

そして、図中に示す斜めの入射光aが、配線層34によって遮られ、シェーディングが生じるとともに、矢線bのように反射して混色が生じることになる。

以上のように、従来の増幅型固体撮像素子においては、配線層数を増やすと感度が低下してしまうという問題があった。 20

【0011】

そこで本発明の目的は、周辺回路部の配線層を多層化する一方で撮像素領域における配線層の層数を削減することにより、多層配線に起因するシェーディングや混色を抑制し、撮像素度や画質の向上を図ることができる固体撮像素子及びその製造方法を提供することにある。

【0012】

【課題を解決するための手段】

本発明は前記目的を達成するため、半導体基板に光電変換素子とゲート素子を含む複数の単位画素を2次元アレイ状に配列した撮像素領域部と、前記撮像素領域部の駆動制御及び撮像素信号に対する信号処理を行う周辺回路部とを設け、さらに前記半導体基板上に複数層の配線層と絶縁膜よりなる複数配線層を設けるとともに、前記複数配線層上の少なくとも撮像素領域部に対応する領域に前記光電変換素子への入射光を制御する光学構造部材を設けた固体撮像素子において、前記撮像素領域部上の複数配線層は、前記周辺回路部上の複数配線層に対して少ない層数で形成され、前記周辺回路部上の複数配線層よりも膜厚の小さい撮像素領域部上の複数配線層上に前記光学構造部材が配置されていることを特徴とする。 30

【0013】

また本発明は、半導体基板に光電変換素子とゲート素子を含む複数の単位画素を2次元アレイ状に配列した撮像素領域部と、前記撮像素領域部の駆動制御及び撮像素信号に対する信号処理を行う周辺回路部とを設け、さらに前記半導体基板上に複数層の配線層と絶縁膜よりなる複数配線層を設けるとともに、前記複数配線層上の少なくとも撮像素領域部に対応する領域に前記光電変換素子への入射光を制御する光学構造部材を設けた固体撮像素子の製造方法において、前記半導体基板に撮像素領域部及び周辺回路部を構成する各素子を形成する工程と、前記半導体基板上に撮像素領域部及び周辺回路部とで共通する下層の複数配線層を形成する工程と、前記下層の複数配線層上に周辺回路部に固有の上層の複数配線層を形成する工程と、前記上層の複数配線層の形成時に形成された撮像素領域部上の絶縁膜を除去することにより、撮像素領域部と周辺回路部との境界部に段差を形成する工程と、前記撮像素領域部上の複数配線層上に前記光学構造部材を設ける工程とを有することを特徴とする。 40

【0014】

本発明の固体撮像素子では、撮像素領域部上の配線層数を削減して複数配線層の膜厚を小さくし、周辺回路部では配線層数を多くして複数配線層の膜厚を大きくしたことから、撮像素領域部ではフォトダイオードの受光面とオンチップマイクロレンズや光学フィルタとの間の距離が縮小され、複数配線に起因するシェーディングや混色を抑制し、撮像感度や画質の向上を図ることができ、周辺回路部では配線層をより多層化して集積化を図り、高機能化や小型化を促進することができる。

また、本発明の固体撮像素子の製造方法では、撮像素領域部及び周辺回路部とで共通する下層の複数配線層を形成した後、その上に周辺回路部に固有の上層の複数配線層を形成し、さらに、撮像素領域部上の絶縁膜を除去することにより、撮像素領域部と周辺回路部との境界部に段差を形成することで、撮像素領域部上の配線層数を削減して複数配線層の膜厚を小さくし、周辺回路部では配線層数を多くして複数配線層の膜厚を大きくした固体撮像素子を容易に作製することができる。

10

この結果、撮像素領域部ではフォトダイオードの受光面とオンチップマイクロレンズや光学フィルタとの間の距離が縮小され、複数配線に起因するシェーディングや混色を抑制し、撮像感度や画質の向上を図ることができ、周辺回路部では配線層をより多層化して集積化を図り、高機能化や小型化を促進することができる固体撮像素子を提供することが可能となる。

【0015】

【発明の実施の形態】

以下、本発明による固体撮像素子及びその製造方法の実施の形態例について説明する。

20

本実施の形態による増幅型固体撮像素子は、回路構成は上述した従来例の固体撮像素子と同様であるが、撮像素領域部上の配線積層構造と周辺回路部上の配線積層構造とに変化を持たせ、撮像素領域部では配線層数を削減して多層配線層（複数配線層）の膜厚を小さくし、周辺回路部では配線層数を多くして多層配線層の膜厚を大きくしたものである。これにより、撮像素領域部では、フォトダイオードの受光面とオンチップマイクロレンズや光学フィルタとの間の距離が縮小され、多層配線に起因するシェーディングや混色を抑制し、撮像感度や画質の向上を図ることができる。また、周辺回路部では配線層をより多層化して集積化を図り、高機能化や小型化を促進することができる。

【0016】

図1は、本発明の第1の実施の形態例による増幅型固体撮像素子の積層構造を示す断面図である。

30

この増幅型固体撮像素子において、シリコン基板130の表層部には、フォトダイオード(PD)121や各種トランジスタ(MOSTr)122、123が設けられ、このシリコン基板130の上部にそれぞれ所定膜厚の絶縁膜131を介して多層構造による配線層132~136が積層されているが、図示のように、撮像素領域部100Aでは3層の配線層132~134が形成され、周辺回路部100Cでは5層の配線層132~136が形成されている。

すなわち、撮像素領域部100Aと周辺回路部100Cでは、異なる配線構造を有しており、各配線層132~136を絶縁するための絶縁膜131及びその上層の平坦化(保護)膜137を含む配線層全体の膜厚は、撮像素領域部100Aよりも周辺回路部100Cの方が大きいものとなっている。

40

【0017】

また、撮像素領域部100Aと周辺回路部100Cとの境界部100Bには段差部140が形成されている。この段差部140は、平坦化膜137上に約80°の角度で階段状に立ち上がったものとなっている。

そして、撮像素領域部100A上の平坦化膜137上には、カラーフィルタ138およびオンチップレンズ139が配置されている(なお、図1の破線Aはカラーフィルタ138のパターニング前の塗布膜の位置を示しているが、これは後述する第2の実施の形態例の効果の説明するためのものである)。

したがって、本例の固体撮像素子は、カラーフィルタ138およびオンチップレンズ13

50

9の位置が、周辺回路部100Cの最上層部(遮光膜等)よりも下に位置することになる。

このような層構造の固体撮像素子では、撮像素領域部100Aにおいてはフォトダイオード121の受光面とオンチップレンズ139やカラーフィルタ138との間の距離が縮小され、多層配線に起因するシェーディングや混色を抑制し、撮像感度や画質の向上を図ることができる。また、周辺回路部100Cにおいては配線層をより多層化して集積化を図り、高機能化や小型化を促進することができる。

【0018】

次に、このような固体撮像素子の製造方法について説明する。

まず、シリコン基板130に対し、イオン注入と熱拡散によりp型半導体層のpウェル領域、あるいはn型半導体層のnウェル領域を形成する。その後、素子分離領域を形成し、各種MOSトランジスタのしきい値を決めるためのイオン注入を行い、ポリシリコン等でゲート電極層などを形成する。

次いで、レジスト塗布、パターニングを行い、リンなどのn型半導体層を形成するイオンを、例えば0.8MeVのエネルギー、 $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で、イオン注入法によりシリコン基板130に打ち込み、フォトダイオードを形成する。

次いで、PSGなどの酸化シリコン材料で層間絶縁膜を形成し、コンタクトホールを開口してタングステン等の電極材を埋め込み、コンタクトを形成する。

次いで、アルミ等の導電膜を、例えば400nm堆積し、パターニングを行い、1層目の信号線を形成する。

次いで、コンタクト形成と絶縁層及び配線層の形成を繰り返し、所望の層数の多層配線層を形成する。

【0019】

ところで、一般に増幅型固体撮像素子では、水平方向と垂直方向の信号線を形成するために、最低でも2層の配線が必要である。また、撮像素領域部の周辺に配置されている信号処理回路や画素の微細化のためには3層の多層配線が効果的であるし、さらに複雑な信号処理を行う回路を混載するためには4層以上の多層配線が有効であり、配線層数は製品の種類によって異なる。

たとえばアルミで3層配線を形成する場合には、フォトダイオードから3層目配線までの高さは5 μm 程度が普通である。

そこで本例では、図示のように、撮像素領域部100Aは3層、周辺回路部100Cは5層とし、3層目までは撮像素領域部100Aと周辺回路部100Cの両方に配線パターンを形成し、それ以降の上層配線は周辺回路部100Cのみに配線パターンを形成する。

【0020】

その後、撮像素領域部100Aの上層配線部の絶縁膜をエッチングによって除去する。なお、本例では、撮像素領域部100A以外を覆うレジストパターンを形成してから、ドライエッチングにより5層目と4層目の絶縁膜を除去するものとする。このエッチングには、マグネトロン型プラズマエッチング装置を用い、エッチング条件はエッチングガスC₄F₈/O₂/Ar=20/20/200sccm、マイクロ波パワー1.5kW、圧力10Pa、ウェハ温度20°Cとした。この条件により、段差部140のテーパ角度は、上述のように約80°となった。なお、本例において、テーパ角度とは段差部140と水平面(基板面)とのなす角度を言うものとする。

この後、従来の方法でSiNなどのパッシベーション膜(平坦化膜)を堆積する。

【0021】

この後、色素を混合した感光型レジストを塗布して露光することで、オンチップカラーフィルタ138を形成する。また、塗布材料を製膜してパターニングすることによりオンチップマイクロレンズ139を形成する。

なお、オンチップフィルタ128とオンチップマイクロレンズ139は、両方とも回転塗布法によって膜形成がなされており、ウェハプロセスを行う上で段差に起因する塗布ムラ

10

20

30

40

50

に注意する必要がある。たとえば、塗布時の材料の滴下量を通常 3 c c とするところを 8 c c に増加させることで、塗布ムラの発生を抑制できる。

また、段差部 1 4 0 の近傍では膜厚が一定でないため、撮像素素領域部として適さない領域があることに注意が必要となる。たとえば約 2 μ m の段差があり、段差の内側から 2 0 μ m は膜厚が目標値の + 1 0 % を超えており、有効撮像素素領域は、さらにその 2 0 μ m 内側に限定した。すなわち、境界部 1 0 0 B の間隔は、4 0 μ m となる。

以上で本例による増幅型固体撮像素子が完成することになる。なお、このようにして作製した増幅型撮像素子は、その撮像面に結像する光学系を配置して用いることが望ましい。

【 0 0 2 2 】

図 2 は、本発明の第 2 の実施の形態例による増幅型固体撮像素子の積層構造を示す断面図である。 10

上述した第 1 の実施の形態例では、従来の課題となっている周辺回路部には多層化した配線層を用いることを可能とする一方で、撮像素素領域部については上部の光学構造部材をフォトダイオードの受光面に近い位置に形成することができるため、感度の高い固体撮像素子が形成できるが、周辺回路部と撮像素素領域部との境界の段差部分には撮像素素領域部として使用できない無駄な部分があり、それだけチップサイズが大きくなってしまったり、価格の高いカラーフィルタなどの塗布材料の使用量が多くなるという課題がある。そこで、本発明の第 2 の実施の形態例では、このような周辺回路部と撮像素素領域部との間の段差による無駄な領域を減少できる構成について提供するものである。

【 0 0 2 3 】

図 2 に示す増幅型固体撮像素子において、素子構造は図 1 に示すものと同様であるので、共通する要素については同一符号を付して説明は省略する。

本例の相違点は、上述した段差部 1 4 0 とテーパ角度の異なる段差部 1 4 1 を設けることにより、撮像素素領域部 1 0 0 A と周辺回路部 1 0 0 C との間隔を短縮できるようにしたものである。

すなわち、上述した段差部 1 4 0 は、8 0 ° と垂直に近かったが、図 2 に示す段差部 1 4 1 では、テーパ角度を下げて段差を滑らかな形状にすることにより、塗布ムラや段差での塗布膜厚の遷移状態を改善した。

【 0 0 2 4 】

このような段差部 1 4 1 を形成する方法としては、各配線層の形成後、撮像素素領域部 1 0 0 A の上層配線部の絶縁膜をエッチングする際に、レジストの側壁のテーパ角度を 4 5 ° とし、エッチングを行う。 30

このエッチングには、マグネトロン型プラズマエッチング装置を用い、エッチング条件はエッチングガス CH_2 F_2 / O_2 = 2 0 / 5 0 s c c m、マイクロ波パワー 1 . 5 k W、圧力 1 0 P a、ウエハー温度 2 0 ° C とした。この条件では、絶縁膜と同時にレジスト側壁もエッチングされて徐々に後退するので、段差部 1 4 1 のテーパ角度は約 3 0 ° となる。

なお、このようなテーパ角度としては、6 0 ° 以下にすることで、一定の効果が期待できるものと解される。

【 0 0 2 5 】

また、図 2 の破線 B は、カラーフィルタ 1 3 8 のパターンニング前の塗布膜の位置を示しており、図 1 の破線 A と比較すると、段差部 1 4 1 の近傍の膜厚遷移も緩やかになっている。このため、本例では、オンチップフィルタ塗布時の材料の滴下量は通常の 3 c c でも塗布ムラは発生しないことになり、使用料を抑制することが可能となる。

また、段差部 1 4 1 の近傍の膜厚遷移が緩やかであるため、段差部 1 4 1 の内側から 5 μ m 離れた地点で膜厚が目標値の + 1 0 % 以下に抑えられる。したがって、有効撮像素素領域を、さらにその 5 μ m 内側に限定したとしても、図 1 に示す例に比べて、周辺回路部 1 0 0 C と撮像素素領域部 1 0 0 A との間隔を縮小できる。

【 0 0 2 6 】

以上のような本実施の形態例による増幅型固体撮像素子では、上記従来例に比べてフォト 50

ダイオードとオンチップレンズや光学フィルタとの距離が近いこと、感度、混色特性が向上する。特に画面端では配線での入射光の乱反射が発生するために感度、混色が悪化する傾向にあり、画面端での特性改善は画像全体の見た目の印象に大きな影響を与えることから、見た目の画質を大幅に改善することが可能となる。

なお、本発明は上述した各実施の形態例に限定されるものではない。

たとえば、撮像素素領域部と周辺回路部との間に段差部を設ける方法には、上述の例ではドライエッチングを用いたが、同様の断面構造を得ることができれば、他の方法を用いてもよい。

また、配線総数等については回路の設計上、適宜選択できるものである。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができるものである。

10

【0027】

また、上述した説明は、本発明を増幅型固体撮像素子単体に適用した例について説明したが、本発明は、このような撮像素子を搭載した通信装置や画像処理装置等の各種の電子機器に適用できるものである。

特に、上述した固体撮像素子の構造により、射出瞳距離を短くできるため、携帯機器に搭載することにより、機器の小型化が可能となり、携帯機器の付加価値を大きく向上することができ、このような携帯機器についても本発明に含まれるものとする。

【0028】

【発明の効果】

以上説明したように本発明の固体撮像素子によれば、撮像素素領域部上の配線層数を削減して複数配線層の膜厚を小さくし、周辺回路部では配線層数を多くして複数配線層の膜厚を大きくしたことから、撮像素素領域部ではフォトダイオードの受光面とオンチップマイクロレンズや光学フィルタとの間の距離が縮小され、複数配線に起因するシェーディングや混色を抑制し、撮像感度や画質の向上を図ることができ、周辺回路部では配線層をより多層化して集積化を図り、高機能化や小型化を促進することができる効果がある。

20

また、このような固体撮像素子を各種電子機器の撮像部に用いることにより、電子機器の小型化や高機能化に貢献できる。

【0029】

また、本発明の固体撮像素子の製造方法によれば、撮像素素領域部及び周辺回路部とで共通する下層の複数配線層を形成した後、その上に周辺回路部に固有の上層の複数配線層を形成し、さらに、撮像素素領域部上の絶縁膜を除去することにより、撮像素素領域部と周辺回路部との境界部に段差を形成することで、撮像素素領域部上の配線層数を削減して複数配線層の膜厚を小さくし、周辺回路部では配線層数を多くして複数配線層の膜厚を大きくした固体撮像素子を容易に作製することができるので、撮像素素領域部ではフォトダイオードの受光面とオンチップマイクロレンズや光学フィルタとの間の距離が縮小され、複数配線に起因するシェーディングや混色を抑制し、撮像感度や画質の向上を図ることができ、周辺回路部では配線層をより多層化して集積化を図り、高機能化や小型化を促進することができる固体撮像素子を低コストで提供することが可能となる。

30

【図面の簡単な説明】

【図1】本発明の第1の実施の形態例による増幅型固体撮像素子の積層構造を示す断面図である。

40

【図2】本発明の第2の実施の形態例による増幅型固体撮像素子の積層構造を示す断面図である。

【図3】従来の増幅型固体撮像素子における単位画素の構成例を示す断面図である。

【図4】従来の増幅型固体撮像素子における多層配線層の積層構造例を示す断面図である。

【符号の説明】

100A ... 撮像素素領域部、100B ... 境界部、100C ... 周辺回路部、121 ... フォトダイオード、122、123 ... MOSトランジスタ、130 ... シリコン基板、131 ... 絶縁膜、132 ~ 136 ... 配線層、137 ... 平坦化膜、138 ... オン

50

