(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/306

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0218772
(24) 등록일자 1999년06월11일

(21) 출원번호 10-1992-0000712
(22) 출원일자 1992년01월20일
(65) 공개번호 특1992-0015478
(43) 공개일자 1992년08월27일

(30) 우선권주장 91-20361 1991년01월22일 일본(JP)
(73) 특허권자 소니 가부시기가이샤 이데이 노부유끼
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고
(72) 발명자 나가야마 데쓰지
일본국 도오쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시기가이샤내
가도무라 신고
일본국 도오쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시기가이샤내
(74) 대리인 김서일, 박종길

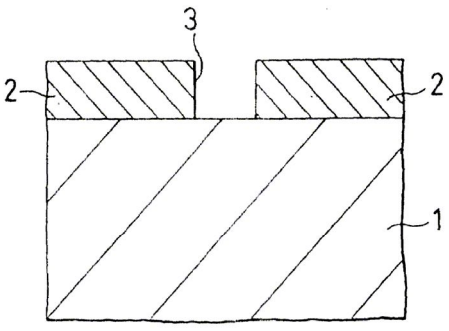
심사관 : 서태준

(54) 드라이에칭방법

요약

본원 발명은 반도체장치의 제조분야 등에 있어서 적용되는 드라이에칭방법, 특히 실리콘트렌치에칭 등의 고애스펙트비가공을 양호한 이방성을 가지고 고속으로 행하는 방법에 관한 것이다. 본원 발명은 S_2Cl_2에 S_2Cl_2를 첨가하여 이루어지는 에칭가스를 사용하여 실리콘기판을 0℃ 이하로 냉각한 상태에서 트렌치에칭을 행한다. 에칭반응은 Cl^+ 등의 이온에 의한 이온어시스트반응을 주체로 하여 이방적으로 진행하나, 반응계내에 약간 양 존재하는 F^*에 의해 라디칼반응도 진행하고, 고속에칭이 가능하게 된다. 한편, 상기 가스의 방전 해리에 의해 플라즈마내에 생성한 S는 냉각된 웨이퍼의 표면중 패턴측벽부에 퇴적하고, 이방성의 향상에 기여한다. 더욱이, 퇴적한 S는 웨이퍼의 승온 또는 산소플라즈마처리에 의해 용이하게 제거가능하므로 파티클오염을 야기할 염려가 없으며, 실리콘트렌치에칭에 있어서 고이방성, 고속성, 저오염성을 동시에 달성한다.

대표도



명세서

[발명의 명칭]

드라이에칭방법

[도면의 간단한 설명]

제1도는 본원 발명의 드라이에칭방법을 실리콘트렌치에칭에 적용한 일예를 그 공정순서에 따라 도시한 개략 단면도이며,

(a)는 에칭 전의 웨이퍼의 상태,

(b)는 에칭 종료 후의 웨이퍼의 상태를 각각 도시한다.

* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘기판　　2 : 에칭마스크

3 : 개구부　　3a : 트렌치

4 : 측벽보호막(S)

[발명의 상세한 설명]

본원 발명은 반도체장치의 제조분야 등에 있어서 적용되는 드라이에칭방법에 관한 것으로, 특히 실리콘 트렌치에칭 등의 고(高)애스펙트비(aspect ratio) 가공을 향호한 이방성(異方性)을 가지고 고속으로 행하는 방법에 관한 것이다.

근년의 VLSI, ULSI 등에서 볼 수 있는 바와 같이 반도체장치의 고집적화 및 고성능화가 진전됨에 수반하여, 반도체 디바이스에 있어서의 각종 패턴의 애스펙트비는 급속하게 증대되는 경향이 있다. 따라서, 드라이에칭기술에 대해서도, 고애스펙트비 가공을 양호한 이방성을 가지고 행하는 기술이 요망되고 있다.

실리콘계 재료층의 고애스펙트비가공의 전형적인 예는 용량소자의 형성이나 소자분리를 목적으로 행해지는 실리콘트렌치애칭이다. 트렌치의 깊이는 디바이스의 종류나 용도에 따라 다르며, 용량소자에서는 4~5㎛, 소자분리에서는 MOS 트랜지스터용에서 1㎛, 바이폴라트랜지스터용에서 4㎛ 정도로 되어 있으나, 그 개구경은 모두 0.35~1.0㎛ 정도이다. 실리콘트렌치에칭에는 마스크패턴이나 에칭파라미터등에 의해 트렌치의 단면형상이 복잡하게 변화하여, 후 공정에 있어서의 트랜치의 매입(埋入)이나 용량의 제어 등에 곤란을 초래하기 쉬운 문제가 있다. 따라서, 주로 라디칼반응에 따라 에칭을 진행시키는 플루오르계 가스 등을 에칭가스의 주성분으로 해서는 고이방성의 달성은 곤란하며, 통상은 염소계 가스가 사용된다. $SiCl_4$와 N_2의 혼합가스계는 그 대표적 예이다. 이것은 $SiCl_4$로부터 주에칭종(種)으로서 Cl^+을 생성시키는 동시에, N_2의 첨가에 의해 $Si_XN_YCl_Z$의 퇴적을 가능하게 하고, 이것을 측벽보호에 이용하여 고이방성을 달성하는 것을 의도한 가스의 조합이다. 또한, 본원 출원인은 전술한 가스계에 ClF_3등의 플루오르계 가스를 첨가하는 것도 제안하고 있다. 이것은 이방성을 손상하지 않는 범위내에서 F^*를 생성할 수 있는 가스를 첨가함으로써, Cl^+와 단결정실리콘과의 반응에 의해 율속(律速)되어 있던 에칭속도를 높이는 것을 목적으로 하고 있다.

그런데, 드라이에칭에 있어서는 전술한 바와 같은 고이방성, 고속성 외에, 저오염성도 요구된다. 특히 실리콘트렌치에칭중에서는 프로세스시간이 길기 때문에 에칭중의 파티클발생을 어떻게 억제하는가가 중요한 포인트가 된다. 따라서, 저오염성의 관점에서는 $Si_XN_YCl_Z$와 같은 반응생성물의 생성량을 저감시키는 것이 바람직하나, 그렇게 되면 에칭속도를 향상시킬 목적으로 첨가된 플루오로계 가스의 영향이 크게 나타나서, 이방성이 저하되고 만다.

파티클오염의 억제에 효과적인 가스계로서 본원 출원인은 앞서 일본국 특원평 2(1990)-100249호 명세서에 있어서, 피에칭기판을 0℃ 이하로 냉각한 상태에서 S_2Cl_2와 같은 염화황계 가스 또는 S_2Br_2 등의 브롬화황계 가스를 주체로 하는 에칭가스를 사용하여 실리콘계 재료층을 에칭하는 기술을 개시한 바 있다. 이것은 이른바 저온에칭에 의한 라디킬반응의 억제와 측벽보호의 병용에 의해 고이방성을 달성하려고 하는 기술이다. 예를 들면 S_2Br_2를 사용하는 경우, 상기 측벽보호는 S_2Br_2에서 해리생성하는 S를 주체로 하고, 이것에 에칭반응생성물인 $SiBr_X$ 등이 혼재하여 이루어지는 퇴적물에 의해 행해진다. 이 퇴적물은 에칭 종료 후에 피에칭기판을 실온 내지는 그 이상으로 가열함으로써 용이하게 휘발 제거할 수 있으므로, 파티클오염을 야기할 염려가 없다. 이것이 상기 발명의 최대의 이점이다. 그러나, 에칭반응 자체는 Cl^+ 또는 Br^+에 의한 이온어시스트반응으로 율속되어 있기 때문에 에칭속도는 대체로 낮다.

이와 같이, 드라이에칭에 있어서 고이방성, 고속성, 저오염성을 모두 만족시키는 것은 결코 용이하지 않으며, 보다 우수한 프로세스가 요구되고 있다.

그래서, 본원 발명은 실리콘계 재료층의 에칭에 있어서, 이들 제요구를 모두 만족시킬 수 있는 드라이에칭방법을 제공하는 것을 목적으로 한다.

본원 발명의 드라이에칭방법은 전술한 목적을 달성하기 위해 제안된 것이며, 피에칭기판을 0℃ 이하로 냉각하면서, S_2F_2, SF_2, SF_4, S_2F_{10}에서 선정되는 어느 한 종류의 제1의 가스와, S_3Cl_2, S_2Cl_2, SCl_2중에서 선정되는 어느 한 종류의 제2의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 하는 것이다.

본 발명자들은 고이방성, 고속성, 저오염성의 모든 요건을 만족시키기 위한 어프로치로서, 승화성 물질에 의한 견고한 측벽보호를 행하면서, 반응계에 약간의 F^*도 존재시킴으로써 에칭속도를 향상시키는 것을 생각했다. 그 결과, 에칭가스의 조성으로서 플루오르화황과 염화황의 혼합가스계를 제안하기에 이르렀다.

상기 플루오르화황으로서 실용성이 높다고 생각되는 화합물은 S_2F_2, SF_2, SF_4 및 S_2F_{10}이다. 플루오르화황에는 이 외에 SF_6가 안정된 화합물로서 잘 알려져 있으며, 이미 드라이에칭용의 가스로서 실용화되어 있으나, F/S비(1분자중의 플루오르원자수와 황원자수와의 비)가 크기 때문에 다량의 F^*를 발생시킬 뿐 아니고, 방전해리에 의해서도 S를 거의 생성하지 않는다는 것이 확인되어 있으며, 본원 발명의 목적에는 적당하지 않다.

한편, 상기 염화황으로서 실용성이 높다고 생각되는 화합물은 S_3Cl_2, S_2Cl_2및 SCl_2이다.

상기 플루오르화황 및 염화황은 모두 방전 해리에 의해 플라즈마내에 S를 생성시킬 수 있다. 생성된 S는 피에칭기판이 냉각되어 있으므로 용이하게 그 표면에 석출한다. 여기서, 이온의 입사면에서는 퇴적한 S는 즉시 스퍼터 제거되지만, 이온의 입사가 적은 패턴측벽부에 서는 S의 퇴적이 계속되어 이것이 측벽보호막으로서 기능한다. 그 뿐만 아니라, 피에칭기판의 저온냉각에 의해 라디칼반응도 어느 정도 억제되어 있으므로 고이방성이 확보된다. 더욱이, 퇴적한 S는 에칭종료 후에 피에칭기판의 온도를 실온 또는 그 이상으로 승온시키면 용이하게 승화 제거할 수 있으므로, 에칭계내에 파티클오염을 야기하지 않는다. 본원 발명의 가장 중요한 이점의 하나이다.

한편, 실리콘계 재료층의 에칭에 기여하는 것은 주로 상기 염화황에서 생성하는 Cl^+, Cl_2^+등의 이온이며, 이것에 역시 염화황에서 생성하는 Cl^*이나 플루오르화황에서 생성하는 F^*등이 가해진다. 이 중에서 F^*는 반경이 작고, 용이하게 단결정실리콘의 결정격자내에 침입하여 화확반응을 진행시키는 매우 반응성이 풍부한 화학종이다. 따라서, 가스계에 플루오르화황이 첨가되어 에칭계내에 F^*가 공급됨으로써, 염소계 황에만 의존하는 경우보다 에칭속도는 대폭 증대한다.

에칭속도의 증대를 목적으로 하여 플루오르계 가스를 첨가하는 것은 종래부터 시도되어 왔으나, 그 때에는 이방성의 확보에 강력한 측벽보호가 필요하게 되어 결과적으로 파티클오염을 면할 수 없다는 문제가 있었다. 그러나, 본원 발명에서는 연화황과 플루오르화황의 쌍방으로부터 S가 공급되므로 효과적인 측벽보호가 행해지는 것에 더하여, 퇴적한 S가 용이하게 승화 제거할 수 있는 물질이기 때문에, 이와 같은 문제는 발생하지 않는다. 또한, 본원 발명에서 사용되는 에칭가스에는 Br가 함유되어 있지 않으므로, $SiBr_x$의 과잉퇴적에 의한 마이크로 로딩효과의 발생이나 오염 등의 염려도 없다.

따라서, 본원 발명에 의하면 고이방성, 고속성 및 저오염성의 어느 하나도 희생되지 않고 동시에 달성할 수 있다.

다음에, 본원 발명의 구체적인 실시예에 대하여 제1도(a) 및 (b)를 참조하면서 설명한다.

본 실시예는 제1의 가스로서 S_2F_2, 제2의 가스로서 S_2Cl_2를 사용하고, 이들 혼합가스를 사용하여 실리콘트렌치에칭을 행한 예이다.

먼저, 일예로서 제1도(a)에서 도시한 바와 같이, 실리콘기판(1)상에 산화실리콘으로 이루어지는 에칭마스크(2)가 형성된 피에칭기판(웨이퍼)을 준비하였다. 상기 에칭마스크(2)에는 패터닝에 의해 약 0.5㎛ 폭의 개구부(3)가 형성되어 있다.

상기 웨이퍼를 유자장(有磁場)마이크로파 플라즈마에칭장치에 세트하고, 웨이퍼재치전극에 내장된 냉각배관에 에틴올 등의 냉매를 순환시킴으로써 이 웨이퍼를 약 -70℃로 냉각하였다. S_2F_2 유량 5SCCM, S_2Cl_2 유량 20SCCM, 가스압 1.3Pa(10m Torr), 마이크로파 파워 850W, RF 바이어스파워 100W의 조건에서 실리콘기판(1)의 에칭을 행하였다.

상기의 에칭조건은 S_2Cl_2의 방전 해리에 의해 플라즈마내에 Cl^+, Cl_2^+등의 이온을 주에칭종으로 하여 발생시키고, 저가스압하에서 고바이어스를 인가함으로써 고이방성을 달성하는 것을 의도한 것이다. 따라서, 이 에칭은 이온어시스트반응을 주체로 하여 진행하나. 이와 동시에 S_2F_2의 방전 해리에 의해 생성하는 F^*도 라디칼반응을 일으켜 에칭에 기여한다. 따라서 약 5000Å/분의 빠른 에칭속도가 달성되었다.

또한, 이 에칭반응계에서는 S_2F_2 및 S_2Cl_2의 쌍방으로부터 방전해리에 의해 생성한 S가 저온냉각된 웨이퍼에 접촉하여 패턴측벽부에 퇴적하고, 제1도(b)에 도시한 바와 같이 측벽보호막(4)이 형성되었다. 그런데, 실리콘트렌치에칭과 같이 입사이온에너지의 높은 조건에서 장시간의 가공이 행해지는 프로세스에서는 에칭의 진행에 따라 에칭마스크(2)의 단부가 후퇴하여 둥그스름하게 되기 쉽다. 또는 레지스트의 해상(解像)한계를 초과한 미세한 개구경(開口徑)이 요구되는 경우에는 RIE(반응성이온에칭)로 에칭백을 행함으로써 에칭마스크(2)에 사이드월을 형성하는 수도 있다. 이와 같이 마스크단부가 둥그스름해지는 경우, 이 부분에 입사한 이온이 산란(散亂)되어서 경사입사성분으로 변환되고, 이것이 패턴측벽부를 공격하여 언더커트나 보우잉(bowing)등의 형상 이상을 발생시키는 원인이 되기 쉽다. 그러나, 본원 발명에서는 전술한 바와 같이 S에 의해 효과적인 측벽보호가 행해짐으로써 4㎛의 깊이의 에칭을 행한 경우에도 매우 양호한 이방성형상을 가진 트렌치(3a)가 형성되었다.

상기 측벽보호막(4)은 에칭 종료 후에 웨이퍼를 약 90℃로 가열함으로써 승화 제거되어, 에칭계내에 아무런 파티클오염을 야기시키지는 않았다. 이 가열은 저온에칭 후의 웨이퍼상에의 결로(結露)를 방지하기 위한 가열을 가지고 겸용시킬 수 있다.

그리고, 본원 발명은 전술한 실시예에 한정되는 것은 아니며, 예를 들면 에칭가스에는 각종 첨가가스를 혼합해도 된다. 예를 들면 N_2를 첨가한 경우에는 반응생성물에 의한 측벽보호의 강화를 기대할 수 있고, 또 H_2, H_2S, 실란계 가스와 같이 에칭계내에 H^* 및/또는 실리콘계 활성종을 공급할 수 있는 가스를 첨가하면, 과잉의 할로겐라디칼을 포착하여 S의 퇴적효과를 높일 수 있다. 또한, 스퍼터링효과, 냉각효과, 희석효과를 얻을 목적으로 He, Ar 등의 희가스가 첨가되어 있어도 된다.

또, 전술한 실리콘트렌치에칭의 프로세스는 용량소자를 형성하기 위한 이른바 깊은 트렌치(deep trench)의 형성을 전제로 한 것이었으나, MOS 트랜지스터의 소자분리 등에 사용되는 이른바 얕은 트렌치(shallow trench)에 적용하여도 된다. 이 경우에는 게이트프로세스와 동일한 기판구조를 가진 웨이퍼에 대하여 유기레지스트재료층을 마스크로 하는 에칭이 행해진다. 따라서, 패턴측벽부에 퇴적한 S는

웨이퍼의 가열에 의해 제거되는 것은 물론이지만, 유기레지스트재료를 제거하기 위한 애싱처리에 의해서도 철저하게 제거되게 된다.

이상의 설명으로부터도 명백한 바와 같이, 본원 발명의 드라이에칭방법에 의하면, 실리콘계 재료층의 에칭에 있어서 종래는 곤란하였던 고이방성, 고속성, 저오염성의 동시 달성이 가능해진다. 따라서, 본원 발명은 미세한 디자인룰에 의거하여 고집적도 및 고성능을 가진 반도체장치의 제조에 매우 유용하다.

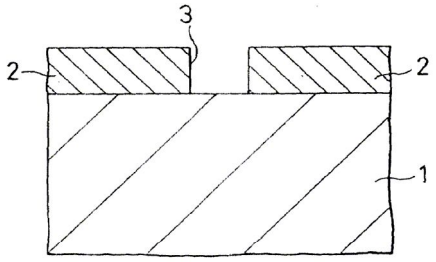
(57) 청구의 범위

청구항 1

피에칭기판을 0℃ 이하로 냉각하면서, S_2F_2, SF_2, SF_4, S_2F_{10}에서 선정되는 어느 한 종류의 제1의 가스와, S_3Cl_2, S_2Cl_2, SCl_2에서 선정되는 어느 한 종류의 제2의 가스를 함유하는 에칭가스를 사용하여 실리콘계 재료층의 에칭을 행하는 것을 특징으로 하는 드라이에칭방법.

도면

도면1a



도면1b

