



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월25일
 (11) 등록번호 10-0806531
 (24) 등록일자 2008년02월18일

(51) Int. Cl.
G09G 3/36 (2006.01)
 (21) 출원번호 10-2000-0082677
 (22) 출원일자 2000년12월27일
 심사청구일자 2005년12월27일
 (65) 공개번호 10-2001-0070358
 (43) 공개일자 2001년07월25일
 (30) 우선권주장
 99-371696 1999년12월27일 일본(JP)
 (56) 선행기술조사문헌
 KR 10 1999-011803 A
 KR 20 1999-011803 U
 KR 20 1998-024542 U
 KR 10 1997-0071446 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
히로키 마사아키
 일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤
 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
이병호, 장훈

전체 청구항 수 : 총 34 항

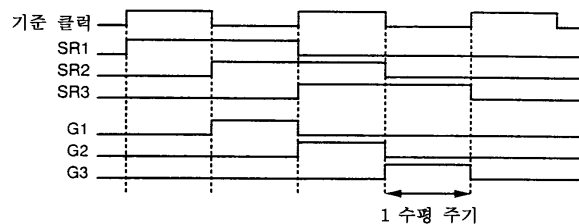
심사관 : 이병우

(54) 반도체 디바이스 및 그 구동 방법

(57) 요약

본 발명의 목적은, 종래의 저해상도에 대응하는 영상 신호(이후 비디오 신호라 지칭함)를 최근의 고해상도에 대응하는 능동 매트릭스(active matrix) 반도체 디스플레이 디바이스 또는 수동 매트릭스(passive matrix) 반도체 디스플레이 디바이스에 입력할 때 포맷 변환을 실현하고, 동시에 영상의 윤곽선 부분에서 해상도를 개선할 수 있는 새로운 구동 방법을 제공하는 것이다. 본 발명의 구동 방법으로, 클럭 주파수를 낮추는 것만으로 완전히 실행될 수 없는 화면 크기의 변환은, 클럭 신호가 일정한 주기에서 변조된 변조 클럭 신호를 사용하여 복수의 게이트 신호선을 동시에 선택하는 타이밍으로 게이트 선택 펄스를 출력하는 것에 따라 게이트 신호선의 주사 횟수를 인위적으로 감소시킴으로써 완전히 실행될 수 있다. 동시에, 소스 신호선 구동기 회로 및 게이트 신호선 구동기 회로에서 변조 클럭을 사용하는 것에 따라 윤곽선 부분에서 셰이딩(shading) 정보를 생성함으로써, Mach 현상 및 Craik-O'Brien 현상을 사용하여 명확한 해상도가 개선된다.

대표도 - 도4a



특허청구의 범위

청구항 1

반도체 디스플레이 디바이스를 구동하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

제 2 기준 클럭 신호에 기초하여 영상 신호를 샘플링하는 단계; 및

상기 샘플링된 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함하는, 반도체 디스플레이 디바이스 구동 방법.

청구항 2

반도체 디스플레이 디바이스를 구동하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

상기 제 2 변조 클럭 신호에 기초하여 영상 신호를 샘플링하는 단계; 및

상기 샘플링된 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함하는, 반도체 디스플레이 디바이스 구동 방법.

청구항 3

반도체 디스플레이 디바이스를 구동하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

제 2 기준 클럭 신호에 기초하여 제 1 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;

상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 기준 클럭 신호에 기초하여 D/A 변환을 실행하고, 제 2 아날로그 영상 신호를 획득하는 단계; 및

상기 제 2 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함하는, 반도체 디스플레이 디바이스 구동 방법.

청구항 4

반도체 디스플레이 디바이스를 구동하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

제 2 기준 클럭 신호의 주파수 변조를 실행하고 제 2 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

상기 제 2 변조 클럭 신호에 기초하여 제 1 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;

상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 기준 클럭 신호에 기초하여 D/A 변환을

실행하고, 제 2 아날로그 영상 신호를 획득하는 단계; 및

상기 제 2 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함하는, 반도체 디스플레이 디바이스 구동 방법.

청구항 5

반도체 디스플레이 디바이스를 구동하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

상기 제 2 변조 클럭 신호에 기초하여 제 1 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;

상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 변조 클럭 신호에 기초하여 D/A 변환을 실행하고, 제 2 아날로그 영상 신호를 획득하는 단계; 및

상기 제 2 아날로그 영상 신호를 대응하는 픽셀에 공급하고 영상을 획득하는 단계를 포함하는, 반도체 디스플레이 디바이스 구동 방법.

청구항 6

삭제

청구항 7

제 2 항, 제 4 항 또는 제 5 항 중 어느 한 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 일정 주기에서 높이거나 낮춤으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 8

제 2 항, 제 4 항 또는 제 5 항 중 어느 한 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 가우시안 히스토그램(Gaussian histogram)에 기초하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 9

제 2 항, 제 4 항 또는 제 5 항 중 어느 한 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 랜덤하게 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 10

제 2 항, 제 4 항 또는 제 5 항 중 어느 한 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 사인파로(sinusoidally) 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 11

제 2 항, 제 4 항 또는 제 5 항 중 어느 한 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 삼각파를 사용하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 12

반도체 디스플레이 디바이스로서:

매트릭스 형태로 배열된 복수의 트랜지스터들을 갖는 능동 매트릭스(active matrix) 회로; 및

상기 능동 매트릭스 회로를 구동하는 게이트 신호선 구동기 회로와 소스 신호선 구동기 회로를 포함하고,

제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는, 복수의 게이트 신호선들을 선택하고 프레임당 수직 주사들의 수를 감소시키기 위해 상기 게이트 신호선 구동기 회로에 입력되고, 제 2 기준 클럭 신호는 상기 소스 신호선 구동기 회로에 입력되는, 반도체 디스플레이 디바이스.

청구항 13

반도체 디스플레이 디바이스로서:

매트릭스 형태로 배열된 복수의 트랜지스터들을 갖는 능동 매트릭스 회로; 및

상기 능동 매트릭스 회로를 구동하는 게이트 신호선 구동기 회로와 소스 신호선 구동기 회로를 포함하고,

제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는, 복수의 게이트 신호선들을 선택하고 프레임당 수직 주사들의 수를 감소시키기 위해 상기 게이트 신호선 구동기 회로에 입력되고, 제 2 기준 클럭 신호가 주파수 변조된 제 2 변조 클럭 신호는 상기 소스 신호선 구동기 회로에 입력되는, 반도체 디스플레이 디바이스.

청구항 14

수동 매트릭스(passive matrix) 회로를 포함하는 반도체 디스플레이 디바이스로서:

제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는 상기 수동 매트릭스 회로의 복수의 주사 전극들에 입력되고;

제 2 기준 클럭 신호에 기초하여 샘플링된 영상 신호는 상기 수동 매트릭스 회로의 신호 전극에 입력되는, 반도체 디스플레이 디바이스.

청구항 15

수동 매트릭스 회로를 포함하는 반도체 디스플레이 디바이스로서:

제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는 상기 수동 매트릭스 회로의 복수의 주사 전극들에 입력되고;

제 2 기준 클럭 신호가 주파수 변조된 제 2 변조 클럭 신호에 기초하여 샘플링된 영상 신호는 상기 수동 매트릭스 회로의 신호 전극에 입력되는, 반도체 디스플레이 디바이스.

청구항 16

제 13 항 또는 제 15 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 일정 주기에서 높이거나 낮춤으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 17

제 13 항 또는 제 15 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 가우시언 히스토그램에 기초하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 18

제 13 항 또는 제 15 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를

랜덤하게 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 19

제 13 항 또는 제 15 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 사인파로 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 20

제 13 항 또는 제 15 항에 있어서,

상기 제 1 또는 제 2 변조 클럭 신호 중 한 신호는 상기 제 1 또는 제 2 기준 클럭 신호 중 한 신호의 주파수를 삼각파를 사용하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 21

저해상도에 대응하는 영상 신호를 사용하여, 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 영상을 디스플레이하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

제 2 기준 클럭 신호에 기초하여 상기 영상 신호를 샘플링하는 단계; 및

상기 샘플링된 영상 신호를 대응하는 픽셀에 공급하고, 상기 영상을 획득하는 단계를 포함하는, 디스플레이 방법.

청구항 22

저해상도에 대응하는 영상 신호를 사용하여, 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 영상을 디스플레이하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;

상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

상기 제 2 변조 클럭 신호에 기초하여 상기 영상 신호를 샘플링하는 단계; 및

상기 샘플링된 영상 신호를 대응하는 픽셀에 공급하고, 상기 영상을 획득하는 단계를 포함하는, 디스플레이 방법.

청구항 23

저해상도에 대응하는 제 1 아날로그 영상 신호를 사용하여, 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 영상을 디스플레이하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

제 2 기준 클럭 신호에 기초하여 상기 제 1 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;

상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 기준 클럭 신호에 기초하여 D/A 변환을 실행하고, 제 2 아날로그 영상 신호를 획득하는 단계; 및

상기 제 2 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 상기 영상을 획득하는 단계를 포함하는, 디스플레이 방법.

청구항 24

저해상도에 대응하는 제 1 아날로그 영상 신호를 사용하여, 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 영상을 디스플레이하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

상기 제 2 변조 클럭 신호에 기초하여 상기 제 1 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;

상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 기준 클럭 신호에 기초하여 D/A 변환을 실행하고, 제 2 아날로그 영상 신호를 획득하는 단계; 및

상기 제 2 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 상기 영상을 획득하는 단계를 포함하는, 디스플레이 방법.

청구항 25

저해상도에 대응하는 제 1 아날로그 영상 신호를 사용하여, 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 영상을 디스플레이하는 방법으로서:

제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;

제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;

프레임당 수직 주사들의 수를 감소시키기 위해, 상기 제 1 변조 클럭 신호에 기초하여 복수의 게이트 신호선들을 동시에 선택하는 단계;

상기 제 2 변조 클럭 신호에 기초하여 상기 제 1 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;

상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 변조 클럭 신호에 기초하여 D/A 변환을 실행하고, 제 2 아날로그 영상 신호를 획득하는 단계; 및

상기 제 2 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 상기 영상을 획득하는 단계를 포함하는, 디스플레이 방법.

청구항 26

제 1 항 또는 제 3 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 일정 주기에서 높이거나 낮춤으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 27

제 1 항 또는 제 3 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 가우시언 히스토그램에 기초하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 28

제 1 항 또는 제 3 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 랜덤하게 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 29

제 1 항 또는 제 3 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 사인파로 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 30

제 1 항 또는 제 3 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 삼각파를 사용하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스 구동 방법.

청구항 31

제 12 항 또는 제 14 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 일정 주기에서 높이거나 낮춤으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 32

제 12 항 또는 제 14 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 가우시언 히스토그램에 기초하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 33

제 12 항 또는 제 14 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 랜덤하게 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 34

제 12 항 또는 제 14 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 사인파로 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

청구항 35

제 12 항 또는 제 14 항에 있어서,

상기 제 1 변조 클럭 신호는 상기 제 1 기준 클럭 신호의 주파수를 삼각파를 사용하여 시프트함으로써 획득되는, 반도체 디스플레이 디바이스.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<28> 기술 분야

본 발명은 디스플레이 디바이스를 구동하는 방법 및 그 구동 방법을 사용한 디스플레이 디바이스에 관한 것이다. 특히, 본 발명은, 절연 기판 상에 제작된 박막 트랜지스터(이후 TFT라 지칭함)를 갖춘 능동 매트릭스(active matrix) 반도체 디스플레이 디바이스를 구동하는 방법에 관한 것이다. 또한, 본 발명은 상기

구동 방법을 사용한 능동 매트릭스 반도체 디스플레이 디바이스에 관한 것이고, 능동 매트릭스 반도체 디스플레이 디바이스 중에서도 특히 능동 매트릭스 액정 디스플레이 디바이스에 관한 것이다. 더욱이, 본 발명은 또한 수동 매트릭스(passive matrix) 반도체 디스플레이 디바이스에 적용될 수 있다.

<29> 종래 기술

저가의 유리 기판 상에 반도체 박막을 형성함으로써 TFT를 제작하는 기술은 최근에 신속하게 개발되었다. 그 이유는 능동 매트릭스 반도체 디스플레이 디바이스(액정 패널)에 대한 요구가 증가되었기 때문이다.

<30> 능동 매트릭스 반도체 디스플레이 디바이스는, 매트릭스 형태로 배열된 수십만 내지 수백만 개의 픽셀들(pixels) 각각에 픽셀 TFT가 배치되고, 각 픽셀 내의 픽셀 전극에 전달되는 전하가 픽셀 TFT의 스위칭 기능에 의해 제어되는 디바이스이다.

<31> 유리 기판 상에 형성된 비결정질 실리콘을 사용하는 TFT는 종래의 능동 매트릭스 회로에 사용된다.

<32> 최근에는 수정 기판을 사용하여, 수정 기판 상에 형성된 다결정질 실리콘막을 사용하는 TFT를 갖춘 능동 매트릭스 반도체 디스플레이 디바이스가 실현되었다. 이 경우, 픽셀 TFT들을 구동하기 위한 주변 구동기 회로는 또한 능동 매트릭스 회로와 동일한 기판 상에 제작될 수 있다.

<33> 더욱이, 레이저 가열 냉각(laser annealing)과 같은 기술을 사용함으로써, 다결정질 실리콘막이 유리 기판 상에 형성되는 TFT를 제작하는 기술이 또한 공지되어 있다. 이 기술이 사용되면, 능동 매트릭스 회로 및 주변 회로들이 동일한 유리 기판 상에 집적될 수 있다.

<34> 능동 매트릭스 반도체 디스플레이 디바이스는 때로 개인용 컴퓨터의 디스플레이 디바이스로 최근 사용되고 있다. 또한, 대형 화면 크기의 능동 매트릭스 반도체 디스플레이 디바이스는 노트북형 개인용 컴퓨터에서만 아니라 데스크탑형 개인용 컴퓨터에서도 사용되고 있다. 또한, 크기가 작고, 고선명도, 고해상도, 또한 고품질의 작은 크기의 능동 매트릭스 반도체 디스플레이 디바이스를 사용하는 프로젝터 디바이스도 주목을 받고 있다. 특히, 이들 중에서 매우 높은 해상도의 영상을 디스플레이할 수 있는 하이 비전 프로젝터(high vision projector) 디바이스들에 초점이 맞추어져 왔다.

<35> 저해상도에 대응하는 종래의 영상 신호(이후 비디오 신호라 지칭함)를 디스플레이하기 위해 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스 또는 수동 매트릭스 반도체 디스플레이 디바이스를 사용하는 것은, 비디오 신호를 메모리에 한 번에 기록하고, 그후 그 포맷을 변환할 필요가 있고, 능동 매트릭스 반도체 디스플레이 디바이스의 외부 메모리를 제어하기 위해 회로를 통합할 필요가 있다. 더욱이, 고해상도에 대응하도록 포맷이 변환된 저해상도에 대응하는 비디오 신호는, 도트들(dots)이 확대되기 때문에 윤곽선 부분의 도트가 쉽게 드러나게 되는 문제점을 갖는다.

발명이 이루고자 하는 기술적 과제

<36> 상기 문제점에 대해, 본 발명의 목적은, 새로운 구동 방법의 사용에 따라 SXGA (1280 x 1024 픽셀들)와 같이 고해상도 표준에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스 또는 수동 매트릭스 반도체 디스플레이 디바이스에서 VGA(640 x 480 픽셀들) 및 SVGA(800 x 600 픽셀들)와 같이 저해상도에 대응하는 비디오 신호를 디스플레이하도록 포맷 변환을 실현하는 것이다. 또한, 본 발명의 목적은, 새로운 구동 방법을 사용하여 능동 매트릭스 반도체 디스플레이 디바이스 또는 수동 매트릭스 반도체 디스플레이 디바이스의 영상 품질을 증가시키고, 동시에 SXGA(1280 x 1024 픽셀)와 같이 고해상도 표준에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스 또는 수동 매트릭스 반도체 디스플레이 디바이스에서 VGA(640 x 480 픽셀) 및 SVGA(800 x 600 픽셀)와 같이 저해상도에 대응하는 비디오 신호를 디스플레이하도록 포맷 변환을 실현하는 것이다.

발명의 구성 및 작용

<37> 먼저, 본 발명의 구동 방법에서 사용되는 변조 클럭 신호가 설명된다. 기준 클럭 신호가 특정한 고정 주기를 갖는 동작과 대조적으로, 변조 클럭 신호는 주파수가 특정한 고정 주기에서 변화되는(시프트되는) 클럭 신호에 관련된다. 변조 클럭 신호에 대한 상세한 내용은 "EMI 감소를 위한 시스템 클럭의 주파수 변조(Frequency Modulation of System Clocks for EMI Reduction)", Hewlett-Packard Journal, 1997년 8월, pp. 101-6이 참고될 수 있음을 주목한다. 그러나 상기 논문에 기록된 주요점은 집적 회로 분야에서 변조 클럭을 사용함으로써 클럭 신호의 EMI(ElectroMagnetic Interference)를 감소시키는 것이다.

<38> 기준이 되는 기준 클럭 신호는 주파수 변조될 수 있고, 임의의 획득된 변조 클럭 신호는 또한 본 발명의 구동

방법에서 사용될 수 있음을 주목한다. 그러므로, 상기 논문 등에 기록된 방법을 제외한 임의의 방법에 따른 변조 클럭 신호가 또한, 사용될 수 있다.

- <39> 본 발명에 따라, 기준 클럭이 일정한 주기에서 주파수 변조된 변조 클럭 신호를 능동 매트릭스(active matrix) 반도체 디스플레이 디바이스 또는 수동 매트릭스(passive matrix) 반도체 디스플레이 디바이스에 공급함으로써, 변조 클럭에 기초하여 출력된 주사 신호가 전체 화면이나 그 일부를 통해 동시에 복수의 주사선을 선택할 때, 프레임(frame) 당 수직 주사선의 수는 실제로 감소된다. 그 결과로, VGA(640 x 480 픽셀) 또는 SVGA(800 x 600 픽셀)과 같이 저해상도에 대응하는 비디오 신호를 사용하여, SXGA(1280 x 1024 픽셀)과 같이 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 영상이 효과적으로 디스플레이될 수 있다. 동시에, 클럭 변조의 타이밍을 조절하고, 셰이딩(shading) 정보의 제작으로 해상도가 증가된 것으로 보여질 수 있는 현상(시각적 Mach 현상 또는 Craik-O'Brien 현상)을 사용함으로써, 각 고정된 프레임 주기에서 복수의 주사선이 동시에 선택되는 위치를 시프트하는 것에 따라, 명확한 수직 해상도가 개선되고, 확장된 비디오 신호와 동반되는 영상 품질의 감소를 억제할 수 있다.
- <40> 동시에, 상기 변조 클럭 신호를 능동 매트릭스 반도체 디스플레이 디바이스의 구동기 회로 또는 수동 매트릭스 반도체 디스플레이 디바이스의 구동기 회로에 공급함으로써, 변조 클럭 신호에 기초하여 샘플링된 비디오 신호의 샘플링 부근의 신호 정보(에지 존재, 근접함)가 셰이딩 정보로 반도체 디스플레이 디바이스의 대응하는 픽셀에 기록될 수 있다. 이 셰이딩 정보에 따라, Mach 현상 및 Craik-O'Brien 현상을 사용함으로써 명확한 수평 해상도가 개선될 수 있다.
- <41> 이후에는 본 발명의 반도체 디스플레이 디바이스를 구동하는 방법 및 그 구동 방법을 사용하는 반도체 디스플레이 디바이스의 구조가 설명된다.
- <42> 본 발명의 제 1 특성에 따라, 반도체 디스플레이 디바이스를 구동하는 방법이 제공되며, 상기 방법은:
- <43> 제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;
- <44> 상기 제 1 변조 클럭 신호에 기초하여 게이트 신호선을 선택하는 단계;
- <45> 제 2 기준 클럭 신호에 기초하여 영상 신호를 샘플링하는 단계; 및
- <46> 상기 샘플링된 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함한다.
- <47> 본 발명의 제 2 특성에 따라, 반도체 디스플레이 디바이스를 구동하는 방법이 제공되며, 상기 방법은:
- <48> 제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;
- <49> 제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;
- <50> 상기 제 1 변조 클럭 신호에 기초하여 게이트 신호선을 선택하는 단계;
- <51> 제 2 변조 클럭 신호에 기초하여 영상 신호를 샘플링하는 단계; 및
- <52> 상기 샘플링된 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함한다.
- <53> 본 발명의 제 3 특성에 따라, 반도체 디스플레이 디바이스를 구동하는 방법이 제공되며, 상기 방법은:
- <54> 제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;
- <55> 상기 제 1 변조 클럭 신호에 기초하여 게이트 신호선을 선택하는 단계;
- <56> 제 2 기준 클럭 신호에 기초하여 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;
- <57> 상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 기준 클럭 신호에 기초하여 D/A 변환을 실행하고, 개선된 아날로그 영상 신호를 획득하는 단계; 및
- <58> 상기 개선된 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함한다.
- <59> 본 발명의 제 4 특성에 따라, 반도체 디스플레이 디바이스를 구동하는 방법이 제공되며, 상기 방법은:
- <60> 제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;
- <61> 제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;

- <62> 상기 제 1 변조 클럭 신호에 기초하여 게이트 신호선을 선택하는 단계;
- <63> 상기 제 2 변조 클럭 신호에 기초하여 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;
- <64> 상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 기준 클럭 신호에 기초하여 D/A 변환을 실행하고, 개선된 아날로그 영상 신호를 획득하는 단계; 및
- <65> 상기 개선된 아날로그 영상 신호를 대응하는 픽셀에 공급하여 영상을 획득하는 단계를 포함한다.
- <66> 본 발명의 제 5 특성에 따라, 반도체 디스플레이 디바이스를 구동하는 방법이 제공되며, 상기 방법은:
- <67> 제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;
- <68> 제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;
- <69> 상기 제 1 변조 클럭 신호에 기초하여 게이트 신호선을 선택하는 단계;
- <70> 상기 제 2 변조 클럭 신호에 기초하여 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;
- <71> 상기 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 제 2 변조 클럭 신호에 기초하여 D/A 변환을 실행하고, 개선된 아날로그 영상 신호를 획득하는 단계; 및
- <72> 상기 개선된 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함한다.
- <73> 본 발명의 제 6 특성에 따라, 반도체 디스플레이 디바이스를 구동하는 방법이 제공되며, 상기 방법은:
- <74> 제 1 기준 클럭 신호의 주파수 변조를 실행하고, 제 1 변조 클럭 신호를 획득하는 단계;
- <75> 제 2 기준 클럭 신호의 주파수 변조를 실행하고, 제 2 변조 클럭 신호를 획득하는 단계;
- <76> 상기 제 1 변조 클럭 신호에 기초하여 게이트 신호선을 선택하는 단계;
- <77> 상기 제 2 변조 클럭 신호에 기초하여 아날로그 영상 신호를 샘플링하고, A/D 변환을 실행하고, 디지털 영상 신호를 획득하는 단계;
- <78> 디지털 영상 신호의 디지털 신호 처리를 실행한 후에, 상기 제 2 변조 클럭 신호에 기초하여 D/A 변환을 실행하고, 개선된 아날로그 영상 신호를 획득하는 단계; 및
- <79> 상기 개선된 아날로그 영상 신호를 대응하는 픽셀에 공급하고, 영상을 획득하는 단계를 포함한다.
- <80> 본 발명의 제 7 특성에 따라 반도체 디스플레이 디바이스를 구동하는 방법에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 일정 주기에서 높이거나 낮춤으로써 또한 획득될 수 있다.
- <81> 본 발명의 제 8 특성에 따라 반도체 디스플레이 디바이스를 구동하는 방법에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 가우시안 히스토그램(Gaussian histogram)에 기초하여 시프트함으로써 또한 획득될 수 있다.
- <82> 본 발명의 제 9 특성에 따라 반도체 디스플레이 디바이스를 구동하는 방법에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 랜덤하게 시프트함으로써 또한 획득될 수 있다.
- <83> 본 발명의 제 10 특성에 따라 반도체 디스플레이 디바이스를 구동하는 방법에서, 변조 클럭 신호는 또한 기준 클럭 신호의 주파수를 사인파로 시프트함으로써 획득될 수 있다.
- <84> 본 발명의 제 11 특성에 따라 반도체 디스플레이 디바이스를 구동하는 방법에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 삼각파를 사용하여 시프트함으로써 또한 획득될 수 있다.
- <85> 본 발명의 제 12 특성에 따라, 반도체 디스플레이 디바이스가 제공되며, 상기 디바이스는:
- <86> 매트릭스 형태로 배열된 복수의 트랜지스터를 갖는 능동 매트릭스 회로; 및
- <87> 상기 능동 매트릭스 회로를 구동하는 게이트 신호선 구동기 회로와 소스 신호선 구동기 회로를 포함하고,
- <88> 제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는 상기 게이트 신호선 구동기 회로에 입력되고, 제 2 기준 클럭 신호는 상기 소스 신호선 구동기 회로에 입력되는 것을 특징으로 한다.

- <89> 본 발명의 제 13 특성에 따라, 반도체 디스플레이 디바이스가 제공되며, 상기 디바이스는:
- <90> 매트릭스 형태로 배열된 복수의 트랜지스터를 갖는 능동 매트릭스 회로; 및
- <91> 상기 능동 매트릭스 회로를 구동하는 게이트 신호선 구동기 회로와 소스 신호선 구동기 회로를 포함하고,
- <92> 제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는 상기 게이트 신호선 구동기 회로에 입력되고, 제 2 기준 클럭 신호가 주파수 변조된 제 2 변조 클럭 신호는 상기 소스 신호선 구동기 회로에 입력되는 것을 특징으로 한다.
- <93> 본 발명의 제 14 특성에 따라, 수동 매트릭스 회로를 포함하는 반도체 디스플레이 디바이스가 제공되며, 상기 디바이스는:
- <94> 제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는 상기 수동 매트릭스 회로의 주사 전극에 입력되고;
- <95> 제 2 클럭 신호에 기초하여 샘플링된 영상 신호가 상기 수동 매트릭스 회로의 신호 전극에 입력되는 것을 특징으로 한다.
- <96> 본 발명의 제 15 특성에 따라, 수동 매트릭스 회로를 포함하는 반도체 디스플레이 디바이스가 제공되며, 상기 디바이스는:
- <97> 제 1 기준 클럭 신호가 주파수 변조된 제 1 변조 클럭 신호는 수동 매트릭스 회로의 주사 전극에 입력되고;
- <98> 제 2 기준 클럭 신호가 주파수 변조된 제 2 변조 클럭 신호에 기초하여 샘플링된 영상 신호는 수동 매트릭스 회로의 신호 전극에 입력되는 것을 특징으로 한다.
- <99> 본 발명의 제 16 특성에 따른 반도체 디스플레이 디바이스에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 일정 주기에서 높이거나 낮춤으로써 또한 획득될 수 있다.
- <100> 본 발명의 제 17 특성에 따른 반도체 디스플레이 디바이스에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 가우시언 히스토그램에 기초하여 시프트함으로써 또한 획득될 수 있다.
- <101> 본 발명의 제 18 특성에 따른 반도체 디스플레이 디바이스에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 랜덤하게 시프트함으로써 또한 획득될 수 있다.
- <102> 본 발명의 제 19 특성에 따른 반도체 디스플레이 디바이스에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 사인파로 시프트함으로써 또한 획득될 수 있다.
- <103> 본 발명의 제 20 특성에 따른 반도체 디스플레이 디바이스에서, 변조 클럭 신호는 기준 클럭 신호의 주파수를 삼각파를 사용하여 시프트함으로써 또한 획득될 수 있다.
- <104> [실시예 모드]
- <105> 본 발명의 구동 방법은 순서대로 설명된다. 한 예로, 저해상도 ($m \times n$ 픽셀)에 대응하는 영상 신호가 고해상도 ($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 디스플레이될 때, 비디오 신호의 포맷을 변환하고, 시각적 해상도를 개선하도록 Mach 현상 및 Craik-O'Brien 현상을 사용하는 방법이 설명된다.
- <106> 도 1을 참고한다. 도 1에는 본 발명을 설명하기 위해 비디오 신호의 포맷 변환을 실행하는 상태가 도시된다. 한 예로, VGA(640 x 480 픽셀)에서 SXGA(1280 x 1024 픽셀)로의 포맷 변환이 도시되지만, 물론 본 발명에서는 저해상도가 VGA(640 x 480 픽셀)에 제한되지 않는다. 고해상도도 SXGA (1280 x 1024 픽셀)에 제한되지 않는다.
- <107> 도 2a 및 도 2b를 참고한다. 도 2a 및 도 2b에는 각각 저해상도($m \times n$ 픽셀) 및 고해상도($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스의 소스 신호선에서 비디오 신호를 샘플링한 상태가 도시된다. 도 2a 및 도 2b의 비디오 신호는 동일하고 저해상도($m \times n$ 픽셀)에 대응한다. 이때, 비디오 신호는 한 수평 주기 동안 입력되고, 소스 신호선의 수에 의존하지 않는다. 다른 말로 하면, 도 2a의 m 개 소스 신호선에서 한 수평 주기 동안 비디오 신호를 샘플링하면서, 도 2b의 m' 개 소스 신호선에서 수평 주기 동안 동일한 비디오 신호를 샘플링함으로써, 수평 방향의 해상도는 변환될 수 있다. 이는 회로의 동작 클럭을 상승시킴으로써 쉽게 해결될 수 있다.
- <108> 다음에는 수직 방향에서의 포맷 변환 방법이 설명된다. 도 3은 소스 신호선에서만 해상도 변환을 실행하고 저해상도($m \times n$ 픽셀)에 대응하는 비디오 신호를 고해상도($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스

플레이 디바이스에 입력한 상태로부터 추출된 한 프레임 부분을 도시한다. 수평 방향에서의 해상도 변환은 상술된 방법에 의해 실행되고, 각 단일 프레임에 대한 비디오 신호는 게이트 신호선의 수에 따라 한 수평 주기의 비디오 신호를 수집함으로써 구성되므로, 각각의 비디오 신호는 게이트 신호선의 수에 의존하게 된다. 그러므로, 고해상도($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 의해 저해상도($m \times n$ 픽셀)에 대응하는 비디오 신호를 디스플레이할 때, 도 3의 하단 부분에 도시된 바와 같이, 비디오 신호의 부족으로 디스플레이되지 않는 영역이 게이트 신호선의 수 차이에 대응하여 전개된다. 다른 말로 하면, $n+1$ 로우(row)에서는 다음 프레임의 제 1 로우의 비디오 신호가 입력되고, 정상적인 디스플레이가 실행될 수 없다.

<109> 복수의 게이트 신호선을 동시에 선택하고, 가상 수직 주사의 수를 저해상도에 대응하는 비디오 신호의 수로 조정함으로써, 상기 문제점이 해결된다.

<110> 도 4a 내지 도 4c 및 도 5를 참고한다. 도 4a, 도 4b, 및 도 4c의 참고 기호(SR1 내지 SR9)는 시프트 레지스터 회로로부터의 출력 펄스를 나타내고, 참고 기호(G1 내지 G9)는 게이트 신호선으로부터의 선택 펄스를 나타낸다. 도 4a는 게이트 신호선의 정상 출력을 도시한다. 도 4a에 도시된 바와 같이, 일반적으로 게이트 신호선 선택 펄스는 서로 오버랩되지 않도록 출력되고, 게이트 신호선은 순서대로 선택된다. 복수의 게이트 신호선을 동시에 출력하기 위해, 게이트 신호선 선택 펄스는 도 4b에 도시된 바와 같이 복수의 인접한 시프트 레지스터 출력 펄스가 오버랩되는 타이밍에서 추출된다. 게이트 신호선 선택 펄스 G1 및 G2는 SR1 및 SR2가 오버랩되는 타이밍에 동기 출력됨을 볼 수 있다. 유사하게, G3 및 G4는 SR3 및 SR4가 오버랩되는 타이밍에 동기 출력된다.

<111> 도 4c를 참고한다. 도 4c는 2개 선을 동시에 선택하는 것과 3개 선을 동시에 선택하는 것이 혼합된 경우의 예이다. 시프트 레지스터 출력의 시작 타이밍은 시프트되고, 복수의 시프트 레지스터 출력 펄스의 오버랩은 상기 언급된 변조 클럭 신호를 이 경우에 사용함으로써 전개되도록 이루어진다. 도 4c에서, 변조가 클럭 신호에 부가된 타이밍의 출력인 3개 펄스들(SR3, SR4, 및 SR5)의 출력은 전치-부하되어(front-loaded), 오버랩 부분이 나타난다. 3개 선이 동시에 선택될 때, 게이트 선택 펄스는 이 타이밍에 출력된다. 도 4c의 예에서, 선택 펄스들(G1 및 G2)은 2개 선으로 동시에 출력되고, 선택 펄스들(G3 내지 G5)은 3개 선으로 동시에 출력되고, G6 및 G7은 2개 선으로 동시에 출력되고, 또한 G8 및 G9는 2개 선으로 동시에 출력된다. 여기서는 2개 선 또는 3개 선을 동시에 선택하는 경우의 예가 설명되지만, 유사한 방법에 의해 4개 이상의 선을 동시에 선택하는 것도 가능함을 주목한다.

<112> 도 5를 참고한다. 참고 기호(G1 내지 Gn)는 저해상도($m \times n$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스의 게이트 신호선을 도시하고, 참고 기호(G1' 내지 Gn')는 고해상도($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스의 게이트 신호선을 도시한다. 상술된 방법에 의해 2개 선 또는 3개 선의 게이트 신호선을 동시에 선택하는 것에 따라, 고해상도($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스의 게이트 신호선의 수 및 저해상도($m \times n$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스의 게이트 신호선의 수는 동일한 것으로 나타난다. 그러므로, 저해상도($m \times n$ 픽셀)에 대응하는 비디오 신호는 고해상도($m' \times n'$ 픽셀)에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에 의해 정상적으로 디스플레이될 수 있다. 그래서, 클럭 주파수만을 감소시킴으로써 완전히 실행될 수 없는 크기 포맷 변환이 완전히 실행될 수 있다.

<113> 다음에는 본 발명에서 Mach 현상 및 Craik-O'Brien 현상을 사용함으로써 명확한 해상도를 개선하기 위한 소스 신호선 및 게이트 신호선의 구동 방법이 설명된다.

<114> 도 6을 참고한다. 도 6에는 본 발명을 설명하기 위해 소스 영상을 비디오 신호로 변환하는 상태가 도시된다. 소스 영상 "A"는 선들(L1 내지 L14)의 비디오 신호로 변환된다. 소스 영상 "A"는 도 6에서 흰색 배경에 흑색 칼라로 도시되고, 소스 영상 "A"는 셰이딩 없이 균일한 밝기를 가짐을 주목한다. 각 소스 영상선들(L1 내지 L14)에 대응하는 비디오 신호는 참고 기호 sig.1 내지 sig.14로 도시된다.

<115> 다시 도 7을 참고한다. 종래 기준 클럭 신호에 의해 소스 영상 "A"에 기초하여 각 비디오 신호들(sig.1 내지 sig.14)을 샘플링하고, 능동 매트릭스 반도체 디스플레이 디바이스의 화면상에 디스플레이한 상태는 도 7에 도시된다. 비디오 신호로부터 확장된 점선과 영상 디스플레이의 각 선(L'1 내지 L'14)을 도시하는 점선의 교점에 중심을 두어 도시된 정사각형은 능동 매트릭스 반도체 디스플레이 디바이스의 픽셀임을 주목한다.

<116> 각 선의 비디오 신호는 기준 클럭 신호에 의해 샘플링된다. 비디오 신호는 여기서, 기준 클럭 신호 펄스가 상승하고 하강할 때 샘플링된다. 영상 정보는 샘플링된 비디오 신호에 따라 반도체 디스플레이 디바이스의 각 픽셀에 기록되고, 영상은 전체 화면으로 디스플레이된다. 화면 디스플레이에서 흑색으로 도시된 픽셀은 영상 정

보가 기록된 픽셀이다. 그래서, 영상은 능동 매트릭스 반도체 디스플레이 디바이스에서 픽셀로 기록된 영상 정보의 집합체로 획득될 수 있다. 일반적으로, 능동 매트릭스 반도체 디스플레이 디바이스의 화면 디스플레이는 초 당 대략 60회 기록된 이러한 종류의 영상 정보에 의해 실행된다.

- <117> 다음에는 특정한 일정 주파수에서 주파수 변조된 변조 클럭 신호를 사용하는 본 발명의 구동 방법이 설명된다. 도 8a 내지 도 8c를 참고한다. 도 8a에는 기준 클럭 신호 및 특정한 일정 주파수에서 주파수 변조된 변조 클럭 신호가 도시된다. 여기서는 변조 클럭 신호의 주파수 변화가 시간축에서 펄스가 시작되거나 중단될 때의 변위로 설명된다. 먼저, 기준 클럭 신호의 펄스 유지 주기(T_H)(펄스 시작에서 펄스 종료까지의 주기, 또는 펄스 종료에서 펄스 시작까지의 주기)는 5개의 동일한 부분으로 분할된 것으로 생각되고, 유지 주기(T_H)가 5개의 동일한 부분으로 분할된 주기는 t 로 취해진다($T_H = 5t$). 기준 클럭 신호 펄스를 기준으로, 펄스의 시작 시간 및 종료 시간의 시간적 변위가 고려된다. 여기서 주어진 예에서, 펄스의 시작 시간 및 종료 시간의 시간적 변위는 도 8b에 도시된 바와 같이, 기준 클럭 펄스의 시작 시간 및 종료 시간을 기준으로 하여 $0 \rightarrow +t \rightarrow -t \rightarrow 0 \rightarrow +2t \rightarrow 0 \rightarrow -2t \rightarrow 0 \rightarrow +t \rightarrow -t \rightarrow 0 \rightarrow +t \rightarrow \dots$ 에 따라 변한다. 여기서, 참고 기호 "+t"는 시간 t 만큼의 전진 변위를 나타내고, 참고 기호 "0"은 변위가 없음을 나타내고, 또한 참고 기호 "-t"는 시간 t 만큼의 지연 변위를 나타낸다. 이들 시간상 변위는 도 8c에 도시된 가우시안 히스토그램(Gaussian histogram)에 따른다. 그래서, 여기서 주어진 변조 클럭 신호는 기준 클럭 신호의 펄스의 시작 시간 및 종료 시간을 기준으로 하여 시간상에서 $\pm 2t$ 또는 $\pm t$ 의 변위로 획득될 수 있다. 또한, 변조 클럭 신호의 한 주기는 5 펄스이다.
- <118> 기준 클럭 신호의 주파수를 100%라 하여, 변조 클럭 신호에 대해서는 대략 +67% 내지 대략 -29%의 주파수 시프트가 구해진다.
- <119> 도 9를 참고한다. 도 9에는 선들(L'1 내지 L'14)에 따라서 본 발명의 구동 방법에 따라 변조 클럭 신호에 의해 각 선의 비디오 신호를 샘플링한 화면 디스플레이가 도시된다. 도 9에서는 상기 도 8과 설명된 변조 클럭 신호가 사용된다. 또한, 여기서는 상술된 도 6에 도시된 각 선의 비디오 신호가 사용된다. 또한, 비교를 위해 도면에는 기준 클럭 신호가 도시됨을 주목한다.
- <120> 각 선들의 비디오 신호(sig.1 내지 sig.14)는 변조 클럭 신호 펄스의 시작 시간 및 종료 시간에 샘플링되고, 대응하는 픽셀에 영상 정보로 기록된다.
- <121> 먼저, 제 1 프레임에서, 각 비디오 신호(sig.1 내지 sig.14)는 변조 클럭 신호 1의 펄스 타이밍에 샘플링되고, 영상 정보는 대응하는 픽셀에 기록된다. 다음에, 제 2 프레임에서, 각 비디오 신호(sig.1 내지 sig.14)는 변조 클럭 신호 2의 펄스 타이밍에 샘플링되고, 영상 정보는 대응하는 픽셀로 기록된다. 변조 클럭 신호 1 및 변조 클럭 신호 2는 1/10 주기만큼 차이가 진다. 부가하여, 제 3 프레임에서, 각 비디오 신호(sig. 1 내지 sig.14)는 변조 클럭 신호 3의 펄스 타이밍에 샘플링되고, 영상 정보는 대응하는 픽셀에 기록된다. 변조 클럭 신호 2 및 변조 클럭 신호 3은 1/10 주기만큼 차이가 진다. 제 1 프레임에서 제 10 프레임까지의 비디오 신호의 샘플링 및 대응하는 픽셀로의 영상 정보의 기록은 이와 같이 순서대로 실행된다.
- <122> 도 9의 하단에는 10개 프레임의 영상 정보가 기록된 화면 디스플레이가 선들(L'1 내지 L'14)의 디스플레이로 도시된다. 도 9의 각 픽셀에는 숫자 1, 2, 3, 7, 9, 또는 10이 주어짐을 주목한다. 이들 숫자는 10 프레임 기록 시간 동안 각 픽셀에 "흑색"을 디스플레이하는 신호가 몇 번 기록되었나를 나타낸다(예를 들면, 숫자 1은 1회를 나타내고, 숫자 7은 7회를 나타내고, 또한 숫자 10은 10회를 나타낸다).
- <123> 다음에는 도 10a 내지 도 10c를 참고한다. 도 10a의 좌측에는 수직 방향으로의 포맷 변화에 따라 비디오 신호를 확장한 상태가 도시된다. 여기서는 설명을 간략화하기 위해, 포맷 변환이 수직 방향으로만 실행되고, 화면 중 일부만이 (6 x 6 픽셀) 확대되어 도시된다. 도 10a의 좌측에서 점선(G1 내지 G6)은 저해상도에 대응하는 화면에서 게이트 신호선이고, 도 10a의 우측에서 점선(G1' 내지 G14')은 고해상도에 대응하는 화면에서 게이트 신호선이다. 게이트 신호선을 도시하는 점선(G1 내지 G6) 및 점선(G1' 내지 G14')과 소스 신호선을 나타내는 수직 방향의 점선 사이의 교점에 중심을 두어 도시된 정사각형은 능동 매트릭스 반도체 디스플레이 디바이스의 각 픽셀임을 주목한다.
- <124> 포맷 변환이 상기 방법에 의해 복수의 선을 동시에 선택함으로써 실행되면, 도 10a의 우측에 도시된 바와 같이, 예를 들어 2개 선이 동시에 선택된 부분과 3개 선이 동시에 선택된 부분에서는 비디오 신호의 확장이 비균일 부분을 전개하여, 윤곽선 부분에서 영상 품질의 감소를 일으킨다.
- <125> 변조 클럭에 따라 게이트 신호선 구동기 회로를 구동함으로써, 동시 선택이 실행되는 타이밍은 각 프레임에 대

해 시프트하도록 이루어진다. 도 10b를 참고한다. 제 1 프레임에서는 G1' 및 G2'가 동시에 선택되고, G1의 신호가 입력된다. 이어서, G3' 및 G5'가 동시에 선택되고, G2의 신호가 입력된다. 유사하게, G6의 신호가 G13' 및 G14'에 입력되어, 제 1 프레임의 포맷 변환이 정상적으로 실행되었음을 볼 수 있다. 제 2 프레임과 나중 프레임에서는 2개 선 및 3개 선의 동시 선택이 제 1 프레임과 다른 순서로 실행되고, 화면 디스플레이는 한 주기 동안 제 n 프레임까지 실행된다.

<126> 한 주기가 얼마나 많은 프레임에 설정되는가는 변환 소스와 변환 목적지의 포맷에 기초하여 결정될 수 있음을 주목한다.

<127> 도 10c에는 처음 6개 프레임의 영상 정보가 기록되었을 때의 화면 디스플레이가 도시된다. 도 10c의 각 픽셀에는 숫자 1, 2, 4, 및 6이 주어짐을 주목한다. 이들 숫자는 6 프레임 기록 시간 동안 픽셀에 "흑색"을 디스플레이하는 신호가 몇 번 기록되었나를 나타낸다(예를 들면, 숫자 1은 1회를 나타내고, 숫자 2는 2회를 나타내고, 또한 숫자 6은 6회를 나타낸다).

<128> 도 9 및 도 10c의 하단에 있는 화면 디스플레이 예로부터 이해될 수 있는 바와 같이, 종래 기준 클럭을 사용하는 구동 방법과 비교될 때, 변조 클럭 신호를 사용하는 본 발명의 구동 방법에 따라 영상의 윤곽선 부분에는 영상 정보가 기록되는 프레임과 영상 정보가 기록되지 않는 프레임이 있다. 그러므로, 이는 픽셀에 의해 셰이딩 정보로 표시된다. 그래서, 영상의 윤곽선 부분에서 셰이딩 정보를 갖는 영상은 상술된 시각적 Mach 현상 및 Craik-O'Brien 현상에 따라 증가된 해상도를 갖도록 나타나는 것으로 관찰자에게 보여질 수 있다.

<129> [실시예]

<130> 여기서는 본 발명에 따른 구동 방법의 특정한 예와 그 구동 방법을 사용하는 반도체 디바이스가 다음의 실시예를 사용하여 설명된다. 그러나, 본 발명은 다음의 실시예에 제한되지 않는다.

<131> [실시예 1]

<132> 이후에는 본 발명에 따른 반도체 디스플레이 디바이스를 구동하는 방법을 사용할 수 있는 반도체 디스플레이 디바이스로 능동 매트릭스 반도체 디스플레이 디바이스의 예가 설명된다.

<133> 도 11을 참고한다. 도 11에는 실시예 1의 능동 매트릭스 반도체 디스플레이 디바이스의 구조도가 도시된다. 참고 번호(1101)는 소스 신호선 구동기 회로를 나타내고, 변조 클럭, 시작 펄스, 및 좌-우측 주사 스위칭 신호와 같은 신호가 입력된다. 참고 번호(1102)는 게이트 신호선 구동기 회로를 나타내고, 변조 클럭, 시작 펄스, 및 상-하측 주사 스위칭 신호와 같은 신호가 입력된다. 본 명세서를 통해, 변조 클럭 신호는 주파수 변조된 클럭 신호를 칭한다. 참고 번호(1103)는 능동 매트릭스 회로를 나타내고, 능동 매트릭스 회로는 게이트 신호선(1104)과 소스 신호선(1105)의 각 교점에 매트릭스 상태로 배열된 픽셀을 갖는다. 각 픽셀은 픽셀 TFT(1106)를 갖는다. 또한, 픽셀 전극(도면에 도시되지 않음) 및 부수적인 캐패시터(1107)는 픽셀 TFT의 드레인 전극에 연결된다. 더욱이, 참고 번호(1108)는 능동 매트릭스 회로와 반대 기판(도면에 도시되지 않음) 사이에 샌드위치 형태로 위치한 액정을 나타낸다. 참고 번호(1109)는 비디오 신호를 나타내고, 비디오 신호는 외부로부터 입력된다.

<134> 더욱이, 게이트 신호선 구동기 회로는 도 11에서 능동 매트릭스 회로(1103)의 좌측에만 배열되지만, 좌우측 모두에 대칭적으로 배열될 수 있다. 이러한 종류의 배열은 동작 신뢰성 및 효율성면에서 효과적이다.

<135> 다음에는 도 12를 참고한다. 도 12에는 실시예 1의 능동 매트릭스 반도체 디스플레이 디바이스에서 소스 신호선 구동기 회로의 회로 구조도가 도시된다. 참고 번호(1201)는 시프트 레지스터 회로를 나타낸다. 시프트 레지스터 회로(1201)는 시프트 레지스터 본체(1202) 및 NAND 회로(1203)와 같은 구성성분을 갖는다. 참고 번호(1204)는 레벨 시프터(level shifter) 회로를 나타내고, 참고 번호(1205)는 아날로그 스위치 회로를 나타내고, 또한 참고 번호(1206)는 비디오 신호선을 나타낸다.

<136> 변조 클럭 신호(m-SCLK), 반전된 클럭 신호(m-SCLKB), 소스측 시작 펄스(S-SP), 및 좌-우측 주사 스위칭 신호(L/R)는 소스 신호선 구동기 회로에 입력된다.

<137> 시프트 레지스터 회로(1201)는 외부에서 입력되는 변조 클럭 신호(m-SCLK), 반전된 변조 클럭 신호(m-SCLKB), 소스측 시작 펄스 S-SP, 및 좌-우측 주사 스위칭 신호(L/R)에 따라 동작한다. HI가 좌-우측 주사 스위칭 신호(L/R)에 입력될 때, 비디오 신호를 샘플링하는 신호는 좌측에서 우측의 순서로 NAND 회로(1203)로부터 출력된다. 비디오 신호를 샘플링하는 신호는 레벨 시프터 회로(1204)에 의해 고전압으로 시프트된 전압 레벨을 갖고, 아날로그 스위치(1205)로 입력된다. 아날로그 스위치(1205)는 샘플링 신호의 입력에 따라 비디오 신호선

(1206)으로부터 공급된 비디오 신호를 샘플링하고, 소스 신호선(S1 내지 Sm)에 공급한다. 소스 신호선에 공급된 비디오 신호는 대응하는 픽셀의 TFT들에 공급된다.

<138> 실시예 1의 능동 매트릭스 반도체 디스플레이 디바이스에서 게이트 신호선 구동기 회로의 회로 구조가 설명된다. 도 13을 참고한다. 참고 번호(1301)는 시프트 레지스터 회로를 나타낸다. 시프트 레지스터 회로(1301)는 시프트 레지스터 본체(1302) 및 아날로그 스위치(1303)와 같은 구성요소를 갖는다. 참고 번호(1304)는 펄스 선택 회로를 나타내고, 참고 번호(1305)는 레벨 시프터 회로를 나타낸다.

<139> 게이트 신호선 구동기 회로에는 변조 클럭 신호(m-GCLK), 반전된 클럭 신호(m-GCLKB), 게이트측 시작 펄스 GSP, 및 상-하측 주사 스위칭 신호(U/D)가 입력된다.

<140> 시프트 레지스터 회로(1301)는, 외부에서 입력되는 변조 클럭 신호(m-GCLK), 반전된 클럭 신호(m-GCLKB), 게이트측 시작 펄스(GSP), 및 상-하측 주사 스위칭 신호(U/D)에 따라 동작된다. HI가 상-하측 주사 스위치 신호(U/D)에 입력될 때, 시프트 레지스터 출력 펄스는 상단측에서 하단측의 순서로 출력된다. 시프트 레지스터 출력 펄스는 다음에 펄스 선택 회로(1304)에 입력되고, 펄스 선택 회로는 복수의 게이트 신호선의 동시 선택을 위한 타이밍에 입력 비디오 신호의 포맷으로 조정된 게이트 선택 펄스를 출력한다. 이어서, 게이트 선택 펄스는 레벨 시프터 회로(1305)에 의해 고전압으로 시프트된 전압 레벨을 갖고, 게이트 신호선(G1 내지 Gn)으로부터 출력된다.

<141> IC WORKS사, W42C31-09 모듈과 같은 모듈이, 변조 클럭을 획득하기 위한 것으로 주어질 수 있음을 주목한다.

<142> [실시예 2]

<143> 본 발명의 설명에서는 변조 클럭 신호가 디지털 구동 회로를 갖는 능동 매트릭스 액정 디스플레이 디바이스에서 사용되는 경우가 참고된다. 본 발명의 능동 매트릭스 액정 디스플레이 디바이스에서, 외부에서 공급되는 NTSC 신호나 고선명도의 텔레비전 신호와 같은 아날로그 영상 신호는 A/D 변환(아날로그/디지털 변환)에 의해 디지털 영상 신호로 변환된다. 변조 클럭 신호를 사용하여 A/D 변환 동안 아날로그 영상 신호의 샘플링이 실행된다. 디지털 영상 신호에는 감마 정정(gamma correction) 및 개구(aperture) 제어와 같은 디지털 신호 처리가 행해지고, 이어서 고정된 클럭을 사용하여 D/A 변환(디지털/아날로그 변환)에 의해 개선된 아날로그 영상 신호로 변환된다. 개선된 아날로그 영상 신호는 대응하는 픽셀에 기록된다. 이 방식으로, 영상 신호의 디지털 신호 처리가 실행될 수 있고, 그에 의해 본 발명을 실행하기 위한 상기 모드 및 그에 대한 상기 실시예와 연관되어 설명된 바와 같이, 관찰자는 명확하게 개선된 해상도를 갖는 영상으로 영상 신호를 관찰할 수 있다.

<144> 다음의 방법은 본 실시예에 따른 또 다른 구동 방법으로 이용 가능하다. 외부에서 공급되는 NTSC 신호 또는 고선명도의 텔레비전 신호와 같은 아날로그 영상 신호는 고정된 클럭 신호로 인한 샘플링 타이밍에 A/D 변환(아날로그/디지털 변환)에 의해 디지털 영상 신호로 변환된다. 디지털 영상 신호에는 감마 정정 및 개구 제어와 같은 디지털 신호 처리가 행해지고, 이어서 변조 클럭 신호를 사용하여 D/A 변환에 의해 개선된 아날로그 영상 신호로 변환된다. 개선된 아날로그 영상 신호는 대응하는 픽셀에 기록된다. 이 방식으로, 영상 신호의 디지털 신호 처리가 실행될 수 있고, 그에 의해 본 발명을 실행하기 위한 상기 모드 및 그에 대한 상기 실시예와 연관되어 설명된 바와 같이, 관찰자는 명확하게 개선된 해상도를 갖는 영상으로 영상 신호를 관찰할 수 있다. 본 구동 방법에서, A/D 변환 동안 아날로그 영상 신호의 샘플링은 또한 변조 클럭 신호로 실행될 수 있다.

<145> [실시예 3]

<146> 본 실시예에서는 실시예 1에서 설명된 능동 매트릭스형 반도체 디스플레이 디바이스에 대한 제작 방법의 예가 설명된다. 여기서는, 픽셀 섹션에 있는 스위칭 소자인 픽셀 TFT; 및 기판 위에서 픽셀 섹션 주변에 배치된 구동 회로의 TFT(소스 신호측 구동기 회로, 게이트 신호측 구동기 회로)를 동시 제작하는 것에 대해 그 처리에 따른 상세한 설명이 이루어진다. 설명을 간략화하기 위해, 구동기 회로 부분의 베이스 회로인 CMOS 회로가 구동기 회로로 도면에 도시되고, 픽셀 TFT 부분에는 n-채널 TFT가 도시된다.

<147> 도 14a에서, 저알칼리 유리 기판 또는 수정 기판이 기판(능동 매트릭스 기판)(6001)으로 사용될 수 있다. 본 실시예에서는 저알칼리 유리 기판이 사용되었다. 이 경우, 열 처리는 유리 스트레인(strain) 온도 보다 낮은 약 10-20 °C의 온도에서 미리 실행된다. TFT가 형성된 기판(6001)의 표면 상에는 기판(6001)으로부터 불순물의 확산을 방지하기 위해 산화 실리콘막, 질화 실리콘막, 또는 질산화 실리콘막과 같은 것으로 하단층막(6002)이 형성된다. 예를 들면, 플라즈마(plasma) CVD에 의해 100 nm의 두께로 SiH₄, NH₃, 및 N₂O로부터 질산화 실리콘막, 또한 200 nm의 두께로 SiH 및 N₂O로부터 유사하게 질산화 실리콘막으로 적층이 형성된다.

- <148> 다음에는 비결정질 구조를 갖는 반도체막(6003a)이 플라즈마 CVD 또는 스퍼터링(sputtering)과 같이 공지된 방법에 의해 20 내지 150 nm(바람직하게 30 내지 80 nm)의 두께로 형성된다. 본 실시예에서는 비결정질 실리콘막이 플라즈마 CVD에 의해 54 nm의 두께로 형성되었다. 비결정질 구조를 갖는 반도체막은 비결정질 반도체막과 마이크로 결정질 반도체막을 포함하고, 비결정질 실리콘-게르마늄막과 같이, 비결정질 구조와의 합성 반도체막이 또한 사용될 수 있다. 하단층막(6002)과 비결정질 실리콘막(6003a)이 동일한 막 침착 방법에 의해 형성될 수 있으므로, 이들은 연속하여 형성될 수 있다. 표면 오염은 하단층막을 형성한 이후에 공기 대기에 노출시키지 않음으로써 방지될 수 있고, 형성된 TFT의 특성 분산 및 임계 전압의 편차가 감소될 수 있다(도 14a).
- <149> 이어서, 비결정질 실리콘막(6003a)으로부터 결정질 실리콘막(6003b)을 형성하도록 공지된 결정화 기술이 사용된다. 예를 들면, 레이저 결정화 또는 가열 결정화 방법(고체 성장 방법(solid phase growth method))이 사용될 수 있고, 여기서는 일본 특허 출원 공개 No. Hei 7-130652에서 설명된 기술에 따라, 촉매 원소를 사용한 결정화 방법에 의해 결정질 실리콘막(6003b)이 형성되었다. 비록 이는 비결정질 실리콘막의 수소 내용량에 의존하지만, 결정화 이전에 수소 내용량을 5 atôm%로 감소시키도록 약 1 시간 동안 400 내지 500°C에서 열 처리가 바람직하게 실행된다. 비결정질 실리콘막의 결정화는 원자의 재배열을 보다 조밀한 형태로 발생시키므로, 제작된 결정질 실리콘막의 두께가 원래의 비결정질 실리콘막의 두께에서(본 실시예에서 54 nm) 대략 1 내지 15% 만큼 감소된다(도 14b).
- <150> 결정질 실리콘막(6003b)은 이어서 아일랜드(island) 반도체층(6004 내지 6007)을 형성하도록 아일랜드 형상으로 패턴화된다. 마스크층(6008)은 플라즈마 CVD 또는 스퍼터링에 의해 50 내지 150 nm의 두께로 산화 실리콘막으로 형성된다(도 14c).
- <151> 이어서, 레지스트 마스크(resist mask)(6009)가 침착되고, n-채널형 TFT를 형성하는 아일랜드 반도체층(6004 내지 6007)의 전체 표면에 걸쳐 한계 전압을 제어할 목적으로 붕소(B)가 p형 불순물로 약 1×10^{16} 내지 5×10^{17} atoms/cm³ 농도로 부가된다. 붕소(B)의 부가는 이온 도핑에 의해 이루어지거나, 비결정질 실리콘막의 형성과 동시에 부가될 수 있다. 붕소(B)의 부가는 여기서 반드시 필수적인 것은 아니다(도 14d). 그 이후에, 레지스트 마스크(6009)가 제거된다.
- <152> n형을 부여하는 불순물 원소는 구동 회로의 n-채널형 TFT의 LDD 영역을 형성하기 위해 아일랜드 반도체층(6010 내지 6012)에 선택적으로 부가된다. 이를 위해 미리 레지스트 마스크(6013 내지 6016)가 형성된다. 사용되는 n형 불순물 원소는 인(P) 또는 비소(As)이고, 이 경우에는 인(P)의 부가를 위해 인산(PH₃)을 사용하여 이온 도핑 방법이 사용되었다. 형성된 불순물 영역(6017, 6018)의 인(P) 농도는 2×10^{16} 내지 5×10^{19} atoms/cm³의 범위이다. 본 명세서를 통해, 불순물 영역(6017 내지 6019)의 n형 불순물 원소의 농도는 여기서 (n-)로 나타내진다. 또한, 불순물 영역(6019)은 픽셀 부분의 저장 캐패시터 형성을 위한 반도체층이고, 이 영역에서는 또한 인(P)이 동일한 농도로 부가된다(도 15a). 그 이후에, 레지스트 마스크(6013 내지 6016)가 제거된다.
- <153> 이는 불화 수소산에 의해 마스크층(6008)을 제거하는 단계와, 도 14d 및 도 15a에서 부가된 불순물 원소를 활성화하는 단계로 이어진다. 질소 대기에서 500 내지 600°C로 1 내지 4 시간 동안 열 처리에 의해, 또는 레이저 활성화 방법에 의해 활성화가 실행된다. 또한, 그들의 조합으로 실행될 수 있다. 본 실시예에서는 KrF 엑시머(excimer) 레이저광(248 nm 파장)을 사용하여 선행빔이 형성되는 레이저 활성화 방법이 사용되었고, 아일랜드 반도체층이 형성된 전체 기판을 다루도록 5 내지 50 Hz의 발진 주파수, 100 내지 500 mJ/cm²의 에너지 밀도에서 80 내지 98%의 오버랩 비율을 가지고 레이저빔을 주사하였다. 레이저광 조사 조건에는 특정한 제한이 없고, 이는 조작자에 의해 적절하게 설명될 수 있다.
- <154> 이어서, 게이트 절연막(6020)은 플라즈마 CVD 또는 스퍼터링을 사용하여 10 내지 150 nm의 두께로 실리콘을 포함하는 절연막으로 형성된다. 예를 들어, 질산화 실리콘막은 120 nm의 두께로 형성된다. 게이트 절연막은 또한 단일층 구조 또는 다른 실리콘을 포함하는 절연막의 다층 구조일 수 있다(도 15b).
- <155> 제 1 도전층은 이어서 게이트 전극을 형성하도록 침착된다. 제 1 도전층은 단일층으로 형성되지만, 필요한 경우 2개 이상의 층이 적층된 구조를 가질 수 있다. 본 실시예에서는 도전성 질화 금속막을 포함하는 도전층(A)(6021)과 금속막을 포함하는 도전층(B)(6022)이 적층되었다. 도전층(B)(6022)은 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 및 텅스텐(W) 중에서 선택된 원소, 또는 이들 원소 중 하나를 주성분으로 하는 합금, 또는 이들 원소의 조합을 포함하는 합금막(전형적으로 Mo-W 합금막 또는 Mo-Ta 합금막)으로 형성될 수 있고, 도전막(A)(6021)은 질화탄탈(TaN), 질화텅스텐(WN), 질화 티타늄(TiN), 또는 질화 몰리브덴(MoN)으로 형성된다. 도전

층(A)(6021)의 다른 물질로는 규화 텅스텐, 규화 티타늄, 또는 규화 몰리브덴이 사용될 수 있다. 도전막(B)은 더 낮은 저항을 위해 감소된 불순물 원소를 갖고, 특히 산소 농도가 30 ppm 이하인 것이 만족스럽다. 예를 들면, 30 ppm 이하의 산소 농도를 갖는 텅스텐(W)은 $20 \mu \Omega \text{cm}$ 이하의 저항을 실현하도록 허용한다.

<156> 도전층(A)(6021)은 10 내지 50 nm(바람직하게 20 내지 30 nm)가 되고, 도전층(B)(6022)은 200 내지 400 nm(바람직하게 250 내지 350 nm)가 된다. 본 실시예에서는 30 nm 두께를 갖는 TaN막이 도전층(A)(6021)으로 사용되었고, 350 nm의 Ta막이 도전층(B)(6022)으로 사용되었고, 이들은 모두 스퍼터링에 의해 형성되었다. 스퍼터링에 의한 막 형성시, Ar 스퍼터링 기체에 적절한 양의 Xe 또는 Kr을 부가하면, 형성된 막의 내부 스트레스(stress)가 완화되어 막의 벗겨짐이 방지된다. 비록 도시되지 않았지만, 도전층(A)(6021) 아래에는 약 2 내지 20 nm의 두께로 인(P)을 도핑한 실리콘막을 형성하는 것이 효과적이다. 이는 접착력을 개선하여 그 위에 형성된 도전막의 산화를 방지할 수 있고, 또한 도전층(A) 또는 도전층(B)에 포함된 게이트 절연막(6020)으로 알칼리 금속 원소가 확산되는 것을 방지한다(도 15c).

<157> 이어서, 레지스트 마스크(6023 내지 6027)가 형성되고, 도전층(A)(6021) 및 도전층(B)(6022)이 에칭되어 게이트 전극(6028 내지 6031) 및 캐패시턴스 배선(6032)이 함께 형성된다. 게이트 전극(6028 내지 6031) 및 캐패시턴스 배선(6032)은 도전층(A)을 포함하는 (6028a 내지 6032a) 및 도전층(B)을 포함하는 (6028b 내지 6032b)로부터 집적되어 형성된다. 여기서, 구동기 회로에 형성된 게이트 전극(6028, 6030)은 게이트 절연막(6020)을 삽입함으로써 불순물 영역(6017, 6018)의 일부와 오버랩되도록 형성된다(도 15d).

<158> 이는 구동 회로의 p-채널 TFT에 소스 영역 및 드레인 영역을 형성하도록 p형 불순물 원소를 부가하는 단계로 이어진다. 여기서, 게이트 전극(6028)은 자체 정렬 방식으로 불순물 영역을 형성하는 마스크로 사용된다. n-채널 TFT가 형성되는 영역은 이때 레지스트 마스크(6033)로 덮인다. 불순물 영역(6034)은 B_2H_6 (diborane)을 사용한 이온 도핑에 의해 형성된다. 이 영역의 붕소(B) 농도는 3×10^{20} 내지 $3 \times 10^{21} \text{ atoms/cm}^3$ 이다. 본 명세서를 통해, 여기서 형성된 불순물 영역(6034)에서 p형 불순물 원소의 농도는 (p^+)로 나타내진다(도 16a).

<159> 다음에는 소스 영역이나 드레인 영역으로 동작하는 불순물 영역이 n-채널 TFT에 형성된다. 레지스트 마스크(6035 내지 6037)가 형성되고, n형 불순물 원소가 불순물 영역(6038 내지 6042)을 형성하도록 부가된다. 이는 PH_3 (phosphine)를 사용한 이온 도핑에 의해 이루어지고, 이 영역에서 인(P)의 농도는 1×10^{20} 내지 $1 \times 10^{21} \text{ atoms/cm}^3$ 의 범위이다. 본 명세서를 통해, 여기서 형성된 불순물 영역(6038 내지 6042)에서 n형 불순물 원소의 농도는 (n^+)로 표시된다(도 16b).

<160> 불순물 영역(6038 내지 6042)은 이전 단계에서 부가된 인(P)이나 붕소(B)를 이미 포함하지만, 비교적 충분히 높은 농도의 인(P)이 부가되므로, 이전 단계에서 부가된 인(P)이나 붕소(B)의 영향은 무시될 수 있다. 불순물 영역(6038)에 부가된 인(P)의 농도는 도 16a에서 부가된 붕소(B) 농도의 1/2 내지 1/3이기 때문에, p형 전도성은 TFT의 특징에 아무런 영향이 없도록 보장된다.

<161> 레지스트 마스크(6035 내지 6037)가 제거된 이후에, 이는 픽셀 매트릭스 회로의 n-채널형 TFT에 LDD 영역을 형성하도록 n형 불순물을 부가하는 단계로 이어진다. 여기서, 게이트 전극(6031)은 이온 도핑에 의해 자체-정렬 방식으로 n형 불순물 원소의 부가를 위한 마스크로 사용된다. 부가된 인(P)의 농도는 1×10^{16} 내지 $5 \times 10^{18} \text{ atoms/cm}^3$ 이고, 도 15a, 도 16a, 및 도 16b에서 부가된 불순물 원소의 농도 보다 더 낮은 농도로 부가하면, 실질적으로 불순물 영역(6043, 6044)만이 형성된다. 본 명세서를 통해, 이 불순물 영역(6043, 6044)에서 n형 불순물 원소의 농도는 (n^-)로 나타내진다(도 16c).

<162> 이는 각 농도로 부가된 n형 또는 p형 불순물 원소의 활성화를 위한 열 처리 단계로 이어진다. 이 단계는 용광로 가열 냉각(furnace annealing), 레이저 가열 냉각(laser annealing), 또는 신속한 열적 가열 냉각(Rapid Thermal Annealing; RTA)으로 이루어질 수 있다. 여기서는 활성화 단계가 용광로 가열 냉각에 의해 이루어졌다. 열 처리는 1 ppm, 바람직하게 0.1 ppm 보다 많지 않은 농도로 산소를 포함하는 질소 대기에서 400 내지 800°C, 전형적으로 500 내지 600°C로 실행되고, 본 실시예에서는 열 처리가 500°C에서 4시간 동안 실행되었다. 수정 기관과 같은 열저항 물질이 기관(6001)으로 사용될 때, 열 처리는 800°C에서 1시간 동안 실행되고, 이는 불순물 소자의 활성화 및 불순물 원소가 부가된 불순물 영역과 채널 형성 영역 사이의 만족스러운 접합을 형성하도록 허용한다. 층간막이 상술된 전극의 Ta를 벗겨짐으로부터 보호하도록 형성된 경우에는 이 효과가 항

상 얻어질 수는 없다.

- <163> 열 처리에서, 도전층(C)(6028c 내지 6032c)은 게이트 전극(6028 내지 6031) 및 캐패시턴스 배선(6032)을 포함하는 금속막(6028b 내지 6032b)의 표면으로부터 5 내지 80 nm의 두께로 형성된다. 예를 들어, 도전층(B)(6028b 내지 6032b)이 텅스텐(W)을 포함할 때는 질화 텅스텐(WN)이 형성되는 반면, 탄탈(Ta)이 사용될 때는 질화 티타늄(TaN)이 형성될 수 있다. 도전층(C)(6028c 내지 6032c)은 질소나 암모니아를 사용하여 질소를 포함하는 플라즈마 대기에 게이트 전극(6028 내지 6031) 및 캐패시턴스 배선(6032)을 노출시킴으로써 유사한 방식으로 형성될 수 있다. 또한, 수소화를 위한 처리는 3 내지 100% 수소를 포함하는 대기에서 1 내지 12 시간 동안 300 내지 450℃로 열 처리에 의해 아일랜드 반도체층상에서 실행된다. 이 단계는 열적으로 여기된 수소에 의해 반도체층의 땀글링 결합(dangling bond)을 종료시키기 위한 것이다. 수소화를 위한 또 다른 수단으로 플라즈마 수소화(플라즈마-여기 수소)가 실행될 수 있다.
- <164> 아일랜드 반도체층이 촉매 원소를 사용하여 비결정질 실리콘막으로부터 결정화의 방법으로 제작될 때, 촉매 원소의 흔적량은 아일랜드 반도체층에 유지된다. TFT가 이 조건에서도 완성될 수 있지만, 말할 필요도 없이, 잔류 촉매 원소가 적어도 채널 형성 영역으로부터 제거되는 것이 보다 바람직하다. 촉매 원소를 제거하는데 사용되는 하나의 수단은 인(P)에 의해 게터링 효과(gettering effect)를 사용하는 것이다. 게터링 처리에 필요한 인(P) 농도는 도 16b에서 형성된 불순물 영역(n+)과 동일한 레벨이고, 여기서 실행되는 활성화 단계를 위한 열 처리는 촉매 원소가 n-채널형 TFT 및 p-채널형 TFT의 채널 형성 영역으로부터 게터링 처리되도록 허용한다(도 16d).
- <165> 활성화 및 수소화 단계를 완료한 이후에, 게이트 배선이 되는 제 2 도전층이 형성된다. 이 제 2 도전층은 주로 저저항 물질인 알루미늄(Al) 또는 구리(Cu)로 구성된 도전층(D)과, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 또는 몰리브덴(W)으로 구성된 도전층(E)으로 형성될 수 있다. 본 실시예에서, 도전층(D)(6045)은 0.1 내지 2 wt% 티타늄(Ti)을 포함하는 알루미늄(Al)막으로부터 형성되었고, 도전층(E)(6046)은 티타늄(Ti)막으로부터 형성되었다. 도전층(D)(6045)은 200 내지 400 nm (바람직하게 250 내지 350 nm)로 형성되고, 도전층(E)(6046)은 50 내지 200 nm (바람직하게 100 내지 150 nm)로 형성된다(도 17a).
- <166> 도전층(E)(6046) 및 도전층(D)(6045)은 게이트 배선(6047, 6048)과, 그 게이트 배선을 게이트 전극에 연결시키는 캐패시턴스 배선(6049)을 형성하도록 에칭된다. 에칭 처리에서, 먼저 SiCl₄, Cl₂, 및 BCl₃의 혼합 기체를 사용하여 건식 에칭에 의해 도전층(E)의 표면으로부터 도전층(D) 중간까지 제거되고, 이어서 도전층(D)을 제거하도록 인산-기반 에칭 용액으로 습식 에칭이 실행되어, 게이트 배선을 형성하도록 허용하면서 접지층으로 선택적인 작업성을 유지한다.
- <167> 제 1 층간 절연막(6050)은 500 내지 1500 nm의 두께로 산화 실리콘막 또는 질산화 실리콘막으로 형성되고, 이어서 각 아일랜드 반도체층에 형성된 소스 영역 또는 드레인 영역에 도달하여 접촉홀(contact hole)이 형성되어, 소스 배선(6051 내지 6054) 및 드레인 배선(6055 내지 6058)을 형성한다. 여기서는 도시되지 않았지만, 본 실시예에서, 전극은 스퍼터링에 의해 100 nm의 Ti막, 300 nm의 Ti-포함 알루미늄막, 및 150 nm의 Ti막을 연속적으로 형성하여 3층 적층 구조를 갖는다.
- <168> 다음에는 질화 실리콘막, 산화 실리콘막, 또는 질산화 실리콘막이 비활성화막(6058)으로서 50 내지 500 nm (전형적으로 100 내지 300 nm)의 두께로 형성된다. 이 상태에서의 수소화 처리는 TFT 특성의 개선에 양호한 결과를 제공한다. 예를 들어, 열 처리는 3 내지 100% 수소를 포함하는 대기에서 300 내지 450℃로 1 내지 12시간 동안 실행될 수 있고, 또는 플라즈마 수소화 방법을 사용함으로써 유사한 효과가 이루어질 수 있다. 여기서, 오픈링(opening)은 비활성화막(6059)에서 픽셀 전극 및 드레인 배선의 연결을 위해 접촉홀이 형성되어야 할 위치에 형성됨을 주목한다(도 17c).
- <169> 이어서, 유기체 수지를 포함하는 제 2 층간 절연막(6060)이 1.0 내지 1.5 μm의 두께로 형성된다. 사용되는 유기체 수지는 폴리이미드(polyimide), 아크릴(acrylic), 폴리아미드(polyamide), 폴리이미드아미드(poly imide amide), BCB(benzocyclobutene) 등이 될 수 있다. 여기서는 기판 위에 코팅한 이후 열적으로 중합화되는 폴리이미드가 적용되어 300℃로 가열된다. 드레인 배선(6058)에 이르는 접촉홀은 제 2 층간 절연막(6060)에 형성되고, 픽셀 전극(6061, 6062)이 형성된다. 사용되는 픽셀 전극은 전송형 반도체 디스플레이 디바이스를 형성하는 경우 투명 도전막이 되고, 반사형 반도체 디스플레이 디바이스를 형성하는 경우 금속막이 될 수 있다. 본 실시예에서는 전송형 반도체 디스플레이 디바이스를 형성하기 위해 ITO(Indium-Tin Oxide)막이 스퍼터링에 의해 100 nm의 두께로 형성되었다(도 18).

- <170> 픽셀 섹션의 픽셀 TFT 및 구동 회로 TFT를 포함하는 기관은 이 방식으로 기관 상에 완료된다. 구동 회로 상에는 p-채널 TFT(6101), 제 1 n-채널 TFT(6102), 및 제 2 n-채널 TFT(6103)가 형성되고, 픽셀 섹션상에는 픽셀 TFT(6104) 및 저장 캐패시터(6105)가 형성된다. 본 명세서를 통해, 이 기관은 설명을 간략화하기 위해 능동 매트릭스 기관이라 칭하여진다.
- <171> 구동 회로의 p-채널 TFT(6101)는 채널 형성 영역(6108), 소스 영역(6107a, 6107b), 및 드레인 영역(6108a, 6108b)을 포함하는 아일랜드 반도체층(6004)을 포함한다. 제 1 n-채널 TFT(6102)는 채널 형성 영역(6109), 게이트 전극(6029)과 오버랩된 LDD 영역(6110) (이후 이 종류의 LDD 영역은 Lov라 지칭됨), 소스 영역(6111), 및 드레인 영역(6112)을 포함하는 아일랜드 반도체층(6005)을 포함한다. 이 Lov 영역의 길이는 채널 길이 방향으로 0.5 내지 3.0 μm 이고, 바람직하게 1.0 내지 1.5 μm 이다. 제 2 n-채널 TFT(6103)는 채널 형성 영역(6113), LDD 영역(6114, 6115), 소스 영역(6116), 및 드레인 영역(6117)을 포함하는 아일랜드 반도체층(6006)을 포함한다. 이들 LDD 영역은 Lov 영역 및 게이트 전극(6030)과 오버랩되지 않는 LDD 영역 (이후 이 종류의 LDD 영역은 Loff라 칭하여진다)으로 형성되고, 이 Loff 영역의 길이는 채널 길이 방향으로 0.3 내지 2.0 μm , 바람직하게 0.5 내지 1.5 μm 이다. 픽셀 TFT(6104)는 채널 형성 영역(6118, 6119), Loff 영역(6120 내지 6123), 및 소스 또는 드레인 영역(6124 내지 6126)을 포함하는 아일랜드 반도체층(6007)을 포함한다. Loff 영역의 길이는 채널 길이 방향으로 0.5 내지 3.0 μm , 바람직하게 1.5 내지 2.5 μm 이다. 또한, 저장 캐패시터(6105)는 캐패시턴스 배선(6032, 6049), 게이트 절연막과 동일한 물질로 형성된 절연막, 및 픽셀 TFT(6104)의 드레인 영역(6126)에 연결된 n형을 부여하는 불순물 소자가 부가된 반도체층(6127)으로 형성된다. 도 28에서, 픽셀 TFT(6104)는 이중 게이트 구조를 갖지만, 단일 게이트 구조도 가질 수 있고, 복수의 게이트 전극이 제공된 다중게이트 구조로 문제 없다.
- <172> 그래서, 본 발명은 픽셀 TFT 및 구동 회로에 요구되는 조건에 따라 각 회로를 포함하는 TFT의 구조를 최적화하고, 그에 의해 반도체 디바이스의 동작 성능 및 신뢰성이 개선될 수 있다. 부가하여, 열 저항 전도성 물질로 게이트 전극을 형성하면, LDD 영역과 소스 및 드레인 영역의 활성화가 용이해질 수 있고, 저저항 물질로 게이트 배선을 형성하면, 배선 저항을 충분히 감소시키게 된다. 이는 4 인치 이상의 등급에서 픽셀 섹션(화면 크기)을 갖는 디스플레이 디바이스로의 응용을 허용한다.
- <173> 다음에는 상기 처리에 따라 제작된 능동 매트릭스 기관으로부터 전송형 액정 디스플레이 디바이스를 제작하는 처리가 설명된다.
- <174> 도 19를 참고한다. 정렬막(6201)은 도 18에 도시된 상태의 능동 매트릭스 기관 상에 형성된다. 본 실시예에서는 정렬막(6201)으로 폴리이미드가 사용되었다. 다음에는 반대 기관이 준비된다. 반대 기관은 유리 기관(6202), 광차폐막(6203), 투명 도전막을 포함하는 반대 전극(6204), 및 정렬막(6205)을 포함한다.
- <175> 본 실시예에서는 액정 분자 방향을 기관에 대해 평행하게 만들도록 정렬막으로 폴리이미드막이 사용됨을 주목한다. 액정 분자는 정렬막을 형성한 이후 마찰 처리를 실행함으로써 특정한 기울기를 갖도록 방향이 평행하게 만들어진다.
- <176> 상기 처리를 통과한 능동 매트릭스 기관과 반대 기관은 이어서 공지된 셀 어셈블리(cell assembly) 처리에 의해 실란트(sealant) 또는 스페이서(spacer) (도면에 도시되지 않음)를 통해 함께 부착된다. 이후에, 액정(6206)은 두 기관 사이에 주입되어 실란트(도시되지 않음)로 완전히 봉합된다. 그래서, 도 22에 도시된 바와 같이, 전송형 액정 디스플레이 디바이스가 완성된다.
- <177> 비록 본 실시예에서는 상단 게이트 TFT를 사용하여 능동 매트릭스 회로를 형성하는 예가 도시되지만, 능동 매트릭스 회로는 하단 게이트 TFT나 또 다른 TFT를 사용하여 형성될 수 있다.
- <178> [실시예 4]
- <179> 본 실시예에서, 본 발명의 구동기 회로를 사용하는 능동 매트릭스형 반도체 디스플레이 디바이스 또는 수동 매트릭스형 반도체 디스플레이 디바이스는 다양한 용도를 갖는다. 본 실시예에서는 반도체 디바이스에 포함된 능동 매트릭스형 반도체 디스플레이 디바이스 또는 수동 매트릭스형 반도체 디스플레이 디바이스(반도체 디바이스라 지칭됨)가 설명된다.
- <180> 반도체 디바이스로는 휴대용 정보 단말기 (전자 서적, 이동 컴퓨터, 또는 이동 전화기와 같은), 비디오 카메라, 스틸 (steel) 카메라, 개인용 컴퓨터, 텔레비전, 프로젝터 디바이스 등이 기술된다. 전자 장비의 예는 도 20, 도 21, 및 도 22에서 설명된다.

- <181> 도 20a는 본체(2001), 사운드 출력 유닛(2002), 사운드 입력 유닛(2003), 디스플레이 디바이스(2004), 동작 스위치(2005), 안테나(2006)를 포함하는 이동 전화기를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2004)에 적용될 수 있다.
- <182> 도 20b는 본체(2011), 디스플레이 유닛(2012), 사운드 입력 유닛(2013), 동작 스위치(2014), 배터리(2015), 및 영상 수신 유닛(2016)을 포함하는 비디오 카메라를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 디바이스(2012)에 적용될 수 있다.
- <183> 도 20c는 본체(2021), 카메라 유닛(2022), 영상 수신 유닛(2023), 동작 스위치(2024), 디스플레이 유닛(2025)을 포함하는 이동 컴퓨터 또는 휴대용 정보 단말기를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2025)에 적용될 수 있다.
- <184> 도 20d는 본체(2031), 디스플레이 디바이스(2032), 암(arm) 부분(2033)을 포함하는 헤드 장착 디스플레이를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2032)에 적용될 수 있다.
- <185> 도 20e는 본체(2041), 스피커(2042), 디스플레이 부분(2043), 수신 장치(2044), 증폭기(2045) 등을 포함하는 텔레비전을 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2043)에 적용될 수 있다.
- <186> 도 20f는 본체(2051), 디스플레이 유닛(2052, 2053), 기록 매체(2054), 동작 스위치(2055), 및 안테나(2056)를 포함한 휴대용 서적을 도시한다. 이 서적은 미니 디스크(MD) 및 DVD(Digital Versatile Disc)에 기록된 데이터와 안테나에 의해 수신된 데이터를 디스플레이한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2052)에 적용될 수 있다.
- <187> 도 21a는 본체(2101), 영상 수신 유닛(2102), 디스플레이 디바이스(2103), 및 키보드(2104)를 포함하는 개인용 컴퓨터를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2103)에 적용될 수 있다.
- <188> 도 21b는 본체(2111), 디스플레이 유닛(2112), 스피커 유닛(2113), 기록 매체(2114), 동작 스위치(2115)를 포함하고, 프로그램이 기록된 기록 매체를 사용하는 플레이어를 도시한다. 본 장치는 DVD(Digital Versatile Disc), CD 등을 기록 매체를 사용함으로써 음악 감상, 영화 감상, 게임, 및 인터넷을 실현할 수 있다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2112)에 적용될 수 있다.
- <189> 도 21c는 본체(2121), 디스플레이 유닛(2122), 뷰 파인더 (view finder)(2123), 동작 스위치(2124), 및 영상 수신 유닛(도시되지 않음)을 포함하는 디지털 카메라를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2122)에 적용될 수 있다.
- <190> 도 21d는 본체(2131) 및 밴드 부분(2132)을 포함하는 한 눈 헤드 장착 설치 디스플레이를 도시한다. 본 발명은 능동 매트릭스 기판을 갖춘 디스플레이 부분(2131)에 적용될 수 있다.
- <191> 도 22a는 투사 유닛(2201), 반도체 디스플레이 디바이스(2202), 광원(2203), 광학적 광시스템(2204), 및 화면(2205)을 포함하는 전방형 프로젝터 (front type projector)를 도시한다. 또한, 단일 플레이트 (plate) 시스템이 프로젝터(2201)에 사용될 수 있고, R, G, 및 B 광에 각각 대응하는 3개의 플레이트 시스템이 또한 사용될 수도 있다. 본 발명은 능동 매트릭스 기판을 갖춘 반도체 디스플레이 디바이스(2202)에 적용될 수 있다.
- <192> 도 22b는 본체(2211), 투사 유닛(2212), 반도체 디스플레이 디바이스(2213), 광원(2214), 광학적 광시스템(2215), 반사기(2216), 및 화면(2217)을 포함하는 후방형 프로젝터(rear type projector)를 도시한다. 또한, 단일 플레이트 시스템이 프로젝터(2213)에 사용될 수 있고, R, G, 및 B 색에 각각 대응하는 3개의 플레이트 시스템이 또한 사용될 수 있다. 본 발명은 능동 매트릭스 기판을 갖춘 반도체 디스플레이 디바이스(2213)에 적용될 수 있다.
- <193> 도 22c에는 도 22a 및 도 22b에 각각 도시된 투사 유닛(2201, 2212)의 구조예가 설명된다. 각 투사 유닛(2201, 2212)은 광원 광학 시스템(2221), 미러 (mirror)(2222, 2224 내지 2226), 2색 미러(2223), 프리즘(2227), 액정 디스플레이 디바이스(2228), 위상차 플레이트(2229), 및 투사 광학 시스템(2230)을 포함한다. 투사 광학 시스템(2230)은 투사 렌즈를 포함하는 광학 시스템으로 구성된다. 본 실시예에서는 3개 플레이트 시스템의 예가 도시되지만, 특별한 제한은 없다. 예를 들면, 단일 플레이트 시스템의 광학 시스템도 수용 가능하다. 또한, 조작자는 도 22c에서 화살표로 도시된 광학 경로 내에서 광학 렌즈, 편광막, 위상차를 조절하는 막, IR막과 같은 광학 시스템을 적절하게 설정할 수 있다.
- <194> 그 외에도, 도 22d는 도 22c의 광원 광학 시스템(2221)의 구조예를 도시한다. 본 실시예에서는 광원 광학 시스

템(2221)이 반사기(2231), 광원(2232), 렌즈 어레이(2233), 편광 변환 소자(2234), 및 콘텐서 렌즈(2235)로 구성된다. 도 22d에 도시된 광원 광학 시스템은 한 예이고, 이는 도시된 구조로 제한되지 않음을 주목한다. 예를 들면, 조작자는 광학 렌즈, 편광막, 위상차를 조절하는 막, 및 IR막과 같은 광학 시스템을 적절하게 설정할 수 있다.

<195> 또한, 본 실시예에서는 능동 매트릭스형 반도체 디바이스에 포함된 반도체 디바이스의 예가 도시되지만, 본 발명은 수동 매트릭스형 반도체 디스플레이 디바이스에 포함된 반도체 디바이스에 적용될 수 있다.

발명의 효과

<196> 본 발명의 구동 방법에 따라, 일정한 주기에서 주파수 변조된 변조 클럭 신호를 능동 매트릭스 반도체 디스플레이 디바이스의 게이트 구동기 회로 또는 수동 매트릭스 반도체 디스플레이 디바이스의 주사 전극에 공급함으로써, 변조 클럭 신호에 기초하여 하는 주사 신호 출력은 화면 일부 또는 전체 화면을 통해 복수의 주사선을 동시에 선택한다. 프레임당 수직 주사의 수를 기본적으로 줄임으로써, 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스 또는 수동 매트릭스 반도체 디스플레이 디바이스에 디스플레이되는 저해상도에 대응하는 비디오 신호의 포맷 변환이 메모리와 같은 주변 장비를 사용하지 않고 완전하게 실현될 수 있다.

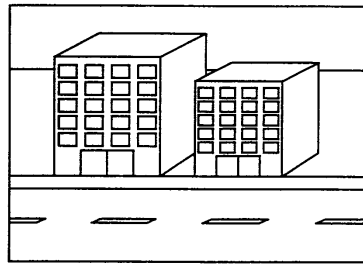
<197> 또한, 본 발명의 구동 방법에 따라, 일정한 주기에서 주파수 변조된 변조 클럭 신호를 능동 매트릭스 반도체 디스플레이 디바이스의 게이트측 및 소스 구동기 회로 또는 수동 매트릭스 반도체 디스플레이 디바이스의 주사 전극 및 신호 전극에 공급함으로써, 변조 클럭 신호에 기초하여 샘플링된 비디오 신호의 샘플링 주변의 신호 정보(예지의 존재, 근접성)가 반도체 디스플레이 디바이스의 대응하는 픽셀에 셰이딩 정보로 기록될 수 있다. 본 발명의 구동 방법에 따라, 결과의 디스플레이는 시각적 Mach 현상 및 Craik-O'Brien 현상에 따라 증가된 해상도를 갖는 것으로 보여질 수 있다. 그러므로, 종래의 구동 방법에 의해 구동된 능동 매트릭스 반도체 디스플레이 디바이스 및 수동 매트릭스 반도체 디스플레이 디바이스 보다 해상도가 기본적으로 증가되어, 양호한 영상이 제공될 수 있다.

도면의 간단한 설명

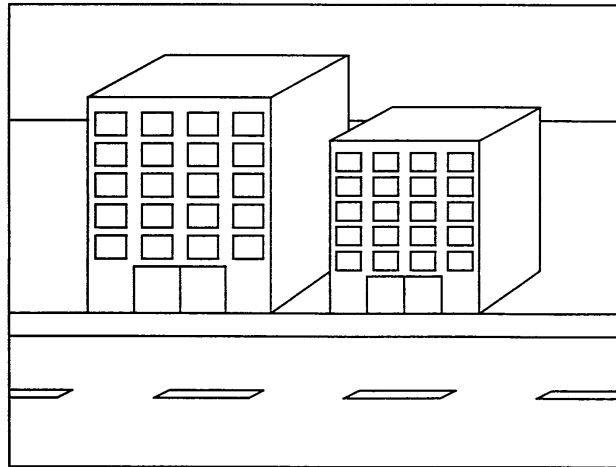
- <1> 도 1은 저해상도 영상이 고해상도에 대응하는 능동 매트릭스(active matrix) 반도체 디스플레이 디바이스에 디스플레이되는 개념도.
- <2> 도 2a 및 도 2b는 저해상도 및 고해상도에 대응하는 반도체 디스플레이 디바이스에 의해 저해상도에 대응하는 비디오 신호를 샘플링한 상태를 도시하는 도면.
- <3> 도 3은 고해상도에 대응하는 능동 매트릭스 반도체 디스플레이 디바이스에서 수직 방향 포맷 변환을 실행하지 않고 저해상도 영상이 디스플레이될 때, 비디오 신호의 부족함을 도시하는 도면.
- <4> 도 4a 내지 도 4c는 복수의 게이트 신호(동시에), 시프트 레지스터 출력 및 게이트 신호선 선택 펄스의 출력 각각을 선택하는 클럭 신호의 예를 도시하는 도면.
- <5> 도 5는 복수의 게이트 신호선의 동시 선택을 도시하는 도면.
- <6> 도 6은 소스 영상에 기초하여 비디오 신호의 파형을 도시하는 도면.
- <7> 도 7은 기준 클럭에 따른 구동 방법에 의해 비디오 신호를 샘플링하는 경우, 능동 매트릭스 반도체 디스플레이 디바이스의 화면 디스플레이 예를 도시하는 도면.
- <8> 도 8a 내지 도 8c는 변조 클럭 신호를 도시하는 도면.
- <9> 도 9는 본 발명의 변조 클럭에 따른 구동 방법에 의해 비디오 신호를 샘플링하는 경우, 능동 매트릭스 반도체 디스플레이 디바이스의 화면 디스플레이 예를 도시하는 도면.
- <10> 도 10a 내지 도 10c는 본 발명의 포맷 변환 방법에 따라 저해상도에 대응하는 비디오 신호를 확장하는 경우, 능동 매트릭스 반도체 디스플레이 디바이스의 화면 디스플레이 예를 도시하는 도면.
- <11> 도 11은 실시예 1에 따른 능동 매트릭스 반도체 디스플레이 디바이스의 구조도.
- <12> 도 12는 실시예 1에 따른 능동 매트릭스 반도체 디스플레이 디바이스의 소스 신호선 구동기 회로의 회로도.
- <13> 도 13은 실시예 1에 따른 능동 매트릭스 반도체 디스플레이 디바이스의 게이트 신호선 구동기 회로의 회로도.

도면

도면1

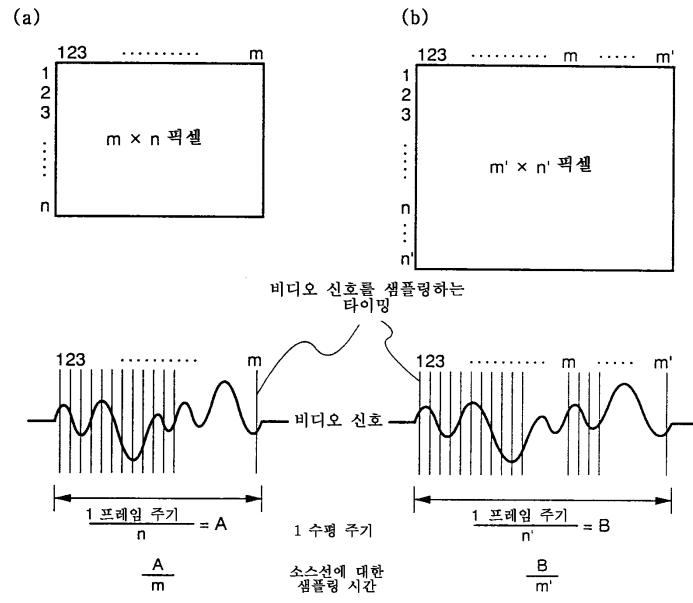


640X480 픽셀 (4:3)

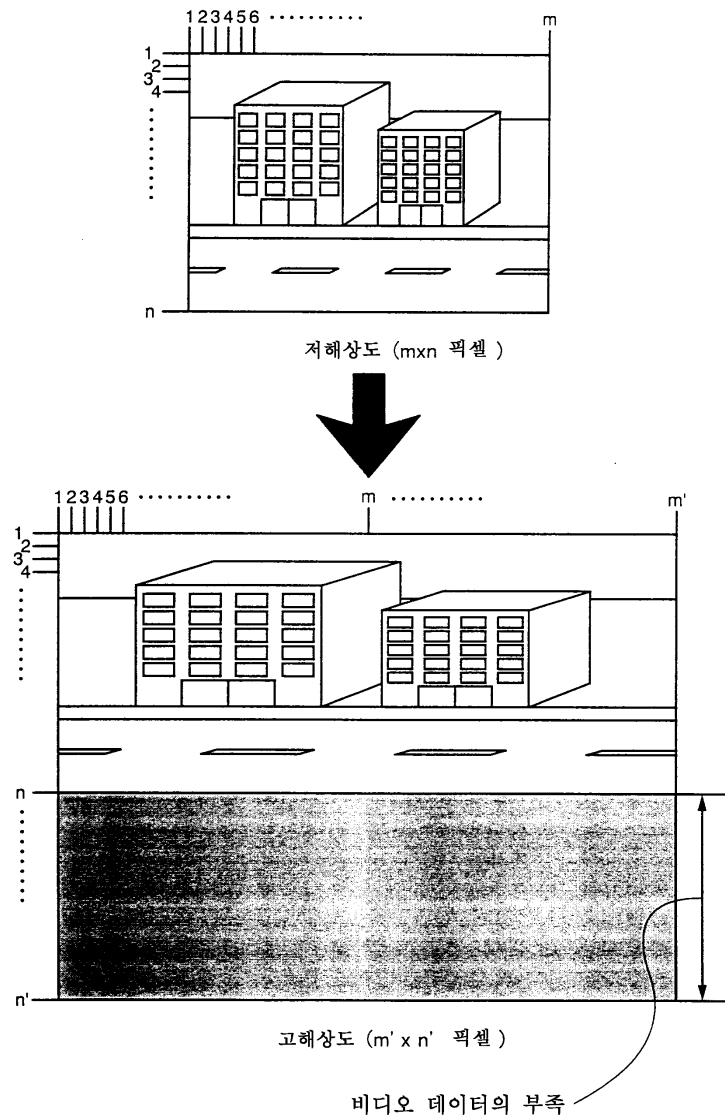


1280X1024 픽셀 (5:4)

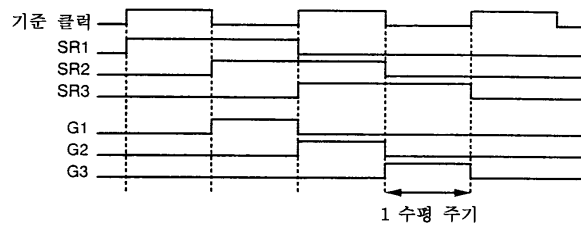
도면2



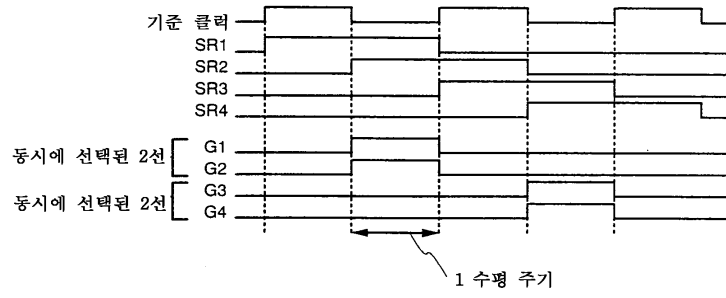
도면3



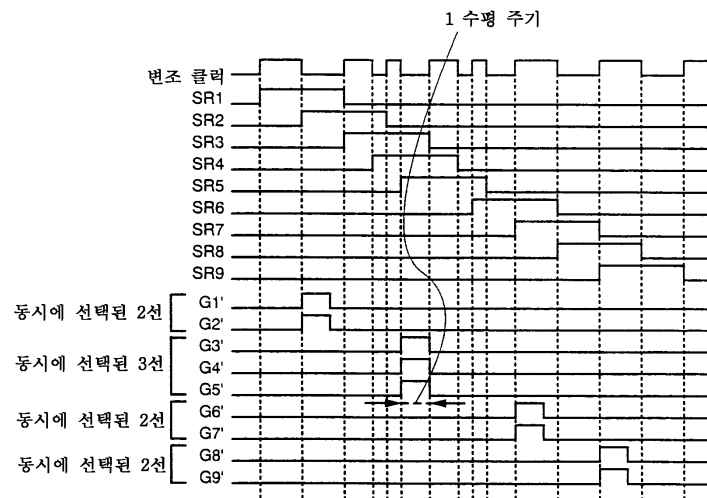
도면4a



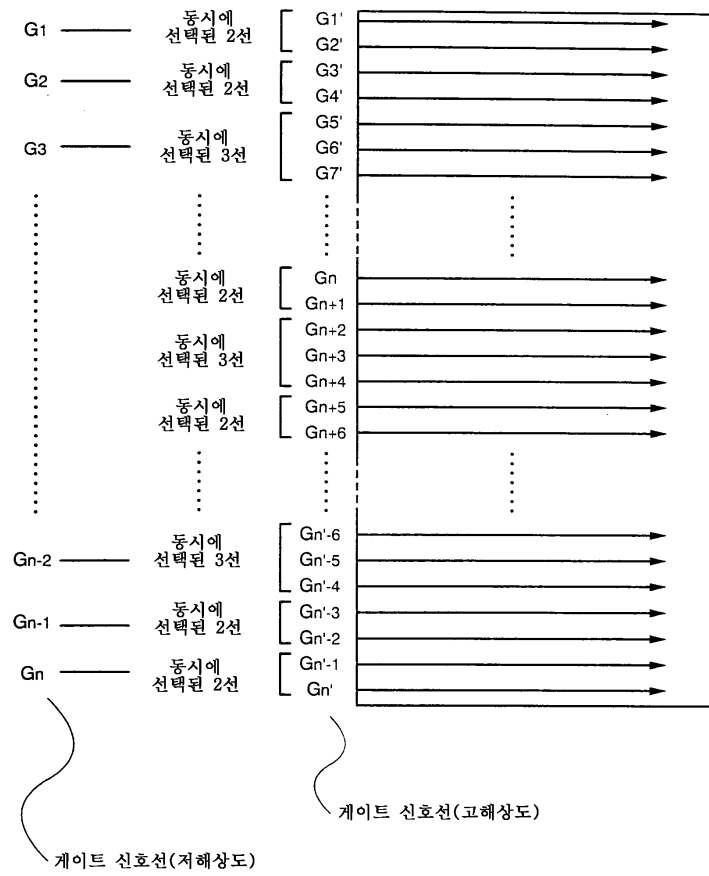
도면4b



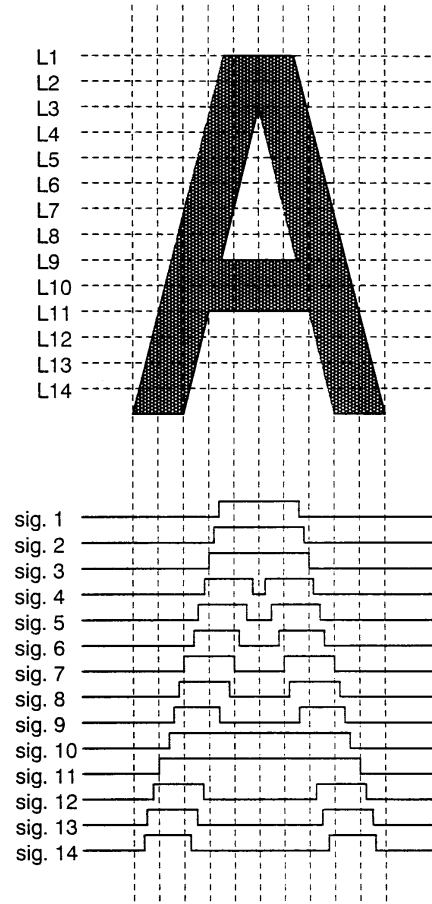
도면4c



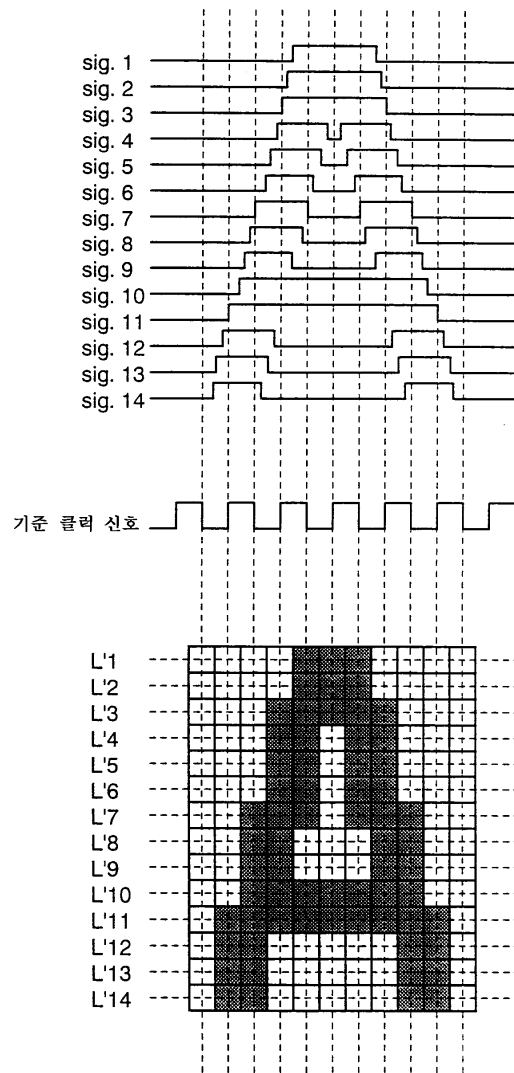
도면5



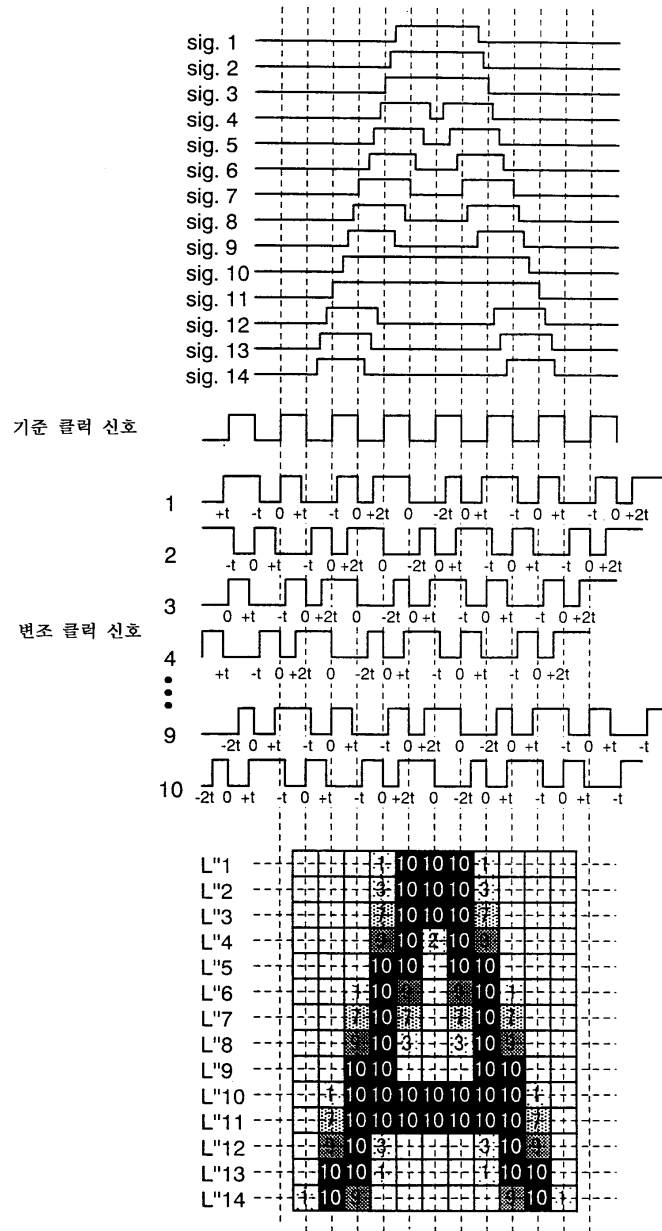
도면6



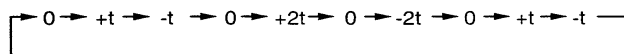
도면7



도면8a



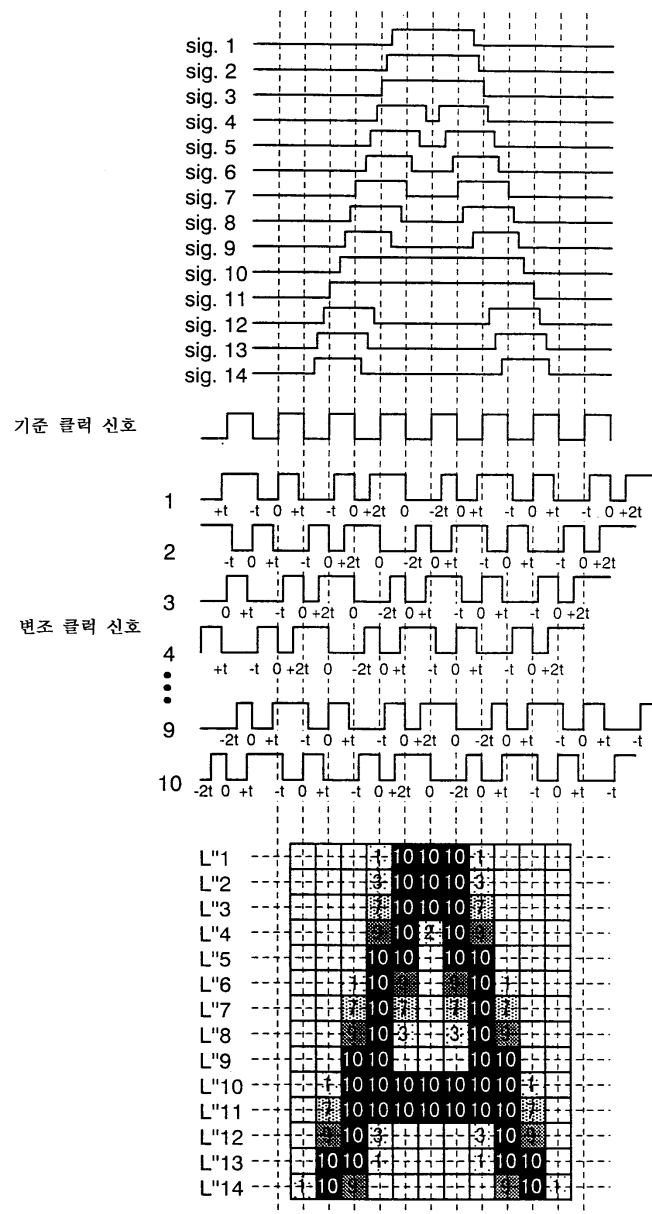
도면8b



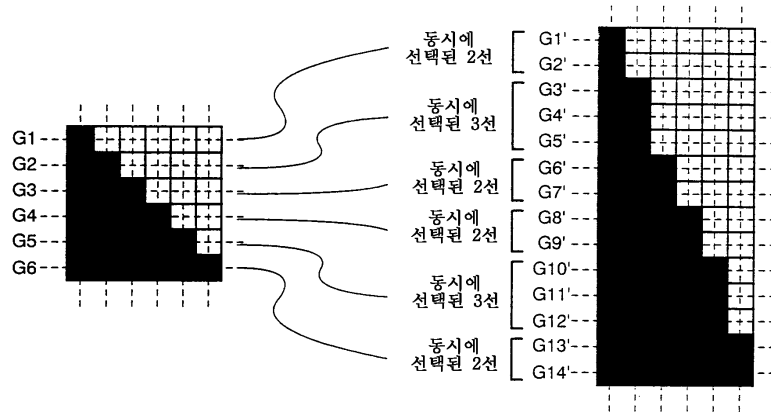
도면8c

변위		주파수 $y/10$
+2t	*	1
+t	* *	2
0	* * * *	4
-t	* *	2
-2t	*	1

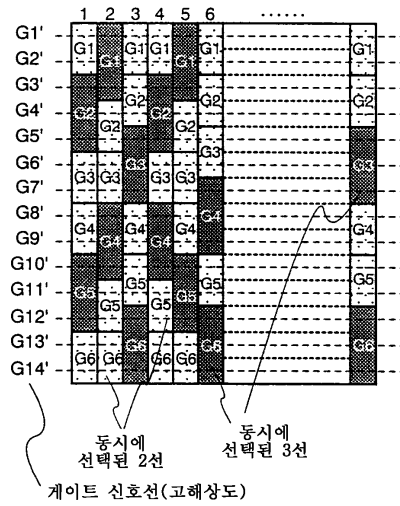
도면9



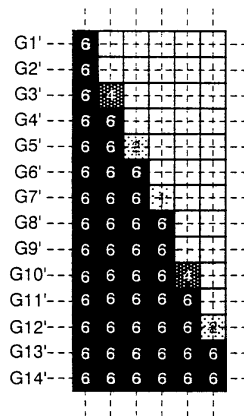
도면10a



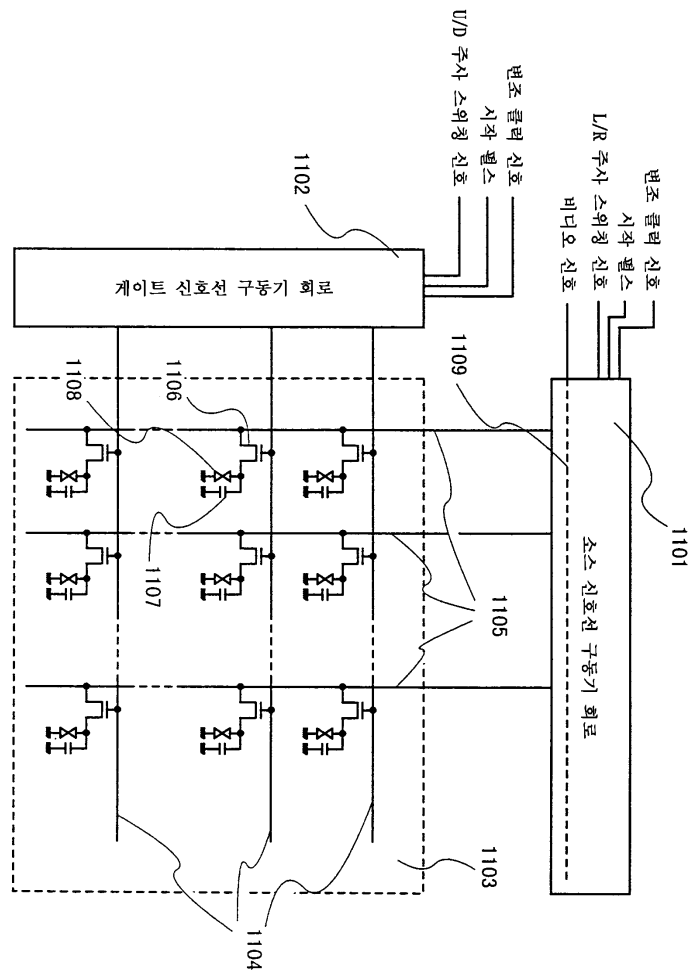
도면10b



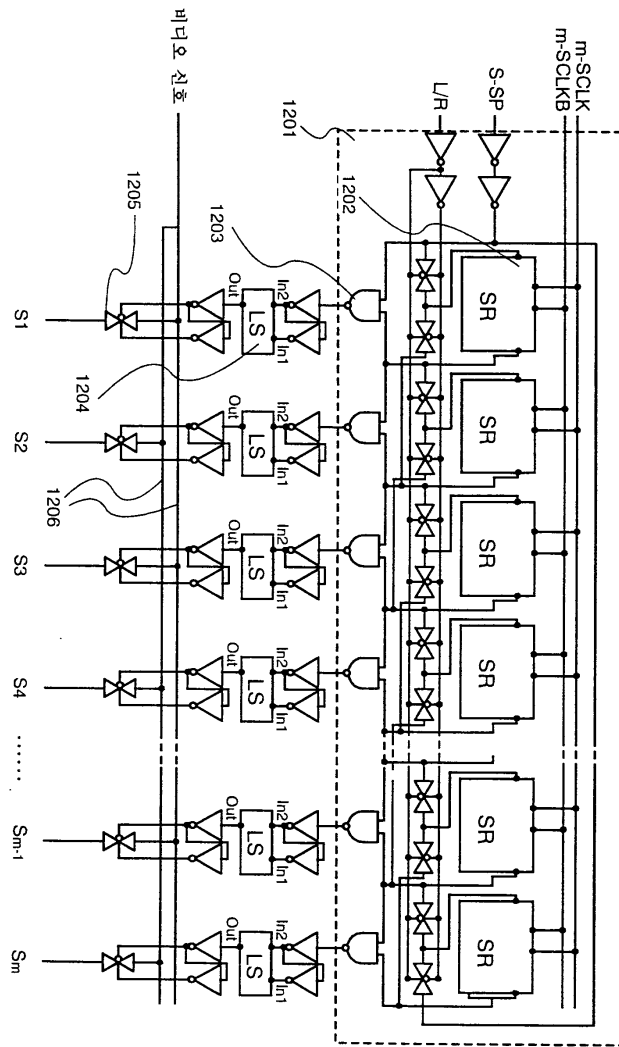
도면10c



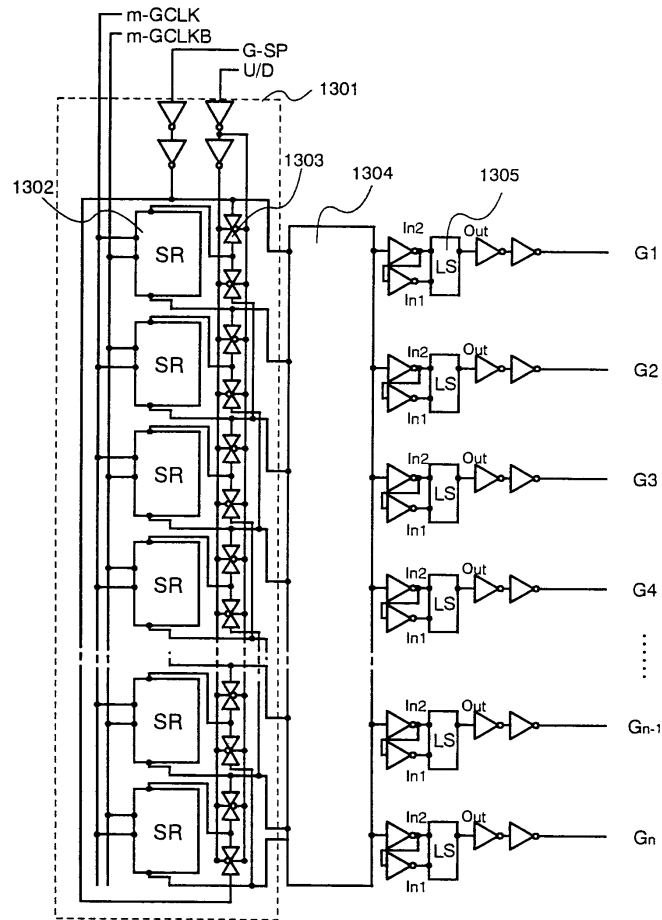
도면11



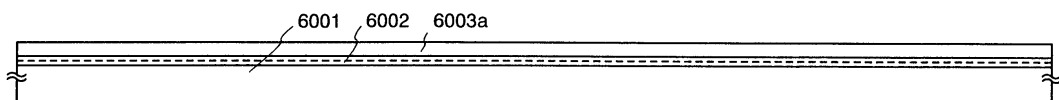
도면12



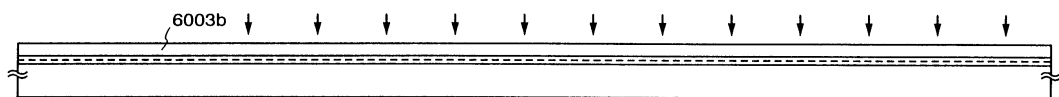
도면13



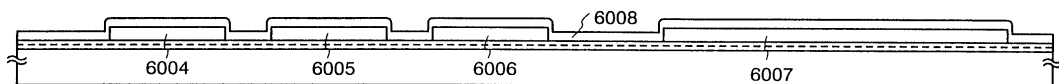
도면14a



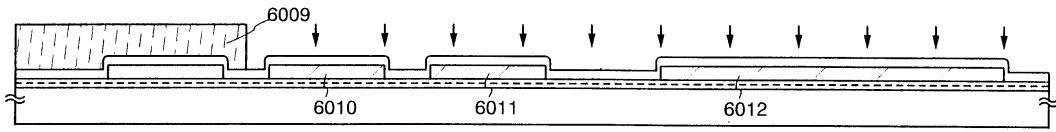
도면14b



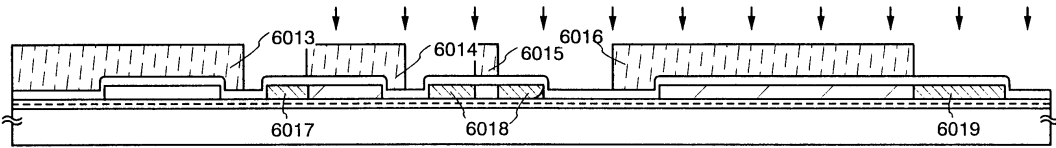
도면14c



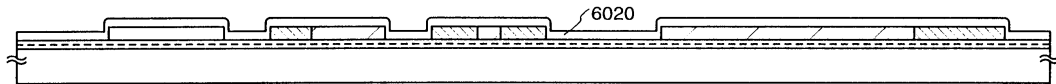
도면14d



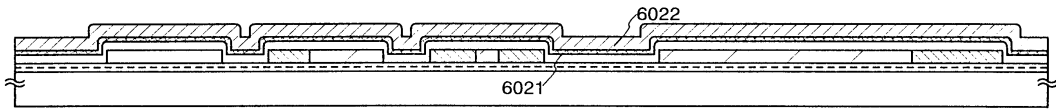
도면15a



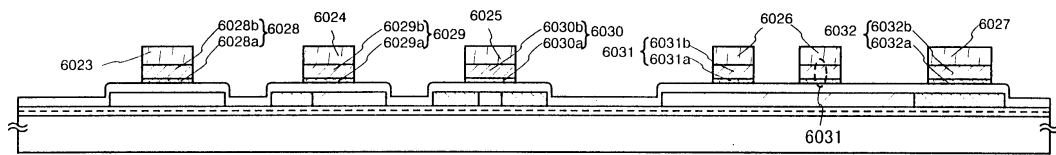
도면15b



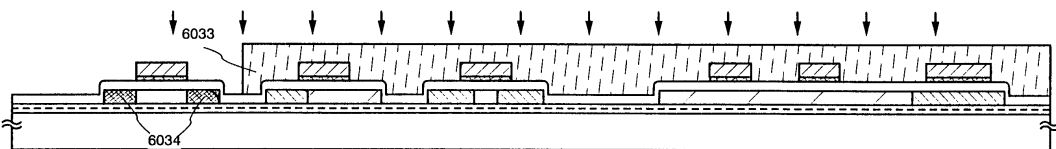
도면15c



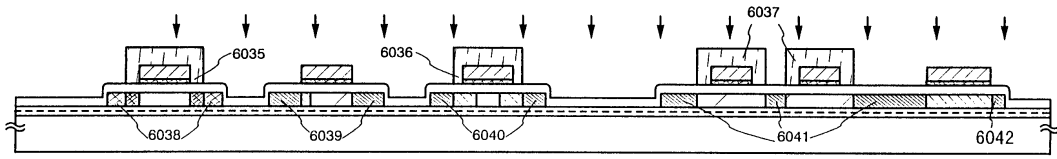
도면15d



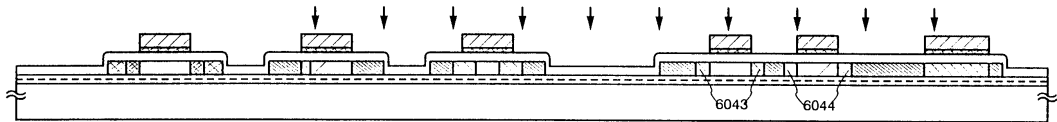
도면16a



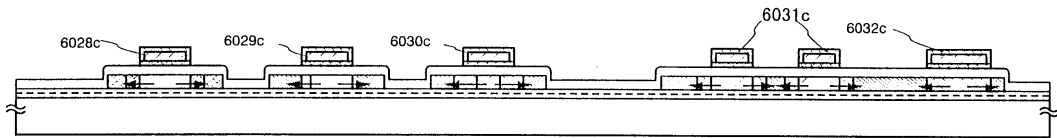
도면16b



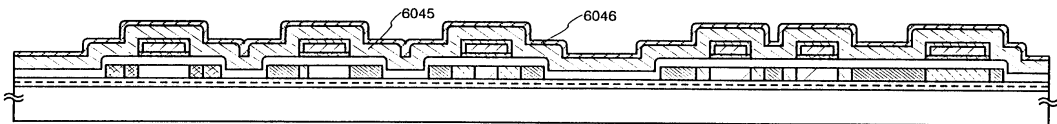
도면16c



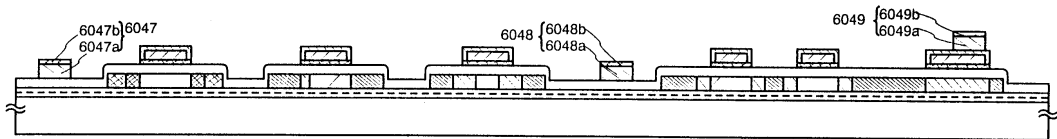
도면16d



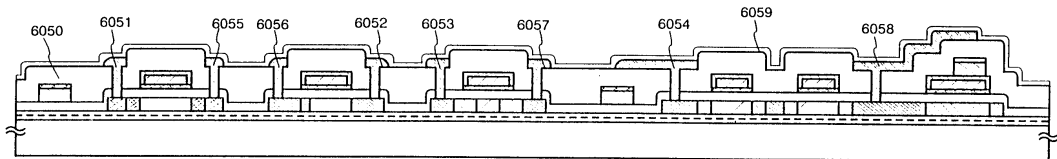
도면17a



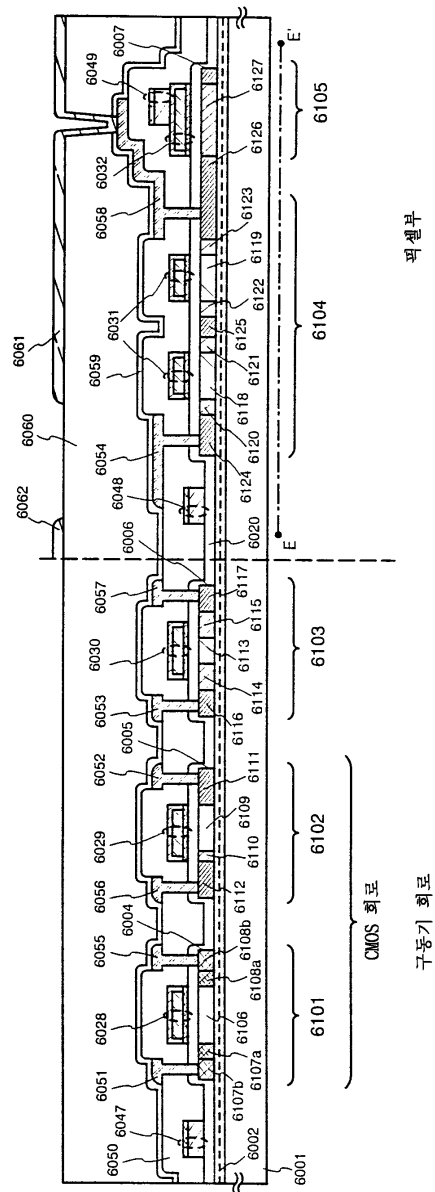
도면17b



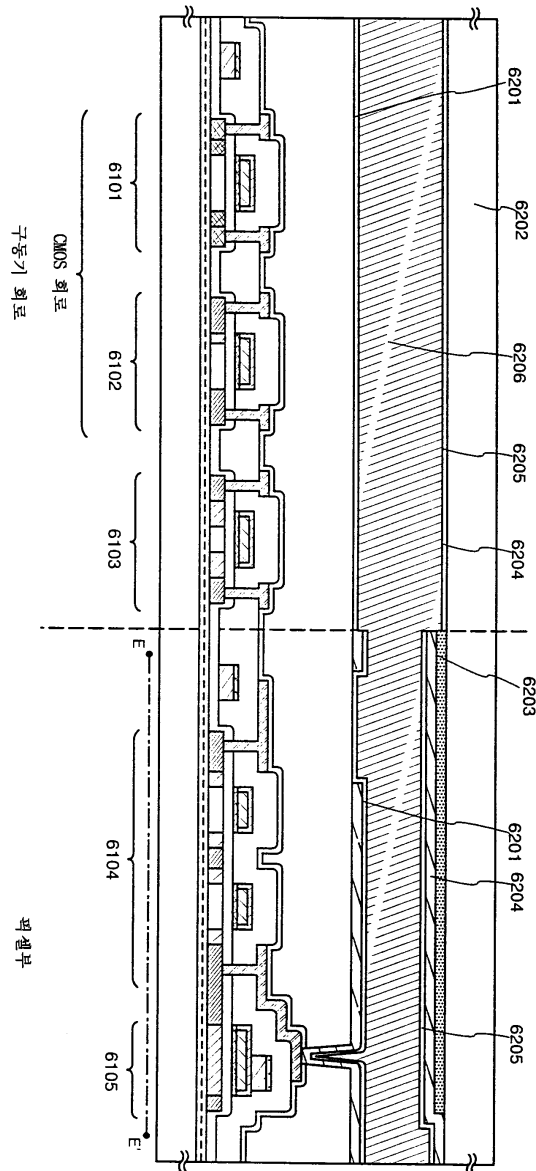
도면17c



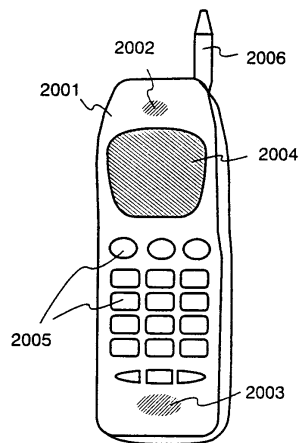
도면18



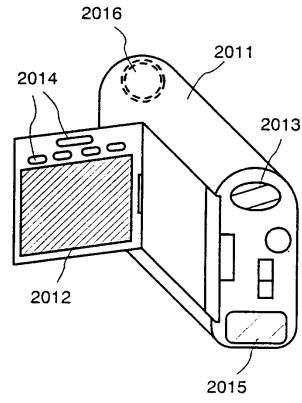
도면19



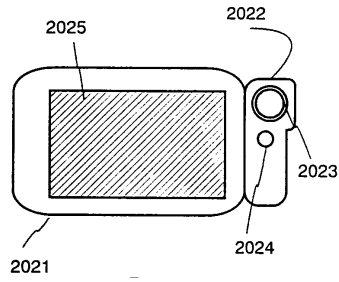
도면20a



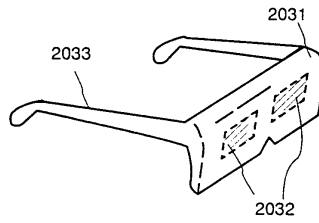
도면20b



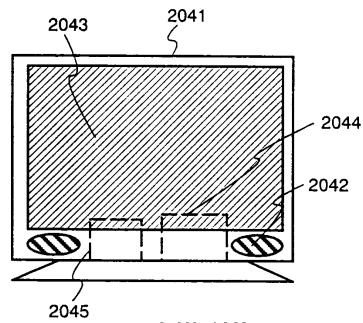
도면20c



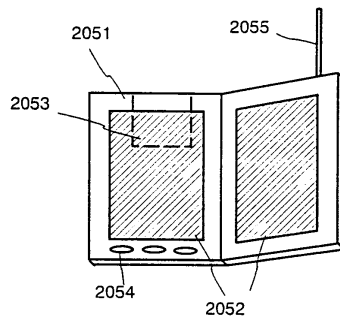
도면20d



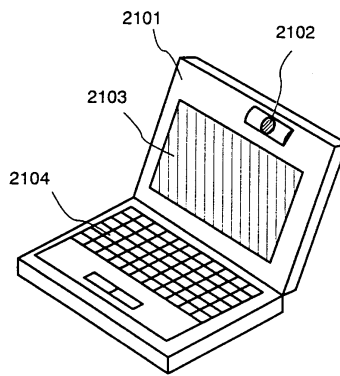
도면20e



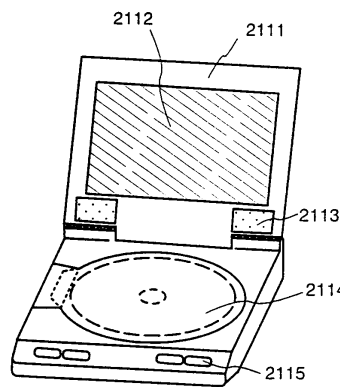
도면20f



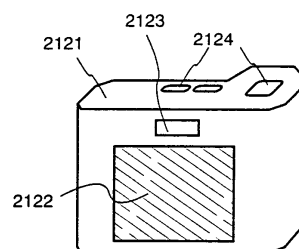
도면21a



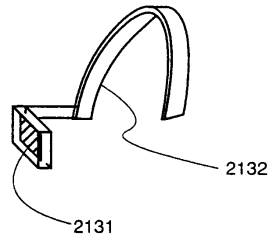
도면21b



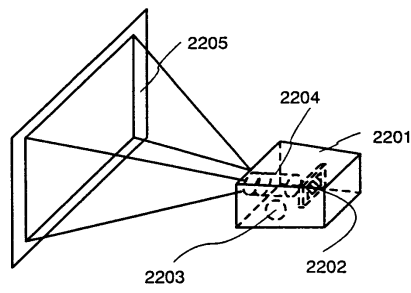
도면21c



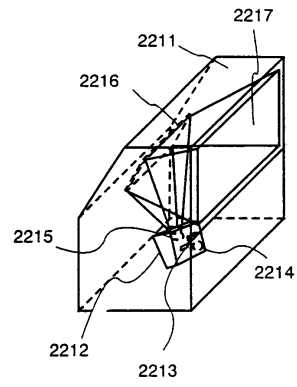
도면21d



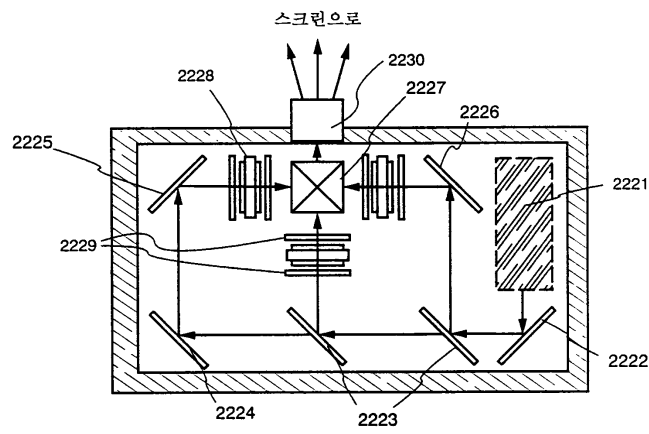
도면22a



도면22b



도면22c



도면22d

