



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월25일
(11) 등록번호 10-1226685
(24) 등록일자 2013년01월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) *H01L 21/8247*
(2006.01)
H01L 21/336 (2006.01)
(21) 출원번호 10-2007-0113535
(22) 출원일자 2007년11월08일
 심사청구일자 2011년01월27일
(65) 공개번호 10-2009-0047614
(43) 공개일자 2009년05월13일
(56) 선행기술조사문헌
 KR1020070096972 A*
 KR100674952 B1
 JP2007180389 A
*는 심사관에 의하여 인용된 문헌

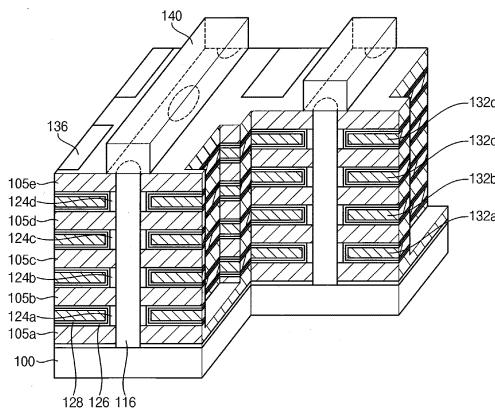
(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
 손용훈
 경기도 용인시 수지구 용구대로2801번길 29, 301
 동 801호 (죽전동, 벽산아파트)
 이종옥
 경기도 용인시 수지구 풍덕천로 161, 동보1차아파
 트 105동 204호 (풍덕천동)
(74) 대리인
 박영우

전체 청구항 수 : 총 48 항

심사관 : 황재연

(54) 발명의 명칭 **수직형 반도체 소자 및 그 제조 방법.****(57) 요 약**

수직형 반도체 소자 및 그 제조 방법에서, 수직 스트립을 갖는 비휘발성 메모리 소자는 기판 상에 구비되는 필러 형상의 단결정 반도체 패턴과, 상기 단결정 반도체 패턴의 측면에 일정 간격을 가지면서 적층되는 링 형상의 제1 내지 제n 층(n은 2이상의 자연수) 열 산화막 패턴과, 상기 제1 내지 제n 층 열 산화막 패턴 상에 구비되는 전하 저장막 패턴과, 상기 전하 저장막 패턴 상에 구비되는 블록킹 절연막 및 상기 블록킹 절연막 상에 구비되고, 상기 제1 내지 제n 층 열 산화막 패턴과 각각 대향하도록 배치되는 제1 내지 제n 층 콘트롤 게이트 전극 패턴들을 포함한다. 상기 비휘발성 메모리 소자는 수직 방향으로 셀이 적층됨으로써 높은 집적도를 갖는다.

대 표 도

특허청구의 범위

청구항 1

기판 상에 구비되는 필러 형상의 단결정 반도체 패턴;

상기 단결정 반도체 패턴의 측면에 일정 간격을 가지면서 적층되는 령 형상의 제1 내지 제n 층(n 은 2이상의 자연수) 터널 산화막 패턴;

상기 제1 내지 제n 층 터널 산화막 패턴 상에 구비되는 전하 저장막 패턴;

상기 전하 저장막 패턴 상에 구비되는 블록킹 절연막; 및

상기 블록킹 절연막 상에 구비되고, 상기 제1 내지 제n층 터널 산화막 패턴과 각각 대향하도록 배치되는 제1 내지 제n 층 콘트롤 게이트 패턴들을 포함하고,

상기 전하 저장막 패턴 및 상기 블록킹 절연막의 적층 구조는 상기 각 층의 콘트롤 게이트 패턴들의 적어도 3면의 표면을 둘러싸는 형상을 갖는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 2

제1항에 있어서, 상기 제1 내지 제n층 터널 산화막 패턴은 열산화 공정에 의해 수득된 산화물을 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 3

제1항에 있어서, 상기 전하 저장막 패턴은 실리콘 질화물 또는 금속 산화물을 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 단결정 반도체 패턴은 단결정 실리콘으로 이루어진 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 6

제5항에 있어서, 상기 단결정 실리콘은 선택적 에피택시얼 성장 공정 또는 상전이 에피택시얼 공정을 통해 형성된 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 7

제1항에 있어서, 상기 블록킹 절연막은 실리콘 산화물을 또는 금속 산화물을 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 8

제1항에 있어서, 상기 제1 내지 제n 층 콘트롤 게이트 패턴 사이에 위치하고 상기 단결정 반도체 패턴의 측벽과 접하는 층간 절연막 패턴이 구비되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 9

제8항에 있어서, 상기 층간 절연막 패턴은 실리콘 질화물로 이루어지는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 10

제8항에 있어서, 상기 층간 절연막 패턴은 각 콘트롤 게이트 패턴 상부면으로부터 실리콘 질화물, 실리콘 산화

물 및 실리콘 질화물이 적층된 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 11

제1항에 있어서, 상기 단결정 반도체 패턴은 기판 상에 다수개가 구비되고 규칙을 가지면서 반복적으로 배치된 것을 특징으로 수직형 비휘발성 메모리 소자.

청구항 12

제11항에 있어서, 상기 기판 표면 아래에는 상기 단결정 반도체 패턴들을 서로 연결시키기 위한 소오스 라인으로 제공되는 불순물 영역이 구비되는 것을 특징으로 수직형 비휘발성 메모리 소자.

청구항 13

제11항에 있어서, 동일한 층에 위치하는 상기 콘트롤 게이트 패턴은 전기적으로 연결되어 있는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 14

제13항에 있어서, 상기 각 단결정 반도체 패턴들 사이에 위치하는 상기 동일한 층의 콘트롤 게이트 패턴은 제1 부위에 홀을 포함하는 평판 형상을 갖는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 15

제14항에 있어서, 상기 제1 부위의 홀 내부에는 절연막 패턴이 구비되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 16

제15항에 있어서, 상기 절연막 패턴은 실리콘 산화물을 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 17

제11항에 있어서, 상기 단결정 반도체 패턴들의 상부면과 접촉하고, 제1 방향으로 배치된 단결정 반도체 패턴들을 전기적으로 연결시키는 비트 라인들이 구비되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 18

제1항에 있어서, 상기 단결정 반도체 패턴의 최 상부 및 최 하부의 각 측벽에 각각 산화막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 19

제1항에 있어서, 상기 단결정 반도체 패턴의 최 상부 및 최 하부의 각 측벽에 각각 산화막 패턴, 전하 저장막 패턴, 블록킹 유전막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 20

제1항에 있어서, 상기 제1 내지 제 n층 터널 산화막 패턴들 사이에 위치하는 단결정 반도체 패턴들 측벽 표면 아래에는 제1 도전형의 불순물 영역이 구비되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 21

제20항에 있어서, 상기 제1 내지 제 n층 터널 산화막 패턴들과 접하는 단결정 반도체 패턴들 측벽 표면 아래에는 상기 제1 도전형과 다른 제2 도전형의 불순물 영역이 구비되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 22

기판 상에 희생막 및 충간 절연막을 순차적으로 반복하여 적층하는 단계;

상기 적층된 희생막 및 충간 절연막의 일부 영역을 이방성 식각하여 상기 기판 표면을 노출하는 제1 개구부를 포함하는 몰드 구조물을 형성하는 단계;

상기 제1 개구부 저면에 노출된 기판 상에 필러 형상의 단결정 반도체 패턴을 형성하는 단계;

상기 단결정 반도체 패턴의 일 측면에 일정 간격을 가지면서 적층되는 링 형상의 제1 내지 제n 층(n은 2이상의 자연수) 터널 산화막 패턴을 형성하는 단계;

상기 제1 내지 제n 층 터널 산화막 패턴 상에 전하 저장막 패턴들을 형성하는 단계;

상기 전하 저장막 패턴들 상에 블록킹 절연막을 형성하는 단계; 및

상기 블록킹 절연막 상에서 상기 전하 저장막 패턴들과 서로 대향하도록 배치되는 제1 내지 제 n층 콘트롤 게이트 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 23

제22항에 있어서, 상기 제1 내지 제 n층 터널 산화막 패턴은 상기 단결정 반도체 패턴을 부분적으로 열산화시켜 형성하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 24

삭제

청구항 25

삭제

청구항 26

제22항에 있어서, 적층되는 각각의 상기 희생막은 각 층의 콘트롤 게이트 패턴의 유효 길이보다 더 두껍게 형성시키는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 27

제22항에 있어서, 상기 희생막은 상기 충간 절연막 및 단결정 반도체 패턴과 각각 습식 식각 선택비를 갖는 물질로 이루어지는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 28

제27항에 있어서, 상기 희생막은 실리콘 산화물로 이루어지고, 상기 충간 절연막은 실리콘 질화물로 이루어지는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 29

제27항에 있어서, 상기 희생막은 실리콘 게르마늄으로 이루어지고, 상기 충간 절연막은 실리콘 질화물, 실리콘 산화물 및 실리콘 질화물로 이루어지는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 30

제29항에 있어서, 상기 제1 개구부의 양측벽에 산화물로 이루어지는 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 31

제22항에 있어서, 상기 단결정 반도체 패턴을 형성하는 단계는,

상기 제1 개구부 내부를 채우면서 상기 몰드 구조물 상에 폴리실리콘막을 형성하는 단계;

상기 몰드 구조물의 상부면이 노출되도록 상기 폴리실리콘막을 연마하여 폴리실리콘 패턴을 형성하는 단계; 및

상기 폴리실리콘 패턴이 단결정으로 상전이되도록 열처리함으로써 단결정 실리콘을 형성하는 단계를 포함하는

것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 32

제31항에 있어서, 상기 열처리는 레이저를 이용하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 33

제32항에 있어서, 상기 열처리는 상기 기판 저면 및 기판 상부에 각각 열을 가하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 34

제31항에 있어서, 상기 폴리실리콘막은 제1 도전형의 불순물이 도핑되고, 인시튜 도핑을 수행하는 화학기상 증착 공정을 통해 형성되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 35

제22항에 있어서, 상기 단결정 반도체 패턴을 형성하는 단계는,

상기 제1 개구부 저면에 노출된 기판을 시드로 하여 에피택셜 성장 공정을 통해 단결정 실리콘을 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 36

제35항에 있어서, 상기 에피택셜 성장 공정에서 제1 도전형의 불순물을 인시튜 도핑하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 37

제22항에 있어서,

상기 단결정 반도체 패턴 사이의 몰드 구조물 일부를 식각하여 상기 몰드 구조물의 최 하부막을 노출시키는 제2 개구부를 형성하는 단계; 및

상기 제2 개구부의 측벽에 노출되어 있는 각 층의 희생막들을 식각하여 상기 단결정 반도체 패턴의 일 측면이 노출되는 요부를 형성함으로써, 상기 제1 내지 제n 층 콘트롤 게이트 패턴 사이에 위치하고 단결정 반도체 패턴의 측벽과 접하는 충간 절연막 패턴을 형성하는 단계를 더 포함하는 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 38

제37항에 있어서,

상기 충간 절연막 패턴들 사이에 노출되어 있는 상기 단결정 반도체 패턴의 측벽 표면 아래에 채널 영역을 형성하기 위한 제2 도전형의 불순물을 주입하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 39

제37항에 있어서, 상기 제1 내지 제n 터널 산화막 패턴은 상기 요부에 노출되어 있는 상기 단결정 반도체 패턴을 열산화시켜 형성되는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 40

제37항에 있어서, 상기 전하 저장막 패턴은 상기 제1 내지 제n 터널 산화막 패턴 및 상기 충간 절연막 패턴의 표면 프로파일을 따라 실리콘 질화물 또는 금속 산화물을 증착시켜 형성하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 41

제37항에 있어서, 상기 제1 내지 제 n층 콘트롤 게이트 패턴을 형성하는 단계는,

상기 제2 개구부 및 요부 내부를 채우는 도전막을 형성하는 단계;

상기 요부 내부에만 상기 도전막이 남아있도록 제2 개구부 내부에 채워져 있는 상기 도전막을 선택적으로 식각하는 단계를 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 42

제41항에 있어서, 상기 식각된 부위에 절연 물질을 매립함으로써 상기 각 층 콘트롤 게이트 패턴들의 수평 방향 사이 부위에 절연막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 43

제22항에 있어서,

상기 기판 표면에 불순물을 도핑시켜 상기 단결정 반도체 패턴들을 서로 연결시키기 위한 소오스 라인으로 제공되는 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 44

제22항에 있어서,

상기 단결정 반도체 패턴들의 상부면과 접촉하고 제1 방향으로 배치된 단결정 반도체 패턴들을 전기적으로 연결시키는 비트 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 45

제22항에 있어서, 상기 단결정 반도체 패턴의 최 상부 및 최 하부의 각 측벽에 각각 산화막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 46

기판 상에 구비되고, 코어 및 페리 회로를 이루는 하부 구조물들;

상기 하부 구조물들을 덮는 하부 층간 절연막;

상기 하부 층간 절연막 상에 구비되는 단결정 실리콘층;

상기 단결정 실리콘층 상에 구비되는 필러 형상의 단결정 반도체 패턴;

상기 단결정 반도체 패턴의 측면에 구비되고, 수직 방향으로 배치되는 셀 트랜지스터들; 및

상기 하부 구조물들과 상기 셀 트랜지스터들을 서로 연결시키기 위한 배선들을 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 47

제46항에 있어서, 상기 셀 트랜지스터들은,

상기 단결정 반도체 패턴의 측면에 일정 간격으로 배치되고 링 형상을 갖는 터널 산화막 패턴, 상기 터널 산화막 패턴 상에 구비되는 전하 저장막 패턴, 블록킹 절연막 및 콘트롤 게이트 패턴들을 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 48

제46항에 있어서, 상기 단결정 실리콘층은 액티브 영역에만 선택적으로 형성된 것을 특징으로 하는 수직형 비휘발성 메모리 소자.

청구항 49

기판 상에, 코어 및 페리 회로를 이루는 하부 구조물들을 형성하는 단계;
상기 하부 구조물들을 덮는 하부 층간 절연막을 형성하는 단계;
상기 하부 층간 절연막 상에 단결정 실리콘층을 형성하는 단계;
상기 단결정 실리콘층 상에 필러 형상의 단결정 반도체 패턴을 형성하는 단계;
상기 단결정 반도체 패턴의 측면에 구비되고, 수직 방향으로 배치되는 셀 트랜지스터들을 형성하는 단계; 및
상기 하부 구조물들과 상기 셀 트랜지스터들을 서로 연결시키기 위한 배선들을 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 50

제49항에 있어서, 상기 단결정 실리콘층을 형성하는 단계는,
상기 하부 층간 절연막 상에 단결정 실리콘 기판을 본딩하는 단계;
상기 본딩된 단결정 실리콘 기판의 상부를 분리시켜 예비 단결정 실리콘층을 형성하는 단계; 및
상기 예비 단결정 실리콘층을 연마하는 단계를 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 51

제49항에 있어서, 액티브 영역에만 선택적으로 상기 단결정 실리콘층이 남아있도록 상기 단결정 실리콘층을 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 수직형 비휘발성 메모리 소자의 제조 방법.

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

작제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 수직형 반도체 소자 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 수직 방향으로 셀들이 연결되어 있는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 반도체 소자는 전자 및 통신 제품에 다양하게 이용된다. 반도체 소자는 집적 회로들을 포함하고 있으며, 기판 상에 박막을 증착하고 패터닝하는 공정을 수행함으로써 상기 집적회로가 형성될 수 있다.

[0003] 반도체 소자의 한가지 유형으로는 메모리 소자가 있으며, 메모리 소자는 전형적으로 각 메모리 셀 내에 데이터가 로직 "0" 또는 "1"로서 저장된다. 메모리 소자는 전원 공급되지 않는 경우 데이터를 잊어버리게 되는 휘발성 메모리 소자와, 전원이 공급되지 않더라도 저장된 데이터가 계속하여 유지되는 비휘발성 메모리 소자로 구분될 수 있다.

[0004] 상기 비휘발성 메모리 소자의 한가지 유형으로 플래시 메모리 소자가 있다. 상기 플래시 메모리 소자는 전기적으로 소거가능하며 프로그램가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory : EEPROM)로서, 그 메모리는, 예를 들어, 컴퓨터, 디지털 카메라, MP3 플레이어, 게임 시스템, 메모리 스틱(memory stick)등에 공통으로 이용될 수 있다. 상기 플래시 메모리 소자는 F-N 터널링(Fowler-Nordheim tunneling) 또는 열전자 주입(hot electron injection)에 의해 전기적으로 데이터의 입·출력을 제어한다.

[0005] 상기 플래시 메모리 소자를 회로적 관점에서 살펴보면, N개의 셀 트랜지스터들이 직렬로 연결되어 단위 스트링(string)을 이루고 이러한 단위 스트링들이 비트 라인(bit line)과 접지 라인(ground line) 사이에 병렬로 연결되어 있는 구조를 갖는 NAND형 플래시 메모리 소자와, 각각의 셀 트랜지스터들이 비트 라인과 접지 라인 사이에 병렬로 연결되어 있는 구조를 갖는 NOR형 플래시 메모리 소자로 구분할 수 있다.

[0006] 상기 플래시 메모리 소자는 고용량의 데이터를 저장할 수 있도록 설계되어야 한다. 그러므로, 단위 칩 내에는 다수의 셀 트랜지스터가 형성되어야 한다. 그러나, 한정된 수평 면적 내에 셀 트랜지스터들을 고도로 집적시키는 것이 용이하지 않다.

[0007] 최근, 플래시 메모리 소자의 집적도 향상을 위하여, 하나의 셀 내에 2 이상의 데이터를 저장할 수 있도록 하는 방법, 셀 트랜지스터의 구조 변경 등의 다양한 시도가 이루어지고 있다. 그러나, 이러한 시도에도 불구하고 상기 플래시 메모리 소자의 집적도를 높이는 데에는 한계가 있다.

[0008] 따라서, 반도체 소자들을 형성하는데 있어서, 각 단위 칩 내에 포함되는 셀 트랜지스터들을 수직 방향으로 적층 시킴으로써 집적도를 향상시키는 방법들이 연구되고 있다. 특히, 플래시 메모리 소자의 경우 셀 트랜지스터들을 수직으로 적층시킴으로써 소자를 고도로 집적화시킬 수 있다.

[0009] 그러나, 상기 플래시 메모리 소자에 포함된 각 셀 트랜지스터들을 수직 방향으로 적층시키는 경우, 수직 방향으로 위치하고 있는 각 셀 트랜지스터들의 동작 특성과 기판에 형성되는 각 셀 트랜지스터들의 동작 특성이 균일하게 되도록 상기 셀 트랜지스터들을 구현하기가 어렵다.

[0010] 특히, 상기 셀 트랜지스터의 채널 영역이 폴리실리콘으로 형성되는 경우에는, 단결정으로 이루어진 반도체 기판에 채널에 형성된 셀 트랜지스터에 비해 셀 산포가 불량하며, 온 전류가 감소되어 동작 속도가 느려지게 된다.

[0011] 더구나, 상기 채널 영역이 폴리실리콘인 경우에는, 상기 셀 트랜지스터에 포함되는 터널 산화막을 화학 기상 증착 방법으로 형성하여야 한다. 그러므로, 상기 터널 산화막의 내구성이 저하되어 상기 낸드 플래시 메모리 소자의 신뢰성이 나빠지게 된다.

[0012] 이러한 이유로, 수직 방향으로 셀 트랜지스터가 적층되면서도 고 성능을 갖는 비휘발성 메모리 소자를 제조하는 데에는 어려움이 있다.

발명의 내용

해결 하고자하는 과제

- [0013] 본 발명의 일 목적은 고성능을 가지면서 고집적화된 수직형 비휘발성 메모리 소자를 제공하는데 있다.
- [0014] 본 발명의 다른 목적은 상기 수직형 비휘발성 메모리 소자의 제조 방법을 제공하는데 있다.
- [0015] 본 발명의 또다른 목적은 고성능을 가지면서 고집적화된 수직형 반도체 소자를 제공하는데 있다.
- [0016] 본 발명의 다른 목적은 상기 수직형 반도체 소자의 제조 방법을 제공하는데 있다.

과제 해결수단

- [0017] 상기 일 목적을 달성하기 위한 본 발명의 일실시예에 따른 수직형 비휘발성 메모리 소자는, 기판 상에 구비되는 필러 형상의 단결정 반도체 패턴과, 상기 단결정 반도체 패턴의 측면에 일정 간격을 가지면서 적층되는 링 형상의 제1 내지 제n 층(n은 2이상의 자연수) 열 산화막 패턴과, 상기 제1 내지 제n 층 열 산화막 패턴 상에 구비되는 전하 저장막 패턴과, 상기 전하 저장막 패턴 상에 구비되는 블록킹 절연막 및 상기 블록킹 절연막 상에 구비되고, 상기 제1 내지 제n층 열 산화막 패턴과 각각 대향하도록 배치되는 제1 내지 제n 층 콘트롤 게이트 패턴들을 포함한다.
- [0018] 상기 전하 저장막 패턴은 실리콘 질화물 또는 금속 산화물을 포함한다.
- [0019] 상기 전하 저장막 패턴 및 블록킹 절연막 패턴은 각 층의 콘트롤 게이트 패턴들의 표면을 둘러싸는 형상을 갖는다.
- [0020] 상기 단결정 반도체 패턴은 단결정 실리콘으로 이루어질 수 있다.
- [0021] 상기 단결정 실리콘은 선택적 에피택시얼 성장 공정 또는 상전이 에피택시얼 공정을 통해 형성된 것일 수 있다.
- [0022] 상기 블록킹 절연막 패턴은 실리콘 산화물 또는 금속 산화물을 포함할 수 있다.
- [0023] 상기 제1 내지 제n 층 콘트롤 게이트 패턴 사이에 위치하고 상기 단결정 반도체 패턴의 측벽과 접하는 층간 절연막 패턴이 구비될 수 있다.
- [0024] 상기 층간 절연막 패턴은 실리콘 질화물로 이루어질 수 있다.
- [0025] 이와는 달리, 상기 층간 절연막 패턴은 각 콘트롤 게이트 패턴 상부면으로부터 실리콘 질화물, 실리콘 산화물 및 실리콘 질화물이 적층된 형상을 가질 수 있다.
- [0026] 상기 단결정 반도체 패턴은 다수개가 구비되고 규칙을 가지면서 반복적으로 배치될 수 있다.
- [0027] 상기 기판 표면 아래에는 상기 단결정 반도체 패턴들을 서로 연결시키기 위한 소오스 라인으로 제공되는 불순물 영역이 구비될 수 있다.
- [0028] 동일한 층에 위치하는 상기 콘트롤 게이트 패턴은 전기적으로 연결될 수 있다.
- [0029] 상기 각 단결정 반도체 패턴들 사이에 위치하는 상기 동일한 층의 콘트롤 게이트 패턴은 제1 부위에 홀을 포함하는 평판 형상을 가질 수 있다.
- [0030] 상기 제1 부위의 홀 내부에는 절연막 패턴이 구비될 수 있다.
- [0031] 상기 절연막 패턴은 실리콘 산화물을 포함될 수 있다.
- [0032] 상기 단결정 반도체 패턴들의 상부면과 접촉하고, 제1 방향으로 배치된 단결정 반도체 패턴들을 전기적으로 연결시키는 비트 라인들이 구비될 수 있다.
- [0033] 상기 단결정 반도체 패턴의 최 상부 및 최 하부의 각 측벽에는 각각 산화막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터가 구비될 수 있다.
- [0034] 상기 n은 2^m (m은 1 이상의 자연수)일 수 있다.
- [0035] 상기 열산화막 패턴들 사이에 위치하는 단결정 반도체 패턴들 측벽 표면 아래에는 제1 도전형의 불순물 영역이

구비될 수 있다.

- [0036] 상기 열 산화막 패턴들과 접하는 단결정 반도체 패턴들 측벽 표면 아래에는 상기 제1 도전형과 다른 제2 도전형의 불순물 영역이 구비될 수 있다.
- [0037] 상기 목적을 달성하기 위한 본 발명의 일실시예에 따른 수직형 비휘발성 메모리 소자의 제조 방법으로, 기판 상에 필러 형상의 단결정 반도체 패턴을 형성한다. 상기 단결정 반도체 패턴의 일 측면을 부분적으로 산화시켜 일정 간격을 가지면서 적층되는 링 형상의 제1 내지 제n 층(n은 2이상의 자연수) 열 산화막 패턴을 형성한다. 상기 제1 내지 제n 층 열 산화막 패턴 상에 전하 저장막 패턴들을 형성한다. 상기 전하 저장막 패턴들 상에 블록킹 절연막을 형성한다. 다음에, 상기 블록킹 절연막 상에서 상기 전하 저장막 패턴들과 서로 대향하도록 배치되는 제1 내지 제 n층 콘트롤 게이트 패턴을 형성한다.
- [0038] 상기 필러 형상의 단결정 반도체 패턴을 형성하기 이 전에, 상기 기판 상에, 상기 단결정 반도체 패턴이 형성될 부위에 제1 개구부를 갖는 몰드 구조물을 형성하는 단계를 더 포함할 수 있다.
- [0039] 상기 몰드 구조물을 형성하기 위하여, 상기 기판 상에 희생막 및 충간 절연막을 순차적으로 반복하여 적층하는 단계와, 상기 적층된 박막들의 일부 영역을 이방성 식각하여 상기 기판 표면을 노출하는 제1 개구부를 형성하는 단계를 수행할 수 있다.
- [0040] 적층되는 상기 희생막들은 각 층의 콘트롤 게이트 패턴의 유효 길이보다 더 두껍게 형성시킨다.
- [0041] 상기 희생막은 상기 충간 절연막 및 단결정 반도체 패턴과 각각 습식 식각 선택비를 갖는 물질로 이루어지는 것이 바람직하다.
- [0042] 상기 희생막은 실리콘 산화물로 이루어지고, 상기 충간 절연막은 실리콘 질화물로 이루어질 수 있다.
- [0043] 이와는 달리, 상기 희생막은 실리콘 게르마늄으로 이루어지고, 상기 충간 절연막은 실리콘 질화물, 실리콘 산화물 및 실리콘 질화물이 적층된 구조로 이루어질 수 있다.
- [0044] 상기 희생막이 실리콘 게르마늄으로 형성되는 경우, 상기 제1 개구부의 양측벽에 산화물로 이루어지는 스페이서를 형성하는 단계를 더 포함할 수 있다.
- [0045] 상기 단결정 반도체 패턴을 형성하기 위한 하나의 방법으로, 상기 제1 개구부 내부를 채우면서 상기 몰드 구조물 상에 폴리실리콘막을 형성하는 단계와, 상기 몰드 구조물의 상부면이 노출되도록 상기 폴리실리콘막을 연마하여 폴리실리콘 패턴을 형성하는 단계 및 상기 폴리실리콘 패턴이 단결정으로 상전이되도록 열처리함으로써 단결정 실리콘을 형성하는 단계를 포함할 수 있다.
- [0046] 상기 열처리는 레이저를 이용하여 수행할 수 있다.
- [0047] 상기 열처리는 상기 기판 저면 및 기판 상부에 각각 열을 가할 수 있다.
- [0048] 상기 폴리실리콘막은 제1 도전형의 불순물이 도핑되고, 인시튜 도핑을 수행하는 화학기상 증착 공정을 통해 형성될 수 있다.
- [0049] 상기 단결정 반도체 패턴을 형성하기 위한 다른 방법으로, 상기 제1 개구부 저면에 노출된 기판을 시드로 하여 에피택셜 성장 공정을 통해 단결정 실리콘을 형성하는 단계를 수행할 수 있다.
- [0050] 상기 에피택셜 성장 공정에서 제1 도전형의 불순물을 인시튜 도핑할 수 있다.
- [0051] 상기 제1 내지 제n 층 콘트롤 게이트 패턴 사이에 위치하고 단결정 반도체 패턴의 측벽과 접하는 충간 절연막 패턴을 형성할 수 있다.
- [0052] 상기 충간 절연막 패턴은 상기 단결정 반도체 패턴 사이의 몰드 구조물 일부를 식각하여 상기 몰드 구조물의 최하부막을 노출시키는 제2 개구부를 형성하는 단계와, 상기 제2 개구부의 측벽에 노출되어 있는 각 층의 희생막들을 식각하여 상기 단결정 반도체 패턴의 일 측면이 노출되는 요부를 형성하는 단계를 수행하여, 상기 충간 절연막만을 남김으로써 형성할 수 있다.
- [0053] 상기 충간 절연막 패턴을 형성한 후, 상기 충간 절연막 패턴들 사이에 노출되어 있는 상기 단결정 반도체 패턴의 측벽 표면 아래에 채널 영역을 형성하기 위한 제2 도전형의 불순물을 주입하는 단계를 더 수행할 수 있다.
- [0054] 상기 제1 내지 제n 열 산화막 패턴은 상기 요부에 노출되어 있는 상기 단결정 반도체 패턴을 열산화시켜 형성될 수 있다.

- [0055] 상기 전하 저장막 패턴은 상기 제1 내지 제n 열산화막 패턴 및 상기 층간 절연막 패턴의 표면 프로파일을 따라 실리콘 절화물을 또는 금속 산화물을 증착시켜 형성될 수 있다.
- [0056] 상기 제1 내지 제 n층 콘트를 게이트 패턴을 형성하기 위하여, 상기 제2 개구부 및 요부 내부를 채우는 도전막을 형성하는 단계와, 상기 요부 내부에만 상기 도전막이 남아있도록 제2 개구부 내부에 채워져 있는 상기 도전막을 선택적으로 식각하는 단계를 수행할 수 있다.
- [0057] 상기 식각된 부위에 절연 물질을 매립함으로써 상기 각 층 콘트를 게이트 패턴들의 수평 방향 사이 부위에 절연막 패턴을 형성하는 단계를 더 포함할 수 있다.
- [0058] 상기 기판 표면에 불순물을 도핑시켜 상기 단결정 반도체 패턴들을 서로 연결시키기 위한 소오스 라인으로 제공되는 불순물 영역을 형성하는 단계를 더 포함할 수 있다.
- [0059] 상기 단결정 반도체 패턴들의 상부면과 접촉하고 제1 방향으로 배치된 단결정 반도체 패턴들을 전기적으로 연결시키는 비트 라인을 형성할 수 있다.
- [0060] 상기 단결정 반도체 패턴의 최 상부 및 최 하부의 각 측벽에 각각 산화막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터를 형성할 수 있다.
- [0061] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 수직형 비휘발성 메모리 소자는, 기판 상에 구비되고, 코어 및 폐리 회로를 이루는 하부 구조물들과, 상기 하부 구조물들을 덮는 하부 층간 절연막과, 상기 하부 층간 절연막 상에 구비되는 단결정 실리콘층과, 상기 단결정 실리콘층 상에 구비되는 필러 형상의 단결정 반도체 패턴과, 상기 단결정 반도체 패턴의 측면에 구비되고, 수직 방향으로 배치되는 셀 트랜지스터들 및 상기 하부 구조물들과 상기 셀 트랜지스터들을 서로 연결시키기 위한 배선들을 포함한다.
- [0062] 상기 셀 트랜지스터들은, 상기 단결정 반도체 패턴의 측면에 일정 간격으로 배치되고 림 형상을 갖는 터널 산화막 패턴, 상기 터널 산화막 패턴 상에 구비되는 전하 저장막 패턴, 블록킹 절연막 및 콘트를 게이트 패턴들을 포함한다.
- [0063] 상기 단결정 실리콘층은 액티브 영역에만 선택적으로 형성된다.
- [0064] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 수직형 비휘발성 메모리 소자의 제조 방법으로, 기판 상에, 코어 및 폐리 회로를 이루는 하부 구조물을 형성한다. 상기 하부 구조물을 덮는 하부 층간 절연막을 형성한다. 상기 하부 층간 절연막 상에 단결정 실리콘층을 형성한다. 상기 단결정 실리콘층 상에 필러 형상의 단결정 반도체 패턴을 형성한다. 상기 단결정 반도체 패턴의 측면에 구비되고, 수직 방향으로 배치되는 셀 트랜지스터들을 형성한다. 다음에, 상기 하부 구조물들과 상기 셀 트랜지스터들을 서로 연결시키기 위한 배선들을 형성한다.
- [0065] 상기 단결정 실리콘층을 형성하기 위하여, 상기 하부 층간 절연막 상에 단결정 실리콘 기판을 본딩한다. 상기 본딩된 단결정 실리콘 기판의 상부를 분리시켜 예비 단결정 실리콘층을 형성한다. 다음에, 상기 예비 단결정 실리콘층을 연마하여 단결정 실리콘층을 형성한다.
- [0066] 또한, 액티브 영역에만 선택적으로 상기 단결정 실리콘층이 남아있도록 상기 단결정 실리콘층을 패터닝할 수 있다.
- [0067] 상기 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 수직형 비휘발성 메모리 소자는 기판 상에 구비되는 필러 형상의 단결정 반도체 패턴과, 상기 단결정 반도체 패턴의 측벽에 구비되는 림 형상의 터널 산화막 패턴과, 상기 터널 산화막 패턴과 이격되면서 상기 터널 산화막 패턴과 각각 대향하도록 배치되는 콘트를 게이트 패턴 및 상기 터널 산화막 패턴 표면과 접촉하면서 상기 콘트를 게이트 패턴의 표면을 감싸는 형상을 갖고, 순차적으로 적층된 구조를 갖는 전하 저장막 패턴 및 블록킹 절연막을 포함할 수 있다.
- [0068] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자는, 기판 상에 구비되는 필러 형상의 단결정 반도체 패턴과, 상기 단결정 반도체 패턴의 측면에 구비되고 수직 방향으로 배치되는 트랜지스터들을 포함한다.
- [0069] 상기 트랜지스터들은 림 형상의 게이트 산화막 패턴 및 상기 게이트 산화막 패턴 상에 구비되는 게이트 전극 패턴을 포함한다.
- [0070] 상기 게이트 산화막 패턴은 열 산화 공정을 통해 형성된 산화물을 포함한다.

[0071] 상기 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 제조 방법으로, 기판 상에 필러 형상의 단결정 반도체 패턴을 형성한다. 다음에, 상기 단결정 반도체 패턴의 측면에 수직 방향으로 배치되는 트랜지스터들을 형성한다.

[0072] 상기 트랜지스터를 형성하기 위하여, 상기 단결정 반도체 패턴을 부분적으로 열산화시켜 링 형상을 갖는 게이트 산화막 패턴을 형성한다. 이 후, 상기 게이트 산화막 패턴 상에 게이트 전극 패턴을 형성한다.

효과

[0073] 상기 수직형 비휘발성 메모리 소자는 셀 트랜지스터들이 수직 방향으로 직렬 연결된 구조를 가지기 때문에 메모리 소자가 고도로 집적화된다. 또한, 단결정 반도체 패턴 상에 상기 셀 트랜지스터들이 구비되어 있고, 셀 트랜지스터 내에 포함되는 터널 산화막이 열 산화 공정에 의해 형성된 열산화막으로 이루어진다. 때문에, 상기 셀 트랜지스터들의 전기적 특성이 매우 양호하고, 높은 신뢰성을 가지며, 고른 셀 산포를 갖는다.

[0074] 한편, MOS트랜지스터를 포함하는 반도체 소자의 경우에도 각 트랜지스터들이 수직 방향으로 적층됨으로써 고도로 집적화될 수 있다.

발명의 실시를 위한 구체적인 내용

[0075] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0076] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것이며, 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.

[0077] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0078] 실시예 1

[0079] 도 1은 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자의 절개 사시도이다. 도 2는 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자에서 하나의 셀 트랜지스터를 보여주는 단면도이다.

[0080] 도 1 및 도 2를 참조하면, 단결정 반도체 물질로 이루어지는 기판(100)이 구비된다. 상기 기판(100)은 예를 들어 단결정 실리콘으로 이루어질 수 있다.

[0081] 상기 기판(100) 상에는 필러 형상의 단결정 반도체 패턴(116)들이 구비된다. 상기 단결정 반도체 패턴(116)들은 규칙적인 배열을 갖도록 배치된다. 즉, 상기 단결정 반도체 패턴(116)들은 제1 방향 및 상기 제1 방향과 수직한 제2 방향으로 각각 일정 간격을 가지면서 규칙적으로 배치된다.

[0082] 상기 단결정 반도체 패턴(116)들은 예를 들어, 단결정 실리콘으로 이루어질 수 있다. 상기 단결정 실리콘은 비정질실리콘을 열을 통해 상전이시켜 형성된 것일 수 있다. 또는, 상기 단결정 실리콘은 기판(100)을 시드로 하는 에피택시얼 성장 공정을 통해 형성된 것일 수도 있다.

[0083] 하나의 단결정 반도체 패턴(116)에는 하나의 셀 스트링을 이루는 셀 트랜지스터들이 형성되며, 상기 셀 트랜지스터들은 수직 방향으로 직렬 연결되어 있다. 통상적으로, 기판(100) 상에 형성되는 하나의 셀 스트링 내에는 2^m개(^m은 1이상의 자연수)의 셀 트랜지스터들이 형성될 수 있다. 본 실시예의 비휘발성 메모리 소자의 경우, 상기 셀 스트링 내에 포함되어 있는 셀 트랜지스터들의 수가 증가하면 셀 트랜지스터들이 적층되는 높이도 증가하게 된다. 때문에, 상기 셀 스트링 내에 포함되는 셀 트랜지스터들의 수를 증가시키는 경우 제조 공정이 용이하지 않다. 따라서, 하나의 셀 스트링에 2개 또는 4개의 셀 트랜지스터들이 직렬 연결될 수 있으며, 본 실시예에서는 4개의 셀 트랜지스터들이 직렬 연결된 것으로 설명한다.

[0084] 또한, 상기 셀 트랜지스터들을 이루는 셀 게이트 전극들의 수직 방향의 사이에는 충간 절연막 패턴들(105a~105e)이 구비된다.

[0085] 이하에서는, 상기 단결정 반도체 패턴(116)에 구비되는 셀 트랜지스터들에 대해 보다 상세하게 설명한다.

[0086] 상기 단결정 반도체 패턴(116)들의 각 측면에는 일정 간격을 가지면서 적층되는 링 형상의 제1 내지 제n 층 열산화막 패턴(124a~124d)이 구비된다. 여기서, 상기 열 산화막 패턴의 개수는 상기 셀 스트링 내에 포함되는 셀

트랜지스터의 개수와 동일하다. 즉, 상기 n은 2 이상의 자연수이며, 보다 바람직하게는, 상기 n은 2^m (m은 1이상의 자연수)일 수 있다. 본 실시예에서는 제1 내지 제4 층 열 산화막 패턴(124a~124d)이 구비된다.

[0087] 상기 열 산화막 패턴들(124a~124d)은 상기 각 층에 형성되는 셀 트랜지스터의 터널 산화막으로써 기능한다. 상기 열 산화막 패턴들(124a~124d)은 실리콘 산화물로 이루어질 수 있다.

[0088] 이와 같이, 상기 터널 산화막이 단결정 반도체 패턴(116)의 일부분을 열 산화시켜 형성된 것이므로, 화학 기상 증착법에 의해 형성된 터널 산화막에 비해서 내구성이 우수하다. 그러므로, 본 실시예에 따른 비휘발성 메모리 소자는 우수한 신뢰성을 가질 수 있다.

[0089] 상기 제1 내지 제4층 열 산화막 패턴(124a~124d) 상에는 전하 저장막 패턴(126)들이 구비된다. 상기 전하 저장막 패턴(126)은 전하를 트랩핑할 수 있는 물질인 실리콘 질화물 또는 금속 산화물로 이루어질 수 있다. 이 경우, 상기 전하 저장막 패턴(126)에는 전하 트랩 방식으로 전하들이 저장된다. 상기 전하 저장막 패턴(126)은 얇은 두께로 증착시키기에 용이한 실리콘 질화물로 이루어지는 것이 가장 적합하다.

[0090] 동일한 층에 형성되어 있는 전하 저장막 패턴(126)은 서로 연결되어 있는 형상을 갖는다. 즉, 상기 전하 저장막 패턴(126)은 상기 열 산화막 패턴들 및 상기 층간 절연막 패턴(105a~105e)들의 표면 상에서 수평 방향으로 연장되도록 형성되어 있다. 상기 전하 저장막 패턴(126)은 절연 물질로 이루어지기 때문에 서로 연결되어 있더라도 동일한 층에 형성되는 각 셀 트랜지스터들이 서로 전기적으로 연결되지 않는다.

[0091] 또한, 도시되지는 않았지만 각 층에 형성된 전하 전하막 패턴들이 서로 연결된 형상을 가질 수도 있다.

[0092] 상기 전하 저장막 패턴(126) 상에는 블록킹 절연막(128)이 구비된다. 상기 블록킹 절연막(128)은 실리콘 산화물 또는 금속 산화물로 이루어질 수 있다. 여기서, 상기 금속 산화물은 실리콘 질화물에 비해 고유전율을 갖는 물질일 수 있다. 상기 블록킹 절연막(128)은 상기 전하 저장막 패턴(126)과 동일하게 수평 방향으로 서로 연결되어 있는 형상을 갖는다.

[0093] 상기 블록킹 절연막(128) 상에는 상기 제1 내지 제n 층 열 산화막 패턴(124a~124d)과 각각 대향하는 제1 내지 제n 층 콘트롤 게이트 패턴(132a~132d)이 구비된다. 본 실시예에서는 제1 내지 제4 층 콘트롤 게이트 패턴(132a~132d)이 구비된다.

[0094] 동일한 층에 위치하는 상기 콘트롤 게이트 패턴은 전기적으로 연결된 구조를 갖는다. 구체적으로, 상기 각 단결정 반도체 패턴(116)들 사이에 위치하는 상기 동일한 층의 콘트롤 게이트 패턴은 제1 부위에 다수의 홀을 포함하는 평판 형상을 갖는다. 또한, 상기 콘트롤 게이트 패턴들(132a~132d)에 생성되어 있는 홀은 최 하부 층간 절연막 패턴(105a) 상부면까지 관통하는 형상을 갖는다.

[0095] 이와같이, 상기 동일한 층의 콘트롤 게이트 패턴은 모두 전기적으로 연결됨으로써, 각 층의 콘트롤 게이트 패턴이 하나의 워드 라인으로써 기능하게 된다. 반면에, 서로 다른 층에 위치하는 콘트롤 게이트 패턴은 서로 전기적으로 연결되지 않는다.

[0096] 또한, 상기 전하 저장막 및 상기 블록킹 절연막 패턴은 상기 각 층의 콘트롤 게이트 패턴들의 표면을 둘러싸는 형상을 갖게된다.

[0097] 서로 다른 층의 콘트롤 게이트 패턴들을 절연시키기 위하여, 상기에서도 설명한 것과 같이, 상기 적층된 셀 게이트 전극들의 수직 방향의 사이에는 층간 절연막 패턴(105a~105e)들이 구비된다.

[0098] 즉, 상기 제1 내지 제n 층 콘트롤 게이트 패턴들 사이에는 각각 제1 내지 제n+1 층간 절연막 패턴이 구비된다. 상기 층간 절연막 패턴들(105a~105e)은 상기 콘트롤 게이트 패턴들(132a~132d)의 상,하부면을 지지하면서 상기 단결정 반도체 패턴(116)의 측벽과 접하는 형상을 갖는다.

[0099] 상기 층간 절연막 패턴들(105a~105e)은 실리콘 산화물 및 단결정 반도체 패턴과 각각 식각 선택비를 갖는 절연 물질로 이루어질 수 있다. 구체적으로, 상기 층간 절연막 패턴들(105a~105e)은 실리콘 질화물로 이루어질 수 있다.

[0100] 또한, 상기 콘트롤 게이트 패턴들(132a~132d)에 포함되어 있는 관통 홀들 내에는 분리용 절연막 패턴(136)이 구비된다.

[0101] 상기 각 층의 콘트롤 게이트 패턴들(132a~132d)의 수직 단면을 살펴보면, 상기 단결정 반도체 패턴(116)을 감싸면서 상기 층간 절연막 패턴(105a~105e) 및 콘트롤 게이트 패턴들(132a~132d)이 수직 방향으로 반복 적층되어

있다.

- [0102] 이와는 달리, 상기 각 층의 콘트롤 게이트 패턴들(132a~132d)에서 관통홀이 생성되어 있는 제1 부위의 수직 단면을 살펴보면, 층간 절연막 패턴(105a~105e), 콘트롤 게이트 패턴들(132a~132d)이 수직 방향으로 반복 적층되고, 상기 층간 절연막 패턴(105a~105e), 콘트롤 게이트 패턴(132a~132d)이 적층된 구조물의 수평 방향 사이에는 분리용 절연막 패턴(136)이 개재되어 있다.
- [0103] 상기 단결정 반도체 패턴(116)들의 상부면과 접촉하고, 제1 방향으로 배치된 단결정 반도체 패턴(116)들을 전기적으로 연결시키는 비트 라인(140)들이 구비된다.
- [0104] 도시되지는 않았지만, 상기 단결정 반도체 패턴(116)의 최 상부 및 최 하부의 각 측벽에는 산화막 패턴 및 게이트 전극이 구비된 상, 하부 선택 트랜지스터가 구비될 수 있다. 즉, 상기 상부 선택 트랜지스터는 비트 라인(140)과 최 상부 셀 트랜지스터 사이에 구비되고, 상기 하부 선택 트랜지스터는 기판(100)과 최 하부 셀 트랜지스터 사이에 구비된다.
- [0105] 이와는 달리, 상기 단결정 반도체 패턴(116)의 최 상부 및 최 하부의 각 측벽에는 셀 트랜지스터와 동일한 구조를 갖는 상, 하부 선택 트랜지스터가 구비될 수 있다. 즉, 상기 상부 및 하부 선택 트랜지스터는 터널 산화막 패턴, 전하 저장막 패턴, 블록킹 유전막 및 콘트롤 게이트 전극이 적층된 구조를 가질 수 있다. 본 실시예의 경우에도, 상기 단결정 반도체 패턴(116)의 최 상부 및 최 하부의 트랜지스터는 셀 트랜지스터로 사용하지 않고, 스트링 선택 및 그라운드 선택 트랜지스터로 각각 사용할 수도 있다.
- [0106] 상기 각각의 단결정 반도체 패턴(116)에서 상기 열 산화막 패턴들(124a~124d) 사이에 위치하는 단결정 반도체 패턴(116)의 측벽 표면 아래에는 N형의 불순물이 도핑된 소오스/드레인 영역(도 2, 116의 n부분)이 구비될 수 있다. 상기 소오스/드레인 영역은 상기 단결정 반도체 패턴 표면 아래 부위에만 형성될 수도 있고, 상기 단결정 반도체 패턴의 표면 및 내부까지 연장되어 관통하는 형상을 가질 수도 있다.
- [0107] 또한, 상기 열 산화막 패턴들(124a~124d)과 접하는 단결정 반도체 패턴(116)들 표면 아래에는 P형의 불순물이 도핑된 채널 영역(도 2, 116의 p부분)이 구비될 수 있다. 상기 채널 영역은 상기 단결정 반도체 패턴 표면 아래 부위에만 형성될 수도 있고, 상기 단결정 반도체 패턴의 표면 및 내부까지 연장되어 관통하는 형상을 가질 수도 있다.
- [0108] 상기 기판(100) 표면 아래에는 공통 소오스 라인으로 제공되는 불순물 영역(도시안됨)이 구비될 수 있다. 상기 불순물 영역은 N형 불순물로 이루어질 수 있다. 상기 불순물 영역이 구비됨으로써, 상기 단결정 반도체 패턴(116)들에 형성되어 있는 각 스트링들의 하부가 서로 연결된다.
- [0109] 상기 설명한 비휘발성 메모리 소자는 필러 형상의 단결정 반도체 패턴에 하나의 셀 스트링이 구비된다. 그러므로, 매우 좁은 면적에서 셀 스트링을 구현할 수 있어 소자의 집적도가 매우 높다. 그리고, 결정 결함이 거의 없는 단결정의 반도체 패턴에 셀 트랜지스터가 구현되기 때문에 셀 트랜지스터의 셀 전류 및 셀 산포 특성이 매우 양호하다.
- [0110] 또한, 수직 방향으로 적층되는 각 셀 트랜지스터들에 포함되는 터널 산화막이 열 산화막으로 이루어지기 때문에 셀 트랜지스터의 내구성이 우수하다.
- [0111] 도 3 내지 도 16은 도 1에 도시된 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다. 도 17 내지 도 19는 각각 도 8, 도 9 및 도 14 단계에서의 사시도들이다.
- [0112] 도 3을 참조하면, 단결정 실리콘으로 이루어진 기판(100)을 마련한다. 상기 기판(100)에 N형의 불순물을 도핑함으로써, NAND 플래시 메모리 소자의 소오스 라인(S/L)으로 사용되는 불순물 영역(도시안됨)을 형성한다. 구체적으로, 하나의 셀 블록이 형성되는 부위의 기판에 N형 불순물을 도핑함으로써 상기 불순물 영역을 형성할 수 있다.
- [0113] 상기 불순물이 도핑되어 있는 기판(100) 상에 패드 산화막(102)을 형성한다. 상기 패드 산화막(102)은 기판을 열산화시켜 형성할 수 있다. 상기 패드 산화막(102)은 실리콘 질화물로 이루어지는 층간 절연막이 상기 기판(100)과 직접 접촉할 때 발생되는 스트레스를 억제시키기 위하여 제공된다.
- [0114] 상기 패드 산화막(102) 상에 층간 절연막(104) 및 희생막(106)을 수직 방향으로 반복하여 적층한다. 상기 층간 절연막(104) 및 희생막(106)들은 화학기상 증착 공정을 통해 형성될 수 있다.
- [0115] 본 실시예에서, 상기 반복 적층되는 구조물의 최 하부에는 층간 절연막(104a)이 구비되고, 최 상부에는 희생막

(106e)이 구비된다.

[0116] 상기 희생막(106)들은 후속 공정에서 제거되어 각 총 콘트롤 게이트 패턴이 형성될 부위를 정의한다. 그러므로, 상기 희생막(106)들은 각 총의 콘트롤 게이트 패턴의 유효 길이(effective length)와 같거나 더 두껍게 형성하는 것이 바람직하다.

[0117] 상기 희생막(106)들은 상기 층간 절연막(104)들 및 단결정 실리콘과 각각 식각 선택비를 갖는 물질로 형성되어야 한다. 또한, 상기 희생막(106)들은 습식 식각 공정을 통해 용이하게 제거될 수 있는 물질로 형성되어야 한다.

[0118] 본 실시예에서, 상기 희생막(106)들은 실리콘 산화물로 이루어지고, 상기 층간 절연막(104)들은 실리콘 질화물로 이루어진다. 이하에서는, 상기 희생막(106)을 실리콘 산화막으로, 상기 층간 절연막(104)을 실리콘 질화막으로 각각 설명한다.

[0119] 상기 실리콘 산화막(106)들이 제거된 부위에 콘트롤 게이트 패턴이 형성되므로, 상기 실리콘 산화막(106) 및 상기 실리콘 질화막(104)이 각각 적층되는 수는 상기 셀 스트링 내에 포함되는 셀 트랜지스터의 개수와 동일하거나 더 많아야 한다. 구체적으로, 상기 셀 스트링 내에 n개의 셀 트랜지스터가 직렬 연결되어 있는 경우에는 1 내지 n+1층 실리콘 산화막 및 1 내지 n+1 실리콘 질화막이 서로 교대로 적층되도록 하는 것이 바람직하다. 본 실시예에서는 하나의 셀 스트링에 4개의 셀 트랜지스터가 연결되어 있으므로, 도시된 것과 같이, 제1 내지 제5 층 실리콘 질화막(104a~104e) 및 제1 내지 5 실리콘 산화막(106a~106e)이 서로 교대로 적층되도록 한다.

[0120] 도 4를 참조하면, 최 상부에 위치하는 실리콘 산화막(106e) 상에 제1 포토레지스트 패턴(도시안됨)을 형성하고, 상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여 상기 실리콘 산화막(106)들 및 실리콘 질화막(104)들을 순차적으로 식각함으로써 제1 개구부(108)들을 갖는 몰드 구조물(110)을 형성한다. 이 때, 상기 각 제1 개구부(108)의 저면에는 상기 반도체 기판(100) 표면이 노출되도록 한다.

[0121] 상기 제1 개구부(108) 내에는 후속 공정을 통해 각 셀 스트링들을 형성하기 위한 액티브 영역으로 제공되는 단결정 반도체 패턴이 형성된다. 그러므로, 상기 제1 개구부(108)들은 제1 방향 및 상기 제1 방향과 수직한 제2 방향으로 각각 규칙적인 배열을 갖도록 형성된다.

[0122] 도 5를 참조하면, 상기 제1 개구부(108)들의 내부를 채우도록 폴리실리콘막 또는 비정질 실리콘막을 형성한다. 이하에서는, 상기 제1 개구부 내부에 폴리실리콘막으로 형성하는 것으로 설명한다. 상기 폴리실리콘막은 화학기상증착 공정을 통해 형성될 수 있다. 상기 화학기상증착 공정 시에 인시튜 도핑을 실시함으로써 N형의 불순물이 도핑된 폴리실리콘막을 형성할 수도 있다.

[0123] 이 후, 상기 제5 실리콘 산화막(106e)의 상부면이 노출되도록 상기 폴리실리콘막을 연마함으로써, 상기 제1 개구부(108)들 내부에 폴리실리콘 패턴(112)들을 형성한다. 상기 연마는 화학기계적 연마 공정을 통해 수행될 수 있다.

[0124] 도 6을 참조하면, 상기 폴리실리콘 패턴(112)을 열처리함으로써 상기 폴리실리콘 패턴(112)이 예비 단결정 실리콘 패턴(114)으로 상전이되도록 한다. 상기 열처리는 레이저 빔을 사용하여 수행할 수 있다.

[0125] 이 때, 상기 열처리에 사용되는 레이저는 증착되어 있는 상기 폴리실리콘 패턴(112)이 완전히 용융시킬 수 있도록 하는 에너지 밀도를 갖는 것이 바람직하다.

[0126] 보다 구체적으로, 상기 레이저 빔을 조사하여 상기 폴리실리콘 패턴(112)을 녹임(melting)으로써 폴리실리콘이고상으로 변화하는 것이다. 특히, 상기 폴리실리콘 패턴(112)의 상부 표면으로부터 제1 개구부(108) 저면에 위치하는 상기 기판(100)의 상부 표면까지 액상으로 변화하는 상변화가 일어난다.

[0127] 상기 레이저 빔의 조사함으로써, 상기 폴리실리콘 패턴(112)이 녹도록 하기 위하여, 상기 레이저 빔은 실리콘의 녹는점인 약 1,410°C의 온도로 조사될 수 있다.

[0128] 따라서, 액상으로 변화된 폴리실리콘 패턴(112)에 상기 기판(100)의 결정 구조인 단결정이 시드로 작용하고, 그 결과 상기 폴리실리콘 패턴(112)의 결정 구조가 단결정으로 변환된다. 또한, 상기 레이저 빔을 조사하기 위한 부재로서는 기체 레이저의 일종인 엑시머(excimer) 레이저를 예로 들 수 있다. 또한, 상기 레이저 부재는 스캔이 가능한 방식의 구조를 갖는 것이 바람직하다. 이는, 짧은 시간 내에 상기 레이저 빔이 조사될 수 있도록 하기 위함이다.

[0129] 그리고, 상기 레이저 빔을 조사할 때 상기 기판(100)을 가열하는 것이 바람직하다. 이와 같이, 상기 기판(100)

을 가열하는 것은 상기 레이저 빔을 조사하여 상기 폴리실리콘 패턴(112)을 상변화시킬 때 상기 상변화가 일어나는 부위의 박막에서 온도 구배를 감소시키기 위함이다. 그러므로, 본 실시예에서는 상기 레이저 빔을 조사할 때 상기 기판(100)을 약 400°C로 가열한다.

- [0130] 이와 같이, 상기 폴리실리콘 패턴(112)에 레이저 빔을 조사하여 결정 구조를 단결정 실리콘으로 변환시킴으로써 상기 기판(100) 상에 필러 형상의 예비 단결정 실리콘 패턴(114)이 형성된다. 상기 예비 단결정 실리콘 패턴(114)은 상기 폴리실리콘 패턴(112)에 의해 높이가 다소 감소(shrink)되고 상부면이 굴곡을 갖는다.
- [0131] 도 7을 참조하면, 상기 제5 실리콘 질화막(104e)이 노출되도록 상기 예비 단결정 실리콘 패턴(114)의 상부면 및 제5 실리콘 산화막(106e)을 연마 공정을 통해 제거함으로써 평坦한 상부면을 갖는 단결정 실리콘 패턴(116)들을 형성한다.
- [0132] 상기 단결정 실리콘 패턴(116)들은 수직 방향으로 연장되는 각각의 셀 스트링을 형성하기 위한 액티브 영역으로 제공된다.
- [0133] 도 8 및 도 8의 단계의 사시도인 도 17을 참조하면, 상기 단결정 실리콘 패턴(116) 및 몰드 구조물(110) 상에, 상기 단결정 실리콘 패턴(116)들 사이의 상기 몰드 구조물(110) 일부분을 선택적으로 노출하는 제2 포토레지스트 패턴(도시안됨)을 형성한다.
- [0134] 상기 제2 포토레지스트 패턴을 식각 마스크로 사용하여 상기 몰드 구조물(110)을 식각함으로써 제2 개구부(120)들을 형성한다. 상기 각각의 제2 개구부(120)들의 저면에는 상기 몰드 구조물(110)의 최 하부막인 제1 실리콘 질화막(104a)의 상부면이 노출되도록 한다.
- [0135] 상기와 같이 제2 개구부(120)들에 의해 몰드 구조물(110)을 이루는 박막들이 일부 제거됨으로써, 제1 내지 제5 실리콘 질화막 패턴(105a ~ 105e)과 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)이 형성된다.
- [0136] 이 때, 상기 제2 개구부(120)들은 상기 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)을 제거하기 위하여 각 층 실리콘 산화막에 습식 식각액이 침투되는 공간을 마련하기 위하여 제공된다. 그러므로, 모든 단결정 실리콘 패턴들의 사이에 상기 제2 개구부(120)가 형성될 필요는 없다. 다만, 후속 공정에서 상기 습식 식각액이 상기 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)으로 충분히 침투될 수 있도록 상기 제2 개구부(120)들이 배치되어야 한다.
- [0137] 상기 제2 개구부(120)들이 형성되는 영역은 콘트롤 게이트 패턴에 홀이 형성되는 제1 부위가 된다.
- [0138] 도 9 및 도 9 단계의 사시도인 도 18을 참조하면, 상기 제2 개구부(120)들의 측벽에 노출되어 있는 상기 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)을 선택적으로 제거한다. 상기 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)은 습식 식각 공정을 통해 제거한다. 구체적으로, 상기 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)은 불산 수용액을 사용하여 제거할 수 있다.
- [0139] 상기 공정을 수행하면, 상기 단결정 실리콘 패턴(116)의 측벽에는 일정 간격을 두고 제1 내지 제5 실리콘 질화막 패턴(105a ~ 105e)이 남아있게 된다. 또한, 상기 제2 개구부(120)의 측벽에서 제1 내지 제4 실리콘 산화막 패턴(107a ~ 107d)이 제거된 부위에는 요부(122)가 생성된다. 이 때, 상기 각 층의 요부(122)들은 서로 통하게 되며, 상기 요부(122)에 의해서 상기 단결정 실리콘 패턴(116)의 일 측벽이 노출된다.
- [0140] 상기 요부(122)에 의해 노출되는 단결정 실리콘 패턴(116) 부위는 셀 게이트 패턴이 형성될 부위이고, 상기 제1 내지 제5 실리콘 질화막 패턴(105a~105e)에 의해 덮혀 있는 단결정 실리콘 패턴(116) 부위는 소오스/드레인 영역이 형성될 부위이다.
- [0141] 도 10을 참조하면, 상기 요부(122)에 의해 노출되는 단결정 실리콘 패턴(116)으로 P형 불순물을 주입함으로써 채널 영역(도시안됨)을 형성한다. 필러 형상을 갖는 단결정 실리콘 패턴(116)의 노출된 측벽 부위에 균일하게 불순물을 주입시키기 위해서, 상기 불순물을 주입하는 공정은 플라즈마 도핑 공정을 통해 수행하는 것이 바람직하다. 상기 채널 영역은 상기 단결정 반도체 패턴 표면 아래 부위에만 형성될 수도 있고, 표면으로부터 내부까지 연장되어 관통하는 형상을 가질 수도 있다.
- [0142] 상기 P형 불순물은 셀 트랜지스터의 문턱 전압을 조절하기 위하여 도핑되는 것이다. 그러나, 공정을 단순화시키기 위하여, 상기 문턱 전압을 조절하기 위한 공정은 생략될 수 있다.
- [0143] 상기와 같이 채널 영역이 형성됨으로써, 상기 채널 영역이 형성되지 않은 나머지의 단결정 실리콘 패턴(116) 부위가 소오스/드레인 영역으로 제공된다.

- [0144] 도 11을 참조하면, 상기 노출된 단결정 실리콘 패턴(116)을 열산화시킴으로써 제1 내지 제4 층 열 산화막 패턴(124a ~ 124d)을 형성한다. 상기 제1 내지 제4 층 열 산화막 패턴(124a ~ 124d)은 상기 노출된 단결정 실리콘 패턴(116)의 측벽에 링 형상을 가지면서 형성된다. 상기 제1 내지 제4 층 열 산화막 패턴(124a ~ 124d)은 각 셀 트랜지스터의 터널 산화막으로 제공된다.
- [0145] 도 12를 참조하면, 상기 제1 내지 제4 층 열 산화막 패턴(124a ~ 124d) 및 상기 제1 내지 제5 실리콘 질화막 패턴(105a ~ 105e) 상에 전하 저장막(126)을 형성한다. 상기 전하 저장막(126)은 화학기상증착법으로 형성될 수 있다. 상기 전하 저장막(126)은 상기 열 산화막 패턴들(124a ~ 124d) 및 실리콘 질화막 패턴들(105a ~ 105e)의 표면 상에서 서로 연결된 형상을 갖는다.
- [0146] 상기 전하 저장막(126)은 실리콘 질화물 또는 금속 산화물을 증착시켜 형성할 수 있다. 상기 실리콘 질화물 및 금속 산화물은 절연 물질이므로, 서로 연결되어 있더라도 각 셀 트랜지스터들이 서로 전기적으로 쇼트되지 않는다.
- [0147] 다음에, 상기 전하 저장막(126) 상에 블록킹 절연막(128)을 형성한다. 상기 블록킹 절연막(128)은 실리콘 산화물 또는 금속 산화물을 증착시켜 형성할 수 있다. 상기 블록킹 절연막(128)은 상기 전하 저장막과 동일하게 서로 연결된 형상을 갖는다.
- [0148] 도 13을 참조하면, 상기 블록킹 절연막(128) 상에, 상기 제2 개구부(120) 및 요부(122) 내부를 완전히 채우도록 도전막(도시안됨)을 증착한다. 상기 도전막은 후속 공정을 통해 콘트롤 게이트 패턴으로 제공된다.
- [0149] 상기 제2 개구부(120) 및 요부(122) 내부에 도전 물질을 보이드 없이 채우기 위해서는 스텝 커버리지 특성이 양호한 물질을 사용하여 증착하는 것이 바람직하다. 그러므로, 상기 도전막은 불순물이 도핑된 폴리실리콘을 증착시켜 형성할 수 있다.
- [0150] 상기 도전막을 증착한 이 후에, 상기 단결정 실리콘 패턴(116) 및 상기 제5 실리콘 질화막 패턴(105e)이 노출되도록 상기 도전막을 연마함으로써, 상기 제2 개구부(120) 및 요부(122) 내부에 도전막 패턴(130)을 형성한다.
- [0151] 상기 도전막 패턴(130)은 상기 제1 내지 제5 실리콘 질화막 패턴(105a ~ 105e) 사이에 개재되어 각 층이 서로 분리되어 있으며, 상기 제2 개구부(120) 내부에서만 각 층의 도전막 패턴(130)이 수직 방향으로 서로 연결되어 있는 형상을 갖는다.
- [0152] 도 14 및 도 19를 참조하면, 상기 결과물의 상부 표면에, 상기 제2 개구부(120) 내부에 형성되어 있는 도전막 패턴(130) 상부면을 선택적으로 노출하는 제3 포토레지스트 패턴(도시안됨)을 형성한다. 즉, 상기 제3 포토레지스트 패턴은 상기 제2 개구부(120)와 동일한 부위 또는 상기 제2 개구부(120)보다 더 넓은 부위를 노출시키는 형상을 갖는다.
- [0153] 상기 제3 포토레지스트 패턴을 씁작 마스크로 사용하여 상기 노출된 도전막 패턴을 이방성 씁작함으로써, 상기 각 층의 도전막 패턴(130)들이 수직 방향으로 서로 분리되도록 하는 제3 개구부(134)를 형성한다. 상기 제3 개구부(134)의 저면에는 제1 실리콘 질화막 패턴(105a)이 노출될 수 있다.
- [0154] 상기 씁작 공정을 수행할 때, 상기 층간 절연막들 상에 형성되어 있는 전하 저장막 및 블록킹 유전막을 함께 제거하여 각 층의 전하 저장막 및 블록킹 유전막을 서로 분리시킬 수 있다. 그러나, 도시되지는 않았지만, 상기 층간 절연막들 상에 형성되어 있는 전하 저장막 및 블록킹 유전막을 씁작하지 않고 남겨둘 수도 있다. 이 경우, 상기 각 층의 전하 저장막 패턴은 서로 연결된 형상을 갖는다.
- [0155] 상기 씁작 공정에 의해, 상기 제1 내지 제5 실리콘 질화막 패턴(105a ~ 105e) 사이에는 제1 내지 제5 층 콘트롤 게이트 패턴(132a ~ 132e)이 형성된다. 이 때, 동일한 층에 형성된 콘트롤 게이트 패턴(132a ~ 132e)들은 서로 전기적으로 연결된다. 그러나, 서로 다른 층에 형성된 콘트롤 게이트 패턴(132a ~ 132e)들 간에는 서로 절연된다.
- [0156] 상기 공정을 통해, 수직 방향으로 직렬 연결된 셀 트랜지스터들이 완성된다. 여기서, 상기 단결정 반도체 패턴(116)의 최 상부 및 최 하부의 트랜지스터는 셀 트랜지스터로 사용하지 않고, 선택 트랜지스터로 사용할 수도 있다. 즉, 상기 상부 및 하부 트랜지스터는 스트링 선택 및 그라운드 선택 트랜지스터로 사용할 수 있다. 이 경우, 상기 스트링 선택 및 그라운드 선택 트랜지스터는 산화막, 전하 저장막, 블록킹 유전막 및 전극이 적층된 형상을 갖는다.
- [0157] 이와는 달리, 상기 셀 트랜지스터들 양측으로 스트링 선택 및 그라운드 선택 트랜지스터를 별도로 형성할 수도

있다. 또한, 상기 스트링 선택 및 그라운드 선택 트랜지스터는 산화막 및 전극이 적층된 형상을 가질 수도 있다.

[0158] 도 15를 참조하면, 상기 제3 개구부(134) 내부를 매립하도록 분리용 절연막(도시안됨)을 형성한다. 상기 분리용 절연막은 실리콘 산화물을 화학기상 증착법으로 증착시켜 형성할 수 있다.

[0159] 이 후, 상기 단결정 실리콘 패턴(116) 및 제5 실리콘 질화막 패턴(105e)의 상부면이 노출되도록 상기 분리용 절연막을 연마함으로써, 상기 제3 개구부(134) 내부에 분리용 절연막 패턴(136)을 형성한다.

[0160] 도 16을 참조하면, 상기 단결정 실리콘 패턴(116)들 및 제5 실리콘 질화막 패턴(105e) 상에 도전막(도시안됨)을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 상기 단결정 실리콘 패턴(116)들의 상부를 서로 연결시키는 비트 라인(140)들을 형성한다. 상기 비트 라인(140)들은 제1 방향으로 연장되는 라인 형상을 가지고, 상기 제1 방향으로 배치되어 있는 단결정 실리콘 패턴(116)들을 서로 연결시킨다.

[0161] 도 20은 도 1에 도시된 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자의 제조하는 다른 방법을 설명하기 위한 단면도이다.

[0162] 먼저, 도 3 및 도 4에서 설명한 것과 동일한 공정을 수행함으로써, 상기 기판(100) 상에 제1 개구부(108)를 갖는 몰드 구조물(110)을 형성한다.

[0163] 이 후, 도 20에 도시된 것과 같이, 상기 제1 개구부(108) 저면에 노출되어 있는 기판(100) 표면을 시드로 하는 에피택시얼 성장 공정을 수행함으로써, 상기 제1 개구부(108) 내부를 완전히 채우는 단결정 실리콘막(150)을 형성한다.

[0164] 다음에, 상기 최 상부의 몰드 구조물 표면이 노출되도록 상기 단결정 실리콘막을 연마함으로써, 도 7에 도시된 것과 같이, 단결정 실리콘 패턴(116)을 형성한다.

[0165] 상기 단결정 실리콘 패턴(116)이 형성된 이 후에는 도 8 내지 도 16에 도시된 것과 동일한 공정을 수행함으로써 비휘발성 메모리 소자를 완성한다.

[0166] 실시예 2

[0167] 도 21은 본 발명의 실시예 2에 따른 수직형 비휘발성 메모리 소자의 사시도이다.

[0168] 도 21에 도시된 수직형 비휘발성 메모리 소자는 각 층의 층간 절연막의 형상을 제외하고는 상기 실시예 1의 수직형 비휘발성 메모리 소자와 유사한 구조를 갖는다. 따라서, 중복되는 설명은 생략하거나 간단하게 언급한다.

[0169] 도 21을 참조하면, 단결정 반도체 물질로 이루어지는 기판(200)이 구비된다. 상기 기판(200)은 예를들어 단결정 실리콘으로 이루어질 수 있다.

[0170] 상기 기판(200) 상에는 필러 형상의 단결정 반도체 패턴(230)들이 구비된다. 상기 단결정 반도체 패턴(230)들은 예를들어, 단결정 실리콘으로 이루어질 수 있다. 상기 단결정 실리콘은 폴리실리콘을 열을 통해 상전이시켜 형성된 것일 수 있다. 또는, 상기 단결정 실리콘은 기판을 시드로 하는 에피택시얼 성장 공정을 통해 형성된 것일 수도 있다.

[0171] 하나의 단결정 반도체 패턴(230)에는 하나의 셀 스트링을 이루는 셀 트랜지스터들이 수직 방향으로 직렬 연결되어 있다. 또한, 상기 적층된 셀 트랜지스터들의 수직 방향의 사이에는 층간 절연막 패턴(202, 205, 207, 209, 211)들이 각각 구비된다.

[0172] 구체적으로, 상기 각 단결정 반도체 패턴(230)에는 일정 간격을 가지면서 적층되는 링 형상의 제1 내지 제n층 열 산화막 패턴(238a, 238b, 238c, 238d)들이 구비된다. 본 실시예에서는, 제1 내지 제4층 열 산화막 패턴(238a, 238b, 238c, 238d)이 형성되어 있다.

[0173] 상기 제1 내지 제4층 열 산화막 패턴들(238a, 238b, 238c, 238d) 상에는 전하 저장막 패턴들(250, charge storage pattern)들이 구비된다. 상기 전하 저장막 패턴(250)은 전하를 트랩핑할 수 있는 물질인 실리콘 질화물 또는 금속 산화물로 이루어질 수 있다. 즉, 상기 전하 저장막 패턴(250)은 상기 열 산화막 패턴들(238a, 238b, 238c, 238d) 및 상기 층간 절연막 패턴(202, 205, 207, 209, 211)들의 표면 상에 수평 방향으로 연장되도록 형성되어 있다.

[0174] 상기 전하 저장막 패턴(250) 상에는 블록킹 절연막(252)이 구비된다. 상기 블록킹 절연막(252)은 실리콘 산화물

또는 금속 산화물로 이루어질 수 있다.

[0175] 상기 블록킹 절연막(252) 상에는 상기 제1 내지 제4 층 열 산화막 패턴(238a, 238b, 238c, 238d)과 각각 대향하는 제1 내지 제4 층 콘트롤 게이트 패턴(258a, 258b, 258c, 258d)이 구비된다. 동일한 층에 위치하는 콘트롤 게이트 패턴은 서로 전기적으로 연결되고, 서로 다른 층의 콘트롤 게이트 패턴은 서로 절연된다.

[0176] 따라서, 상기에서도 설명한 것과 같이, 상기 제1 내지 제4 층 콘트롤 게이트 패턴(258a, 258b, 258c, 258d) 사이에는 상기 콘트롤 게이트 패턴들을 지지하는 제1 내지 제5 층간 절연막 패턴(202, 205, 207, 209, 211)들이 구비된다.

[0177] 상기 각 층에 형성되어 있는 층간 절연막 패턴(205, 207, 209)은 실리콘 질화막, 실리콘 산화막 및 실리콘 질화막이 순차적으로 적층된 형상을 갖는다. 다만, 상기 기판 표면과 접촉하고 있는 최 하부 층간 절연막 패턴(즉, 제1 층간 절연막 패턴, 202)과 최 상부 층간 절연막 패턴(즉, 제5 층간 절연막 패턴, 211)은 다른 층간 절연막 패턴과 다소 다른 형상을 가질 수 있다. 구체적으로, 상기 최 하부 층간 절연막 패턴(202)은 실리콘 산화막 및 실리콘 질화막만이 적층되는 형상을 갖는다. 그리고, 최 상부 층간 절연막 패턴(211)은 실리콘 질화막 및 실리콘 산화막만이 적층되는 형상을 갖는다. 그리고, 상기 최 상부 층간 절연막 패턴(211)에 형성되는 실리콘 산화막은 하부에 형성되어 있는 층간 절연막 패턴들에 포함되는 실리콘 산화막에 비해 두께가 더 두껍다.

[0178] 한편, 상기 층간 절연막 패턴(202, 205, 207, 209, 211)에 포함되는 실리콘 질화막은 실리콘 산화막에 비해 높은 유전율을 가진다. 때문에, 상기 실리콘 질화막의 두께가 두꺼워질수록 이웃하는 셀 트랜지스터들 사이의 기생 커패시턴스가 증가하게 된다. 그러므로, 상기 층간 절연막 패턴(202, 205, 207, 209, 211)에 포함되는 실리콘 질화막은 실리콘 산화막에 비해 얇은 두께를 갖는 것이 바람직하다.

[0179] 또한, 상기 각각의 제1 내지 제5 층간 절연막 패턴(202, 205, 207, 209, 211)들과 상기 단결정 실리콘 패턴(230)의 수평 방향의 사이에는 실리콘 산화막 스페이서(226)가 구비된다.

[0180] 상기 각 층의 콘트롤 게이트 패턴(258a, 258b, 258c, 258d)들은 제1 부위에 상기 제1 층간 절연막 패턴(202) 상부까지 연장되는 훌이 생성되어 있다. 상기 훌의 내부에는 분리용 절연막 패턴(260)이 구비된다. 상기 분리용 절연막 패턴(260)은 상기 각 층의 콘트롤 게이트 패턴(258a, 258b, 258c, 258d) 및 층간 절연막 패턴(202, 205, 207, 209, 211)들의 측벽과 접촉하게 된다.

[0181] 상기 단결정 반도체 패턴(230)들의 상부면과 접촉하고, 제1 방향으로 배치된 단결정 반도체 패턴(230)들을 전기적으로 연결시키는 비트 라인(262)들이 구비된다.

[0182] 상기 각각의 단결정 반도체 패턴(230)에서 상기 열 산화막 패턴(238a~238d)들 사이에 위치하는 단결정 반도체 패턴(230)의 측벽 표면 아래에는 N형의 불순물이 도핑된 소오스/드레인 영역이 구비될 수 있다.

[0183] 또한, 상기 열산화막 패턴(238a~238d)들과 접하는 단결정 반도체 패턴(230)들 표면 아래에는 P형의 불순물이 도핑된 채널 영역이 구비될 수 있다.

[0184] 상기 기판(200) 표면 아래에는 공통 소오스 라인으로 제공되는 불순물 영역이 구비될 수 있다. 상기 불순물 영역은 N형 불순물로 이루어질 수 있다. 상기 불순물 영역이 구비됨으로써, 상기 단결정 반도체 패턴(230)들에 형성되어 있는 각 스트링들의 하부가 서로 연결된다.

[0185] 도 22 내지 도 33은 도 21에 도시된 본 발명의 실시예 2에 따른 수직형 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도이다.

[0186] 도 22를 참조하면, 단결정 실리콘으로 이루어진 기판(200)을 마련한다. 상기 기판(200)에 N형의 불순물을 도핑함으로써, 소오스 라인으로 사용되는 불순물 영역(도시안됨)을 형성한다. 구체적으로, 하나의 셀 블록이 형성되는 부위의 기판에 N형 불순물을 도핑함으로써 상기 불순물 영역을 형성할 수 있다.

[0187] 상기 불순물이 도핑되어 있는 기판(200) 상에 층간 절연막(202, 204, 206, 208, 210) 및 희생막(212, 214, 216, 218)을 수직 방향으로 반복하여 적층한다. 상기 층간 절연막 및 희생막을 적층하는 공정은 화학기상 증착 공정을 통해 수행될 수 있다. 이 때, 상기 반복 적층되는 구조의 최 상부 및 최 하부에는 층간 절연막이 형성되도록 한다.

[0188] 본 실시예에서는, 상기 희생막(212, 214, 216, 218)은 폴리실리콘 게르마늄을 증착시켜 형성하고, 상기 층간 절연막(202, 204, 206, 208, 210)은 실리콘 질화물, 실리콘 산화물 및 실리콘 질화물을 순차적으로 적층시켜 형성할 수 있다.

- [0189] 이 때, 상기 희생막(212, 214, 216, 218) 및 상기 충간 절연막(202, 204, 206, 208)이 적층되는 수는 상기 셀 스트링 내에 포함되는 셀 트랜지스터의 개수와 동일하거나 더 많아야 한다. 본 실시예에서는, 상기 셀 스트링 내에 n개의 셀 트랜지스터가 직렬 연결되어 있는 경우에는 1 내지 n층 희생막 및 1 내지 n+1 충간 절연막이 서로 교대로 적층된다.
- [0190] 보다 구체적으로, 실리콘 산화막(202a) 및 실리콘 질화막(202b)을 화학기상 증착법에 의해 증착함으로써 제1 충간 절연막(202)을 형성한다. 이와같이, 기판과 접촉하고 있는 최 하부의 제1 충간 절연막(202)은 실리콘 산화막(202a) 및 실리콘 질화막(202b) 만으로 구성된다.
- [0191] 상기 제1 충간 절연막(202) 상에 폴리실리콘 게르마늄을 화학기상 증착법에 의해 증착함으로써 제1 층 희생막(212)을 형성한다. 상기 제1 층 희생막(212) 상에 실리콘 질화막(204a), 실리콘 산화막(204b) 및 실리콘 질화막(204c)을 증착함으로써 제2 충간 절연막(204)을 형성한다. 이후, 동일한 방법으로, 폴리실리콘 게르마늄으로 이루어지는 제2 내지 제4 층 희생막(214, 216, 218)을 형성한다. 또한, 상기 각 층의 희생막들(214, 216, 218) 사이에는 실리콘 질화막, 실리콘 산화막 및 실리콘 질화막으로 이루어지는 제3 및 제4 충간 절연막(206, 208)을 형성한다. 상기 제4 층 희생막(218) 상에는 실리콘 질화막 및 실리콘 산화막(210a, 210b)을 증착함으로써 제5 충간 절연막(210)을 형성한다.
- [0192] 이 때, 상기 제2 내지 제4 충간 절연막(204, 206, 208) 내에 포함되는 실리콘 산화막(204b, 206b, 208b)은 인접하고 있는 실리콘 질화막(204a, 204c, 206a, 206c, 208a, 208c)에 비해 더 두껍게 형성되는 것이 바람직하다.
- [0193] 또한 최 상부에 위치하는 충간 절연막(즉, 제5 충간 절연막, 210) 내에 포함되는 실리콘 산화막(210b)은 아래에 형성된 충간 절연막에 포함되는 실리콘 산화막들에 비해 더 두껍게 형성되는 것이 바람직하다. 이는, 상기 최 상부의 실리콘 산화막(210b)의 경우 후속 공정에서 연마될 수 있으므로, 상기 연마되는 두께를 고려하여 상대적으로 더 두껍게 형성하는 것이다.
- [0194] 도 23을 참조하면, 최 상부에 위치하는 실리콘 산화막(210b) 상에 제1 포토레지스트 패턴(도시안됨)을 형성하고, 상기 제1 포토레지스트 패턴을 식각 마스크로 사용하여 상기 희생막 및 충간 절연막들을 순차적으로 식각함으로써 제1 개구부(220)들을 갖는 몰드 구조물(224)을 형성한다. 이 때, 상기 각 제1 개구부(220)의 저면에는 상기 반도체 기판(200) 표면이 노출되도록 한다.
- [0195] 도 24를 참조하면, 상기 제1 개구부(220)의 측벽, 저면 및 상기 몰드 구조물(224)의 상부면에 실리콘 산화막을 형성한다. 다음에, 상기 실리콘 산화막을 이방성으로 식각함으로써, 상기 제1 개구부(220)의 측벽에 실리콘 산화막 스페이서(226)를 형성한다.
- [0196] 상기 실리콘 산화막 스페이서(226)에 의해 상기 제1 개구부(220) 측벽에는 폴리실리콘 게르마늄이 노출되지 않는다. 다만, 상기 제1 개구부(220)의 저면에만 단결정 실리콘으로 이루어진 기판(200)이 노출된다.
- [0197] 도 25를 참조하면, 상기 제1 개구부(220)들의 내부를 채우도록 비정질의 폴리실리콘막을 형성한다. 상기 폴리실리콘막은 화학기상증착 공정을 통해 형성될 수 있다. 상기 폴리실리콘막은 인시튜 도핑 공정을 통해 N형의 불순물이 도핑될 수 있다.
- [0198] 이 후, 상기 제5 실리콘 산화막(210b)의 상부면이 노출되도록 상기 폴리실리콘막을 연마함으로써, 상기 제1 개구부(220)들 내부에 폴리실리콘 패턴(228)들을 형성한다. 상기 연마는 화학기계적 연마 공정을 통해 수행될 수 있다.
- [0199] 도 26을 참조하면, 상기 폴리실리콘 패턴(228)을 열처리함으로써 상기 폴리실리콘 패턴(228)이 단결정 실리콘 패턴(230)으로 상전이되도록 한다. 상기 열처리는 레이저를 사용하여 수행할 수 있다.
- [0200] 이 때, 상기 열처리에 사용되는 레이저는 증착되어 있는 상기 폴리실리콘 패턴(228)이 완전히 용융시킬 수 있도록 하는 에너지 밀도를 갖는 것이 바람직하다. 이를 위하여, 상기 레이저 열처리를 기판(200) 상부 뿐 아니라 기판(200) 이면에서도 동시에 수행할 수 있다.
- [0201] 이 후, 상기 단결정 실리콘 패턴(230)의 상부면이 평坦해지도록 상기 단결정 실리콘 패턴(230)의 상부면을 연마할 수 있다.
- [0202] 본 실시예에서는 상기 희생막으로써 폴리실리콘 게르마늄을 사용하였다. 그러나, 상기 제1 개구부(220)의 측벽에 형성된 실리콘 산화막 스페이서(226)에 의해 상기 제1 개구부(220)의 측벽에 상기 폴리실리콘 게르마늄이 노

출되지 않는다. 때문에, 상기 레이저를 통한 상전이 공정 시에 상기 폴리실리콘 게르마늄에 의해 상기 단결정 실리콘 패턴(230)의 단결정 상태가 깨지는 것을 방지할 수 있다.

[0203] 도 27을 참조하면, 상기 단결정 실리콘 패턴(230)들 및 몰드 구조물(224) 상에, 상기 단결정 실리콘 패턴(230)들 사이의 상기 몰드 구조물(224) 일부분을 선택적으로 노출하는 제2 포토레지스트 패턴(도시안됨)을 형성한다.

[0204] 상기 제2 포토레지스트 패턴을 식각 마스크로 사용하여 상기 몰드 구조물(224)을 식각함으로써 제2 개구부(232)들을 형성한다. 상기 제2 개구부(232)들의 저면에는 상기 몰드 구조물(224)의 최 하부막인 제1 층간 절연막(202)의 상부면이 노출되도록 한다.

[0205] 상기 제2 개구부(232)가 형성됨으로써 상기 층간 절연막들 및 희생막들은 각각 층간 절연막 패턴(202, 205, 207, 209, 211) 및 희생막 패턴(도시안됨)이 된다. 또한, 상기 제2 개구부(232)들의 측벽 및 저면에는 상기 층간 절연막 패턴(202, 205, 207, 209, 211) 및 희생막 패턴들이 노출된다.

[0206] 다음에, 상기 제2 개구부(232)들의 측벽에 노출되어 있는 상기 제1 내지 제4 희생막 패턴을 선택적으로 제거한다. 상기 제1 내지 제4 희생막 패턴은 습식 식각 공정을 통해 제거한다. 상기 제1 내지 제4 희생막 패턴을 식각하면, 상기 제2 개구부(232)의 측벽에 요부(234)가 생성된다. 이 때, 상기 각 층의 요부(234)들은 서로 통하게 된다. 또한, 상기 요부에 의해 상기 단결정 실리콘 패턴(230) 측벽의 실리콘 산화막 스페이서(226)가 노출된다.

[0207] 도 28을 참조하면, 상기 단결정 실리콘 패턴(230)의 일 측벽에 노출되어 있는 실리콘 산화막 스페이서(226)를 습식 식각 공정을 통해 제거함으로써 상기 단결정 실리콘 패턴(230)의 일부분을 노출시킨다.

[0208] 상기 실리콘 산화막 스페이서(226)를 제거하는 공정에서, 상기 층간 절연막 패턴(202, 205, 207, 209, 211) 내에 포함되어 있는 실리콘 산화막 패턴들이 제거될 수 있다. 그러나, 각 층의 층간 절연막 패턴(202, 205, 207, 209, 211)에 포함된 실리콘 산화막 패턴 하부면과 상부면에 실리콘 질화막 패턴이 형성되어 있기 때문에, 상기 실리콘 질화막 패턴에 의해 상기 실리콘 산화막 패턴이 상기 습식 식각으로부터 보호된다. 따라서, 상기 층간 절연막 패턴(202, 205, 207, 209, 211) 내에 포함된 실리콘 산화막 패턴이 제거되는 것을 억제할 수 있다.

[0209] 도 29를 참조하면, 상기 요부(234)에 의해 노출되는 단결정 실리콘 패턴(230)으로 P형 불순물을 주입함으로써 채널 영역(도시안됨)을 형성한다. 필러 형상을 갖는 단결정 실리콘 패턴(230)의 노출된 측벽 부위에 균일하게 불순물을 주입시키기 위해서, 상기 불순물을 주입하는 공정은 플라즈마 도핑 공정을 통해 수행하는 것이 바람직하다.

[0210] 상기와 같이 채널 영역이 형성됨으로써, 상기 채널 영역이 형성되지 않은 나머지의 단결정 실리콘 패턴(230) 부위가 소오스/드레인 영역으로 제공된다.

[0211] 다음에, 상기 노출된 단결정 실리콘 패턴(230)의 측벽을 열산화시킴으로써 제1 내지 제4 층 열 산화막 패턴(238a ~ 238d)을 형성한다. 상기 제1 내지 제4 층 열 산화막 패턴(238a ~ 238d)은 상기 노출된 단결정 실리콘 패턴(230)의 측벽에 링 형상을 가지면서 형성된다. 상기 제1 내지 제4 층 열 산화막 패턴(238a ~ 238d)은 각 셀트랜지스터의 터널 산화막으로 제공된다.

[0212] 도 30을 참조하면, 상기 제1 내지 제4 층 열 산화막 패턴(238a ~ 238d) 및 상기 제1 내지 제5 층간 절연막 패턴(202, 205, 207, 209, 211) 상에 전하 저장막(250)을 형성한다. 상기 전하 저장막(250)은 상기 열 산화막 패턴(238a ~ 238d) 및 층간 절연막 패턴들의 표면 상에서 수평 방향으로 서로 연결된 형상을 갖는다.

[0213] 상기 전하 저장막(250)은 실리콘 질화물 또는 금속 산화물을 증착시켜 형성할 수 있다.

[0214] 다음에, 상기 전하 저장막(250) 상에 블록킹 절연막(252)을 형성한다. 상기 블록킹 절연막(252)은 실리콘 산화물 또는 금속 산화물을 증착시켜 형성할 수 있다.

[0215] 상기 블록킹 절연막(252) 상에, 상기 제2 개구부(232) 및 요부(234) 내부를 완전히 채우도록 도전막을 증착한다. 상기 도전막은 후속 공정을 통해 콘트롤 게이트 패턴으로 제공된다. 상기 도전막은 불순물이 도핑된 폴리실리콘을 증착시켜 형성할 수 있다.

[0216] 상기 도전막을 증착한 이 후에, 상기 단결정 실리콘 패턴(230) 및 상기 제5 층간 절연막 패턴(211)이 노출되도록 상기 도전막을 연마함으로써, 상기 제2 개구부(232) 및 요부(234) 내부에 도전막 패턴(254)을 형성한다.

[0217] 상기 도전막 패턴(254)은 상기 제1 내지 제5 층간 절연막 패턴(202, 205, 207, 209, 211) 사이에 개재되어 각 층이 서로 분리되어 있으며, 상기 제2 개구부(232) 내부에서만 각 층의 도전막 패턴(254)이 수직 방향으로 서로

연결되어 있는 형상을 갖는다.

[0218] 도 31을 참조하면, 상기 결과물의 상부 표면에, 상기 제2 개구부(232) 내부에 형성되어 있는 도전막 패턴(254) 상부면을 선택적으로 노출하는 제3 포토레지스트 패턴(도시안됨)을 형성한다.

[0219] 상기 제3 포토레지스트 패턴을 식각 마스크로 사용하여 상기 노출된 도전막 패턴(254)을 이방성 식각함으로써, 상기 각 층의 도전막 패턴(254)들이 수직 방향으로 서로 분리되도록 하는 제3 개구부(256)를 형성한다.

[0220] 상기 식각 공정에 의해, 상기 제1 내지 제5 층간 절연막 패턴사이에는 제1 내지 제5층 콘트롤 게이트 패턴(258a~258d)이 형성된다. 동일한 층에 형성된 콘트롤 게이트 패턴들은 서로 전기적으로 연결된다. 그러나, 서로 다른 층에 형성된 콘트롤 게이트 패턴들 간에는 서로 절연된다.

[0221] 도 32를 참조하면, 상기 제3 개구부(256) 내부를 매립하도록 분리용 절연막을 형성한다. 상기 분리용 절연막은 실리콘 산화물을 화학기상 증착법으로 증착시켜 형성할 수 있다.

[0222] 이 후, 상기 단결정 실리콘 패턴(230) 및 제5 층간 절연막 패턴(211)의 상부면이 노출되도록 상기 분리용 절연막을 연마함으로써, 상기 제3 개구부(256) 내부에 분리용 절연막 패턴(260)을 형성한다.

[0223] 도 33을 참조하면, 상기 단결정 실리콘 패턴(230)들 및 제5 층간 절연막 패턴(211) 상에 도전막을 형성한다. 이 후, 상기 도전막을 사진 식각 공정을 통해 패터닝함으로써, 상기 단결정 실리콘 패턴(230)들의 상부를 서로 연결시키는 비트 라인(262)들을 형성한다. 상기 비트 라인(262)들은 제1 방향으로 연장되는 라인 형상을 가지고, 상기 제1 방향으로 배치되어 있는 단결정 실리콘 패턴(230)들을 서로 연결시킨다.

[0224] 도 34는 도 21에 도시된 본 발명의 실시예 2에 따른 수직형 비휘발성 메모리 소자의 제조하는 다른 방법을 설명하기 위한 단면도이다.

[0225] 먼저, 도 22 내지 도 24에서 설명한 것과 동일한 공정을 수행함으로써, 상기 기판 상에 제1 개구부를 갖는 몰드 구조물을 형성한다.

[0226] 이 후, 도 34에 도시된 것과 같이, 상기 제1 개구부 저면에 노출되어 있는 기판 표면을 시드로 하는 에피택시얼 성장 공정을 수행함으로써, 상기 제1 개구부 내부를 완전히 채우는 단결정 실리콘막(280)을 형성한다.

[0227] 다음에, 도 25에 도시된 것과 같이, 상기 최 상부의 몰드 구조물 표면이 노출되도록 상기 단결정 실리콘막을 연마함으로써 단결정 실리콘 패턴을 형성한다.

[0228] 상기 단결정 실리콘 패턴이 형성된 이 후에는 도 26 내지 도 33에 도시된 것과 동일한 공정을 수행함으로써 비휘발성 메모리 소자를 완성한다.

[0229] 실시예 3

[0230] 도 35는 본 발명의 실시예 3에 따른 수직형 비휘발성 메모리 소자의 단면도이다.

[0231] 도 35에 도시된 수직형 비휘발성 메모리 소자는 기판(300) 상에는 코어 및 페리 회로(302)가 구비되고, 상기 코어 및 페리 회로(302) 상에 셀 구조(304)가 구비된다. 그리고, 상기 셀 구조(304)는 상기 실시예 1의 수직형 비휘발성 메모리 소자와 동일하다.

[0232] 도 35를 참조하면, 단결정 반도체 물질로 이루어지는 기판(300)이 구비된다. 상기 기판(300)은 예를들어 단결정 실리콘으로 이루어질 수 있다.

[0233] 상기 기판(300) 상에 코어 및 페리 회로를 이루는 하부 구조물들이 구비된다. 상기 하부 구조물들은 예를들어, PMOS 트랜지스터 및 NMOS 트랜지스터(306) 등을 포함한다.

[0234] 상기 기판(300) 상에 상기 하부 구조물들을 덮는 하부 층간 절연 구조물(318, 324, 330)이 구비된다. 상기 하부 층간 절연 구조물(318, 324, 330)은 실리콘 산화물을 이루어지는 층간 절연막이 적층된 형상을 갖는다.

[0235] 또한, 상기 하부 층간 절연 구조물(318, 324, 330) 내에는 상기 PMOS 트랜지스터 및 NMOS 트랜지스터(316)들을 서로 연결시키기 위한 하부 배선들(320, 322, 326, 328)이 구비된다. 상기 하부 배선들(320, 322, 326, 328)은 콘택 및 도전성 라인을 포함하며, 폴리실리콘 또는 금속 물질로 이루어질 수 있다.

[0236] 상기 하부 층간 절연 구조물(318, 324, 330)의 최상부면은 평탄한 형상을 갖는다.

[0237] 상기 하부 층간 절연 구조물(318, 324, 330) 상에는 단결정 실리콘층(332)이 구비된다. 상기 단결정 실리콘층

(332)은 상부 기판의 역할을 한다. 따라서, 상기 단결정 실리콘층(332)은 액티브 영역 상에만 위치하게 된다. 구체적으로, 상기 단결정 실리콘층(332)은 상기 비휘발성 메모리 소자에서 각 셀 블록별이 형성되는 부위에 위치하게 된다.

[0238] 상기 단결정 실리콘층(332) 상에는 실시예 1에 개시되어 있는 비휘발성 메모리 소자의 셀 구조물(334)들이 구비된다.

[0239] 상기 셀 구조물(334)에 대해 간단히 설명하면, 필러 형상의 단결정 반도체 패턴(116)들이 구비된다. 상기 단결정 반도체 패턴(116)에는 하나의 셀 스트링을 이루는 셀 트랜지스터들이 수직 방향으로 직렬 연결되어 있다. 또한, 상기 적층된 셀 트랜지스터들의 수직 방향의 사이에는 충간 절연막 패턴들이 각각 구비된다.

[0240] 상기 셀 트랜지스터들은 열산화물로 이루어지는 링 형상의 터널 산화막 패턴을 포함한다. 또한, 상기 터널 산화막 패턴 상에 전하 저장막 패턴, 블록킹 절연막 및 콘트롤 게이트 패턴들이 구비된다. 상기 콘트롤 게이트 패턴들은 상기 터널 산화막 패턴과 서로 대향하도록 배치되며 각 층의 충간 절연막 패턴 사이에 개재된다. 이 때, 상기 각 층에 위치하는 콘트롤 게이트 패턴 및 충간 절연막의 일측 가장자리 부위는 계단 형상을 갖는다. 따라서, 하부에 위치하는 콘트롤 게이트 패턴 및 충간 절연막 패턴이 상부에 위치하는 콘트롤 게이트 패턴 및 충간 절연막 패턴에 비해 수평 방향으로 더 긴 형상을 갖는다.

[0241] 상기 실시예 1에 개시되어 있는 비휘발성 메모리 소자의 셀 구조물을 덮는 상부 충간 절연막(340)이 구비된다. 상기 상부 충간 절연막(340)은 실리콘 산화물로 이루어질 수 있다.

[0242] 상기 상부 충간 절연막(340)에는 각 층의 콘트롤 게이트 패턴들, 단결정 실리콘층(332) 및 하부 배선(328)과 연결되는 상부 배선(342, 344)이 구비된다. 구체적으로, 상기 각 층의 콘트롤 게이트 패턴들의 가장자리 부위와 연결되는 콘택 및 도전성 라인, 단결정 실리콘층(332)과 연결되는 콘택 및 도전성 라인, 그리고 하부 배선(328)과 연결되는 콘택 및 도전성 라인이 구비된다.

[0243] 도시된 것과 같이, 기판 상에는 코어 및 페리 회로가 구비되고, 상기 코어 및 페리 회로 상에 비휘발성 메모리의 셀 구조가 구비된다. 즉, 상기 비휘발성 메모리 셀 구조가 형성되는 부위의 아래에 상기 코어 페리 회로가 구현되므로, 상기 코어 및 페리 회로를 구현하기 위한 기판의 수평 영역이 별도로 요구되지 않는다. 때문에, 비휘발성 메모리 셀의 집적도를 더욱 높힐 수 있다.

[0244] 도 36 내지 도 40은 도 35에 도시된 본 발명의 실시예 3에 따른 수직형 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도이다.

[0245] 상기 실시예 3에 따른 수직형 비휘발성 메모리 소자에서 코어 및 페리 회로 상에 구비되는 셀 구조를 형성하는 방법은 상기 실시예 1에서 설명한 것과 동일하다. 그러므로, 기판 상에 하부의 코어 및 페리 회로를 형성하는 것에 대해서 주로 설명하고 중복되는 설명은 생략한다.

[0246] 도 36을 참조하면, 단결정 실리콘으로 이루어진 기판(300)을 마련한다. 상기 기판(300)에 소자 분리 공정을 수행하여 소자 분리 영역 및 액티브 영역을 구분한다.

[0247] 상기 기판(300) 상에 게이트 산화막(310) 및 게이트 전극(312)을 형성하고, 상기 게이트 전극(312) 양측의 기판 아래로 불순물을 도핑함으로써 소오스/드레인 영역(314)을 형성한다. 상기 공정을 수행함으로써, 코어 및 페리 회로를 이루는 NMOS 트랜지스터 및 PMOS 트랜지스터(316)를 각각 형성한다.

[0248] 이 후, 상기 NMOS 및 PMOS 트랜지스터(316)를 덮는 제1 하부 충간 절연막(318)을 형성한다. 상기 제1 하부 충간 절연막(318)은 실리콘 산화물을 화학기상 증착법으로 증착시켜 형성할 수 있다.

[0249] 사진 및 식각 공정을 이용하여 상기 제1 하부 충간 절연막(318)에 콘택홀을 형성하고, 상기 콘택홀 내부를 채우도록 제1 도전막을 증착한 후 이를 연마함으로써, 제1 하부 콘택(320)을 형성한다.

[0250] 또한, 상기 제1 하부 콘택(320) 상에 제2 도전막을 증착하고, 상기 제2 도전막을 패터닝함으로써, 상기 제1 하부 콘택(320)과 전기적으로 접속하는 제1 하부 도전성 라인(322)을 형성한다. 상기 제1 하부 콘택(320) 및 제1 하부 도전성 라인(322)은 금속 물질 또는 불순물이 도핑된 폴리실리콘으로 형성할 수 있다. 그러나, 동작 속도를 빠르게 하기 위하여 저저항을 갖는 금속 물질로써 상기 제1 하부 콘택(320) 및 제1 하부 도전성 라인(322)을 형성하는 것이 바람직하다.

[0251] 도 37을 참조하면, 상기 제1 하부 콘택(320) 및 제1 하부 도전성 라인(322)이 형성되어 있는 제1 하부 충간 절연막(318) 상에 제2 하부 충간 절연막(324)을 형성한다. 이 후, 상기 설명한 것과 동일한 공정들을 수행하여,

상기 제1 하부 도전성 라인(322)과 접속하는 제2 하부 콘택(326) 및 제2 하부 도전성 라인(328)을 형성한다.

[0252] 또한, 상기 제2 하부 콘택(326) 및 제2 하부 도전성 라인(328)이 형성되어 있는 제2 하부 충간 절연막(324) 상에 제3 하부 충간 절연막(330)을 형성한다.

[0253] 이 후, 상기 제3 하부 충간 절연막(330)의 상부면이 평탄해지도록 상기 제3 하부 충간 절연막(330) 표면을 화학기계적으로 연마할 수 있다.

[0254] 설명한 것과 같이, 기판에 형성되어 있는 하부 구조물들과 연결되는 하부 배선들을 형성할 수 있다. 상기 하부 배선이 적층되는 수는 소자의 회로 설계에 따라 증감될 수 있다.

[0255] 도 38을 참조하면, 상기 제3 하부 충간 절연막(330)에 단결정 실리콘막(332)을 형성한다. 상기 단결정 실리콘막(332)은 기판 본딩 방법을 통해 형성할 수 있다.

[0256] 구체적으로, 상기 제3 하부 충간 절연막(330)에 본딩되는 도너 단결정 실리콘 기판을 마련한다. 상기 도너 단결정 실리콘 기판에 수소 이온을 주입함으로써, 상기 도너 기판 내부에 이온주입 영역을 형성한다. 다음에, 상기 도너 기판과 상기 제3 하부 충간 절연막(330)이 형성되어 있는 억셉트 기판을 서로 포갠 후 고온에서 결합시켜 상기 억셉트 기판의 제3 하부 충간 절연막 상에 상기 도너 기판을 접합시킨다. 또한, 상기 도너 기판의 이온 주입 영역에서 절단되어 상기 도너 기판을 2개로 분리시킴으로써 상기 제3 하부 충간 절연막(330) 상에 예비 단결정 실리콘막을 형성한다. 이 후, 상기 예비 단결정 실리콘막을 화학기계적 연마 공정을 통해 평탄화함으로써 단결정 실리콘막(332)을 형성한다.

[0257] 이 후, 상기 단결정 실리콘막(332)을 사진 및 식각 공정을 통해 패터닝함으로써 액티브 영역 부위에만 단결정 실리콘막(332)이 남아있도록 한다. 즉, 상기 단결정 실리콘막(332)은 셀 블록이 형성되는 부위에만 남아있도록 한다.

[0258] 도 39를 참조하면, 상기 단결정 실리콘막(332) 상에 상기 실시예 1에서 설명한 것과 동일한 공정을 수행함으로써 셀 구조물(334)들을 형성한다. 상기 셀 구조물(334)들을 형성하는 공정은 도 3 내지 도 16을 참조로 설명한 것과 동일하므로 더 이상의 설명을 생략한다.

[0259] 도 40을 참조하면, 각 층에 형성되어 있는 콘트롤 게이트 전극 패턴 및 충간 절연막의 가장자리 부위를 패터닝 한다. 이 때, 상기 콘트롤 게이트 전극 패턴 및 충간 절연막의 가장자리는 계단 형상을 갖는 것이 바람직하다. 이를 위하여, 상기 콘트롤 게이트 전극 패턴 및 충간 절연막은 수 회의 사진 및 식각 공정을 수행하여야 한다.

[0260] 다음에, 상기 셀 구조물들을 덮는 상부 충간 절연막(340)을 형성한다. 상기 상부 충간 절연막(340)은 실리콘 산화물을 화학기상증착법으로 증착시켜 형성할 수 있다.

[0261] 이 후, 상기 상부 충간 절연막(340)의 일부 영역을 사진 및 식각 공정을 통해 식각함으로써 상기 하부 배선, 각 층의 콘트롤 게이트 전극 및 단결정 실리콘막(332)의 일부분을 노출시키는 콘택홀을 형성한다. 이 후, 상기 콘택홀 내부를 채우도록 도전 물질을 증착시키고 상기 도전 물질을 화학기계적 연마 공정을 통해 연마함으로써 상부 콘택(342)을 형성한다. 상기 상부 콘택(342)을 형성하기 위해 증착되는 도전 물질은 금속을 포함하는 것이 바람직하다.

[0262] 또한, 상기 상부 콘택(342)을 서로 연결시키는 상부 도전성 라인(344)을 형성한다. 상기 상부 도전성 라인(344)은 도전막을 증착한 후, 사진 식각 공정을 통해 패터닝함으로써 형성될 수 있다.

[0263] 실시예 4

[0264] 도 41은 본 발명의 실시예 4에 따른 수직형 비휘발성 메모리 소자의 단면도이다.

[0265] 도 41에 도시된 수직형 비휘발성 메모리 소자는, 기판(300) 상에 코어 및 폐리 회로(302)가 구비되고, 상기 코어 및 폐리 회로(302) 상에 셀 구조(350)가 구비된다. 그리고, 상기 코어 및 폐리 회로(302)는 상기 실시예 3과 동일하며, 상기 셀 구조(350)는 상기 실시예 2의 수직형 비휘발성 메모리 소자와 동일하다.

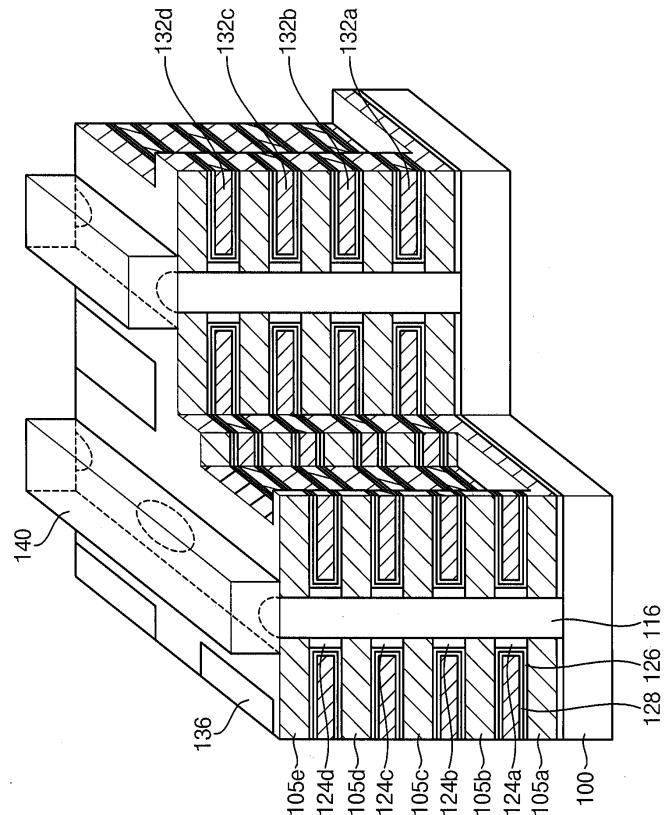
[0266] 또한, 도 41에 도시된 수직형 비휘발성 메모리 소자를 형성하기 위하여, 먼저 실시예 3에서 설명한 것과 같이 하부의 코어 및 폐리 회로(302) 및 단결정 실리콘막(332)을 형성한 후, 상기 단결정 실리콘막(332) 상에 실시예 2에서 설명한 것과 같은 방법으로 수직형 메모리 소자의 셀 구조(350)를 형성한다.

[0267] 실시예 5

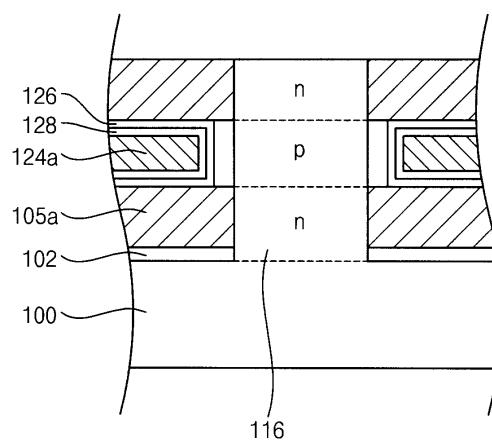
- [0268] 도 42는 본 발명의 실시예 5에 따른 수직형 반도체 소자의 단면도이다.
- [0269] 도 42에 도시된 반도체 소자는 필터 형상의 단결정 실리콘 패턴의 측벽에 MOS 트랜지스터가 구비되는 것을 제외하고는 실시예 1과 동일하다. 즉, 도 42에 도시된 반도체 소자는 게이트 산화막(160) 및 게이트 전극(162a ~162d)을 포함하는 MOS 트랜지스터가 직렬 연결된 구조를 갖는다.
- [0270] 상기 도 42에 도시된 구조를 형성하는 방법은 실시예 1과 매우 유사하다. 다만, MOS 트랜지스터에는 전하 저장막 패턴 및 블록킹 유전막이 필요하지 않으므로 상기 전하 저장막 패턴 및 블록킹 유전막을 형성하는 공정을 수행하지 않는 것에서만 차이가 있다. 그러므로, 더 이상의 설명은 생략한다.
- [0271] 실시예 6
- [0272] 도 43는 본 발명의 실시예 6에 따른 수직형 반도체 소자의 단면도이다.
- [0273] 도 43에 도시된 반도체 소자는 필터 형상의 단결정 실리콘 패턴의 측벽에 MOS 트랜지스터가 구비되는 것을 제외하고는 실시예 2과 동일하다.
- [0274] 즉, 도 43에 도시된 반도체 소자는 게이트 산화막(272) 및 게이트 전극(270a~270d)을 포함하는 MOS 트랜지스터가 직렬 연결된 구조를 갖는다.
- [0275] 상기 도 43에 도시된 구조를 형성하는 방법은 실시예 2와 매우 유사하다. 다만, MOS 트랜지스터에는 전하 저장막 패턴 및 블록킹 유전막이 필요하지 않으므로 상기 전하 저장막 패턴 및 블록킹 유전막을 형성하는 공정을 수행하지 않는 것에서만 차이가 있다. 그러므로, 더 이상의 설명은 생략한다.
- 산업이용 가능성**
- [0276] 상기 설명한 것과 같이, 수직형 스트리밍을 갖는 비휘발성 메모리 소자에 응용할 수 있다. 또한, 이를 이용하여, 상기 단결정 실리콘 패턴의 양측에 게이트 산화막 및 게이트 전극만을 형성하도록 함으로써, MOS트랜지스터의 수직 방향 연결 구조를 갖는 수직형 반도체 소자를 형성할 수도 있다.
- 도면의 간단한 설명**
- [0277] 도 1은 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자의 절개 사시도이다.
- [0278] 도 2는 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자에서 하나의 셀 트랜지스터를 보여주는 단면도이다.
- [0279] 도 3 내지 도 16은 도 1에 도시된 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0280] 도 17 내지 도 19는 각각 도 8, 도 9 및 도 14 단계에서의 사시도들이다.
- [0281] 도 20은 도 1에 도시된 본 발명의 실시예 1에 따른 수직형 비휘발성 메모리 소자의 제조하는 다른 방법을 설명하기 위한 단면도이다.
- [0282] 도 21은 본 발명의 실시예 2에 따른 수직형 비휘발성 메모리 소자의 사시도이다.
- [0283] 도 22 내지 도 33은 도 21에 도시된 본 발명의 실시예 2에 따른 수직형 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도이다.
- [0284] 도 34는 도 21에 도시된 본 발명의 실시예 2에 따른 수직형 비휘발성 메모리 소자의 제조하는 다른 방법을 설명하기 위한 단면도이다.
- [0285] 도 35는 본 발명의 실시예 3에 따른 수직형 비휘발성 메모리 소자의 단면도이다.
- [0286] 도 36 내지 도 40은 도 35에 도시된 본 발명의 실시예 3에 따른 수직형 비휘발성 메모리 소자의 제조 방법을 설명하기 위한 단면도이다.
- [0287] 도 41은 본 발명의 실시예 4에 따른 수직형 비휘발성 메모리 소자의 단면도이다.
- [0288] 도 42는 본 발명의 실시예 5에 따른 수직형 반도체 소자의 단면도이다.
- [0289] 도 43는 본 발명의 실시예 6에 따른 수직형 반도체 소자의 단면도이다.

도면

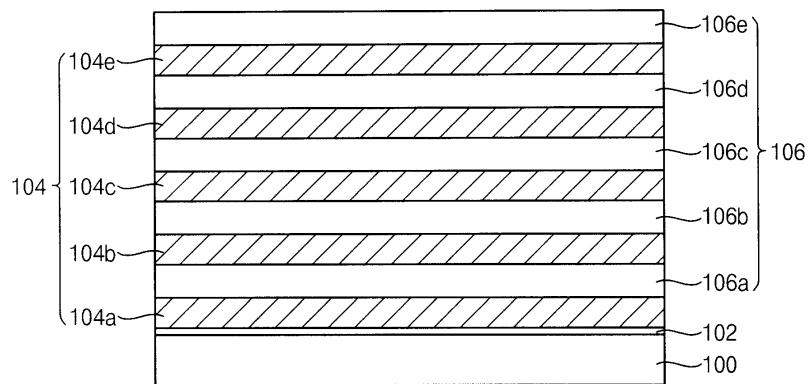
도면1



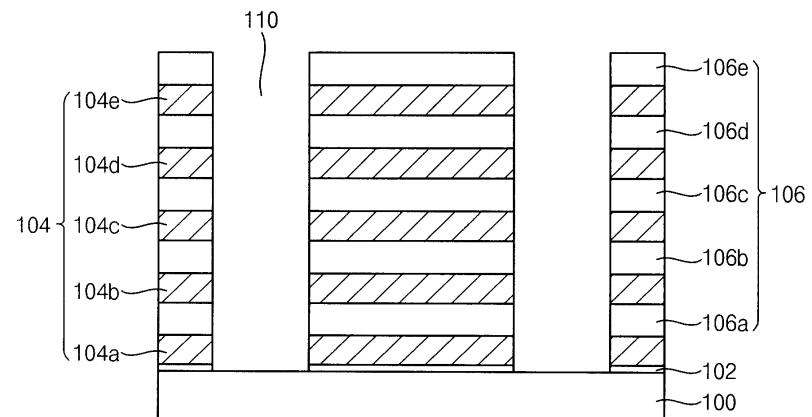
도면2



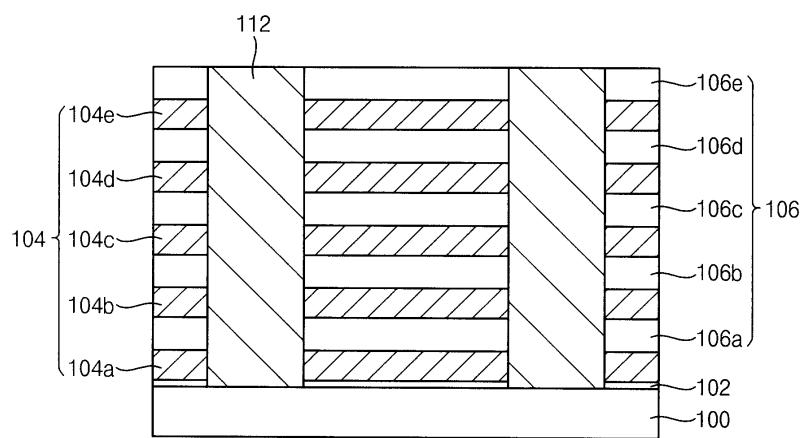
도면3



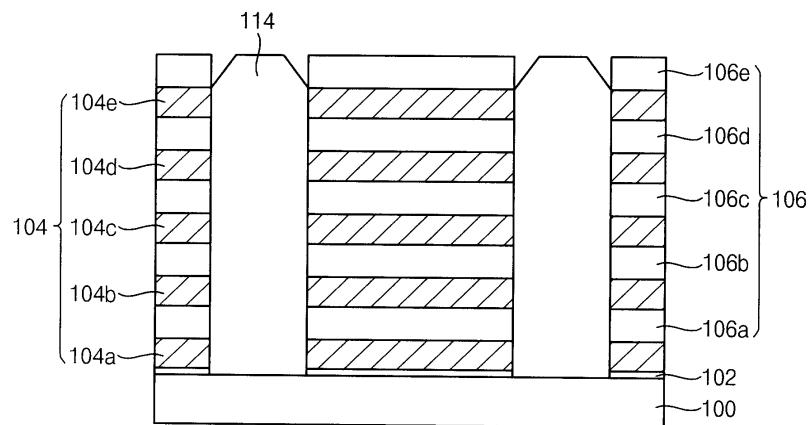
도면4



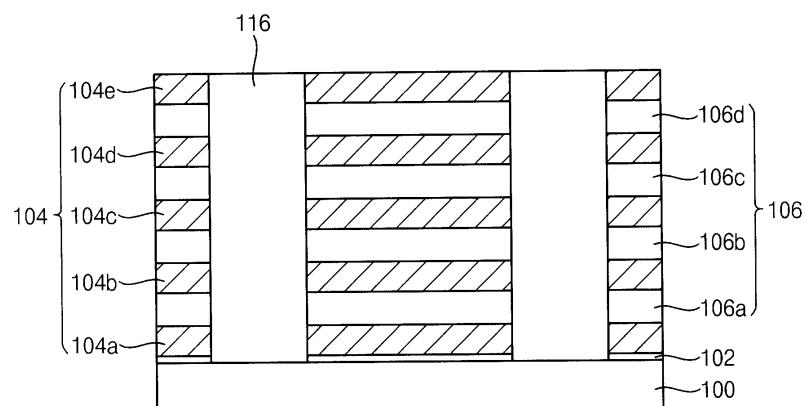
도면5



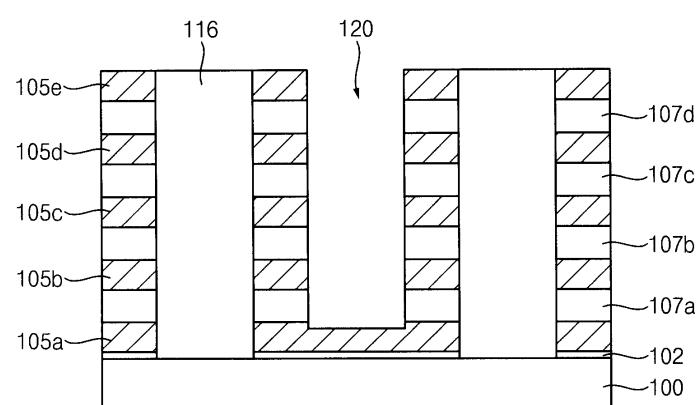
도면6



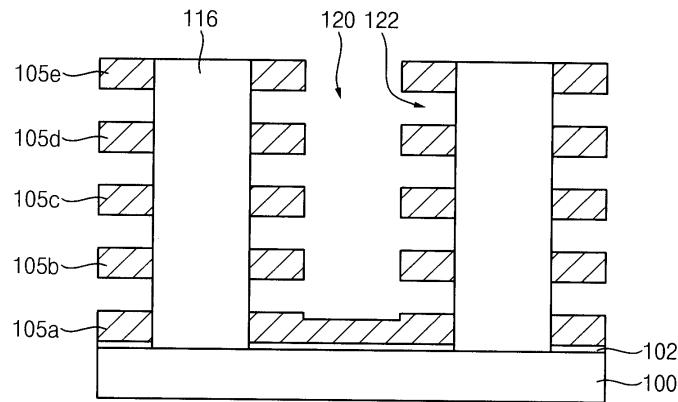
도면7



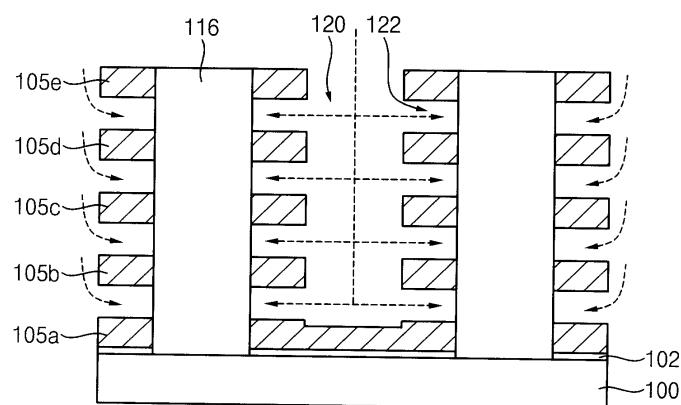
도면8



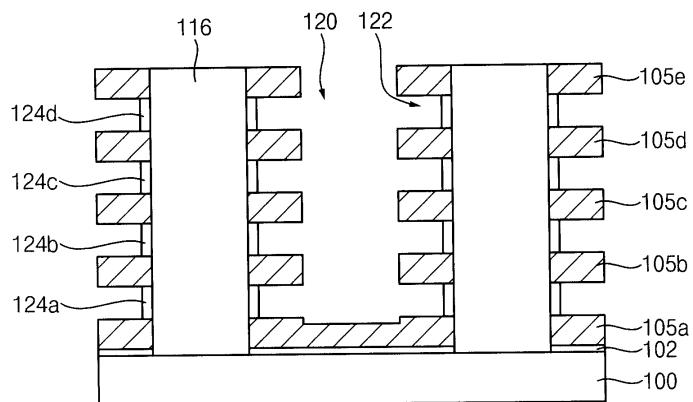
도면9



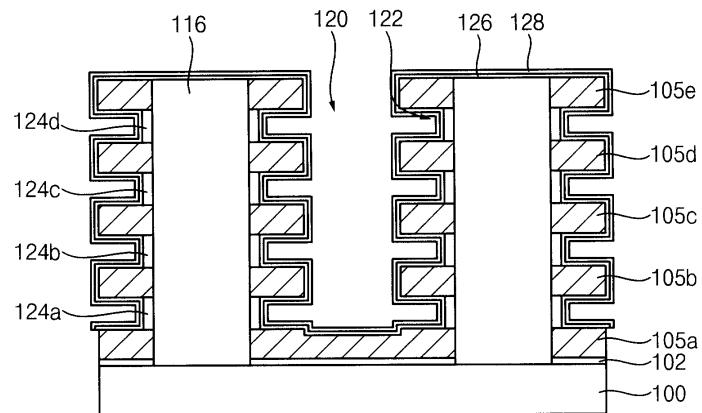
도면10



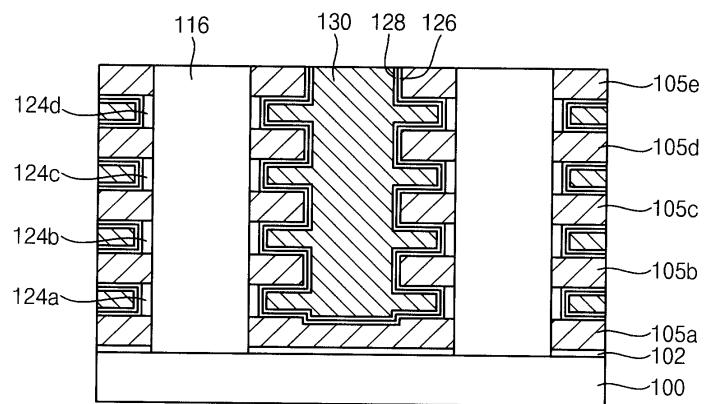
도면11



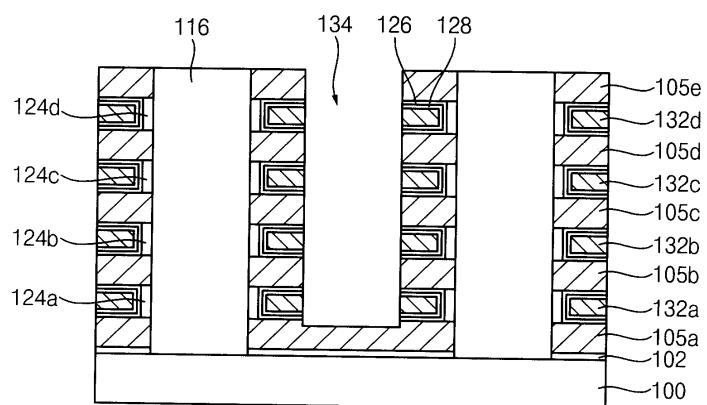
도면12



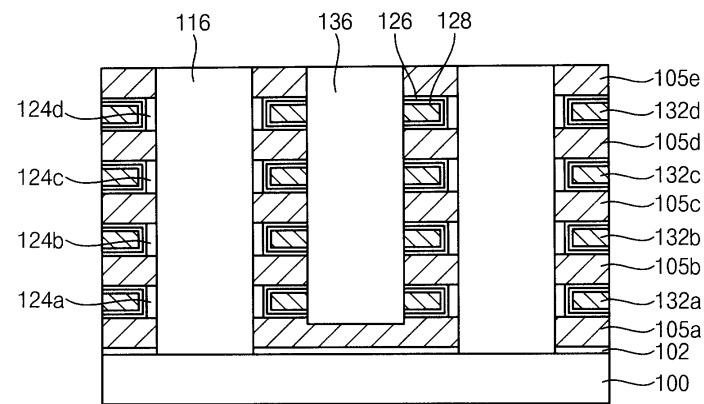
도면13



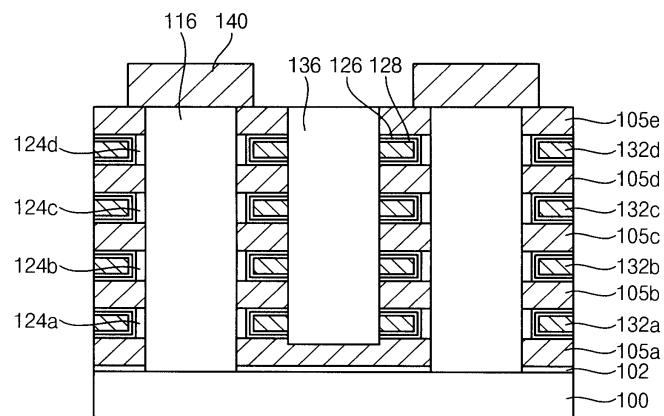
도면14



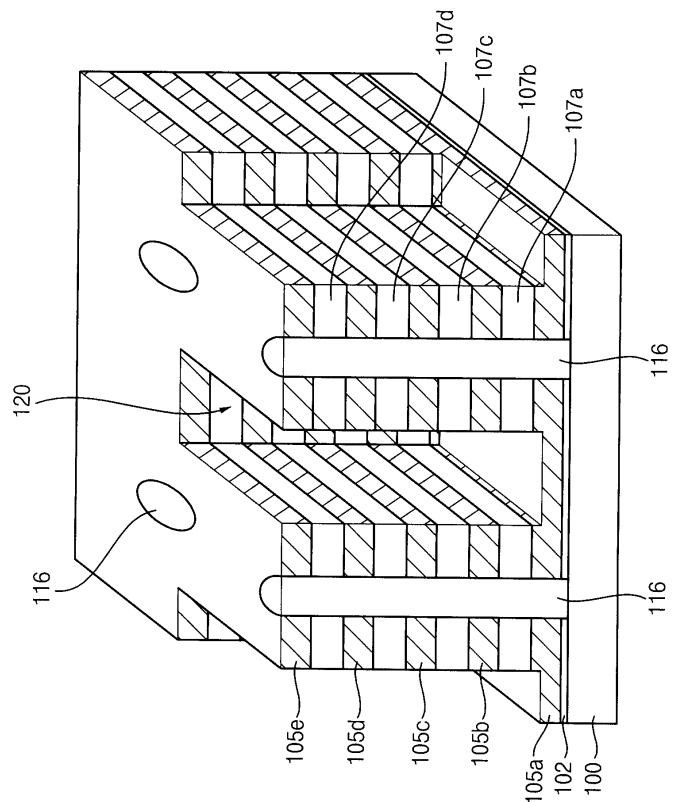
도면15



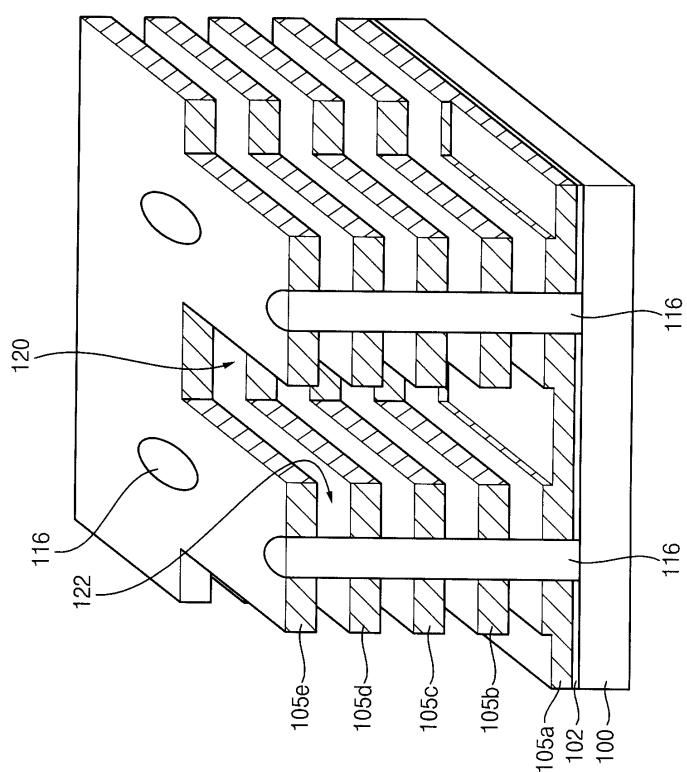
도면16



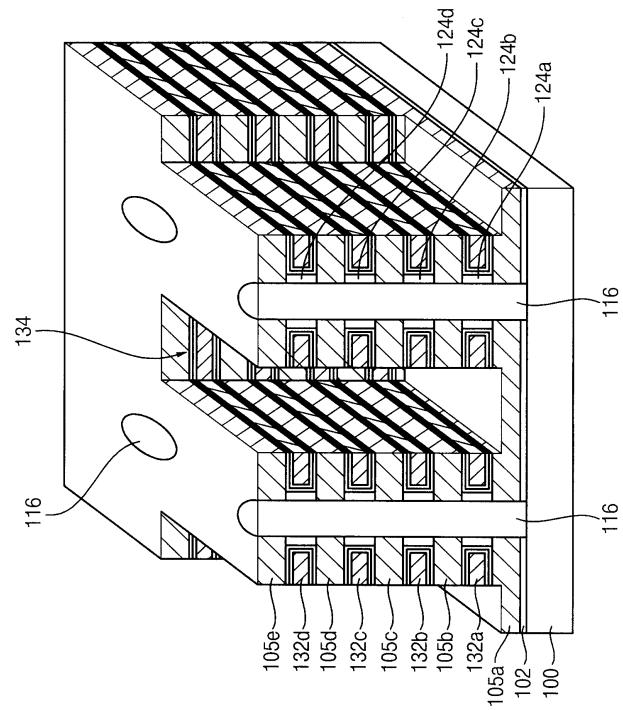
도면17



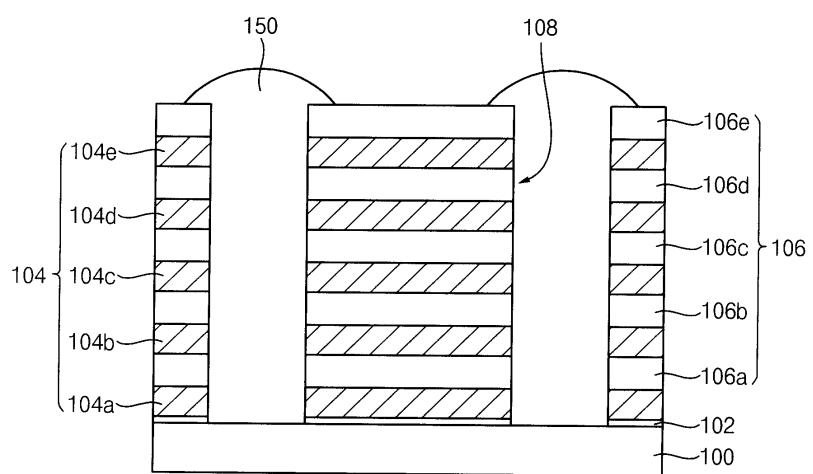
도면18



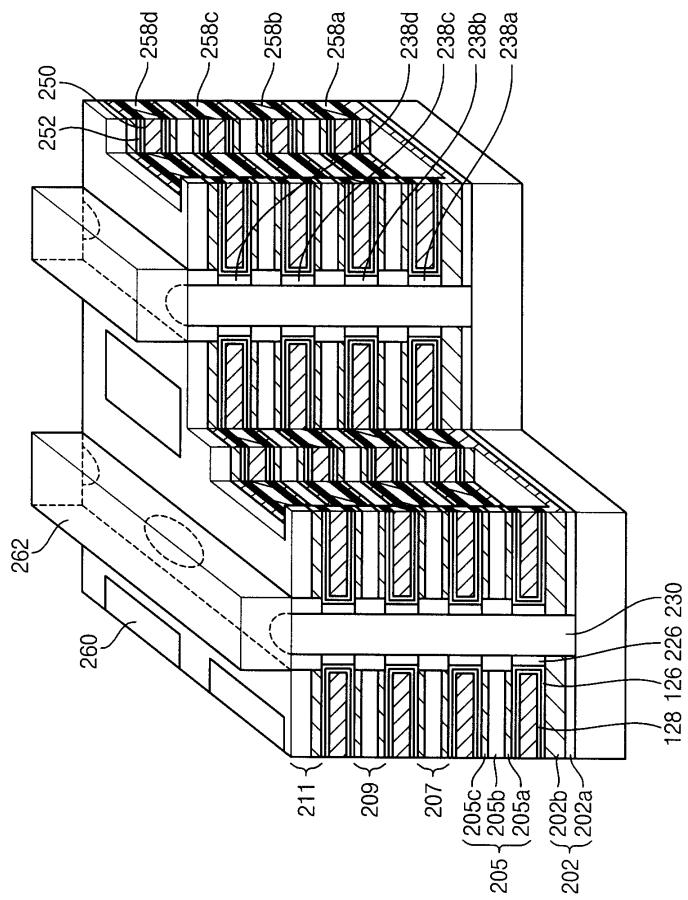
도면19



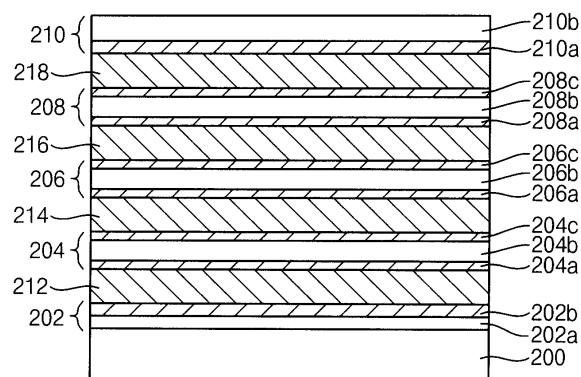
도면20



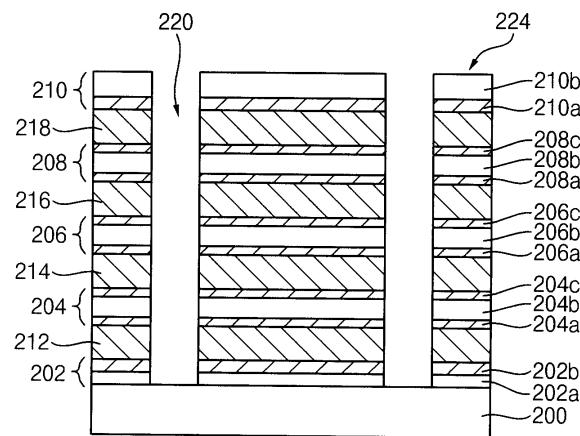
도면21



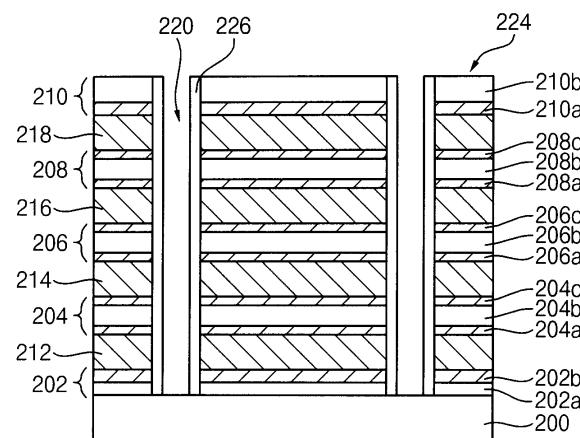
도면22



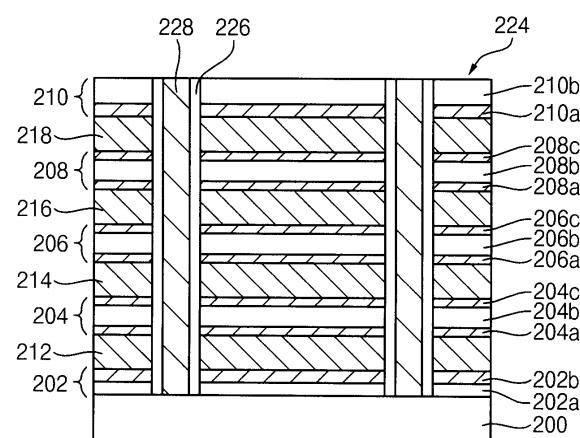
도면23



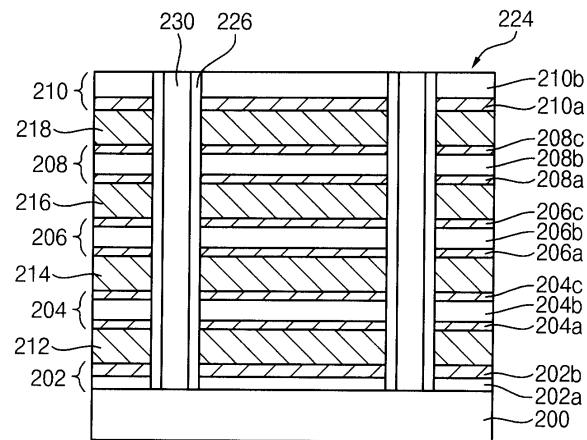
도면24



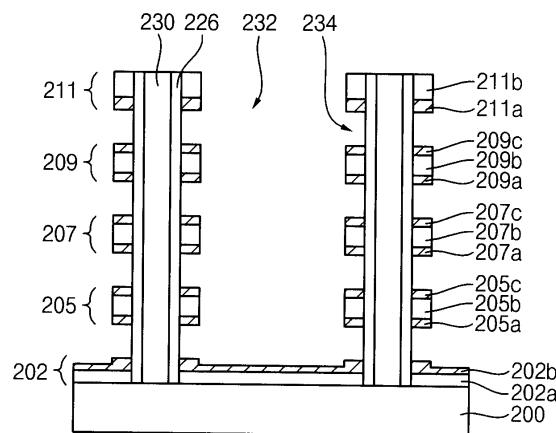
도면25



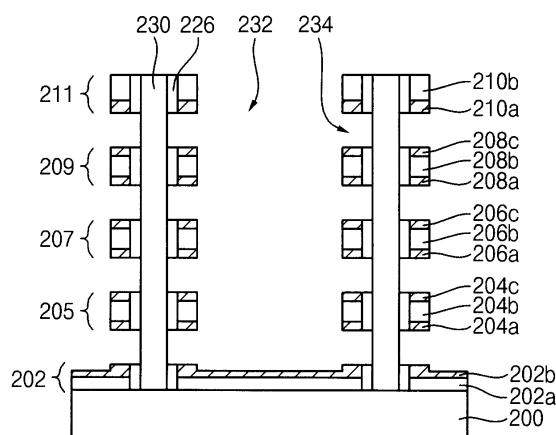
도면26



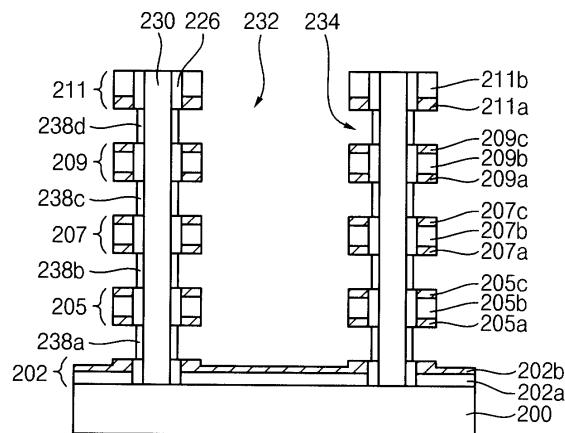
도면27



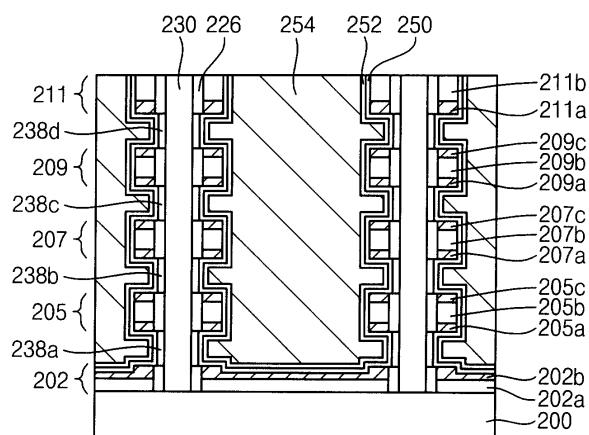
도면28



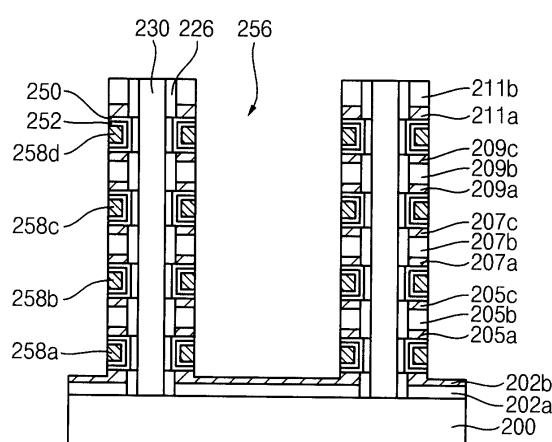
도면29



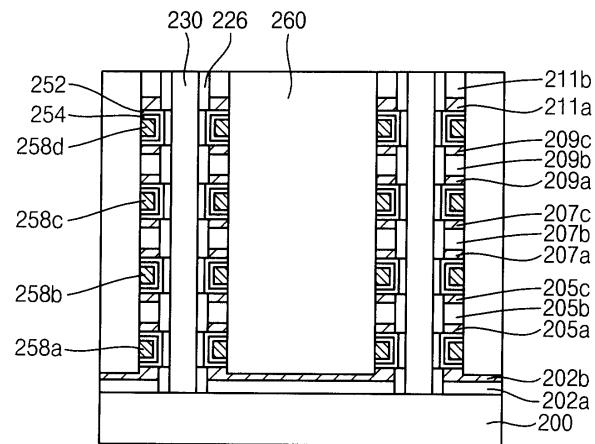
도면30



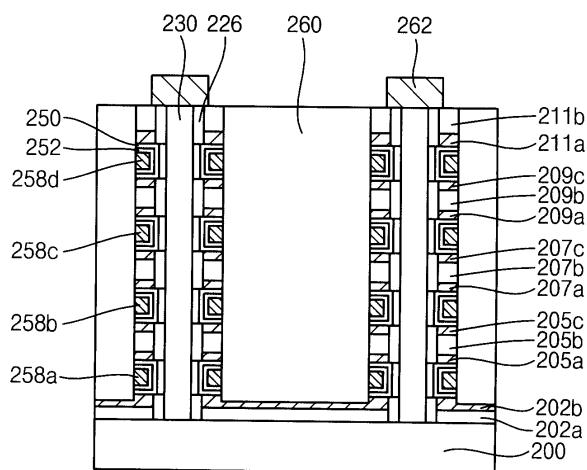
도면31



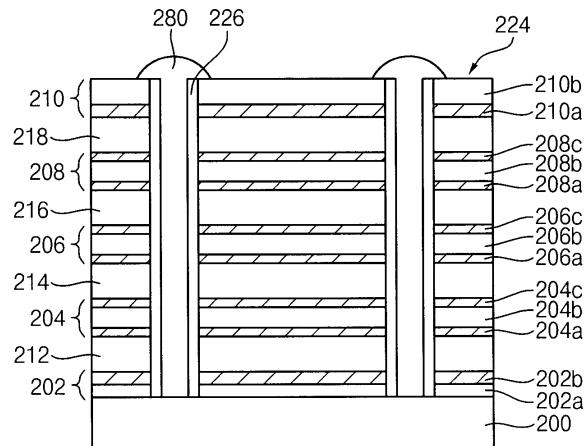
도면32



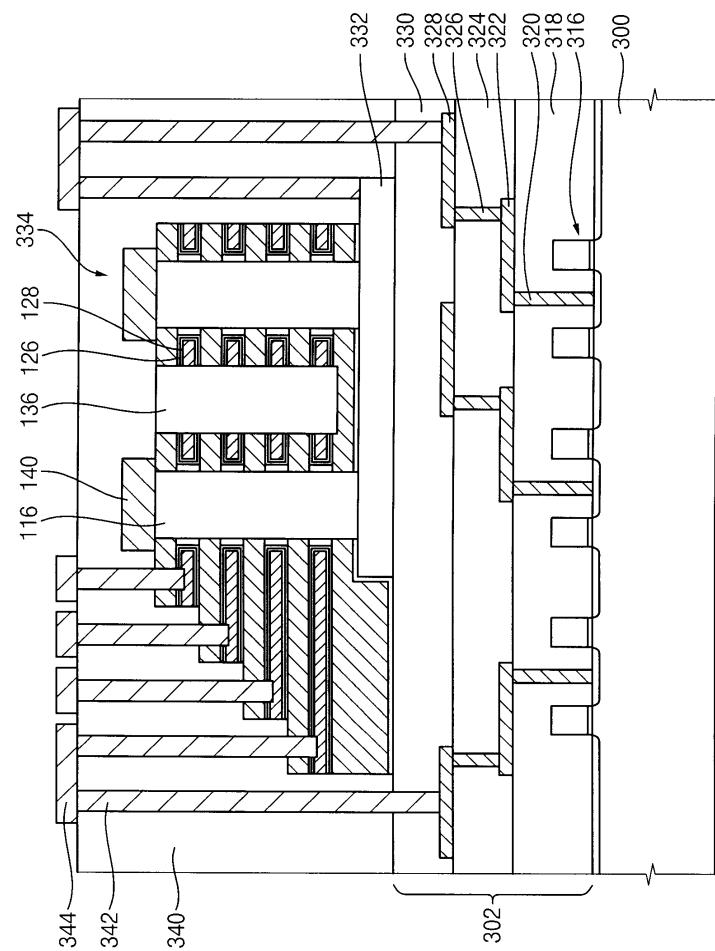
도면33



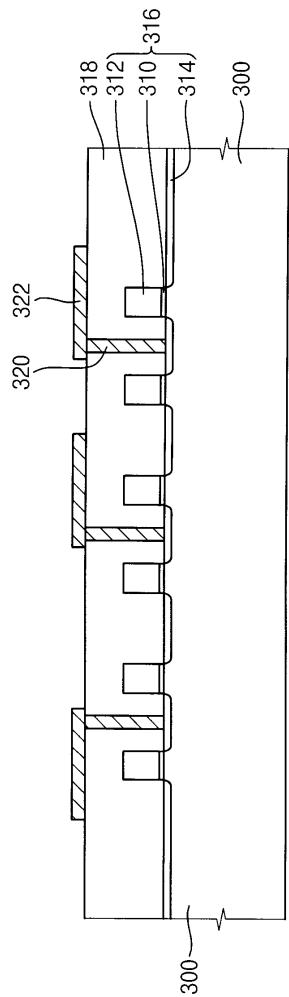
도면34



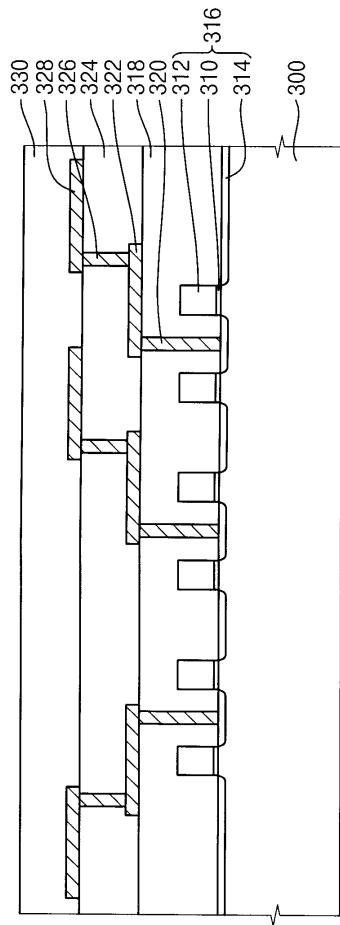
도면35



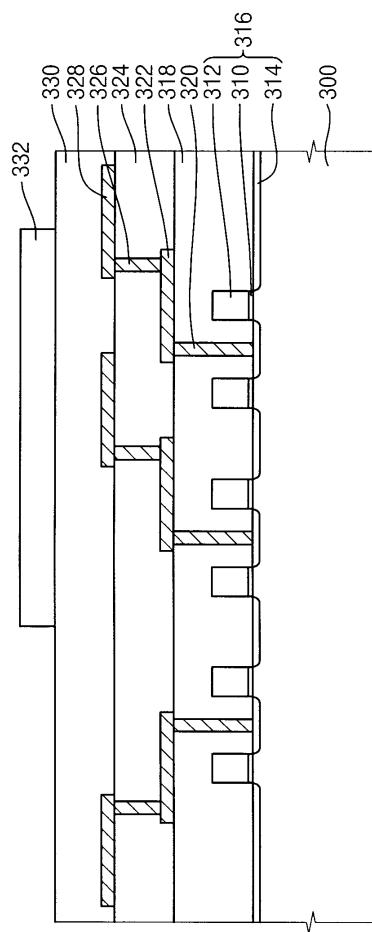
도면36



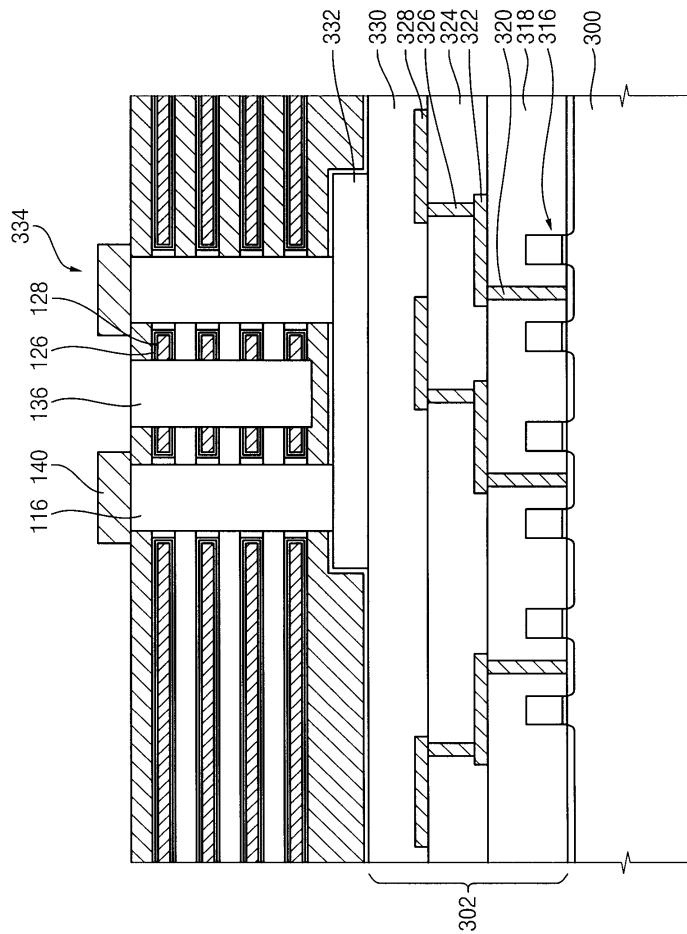
도면37



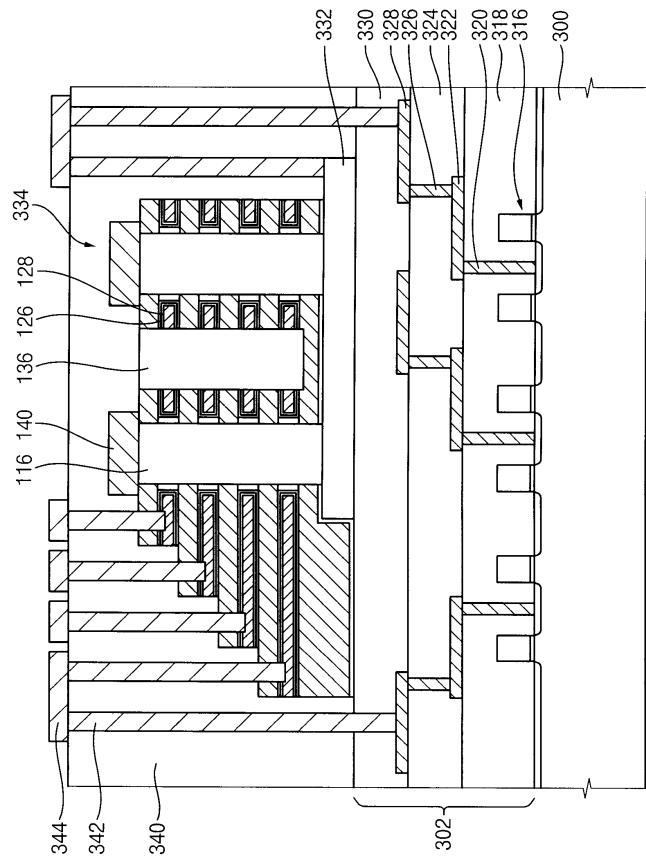
도면38



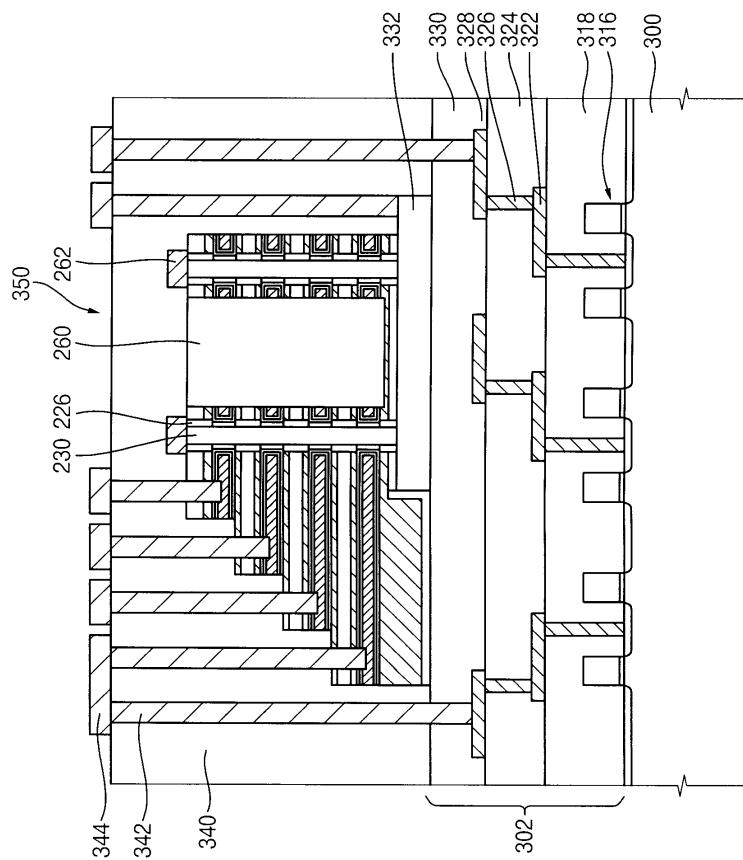
도면39



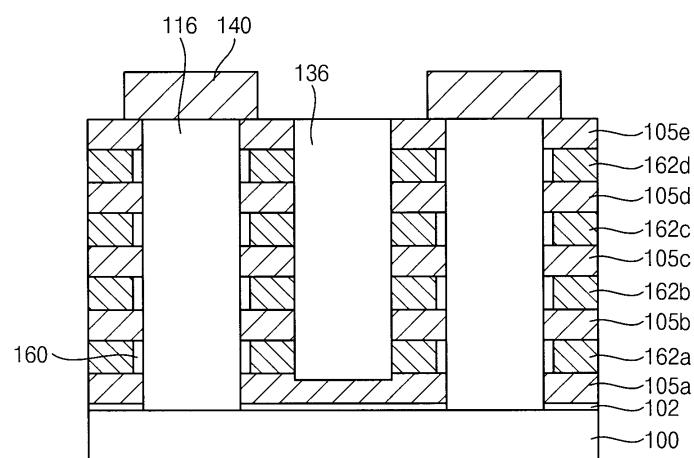
도면40



도면41



도면42



도면43

