

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6330207号
(P6330207)

(45) 発行日 平成30年5月30日(2018.5.30)

(24) 登録日 平成30年5月11日(2018.5.11)

| | |
|-------------------------|----------------------|
| (51) Int. Cl. | F I |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 6 S |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 6 1 2 C |
| GO 2 F 1/1368 (2006.01) | HO 1 L 29/78 6 1 6 T |
| GO 9 F 9/30 (2006.01) | HO 1 L 29/78 6 1 7 K |
| HO 1 L 51/50 (2006.01) | HO 1 L 29/78 6 1 9 B |
| 請求項の数 7 (全 26 頁) 最終頁に続く | |

(21) 出願番号 特願2015-557597 (P2015-557597)
 (86) (22) 出願日 平成26年12月22日(2014.12.22)
 (86) 国際出願番号 PCT/JP2014/006374
 (87) 国際公開番号 W02015/107606
 (87) 国際公開日 平成27年7月23日(2015.7.23)
 審査請求日 平成28年6月8日(2016.6.8)
 (31) 優先権主張番号 特願2014-5091 (P2014-5091)
 (32) 優先日 平成26年1月15日(2014.1.15)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目2 3 番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 小野 晋也
 日本国大阪府門真市大字門真1 0 0 6 番地
 パナソニック株式会社内
 審査官 川原 光司

最終頁に続く

(54) 【発明の名称】 表示装置及び薄膜トランジスタ基板

(57) 【特許請求の範囲】

【請求項 1】

薄膜トランジスタを有する画素回路を備える表示装置であって、
 前記薄膜トランジスタは、
 ゲート電極と、
 前記ゲート電極の上方に形成された半導体層と、
 前記ゲート電極と前記半導体層との間に形成されたゲート絶縁層と、
 前記半導体層上に形成された第1絶縁層と、
 前記第1絶縁層の上方に形成された、前記半導体層と電氣的に接続されるソース電極及びドレイン電極とを備え、
 前記ソース電極及び前記ドレイン電極は、互いに異なる層に形成されており、
 前記ゲート電極は、平坦部と、当該平坦部の端から斜め下方に傾斜した傾斜部とを有し、

平面視において、前記半導体層は、前記平坦部内に位置し、
 前記第1絶縁層には、
 前記ソース電極が前記半導体層に接続するための第1コンタクトホールと、
 前記ドレイン電極が前記半導体層に接続するための第2コンタクトホールとが形成されており、

平面視において、前記第1コンタクトホールと前記第2コンタクトホールとの間である、
 前記半導体層のチャンネル領域は、前記ソース電極及び前記ドレイン電極の少なくとも一

方に覆われている

表示装置。

【請求項 2】

平面視において、前記半導体層は、前記ソース電極及び前記ドレイン電極の少なくとも一方に覆われている

請求項 1 に記載の表示装置。

【請求項 3】

前記ソース電極及び前記ドレイン電極は、遮光性材料から構成される

請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記薄膜トランジスタは、さらに、前記第 1 絶縁層の上方に形成された第 2 絶縁層を備え、

前記ソース電極及び前記ドレイン電極の一方は、前記第 1 絶縁層上に形成され、

前記ソース電極及び前記ドレイン電極の他方は、前記第 2 絶縁層上に形成される

請求項 1 ~ 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記薄膜トランジスタは、前記画素回路が有する発光素子を駆動する駆動トランジスタであり、

前記ソース電極は、前記ドレイン電極の上方に形成される

請求項 1 ~ 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記表示装置は、前記薄膜トランジスタの上方に形成された有機発光素子を備える

請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

薄膜トランジスタを有する薄膜トランジスタ基板であって、

ゲート電極と、

前記ゲート電極の上方に形成された半導体層と、

前記ゲート電極と前記半導体層との間に形成されたゲート絶縁層と、

前記半導体層上に形成された絶縁層と、

前記絶縁層の上方に形成された、前記半導体層と電気的に接続されるソース電極及びドレイン電極とを備え、

前記ソース電極及び前記ドレイン電極は、互いに異なる層に形成されており、

前記ゲート電極は、平坦部と、当該平坦部の端から斜め下方に傾斜した傾斜部とを有し

、

平面視において、前記半導体層は、前記平坦部内に位置し、

前記絶縁層には、

前記ソース電極が前記半導体層に接続するための第 1 コンタクトホールと、

前記ドレイン電極が前記半導体層に接続するための第 2 コンタクトホールとが形成されており、

平面視において、前記第 1 コンタクトホールと前記第 2 コンタクトホールとの間である、前記半導体層のチャンネル領域は、前記ソース電極及び前記ドレイン電極の少なくとも一

方に覆われている

薄膜トランジスタ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示装置及び薄膜トランジスタ基板に関する。

【背景技術】

【0002】

液晶表示装置又は有機 EL (Electroluminescence) 表示装置など

10

20

30

40

50

のアクティブマトリクス方式の表示装置には、スイッチング素子又は駆動素子として薄膜トランジスタ（TFT：Thin Film Transistor）が広く用いられている。

【0003】

近年、表示装置には、大画面化及び低コスト化が求められており、容易に低コスト化が可能な薄膜トランジスタとして、一般的には、ゲート電極がチャンネル層より基板側に形成されたボトムゲート型の構造を有し、Si又はInGaZnOといった材料のアモルファス状態もしくは微結晶状態のチャンネル層とを組合せた薄膜トランジスタが用いられる。ボトムゲート型の薄膜トランジスタは、チャンネル層がエッチングされるチャンネルエッチング型の薄膜トランジスタと、チャンネル層をエッチング処理から保護するチャンネル保護型（エッチングストップ型）の薄膜トランジスタとの2つに大別される。

10

【0004】

チャンネル保護型の薄膜トランジスタは、エッチング処理によるチャンネル層へのダメージを防ぐことができ、基板面内での特性ばらつき及び経時的な特性変動を抑制することができる。また、チャンネル保護型の薄膜トランジスタの方が、ゲート絶縁膜を薄膜化し、かつ、チャンネル保護層を厚膜化することで、TFTのオン特性を向上させつつ、配線間交差による寄生抵抗成分を低減して、データ書込みに関連する時定数を低減させることができるため、高速化及び高精細化には有利である。

【0005】

例えば、特許文献1には、微結晶半導体薄膜をチャンネル層とするチャンネル保護型の薄膜トランジスタが開示されている。特許文献1に記載の薄膜トランジスタは、チャンネル保護層上に形成されたソース電極及びドレイン電極を有している。ソース電極及びドレイン電極は、チャンネル保護層に形成されたコンタクトホールを介して半導体層と電気的に接続している。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-135462号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0007】

しかしながら、上記従来のチャンネル保護型の薄膜トランジスタでは、オン抵抗を十分に低減することができないという課題がある。

【0008】

例えば、オン抵抗を低減するためには、薄膜トランジスタの半導体層のチャンネル長を短くすればよい。チャンネル長は、ソース電極へのコンタクト領域と、ドレイン電極へのコンタクト領域との間の距離に起因する。このため、チャンネル長を短くするためには、ソース電極へのコンタクト領域と、ドレイン電極へのコンタクト領域との間の距離を短くすればよい。

【0009】

40

しかしながら、ソース電極とドレイン電極とは、物理的に分離させなければならない。このため、上記従来のチャンネル保護型の薄膜トランジスタでは、ソース電極へのコンタクト領域と、ドレイン電極へのコンタクト領域との間の距離を短くするには限界がある。

【0010】

そこで、本開示は、オン抵抗がより低減された薄膜トランジスタを有する表示装置及び薄膜トランジスタ基板を提供する。

【課題を解決するための手段】

【0011】

上記課題を解決するため、本開示の一態様に係る表示装置は、薄膜トランジスタを有する画素回路を備える表示装置であって、前記薄膜トランジスタは、ゲート電極と、前記ゲ

50

ート電極の上方に形成された半導体層と、前記ゲート電極と前記半導体層との間に形成されたゲート絶縁層と、前記半導体層上に形成された第1絶縁層と、前記第1絶縁層の上方に形成された、前記半導体層と電氣的に接続されるソース電極及びドレイン電極とを備え、前記ソース電極及び前記ドレイン電極は、互いに異なる層に形成されている。

【発明の効果】

【0012】

本開示によれば、オン抵抗がより低減された薄膜トランジスタを有する表示装置及び薄膜トランジスタ基板を提供することができる。

【図面の簡単な説明】

【0013】

10

【図1】図1は、実施の形態に係る有機EL表示装置の一部切り欠き斜視図である。

【図2】図2は、実施の形態に係る有機EL表示装置における画素回路の構成を示す電気回路図である。

【図3】図3は、実施の形態に係る有機EL表示装置の一例を示す外観図である。

【図4】図4は、実施の形態に係る薄膜トランジスタの一例を示す平面図である。

【図5A】図5Aは、実施の形態に係る薄膜トランジスタの一例を示す概略断面図である。

【図5B】図5Bは、実施の形態に係る薄膜トランジスタの別の一例を示す概略断面図である。

【図6】図6は、実施の形態に係る薄膜トランジスタの別の一例を示す概略断面図である。

20

【図7】図7は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図8】図8は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図9】図9は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図10】図10は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図11】図11は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

30

【図12】図12は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図13】図13は、実施の形態に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図14】図14は、実施の形態に係る薄膜トランジスタの別の一例の製造方法を示す概略断面図である。

【図15】図15は、実施の形態に係るソース電極とドレイン電極とが同層又は異なる層に形成された場合のチャンネル長について説明するための概略断面図である。

【図16】図16は、実施の形態の変形例に係る薄膜トランジスタの製造方法を示す概略断面図である。

40

【図17】図17は、実施の形態の変形例に係る薄膜トランジスタの製造方法を示す概略断面図である。

【図18】図18は、実施の形態の変形例に係る薄膜トランジスタの製造方法を示す概略断面図である。

【発明を実施するための形態】

【0014】

(本開示の概要)

本開示の一態様に係る表示装置は、薄膜トランジスタを有する画素回路を備える表示装置であって、薄膜トランジスタは、ゲート電極と、ゲート電極の上方に形成された半導体

50

層と、ゲート電極と半導体層との間に形成されたゲート絶縁層と、半導体層上に形成された第1絶縁層と、第1絶縁層の上方に形成された、半導体層と電氣的に接続されるソース電極及びドレイン電極とを備え、ソース電極及びドレイン電極は、互いに異なる層に形成されている。

【0015】

これにより、ソース電極とドレイン電極とが互いに異なる層に形成されているため、基板水平方向にソース電極とドレイン電極とを離間させなくてもよく、チャンネル領域の長さ(チャンネル長)を短くすることができる。

【0016】

また、例えば、本開示の一態様に係る表示装置では、第1絶縁層には、ソース電極が半導体層に接続するための第1コンタクトホールと、ドレイン電極が半導体層に接続するための第2コンタクトホールとが形成され、平面視において、第1コンタクトホールと第2コンタクトホールとの間である、半導体層のチャンネル領域は、ゲート電極内に位置してもよい。

10

【0017】

これにより、ゲート電極に印加されるゲート電圧によってチャンネル領域全体を制御することができるので、チャンネル領域内に高抵抗領域が形成されるのを抑制し、オン抵抗の増加を抑制することができる。

【0018】

また、例えば、本開示の一態様に係る表示装置では、平面視において、半導体層は、ゲート電極内に位置してもよい。

20

【0019】

これにより、ゲート電極に印加されるゲート電圧によって半導体層全体を制御することができるので、チャンネル領域内に高抵抗領域が形成されるのを抑制し、オン抵抗の増加を抑制することができる。

【0020】

また、例えば、本開示の一態様に係る表示装置では、第1絶縁層には、ソース電極が半導体層に接続するための第1コンタクトホールと、ドレイン電極が半導体層に接続するための第2コンタクトホールとが形成され、平面視において、第1コンタクトホールと第2コンタクトホールとの間である、半導体層のチャンネル領域は、ソース電極及びドレイン電極の少なくとも一方に覆われていてもよい。

30

【0021】

これにより、チャンネル領域がソース電極及びドレイン電極の少なくとも一方に覆われているので、例えば、ソース電極及びドレイン電極が遮光性材料から構成されている場合に、外部からの光がチャンネル領域に到達するのを抑制することができる。したがって、チャンネル領域の光劣化による薄膜トランジスタの特性の劣化と、光でキャリアが励起されることによるオフ電流の増加とを抑制することができる。

【0022】

また、例えば、本開示の一態様に係る表示装置では、平面視において、半導体層は、ソース電極及びドレイン電極の少なくとも一方に覆われていてもよい。

40

【0023】

これにより、半導体層がソース電極及びドレイン電極の少なくとも一方に覆われているので、例えば、ソース電極及びドレイン電極が遮光性材料から構成されている場合に、外部からの光が半導体層に到達するのを抑制することができる。したがって、半導体層の光劣化による薄膜トランジスタの特性の劣化と、光でキャリアが励起されることによるオフ電流の増加とを抑制することができる。

【0024】

また、例えば、本開示の一態様に係る表示装置では、ソース電極及びドレイン電極は、遮光性材料から構成されてもよい。

【0025】

50

また、例えば、本開示の一態様に係る表示装置では、薄膜トランジスタは、さらに、第1絶縁層の上方に形成された第2絶縁層を備え、ソース電極及びドレイン電極の一方は、第1絶縁層上に形成され、ソース電極及びドレイン電極の他方は、第2絶縁層上に形成されてもよい。

【0026】

また、例えば、本開示の一態様に係る表示装置では、薄膜トランジスタは、画素回路が有する発光素子を駆動する駆動トランジスタであり、ソース電極は、ドレイン電極の上方に形成されてもよい。

【0027】

これにより、駆動トランジスタの飽和領域特性がより平坦となり、表示均一性を向上させることができる。

10

【0028】

また、例えば、本開示の一態様に係る表示装置では、表示装置は、薄膜トランジスタの上方に形成された有機発光素子を備えてもよい。

【0029】

また、例えば、本開示の一態様に係る薄膜トランジスタ基板は、薄膜トランジスタを有する薄膜トランジスタ基板であって、ゲート電極と、ゲート電極の上方に形成された半導体層と、ゲート電極と半導体層との間に形成されたゲート絶縁層と、半導体層上に形成された絶縁層と、絶縁層の上方に形成された、半導体層と電気的に接続されるソース電極及びドレイン電極とを備え、ソース電極及びドレイン電極は、互いに異なる層に形成されて

20

いてもよい。

【0030】

以下、薄膜トランジスタ基板及びその製造方法、並びに、薄膜トランジスタ基板を備える表示装置の一実施の形態について、図面を用いて説明する。なお、以下に説明する実施の形態は、いずれも本開示における好ましい一具体例を示すものである。したがって、以下の実施の形態で示される、数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、工程、並びに、工程の順序などは、一例であって本発明を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本発明における最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0031】

なお、各図は、模式図であり、必ずしも厳密に図示されたものではない。また、各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡略化する。

30

【0032】

(実施の形態1)

[有機EL表示装置]

まず、本実施の形態に係る有機EL表示装置10の構成について、図1を用いて説明する。図1は、本実施の形態に係る有機EL表示装置の一部切り欠き斜視図である。

【0033】

図1に示すように、有機EL表示装置10は、複数個の薄膜トランジスタが配置されたTF T基板(TF Tアレイ基板)20と、下部電極である陽極41、有機材料からなる発光層であるEL層42及び透明な上部電極である陰極43からなる有機EL素子(発光部)40との積層構造により構成される。

40

【0034】

TF T基板20には複数の画素30がマトリクス状に配置されており、各画素30には画素回路31が設けられている。

【0035】

有機EL素子40は、複数の画素30のそれぞれに対応して形成されており、各画素30に設けられた画素回路31によって各有機EL素子40の発光の制御が行われる。有機EL素子40は、複数の薄膜トランジスタを覆うように形成された層間絶縁膜(平坦化膜

50

)の上に形成される。

【0036】

また、有機EL素子40は、陽極41と陰極43との間にEL層42が配置された構成となっている。陽極41とEL層42の間にはさらに正孔輸送層が積層形成され、EL層42と陰極43の間にはさらに電子輸送層が積層形成されている。なお、陽極41と陰極43との間には、その他の有機機能層が設けられていてもよい。

【0037】

各画素30は、それぞれの画素回路31によって駆動制御される。また、TFT基板20には、画素30の行方向に沿って配置される複数のゲート配線(走査線)50と、ゲート配線50と交差するように画素30の列方向に沿って配置される複数のソース配線(信号配線)60と、ソース配線60と平行に配置される複数の電源配線(図1では省略)とが形成されている。各画素30は、例えば、直交するゲート配線50とソース配線60とによって区画されている。

10

【0038】

ゲート配線50は、各画素回路31に含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極と行毎に接続されている。ソース配線60は、各画素回路31に含まれるスイッチング素子として動作する薄膜トランジスタのソース電極と列毎に接続されている。電源配線は、各画素回路31に含まれる駆動素子として動作する薄膜トランジスタのドレイン電極と列毎に接続されている。

【0039】

20

ここで、画素30における画素回路31の回路構成について、図2を用いて説明する。図2は、本実施の形態に係る有機EL表示装置における画素回路の構成を示す電気回路図である。

【0040】

図2に示すように、画素回路31は、駆動素子として動作する薄膜トランジスタ32と、スイッチング素子として動作する薄膜トランジスタ33と、対応する画素30に表示するためのデータを記憶するキャパシタ34とで構成される。本実施の形態において、薄膜トランジスタ32は、有機EL素子40を駆動するための駆動トランジスタであり、薄膜トランジスタ33は、画素30を選択するためのスイッチングトランジスタである。

【0041】

30

薄膜トランジスタ32は、薄膜トランジスタ33のドレイン電極33d及びキャパシタ34の一端に接続されるゲート電極32gと、電源配線70に接続されるドレイン電極32dと、キャパシタ34の他端と有機EL素子40の陽極41とに接続されるソース電極32sと、半導体膜(図示せず)とを備える。この薄膜トランジスタ32は、キャパシタ34が保持しているデータ電圧に対応する電流を電源配線70からソース電極32sを通じて有機EL素子40の陽極41に供給する。これにより、有機EL素子40では、陽極41から陰極43へと駆動電流が流れてEL層42が発光する。

【0042】

薄膜トランジスタ33は、ゲート配線50に接続されるゲート電極33gと、ソース配線60に接続されるソース電極33sと、キャパシタ34の一端及び薄膜トランジスタ32のゲート電極32gに接続されるドレイン電極33dと、半導体膜(図示せず)とを備える。この薄膜トランジスタ33は、接続されたゲート配線50及びソース配線60に所定の電圧が印加されると、当該ソース配線60に印加された電圧がデータ電圧としてキャパシタ34に保存される。

40

【0043】

なお、上記構成の有機EL表示装置10では、ゲート配線50とソース配線60との交点に位置する画素30毎に表示制御を行うアクティブマトリクス方式が採用されている。これにより、各画素30(各サブ画素R、G、B)の薄膜トランジスタ32及び33によって、対応する有機EL素子40が選択的に発光し、所望の画像が表示される。

【0044】

50

上記のように構成された有機EL表示装置10は、例えば、図3に示すようなテレビとして利用することができる。なお、図3は、本実施の形態に係る有機EL表示装置10の一例を示す外観図である。

【0045】

[薄膜トランジスタ]

以下では、本実施の形態に係る薄膜トランジスタについて、図4、図5A及び図5Bを用いて説明する。なお、本実施の形態に係る薄膜トランジスタは、ボトムゲート型、かつ、チャンネル保護型の薄膜トランジスタである。

【0046】

図4は、本実施の形態に係る薄膜トランジスタ100の平面図である。図5A及び図5Bは、本実施の形態に係る薄膜トランジスタ100の概略断面図である。なお、図5A及び図5Bは、図4に示すA-A断面を示している。

10

【0047】

図5A及び図5Bに示すように、本実施の形態に係る薄膜トランジスタ100は、基板110と、ゲート電極120と、ゲート絶縁層130と、半導体層140と、チャンネル保護層150と、ソース電極160s(下層電極)と、ドレイン電極160d(上層電極)と、層間絶縁層170とを備える。

【0048】

薄膜トランジスタ100は、例えば、図2に示す薄膜トランジスタ33である。すなわち、薄膜トランジスタ100は、スイッチングトランジスタとして利用できる。

20

【0049】

具体的には、図5Aに示すように、薄膜トランジスタ100が薄膜トランジスタ33(スイッチングトランジスタ)である場合、ゲート電極120がゲート電極33gに、ソース電極160sがソース電極33sに、ドレイン電極160dがドレイン電極33dに、それぞれ相当する。図4に示すように、ゲート電極120は、ゲート配線50に接続され、ソース電極160sは、ソース配線60に接続され、ドレイン電極160dは、キャパシタ34の一端に接続されている。

【0050】

なお、ソース電極33sが上層電極(ドレイン電極160d)に相当し、ドレイン電極33dが下層電極(ソース電極160s)に相当してもよい。言い換えると、下層電極(ソース電極160s)は、ソース電極33s及びドレイン電極33dの一方に相当し、上層電極(ドレイン電極160d)は、ドレイン電極33d及びソース電極33sの他方に相当してもよい。

30

【0051】

また、薄膜トランジスタ100は、例えば、図2に示す薄膜トランジスタ32でもよい。すなわち、薄膜トランジスタ100は、駆動トランジスタとして利用してもよい。この場合は、ソース電極32sは、ドレイン電極32dの上方に形成されてもよい。すなわち、上層電極をソース電極32sとして利用し、下層電極をドレイン電極32dとして利用する。

【0052】

具体的には、図5Bに示すように、薄膜トランジスタ100が薄膜トランジスタ32(駆動トランジスタ)である場合、ゲート電極120がゲート電極32gに、上層電極(ドレイン電極160d)がソース電極32sに、下層電極(ソース電極160s)がドレイン電極32dに、それぞれ相当する。これにより、駆動トランジスタの飽和領域特性がより平坦となり、表示均一性を向上させることができる。

40

【0053】

基板110は、電気絶縁性を有する材料からなる基板である。例えば、基板110は、無アルカリガラス、石英ガラス、高耐熱性ガラスなどのガラス材料、ポリエチレン、ポリプロピレン、ポリイミドなどの樹脂材料、シリコン、ガリウムヒ素などの半導体材料、絶縁層をコーティングしたステンレスなどの金属材料からなる基板である。

50

【0054】

なお、基板110は、樹脂基板などのフレキシブル基板でもよい。この場合、薄膜トランジスタ100をフレキシブルディスプレイに利用することができる。

【0055】

ゲート電極120は、基板110上に所定形状で形成される。ゲート電極120の膜厚は、例えば、20nm~1000nmである。なお、ゲート電極120は、基板110の上方に、例えば、バッファ層などを介して形成されてもよい。

【0056】

ゲート電極120は、導電性を有する材料からなる電極である。例えば、ゲート電極120の材料として、モリブデン、アルミニウム、銅、タングステン、チタン、マンガン、クロム、タンタル、ニオブ、銀、金、プラチナ、パラジウム、インジウム、ニッケル、ネオジムなどの金属、金属の合金、酸化インジウム錫（ITO）、酸化亜鉛錫（IZO）、アルミニウムドープ酸化亜鉛（AZO）、ガリウムドープ酸化亜鉛（GZO）などの導電性金属酸化物、ポリチオフェン、ポリアセチレンなどの導電性高分子などを用いることができる。また、ゲート電極120は、これらの材料を積層した多層構造であってもよい。

10

【0057】

ゲート絶縁層130は、ゲート電極120と半導体層140との間に形成される。具体的には、ゲート絶縁層130は、ゲート電極120を覆うようにゲート電極120上及び基板110上に形成される。ゲート絶縁層130の膜厚は、例えば、50nm~500nmである。

20

【0058】

ゲート絶縁層130は、電気絶縁性を有する材料から構成される。例えば、ゲート絶縁層130は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜、酸化タンタル膜、酸化ハフニウム膜、酸化チタン膜などの単層膜、又は、これらの積層膜である。

【0059】

半導体層140は、ゲート電極120に対向するように基板110の上方に形成される。具体的には、半導体層140は、ゲート電極120に対向する位置に、かつ、ゲート絶縁層130上に形成される。例えば、半導体層140は、ゲート電極120の上方において、ゲート絶縁層130上に島状に形成される。半導体層140は、薄膜トランジスタ100のチャンネル層として用いられる。半導体層140の膜厚は、例えば、20nm~500nmである。

30

【0060】

半導体層140の材料としては、結晶構造もしくは非結晶構造を有するシリコン（Si）でもよいし、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）及び錫（Sn）のうち、少なくとも1種を含む酸化物半導体材料を用いてもよい。例えば、半導体層140は、アモルファス酸化インジウムガリウム亜鉛（InGaZnO:IGZO）などの透明アモルファス酸化物半導体（TAOS:Transparent Amorphous Oxide Semiconductor）から構成される。

【0061】

In:Ga:Znの比率は、例えば、約1:1:1である。また、In:Ga:Znの比率は、0.8~1.2:0.8~1.2:0.8~1.2の範囲でもよいが、この範囲には限られない。

40

【0062】

なお、チャンネル層が透明アモルファス酸化物半導体で構成される薄膜トランジスタは、キャリア移動度が高く、大画面及び高精細の表示装置に適している。また、透明アモルファス酸化物半導体は、低温成膜が可能であるため、プラスチック又はフィルムなどのフレキシブル基板上に容易に形成することができる。

【0063】

チャンネル保護層150は、半導体層140上に形成された第1絶縁層の一例である。例

50

えば、チャネル保護層 150 は、半導体層 140 を覆うように、半導体層 140 上、及び、ゲート絶縁層 130 上に形成される。チャネル保護層 150 の膜厚は、例えば、50 nm ~ 1000 nm である。

【0064】

チャネル保護層 150 は、電気絶縁性を有する材料から構成される。例えば、チャネル保護層 150 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。

【0065】

また、チャネル保護層 150 の一部は、貫通するように開口されている。つまり、チャネル保護層 150 には、半導体層 140 の一部を露出させるためのコンタクトホール 150a 及び 150b が形成されている。

10

【0066】

コンタクトホール 150a は、ソース電極 160s と半導体層 140 とを電氣的に接続するために、半導体層 140 のソースコンタクト領域を露出させるためのコンタクトホールである。ソース電極 160s を構成する材料は、例えば、コンタクトホール 150a の壁面に沿って、半導体層 140 まで達している。あるいは、コンタクトホール 150a には、ソース電極 160s を構成する材料が充填されていてもよい。

【0067】

コンタクトホール 150b は、ドレイン電極 160d と半導体層 140 とを電氣的に接続するために、半導体層 140 のドレインコンタクト領域を露出させるためのコンタクトホールである。ドレイン電極 160d を構成する材料は、例えば、コンタクトホール 150b の壁面に沿って、半導体層 140 まで達している。あるいは、コンタクトホール 150b には、ドレイン電極 160d を構成する材料が充填されていてもよい。

20

【0068】

ソース電極 160s は、チャネル保護層 150 上に所定形状で形成される。具体的には、ソース電極 160s は、コンタクトホール 150a を介して半導体層 140 に接続されるように、チャネル保護層 150 上に形成される。ソース電極 160s の膜厚は、例えば、100 nm ~ 500 nm である。

【0069】

ドレイン電極 160d は、層間絶縁層 170 上に所定形状で形成される。具体的には、ドレイン電極 160d は、コンタクトホール 150b と、層間絶縁層 170 に形成されたコンタクトホール 170a を介して半導体層 140 に接続されるように、層間絶縁層 170 上に形成される。ドレイン電極 160d の膜厚は、例えば、100 nm ~ 1000 nm である。なお、ドレイン電極 160d は、有機 EL 素子の画素電極（アノード電極）と兼用されてもよい。

30

【0070】

ソース電極 160s 及びドレイン電極 160d は、導電性を有する材料からなる電極である。ソース電極 160s 及びドレイン電極 160d の材料としては、例えば、ゲート電極 120 の材料と同一の材料を用いることができる。具体的には、ソース電極 160s 及びドレイン電極 160d は、金属などの遮光性材料から構成される電極である。

40

【0071】

層間絶縁層 170 は、チャネル保護層 150 の上方に形成される第 2 絶縁層の一例である。層間絶縁層 170 は、チャネル保護層 150 及びソース電極 160s 上に形成される。例えば、層間絶縁層 170 は、ソース電極 160s を覆うように、チャネル保護層 150 上、及び、ソース電極 160s 上に形成される。層間絶縁層 170 の膜厚は、例えば、100 nm ~ 1000 nm である。

【0072】

層間絶縁層 170 は、電気絶縁性を有する材料から構成される。例えば、層間絶縁層 170 は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、酸化アルミニウム膜、酸

50

化タンタル膜、酸化ハフニウム膜、酸化チタン膜などの無機材料から構成される膜、又は、シリコン、酸素及びカーボンを含む無機材料から構成される膜などの単層膜、又は、これらの積層膜である。

【0073】

また、層間絶縁層170の一部は、貫通するように開口されている。つまり、層間絶縁層170には、半導体層140の一部を露出させるためのコンタクトホール170aが形成されている。

【0074】

コンタクトホール170aは、ドレイン電極160dと半導体層140とを電氣的に接続するために形成されたコンタクトホールである。コンタクトホール170aは、チャンネル保護層150に形成されたコンタクトホール150bと連続している。ドレイン電極160dを構成する材料は、例えば、コンタクトホール170a及び150bの壁面に沿って、半導体層140まで達している。あるいは、コンタクトホール170aには、ドレイン電極160dを構成する材料が充填されていてもよい。

10

【0075】

以上のように、本実施の形態に係る薄膜トランジスタ100では、ソース電極160s及びドレイン電極160dが、互いに異なる層に形成されている。言い換えると、ソース電極160s及びドレイン電極160dは、基板110からの高さが互いに異なる層に形成されている。このため、ソース電極160sとドレイン電極160dとを基板水平方向に離間させなくてもよいので、チャンネル領域の長さ(チャンネル長L)を短くすることができる。

20

【0076】

チャンネル領域は、コンタクトホール150aとコンタクトホール150bとの間の半導体層140の領域である。つまり、チャンネル長Lは、図4、図5A及び図5Bに示すように、コンタクトホール150aとコンタクトホール150bとの間の距離である。

【0077】

ソース電極160s及びドレイン電極160dは、図5A及び図5Bに示すように、互いに異なる層に形成されているので、基板水平方向におけるソース電極160sとドレイン電極160dとの間の距離(電極間距離D)を短くしても、ソース電極160sとドレイン電極160dとは、電氣的に導通しない。したがって、例えば、平面視において、ソース電極160s及びドレイン電極160dによってチャンネル領域を覆うことができる。すなわち、電極間距離Dを0にすることができる。

30

【0078】

あるいは、図6に示すように、ソース電極160sの一部を覆うように、ドレイン電極260dを形成することもできる。なお、図6は、本実施の形態に係る薄膜トランジスタの別の一例を示す図である。

【0079】

図6に示す薄膜トランジスタ200は、図5Aに示す薄膜トランジスタ100と比較して、ドレイン電極160dの代わりにドレイン電極260dを備える点が異なっている。

【0080】

ドレイン電極260dは、ソース電極160sの一部を覆っていることを除いて、ドレイン電極160dと同一である。例えば、ドレイン電極260dの膜厚及び材料は、ドレイン電極160dと同一である。

40

【0081】

このように、平面視において、半導体層140のチャンネル層は、ソース電極160s及びドレイン電極260dの少なくとも一方に覆われていてもよい。具体的には、平面視において、半導体層140は、ソース電極160s及びドレイン電極260dの少なくとも一方に覆われていてもよい。

【0082】

ソース電極160s及びドレイン電極260dの少なくとも一方が遮光性材料から構成

50

されている場合、半導体層 140 が酸化物半導体である場合には、薄膜トランジスタ 200 の外部からの光が半導体層 140 に到達するのを抑制することにより、半導体層 140 の光劣化による薄膜トランジスタ 200 の特性の劣化を抑制することができる。

【0083】

また、半導体層 140 がシリコン半導体である場合には、薄膜トランジスタ 200 の外部からの光が半導体層 140 に到達するのを抑制することにより、半導体層 140 が光励起されることによるキャリア生成を抑制することができ、薄膜トランジスタ 200 のオフ電流を抑制することができる。

【0084】

また、図 4、図 5 A 及び図 5 B に示すように、平面視において、コンタクト領域は、ゲート電極 120 内に位置する。言い換えると、コンタクト領域は、ゲート電極 120 の直上方向に位置する。

10

【0085】

より具体的には、平面視において、コンタクトホール 150 a 及び 170 a は、ゲート電極 120 内に位置する。言い換えると、コンタクトホール 150 a 及び 170 a は、ゲート電極 120 の直上方向に位置する。

【0086】

これにより、ゲート電極 120 に印加されるゲート電圧によって、コンタクト領域の半導体層の状態を制御することができる。つまり、コンタクト領域内に高抵抗領域が形成されるのを抑制することができるので、オン抵抗の増加を抑制することができる。

20

【0087】

さらに望ましくは、チャネル領域は、ゲート電極 120 内に位置する。言い換えると、チャネル領域は、ゲート電極 120 の直上方向に位置する。

【0088】

より具体的には、平面視において、半導体層 140 は、ゲート電極 120 内に位置する。言い換えると、半導体層 140 は、ゲート電極 120 の直上方向に位置する。

【0089】

これにより、ゲート電極 120 に印加されるゲート電圧によって、チャネル領域全体を制御することができる。つまり、チャネル領域内に高抵抗領域が形成されるのを抑制することができるので、オン抵抗の増加を抑制することができる。

30

【0090】

[薄膜トランジスタの製造方法]

続いて、本実施の形態に係る薄膜トランジスタの製造方法について、図 7 ~ 図 13 を用いて説明する。図 7 ~ 図 13 は、本実施の形態に係る薄膜トランジスタ 100 の製造方法を示す概略断面図である。

【0091】

まず、図 7 に示すように、基板 110 を準備し、基板 110 上に所定形状のゲート電極 120 を形成する。

【0092】

具体的には、まず、図 7 の (a) に示すように、基板 110 上に金属膜 121 を成膜する。例えば、基板 110 としてガラス基板を準備し、基板 110 上にモリブデン膜 (Mo 膜) と銅膜 (Cu 膜) とをスパッタリングによって順に成膜する。Mo 膜及び Cu 膜の膜厚の合計は、例えば、20 nm ~ 500 nm である。

40

【0093】

次に、図 7 の (b) に示すように、金属膜 121 上にレジスト 180 を形成する。例えば、レジスト 180 としては、感光性機能分子を含む高分子化合物からなるフォトレジストを用いることができる。スピコートなどを利用してフォトレジストを金属膜 121 上に塗布し、プリベーク処理を行うことで、レジスト 180 を形成する。なお、レジスト 180 の膜厚は、例えば、約 2 μ m である。

【0094】

50

次に、図7の(c)に示すように、レジスト180を加工することで、所定形状にパターンニングされたレジスト180aを形成する。例えば、ゲート電極120の形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト180aを形成する。

【0095】

次に、図7の(d)に示すように、レジスト180aをマスクとして用いて、金属膜121の一部をウェットエッチングすることで、所定形状のゲート電極120を形成する。例えば、Mo膜及びCu膜のウェットエッチングは、過酸化水素水(H₂O₂)及び有機酸を混合した薬液を用いて行うことができる。

【0096】

次に、図7の(e)に示すように、レジスト180aを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト180aを剥離する。

【0097】

続いて、図8に示すように、ゲート電極120上にゲート絶縁層130を形成する。例えば、基板110上及びゲート電極120上に、ゲート絶縁層130をプラズマCVD(Chemical Vapor Deposition)によって成膜する。

【0098】

具体的には、ゲート電極120を覆うように基板110上にシリコン窒化膜とシリコン酸化膜とをプラズマCVDによって順に成膜することで、ゲート絶縁層130を形成する。ゲート絶縁層130の膜厚は、例えば、50nm~300nmである。

【0099】

シリコン窒化膜は、例えば、シランガス(SiH₄)、アンモニアガス(NH₃)及び窒素ガス(N₂)を導入ガスに用いることで成膜することができる。シリコン酸化膜は、例えば、シランガス(SiH₄)と亜酸化窒素ガス(N₂O)とを導入ガスに用いることで成膜することができる。

【0100】

続いて、図9に示すように、基板110の上方、かつ、ゲート電極120に対向する位置に半導体層140を形成する。

【0101】

具体的には、まず、図9の(a)に示すように、基板110の上方、かつ、ゲート電極120に対向する位置に半導体膜141を成膜する。例えば、ゲート絶縁層130上に半導体膜141をスパッタリングによって成膜する。半導体膜141の膜厚は、例えば、20~200nmである。

【0102】

具体的には、組成比In:Ga:Zn=1:1:1のターゲット材を用いた、酸素とアルゴン(Ar)との混合ガス雰囲気でのスパッタリングによって、ゲート絶縁層130上にアモルファスInGaZnO膜を成膜する。

【0103】

次に、図9の(b)に示すように、半導体膜141上にレジスト181を形成する。例えば、レジスト181としては、フォトレジストを用いることができる。スピコートなどを利用してフォトレジストを半導体膜141上に塗布し、プリベーク処理を行うことで、レジスト181を形成する。なお、レジスト181の膜厚は、例えば、約2μmである。

【0104】

次に、図9の(c)に示すように、レジスト181を加工することで、所定形状にパターンニングされたレジスト181aを形成する。例えば、半導体層140の形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト181aを形成する。

【0105】

次に、図9の(d)に示すように、レジスト181aをマスクとして用いて、半導体膜

10

20

30

40

50

141の一部をウェットエッチングすることで、所定形状の半導体層140を形成する。例えば、InGaZnOのウェットエッチングは、例えば、リン酸(H_3PO_4)、硝酸(HNO_3)、酢酸(CH_3COOH)及び水を混合した薬液を用いて行うことができる。

【0106】

次に、図9の(e)に示すように、レジスト181aを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト181aを剥離する。

【0107】

続いて、図10に示すように、コンタクトホール150aが形成されたチャネル保護層152を、半導体層140上、及び、ゲート絶縁層130上に形成する。

10

【0108】

具体的には、図10の(a)に示すように、半導体層140上、及び、ゲート絶縁層130上に、チャネル保護膜151を成膜する。例えば、半導体層140を覆うように、半導体層140上、及び、ゲート絶縁層130上にチャネル保護膜151を成膜する。

【0109】

具体的には、全面にシリコン酸化膜をプラズマCVDによって成膜することで、チャネル保護膜151を形成することができる。例えば、シリコン酸化膜の膜厚は、50nm~500nmである。シリコン酸化膜は、例えば、シランガス(SiH_4)と亜酸化窒素ガス(N_2O)とを導入ガスに用いることで成膜することができる。

【0110】

20

次に、図10の(b)に示すように、チャネル保護膜151上にレジスト182を形成する。例えば、レジスト182としては、フォトレジストを用いることができる。スピナーなどを利用してフォトレジストをチャネル保護膜151上に塗布し、プリベーク処理を行うことで、レジスト182を形成する。なお、レジスト182の膜厚は、例えば、約2 μm である。

【0111】

次に、図10の(c)に示すように、レジスト182を加工することで、所定形状にパターンニングされたレジスト182aを形成する。例えば、コンタクトホール150aの形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト182aを形成する。

30

【0112】

次に、図10の(d)に示すように、レジスト182aをマスクとして用いて、チャネル保護膜151の一部をドライエッチングすることで、所定の領域にコンタクトホール150aが形成されたチャネル保護層152を形成する。なお、コンタクトホール150aは、半導体層140のソースコンタクト領域を露出させるように形成される。

【0113】

例えば、チャネル保護膜151がシリコン酸化膜である場合、ドライエッチングとして反応性イオンエッチング(RIE)を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素(CF_4)及び酸素ガス(O_2)を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

40

【0114】

次に、図10の(e)に示すように、レジスト182aを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト182aを剥離する。

【0115】

続いて、図11に示すように、コンタクトホール150aを介して半導体層140に接続するソース電極160sを形成する。

【0116】

具体的には、まず、図11の(a)に示すように、コンタクトホール150aを介して半導体層140に接続するように、金属膜160を形成する。具体的には、チャネル保護

50

層 152 上及びコンタクトホール 150 a 内に金属膜 160 を成膜する。

【0117】

例えば、チャネル保護層 152 上及びコンタクトホール 150 a 内に、Mo 膜と Cu 膜と CuMn 膜とをスパッタリングによって順に成膜することで、金属膜 160 を形成する。なお、金属膜 160 の膜厚は、例えば、100 nm ~ 500 nm である。

【0118】

図 11 の (b) に示すように、金属膜 160 上にレジスト 183 を形成する。例えば、レジスト 183 としては、フォトレジストを用いることができる。スピナーなどを利用してフォトレジストを金属膜 160 上に塗布し、プリベーク処理を行うことで、レジスト 183 を形成する。なお、レジスト 183 の膜厚は、例えば、約 2 μm である。

10

【0119】

次に、図 11 の (c) に示すように、レジスト 183 を加工することで、所定形状にパターンニングされたレジスト 183 a を形成する。例えば、ソース電極 160 s の形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト 183 a を形成する。

【0120】

次に、図 11 の (d) に示すように、レジスト 183 a をマスクとして用いて、金属膜 160 の一部をウェットエッチングすることで、所定形状のソース電極 160 s を形成する。例えば、Mo 膜、Cu 膜及び CuMn 膜のウェットエッチングは、過酸化水素水 (H₂O₂) 及び有機酸を混合した薬液を用いて行うことができる。

20

【0121】

次に、図 11 の (e) に示すように、レジスト 183 a を剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト 183 a を剥離する。

【0122】

続いて、図 12 に示すように、コンタクトホール 170 a が形成された層間絶縁膜 170 を、ソース電極 160 s 上、及び、チャネル保護層 150 上に形成する。

【0123】

具体的には、図 12 の (a) に示すように、ソース電極 160 s 上、及び、チャネル保護層 152 上に、層間絶縁膜 171 を成膜する。例えば、ソース電極 160 s を覆うように、ソース電極 160 s 上、及び、チャネル保護層 152 上に層間絶縁膜 171 を成膜する。

30

【0124】

具体的には、全面にシリコン酸化膜をプラズマ CVD によって成膜することで、層間絶縁膜 171 を形成することができる。例えば、シリコン酸化膜の膜厚は、50 nm ~ 500 nm である。シリコン酸化膜は、例えば、シランガス (SiH₄) と亜酸化窒素ガス (N₂O) とを導入ガスに用いることで成膜することができる。

【0125】

次に、図 12 の (b) に示すように、層間絶縁膜 171 上にレジスト 184 を形成する。例えば、レジスト 184 としては、フォトレジストを用いることができる。スピナーなどを利用してフォトレジストを層間絶縁膜 171 上に塗布し、プリベーク処理を行うことで、レジスト 184 を形成する。なお、レジスト 184 の膜厚は、例えば、約 2 μm である。

40

【0126】

次に、図 12 の (c) に示すように、レジスト 184 を加工することで、所定形状にパターンニングされたレジスト 184 a を形成する。例えば、コンタクトホール 170 a の形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト 184 a を形成する。

【0127】

次に、図 12 の (d) に示すように、レジスト 184 a をマスクとして用いて、層間絶縁膜 171 の一部と、チャネル保護層 152 の一部とをドライエッチングすることで、所

50

定の領域にコンタクトホール170aが形成された層間絶縁層170と、コンタクトホール150bが形成されたチャネル保護層150とを形成する。なお、コンタクトホール170a及びコンタクトホール150bは、半導体層140のドレインコンタクト領域を露出させるように形成される。

【0128】

例えば、層間絶縁膜171及びチャネル保護層152がシリコン酸化膜である場合、ドライエッチングとして反応性イオンエッチング(RIE)を用いることができる。このとき、エッチングガスとしては、例えば、四フッ化炭素(CF₄)及び酸素ガス(O₂)を用いることができる。ガス流量、圧力、印加電力及び周波数などのパラメータは、基板サイズ、エッチングの膜厚などによって適宜設定される。

10

【0129】

次に、図12の(e)に示すように、レジスト184aを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト184aを剥離する。

【0130】

なお、コンタクトホール170aとコンタクトホール150bとを1つの工程で形成する例について示したが、これに限らない。コンタクトホール170aとコンタクトホール150bとを異なる工程で形成してもよい。

【0131】

続いて、図13に示すように、コンタクトホール170a及び150bを介して半導体層140に接続するドレイン電極160dを形成する。

20

【0132】

具体的には、まず、図13の(a)に示すように、コンタクトホール170a及び150bを介して半導体層140に接続するように、金属膜161を形成する。具体的には、層間絶縁層170上並びにコンタクトホール170a及び150b内に金属膜161を成膜する。

【0133】

例えば、層間絶縁層170上並びにコンタクトホール170a及び150b内に、Mo膜とCu膜とCuMn膜とをスパッタリングによって順に成膜することで、金属膜161を形成する。なお、金属膜161の膜厚は、例えば、100nm~500nmである。

【0134】

図13の(b)に示すように、金属膜161上にレジスト185を形成する。例えば、レジスト185としては、フォトレジストを用いることができる。スピコートなどを利用してフォトレジストを金属膜161上に塗布し、プリベーク処理を行うことで、レジスト185を形成する。なお、レジスト185の膜厚は、例えば、約2µmである。

30

【0135】

次に、図13の(c)に示すように、レジスト185を加工することで、所定形状にパターンニングされたレジスト185aを形成する。例えば、ドレイン電極160dの形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト185aを形成する。

【0136】

次に、図13の(d)に示すように、レジスト185aをマスクとして用いて、金属膜161の一部をウェットエッチングすることで、所定形状のドレイン電極160dを形成する。例えば、Mo膜、Cu膜及びCuMn膜のウェットエッチングは、過酸化水素水(H₂O₂)及び有機酸を混合した薬液を用いて行うことができる。

40

【0137】

次に、図13の(e)に示すように、レジスト185aを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト185aを剥離する。

【0138】

以上のようにして、図5A及び図5Bに示す薄膜トランジスタ100を製造することができる。

50

【0139】

なお、図6に示す薄膜トランジスタ200も同様にして製造することができる。具体的には、図7～図12までは同様の工程を行い、以降、図14に示す工程に従って薄膜トランジスタ200を製造すればよい。ここで、図14は、本実施の形態に係る薄膜トランジスタ200の製造方法を示す概略断面図である。

【0140】

図14に示すように、コンタクトホール170a及び150bを介して半導体層140に接続するドレイン電極260dを形成する。図13と比較して異なる点は、レジスト185をパターニングした後の形状である。

【0141】

具体的には、図14の(c)に示すように、レジスト185を加工することで、所定形状にパターニングされたレジスト185bを形成する。例えば、ドレイン電極260dの形状に合わせたマスクを用いて露光、現像、ポストバークを順に行うことで、レジスト185bを形成する。

【0142】

このように、レジスト185bの形状が、図13に示すレジスト185aと異なっている。すなわち、レジスト185bは、ソース電極160sの一部を覆うような形状のドレイン電極260dに合わせた形状にパターニングされている。

【0143】

次に、図14の(d)に示すように、レジスト185bをマスクとして用いて、金属膜161の一部をウェットエッチングすることで、所定形状のドレイン電極260dを形成する。例えば、Mo膜、Cu膜及びCuMn膜のウェットエッチングは、過酸化水素水(H_2O_2)及び有機酸を混合した薬液を用いて行うことができる。

【0144】

次に、図14の(e)に示すように、レジスト185bを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト185bを剥離する。

【0145】

以上のようにして、図6に示す薄膜トランジスタ200を製造することができる。

【0146】

[まとめ]

以上のように、本実施の形態に係る表示装置は、薄膜トランジスタ100を有する画素回路31を備える有機EL表示装置10であって、薄膜トランジスタ100は、ゲート電極120と、ゲート電極120の上方に形成された半導体層140と、ゲート電極120と半導体層140との間に形成されたゲート絶縁層130と、半導体層140上に形成されたチャネル保護層150と、チャネル保護層150の上方に形成された、半導体層140と電氣的に接続されるソース電極160s及びドレイン電極160dとを備え、ソース電極160s及びドレイン電極160dは、互いに異なる層に形成されている。

【0147】

これにより、ソース電極160sとドレイン電極160dとを基板水平方向に離間させなくてもよいので、チャネル長Lを短くすることができる。チャネル長Lを短くすることで、オン抵抗を低減することができ、薄膜トランジスタ100の特性を向上させることができる。

【0148】

図15は、本実施の形態に係るソース電極160sとドレイン電極160dとが同層又は異なる層に形成された場合のチャネル長について説明するための概略断面図である。

【0149】

例えば、図15の(b)に示す薄膜トランジスタ300のように、ソース電極160sとドレイン電極160dとが同層に形成されている場合、ソース電極160sとドレイン電極160dとを基板水平方向に離間させなければならない。つまり、図15の(b)に示す電極間距離D2を一定値以上に必ず確保しなければならない。例えば、ソース電極1

10

20

30

40

50

60 s とドレイン電極 160 d とは、例えば、4 μ m 離れて形成される。

【0150】

また、ソース電極 160 s とドレイン電極 160 d とはそれぞれ、半導体層 140 と良好なコンタクトを得るために、コンタクトホール内の半導体層 140 の露出部分を確実に覆うことが好ましい。このために、ソース電極 160 s とドレイン電極 160 d とは、平面視において、コンタクトホールのエッジよりも所定の幅だけ外側にはみ出るように形成される。つまり、図 15 の (a) 及び (b) に示すように、ソース電極 160 s は、コンタクトホール 150 a から幅 A だけはみ出ており、ドレイン電極 160 d は、コンタクトホール 150 b から幅 B だけはみ出ている。幅 A 及び幅 B はそれぞれ、例えば、4 μ m である。

10

【0151】

したがって、従来のようにソース電極 160 s とドレイン電極 160 d とが同層に形成されている場合は、例えば、コンタクトホール 150 a 及び 150 b 間の距離であるチャネル長 L2 は、12 μ m になる。

【0152】

これに対して、本実施の形態に係る薄膜トランジスタ 100 では、ソース電極 160 s とドレイン電極 160 d とが、互いに異なる層に形成されるので、水平方向に離間させる必要がなく、チャネル長を 12 μ m より小さくすることができる。例えば、図 15 の (a) に示すように、電極間距離 D1 を電極間距離 D2 より短く、例えば、2 μ m にすることができ、この場合は、チャネル長 L1 は 10 μ m となる。あるいは、図 6 に示すように、電極間距離 D を 0 又は負の値 (ソース電極 160 s 及びドレイン電極 260 d が一部重なっている) にすることもできる。

20

【0153】

また、チャネル長 L を短くするので、画素レイアウト内における薄膜トランジスタ 100 の占める面積を小さくすることができる。つまり、オン抵抗の低減と画素の高精細化とを実現することができる。

【0154】

また、平面視において、半導体層 140 のチャネル層が、遮光性材料から構成されるソース電極 160 s 及びドレイン電極 260 d の少なくとも一方に覆われている場合には、薄膜トランジスタ 100 の外部からの光が半導体層 140 に到達するのを抑制することができる。これにより、半導体層 140 の光劣化による薄膜トランジスタ 100 の特性の劣化を抑制することができる。

30

【0155】

また、チャネル領域がゲート電極 120 の直上方向に位置するので、ゲート電極 120 に印加されるゲート電圧によって、チャネル領域全体を制御することができる。つまり、チャネル領域内に高抵抗領域が形成されるのを抑制することができるので、オン抵抗の増加を抑制することができる。

【0156】

(他の実施の形態)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した。しかしながら、本開示における技術は、これらに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。

40

【0157】

例えば、上記実施の形態では、チャネル保護層 150 上にソース電極 160 s を形成し、層間絶縁層 170 上にドレイン電極 160 d を形成したが、ソース電極 160 s とドレイン電極 160 d の形成される位置は、逆でもよい。

【0158】

また、チャネル保護層 150 にコンタクトホール 150 a を形成するとき、同時にコンタクトホール 150 b を形成してもよい。具体例について、図 16 ~ 図 18 を用いて説明する。なお、図 16 ~ 図 18 は、実施の形態の変形例に係る薄膜トランジスタの製造方

50

法を示す概略断面図である。

【0159】

本変形例に係る薄膜トランジスタの製造方法では、図10と比較して、図16の(c)に示すように、レジスト182を加工したときの形状が異なっている。具体的には、レジスト182を加工することで、所定形状にパターニングされたレジスト182bを形成する。例えば、コンタクトホール150a及び150bの形状に合わせたマスクを用いて露光、現像、ポストベークを順に行うことで、レジスト182bを形成する。

【0160】

次に、図16の(d)に示すように、レジスト182bをマスクとして用いて、チャンネル保護膜151の一部をドライエッチングすることで、所定の領域にコンタクトホール150a及び150bが形成されたチャンネル保護層150を形成する。

10

【0161】

次に、図16の(e)に示すように、レジスト182bを剥離する。例えば、酸素プラズマを用いたアッシングにより、レジスト182bを剥離する。

【0162】

以上のように、コンタクトホール150a及び150bを同時に形成することができる。

【0163】

なお、以降の工程では、成膜した材料がコンタクトホール150bに埋め込まれるので、エッチングなどで除去する必要がある。例えば、図17に示すように、ソース電極160sを形成する工程において、金属膜160がコンタクトホール150bに埋め込まれる(図17の(a)参照)。

20

【0164】

したがって、図17の(d)に示すように、金属膜160をウェットエッチングする際に、コンタクトホール150bに埋め込まれた金属膜160も除去する。なお、ソース電極160sとドレイン電極160dとが同一の材料で構成される場合は、コンタクトホール150b内の金属膜160は除去されなくてもよい。

【0165】

また、図18に示すように、層間絶縁層170を形成する工程において、層間絶縁膜171がコンタクトホール150b内に埋め込まれる(図18の(a)参照)。したがって、図18の(d)に示すように、コンタクトホール170aを形成する際に、半導体層140が露出するまで層間絶縁膜171をエッチングする。

30

【0166】

また、例えば、上記実施の形態において、図10に示すように、チャンネル保護膜151を全面成膜後に、コンタクトホール150aを形成したが、これに限られない。例えば、半導体層140が露出するように予め所定形状にパターニングされたチャンネル保護層152を形成してもよい。

【0167】

つまり、チャンネル保護層150を形成する工程では、半導体層140の一部が露出するようにチャンネル保護層150を形成すればよい。また、ソース電極160s及びドレイン電極160dを形成する工程では、露出した部分で半導体層140に接続されるようにソース電極160s及びドレイン電極160dを形成すればよい。

40

【0168】

半導体層140など所定形状にパターニングが必要な層の形成も同様である。すなわち、全面成膜後にパターニングするのではなく、予め所定形状にパターニングされた半導体層140を形成してもよい。

【0169】

また、上記実施の形態では、半導体層に用いる酸化物半導体は、アモルファスのInGaZnOに限られない。例えば、多結晶InGaOなどの多結晶半導体でもよい。

【0170】

50

また、上記実施の形態では、薄膜トランジスタが酸化物半導体層を備える構成について説明したが、これに限らない。薄膜トランジスタは、単結晶半導体、化合物半導体などの酸化物ではない半導体材料を主成分とする半導体層を備えてもよい。例えば、結晶構造もしくは非結晶構造を有するシリコン(Si)である。

【0171】

また、上記実施の形態では、薄膜トランジスタを用いた表示装置として有機EL表示装置について説明したが、上記実施の形態における薄膜トランジスタは、液晶表示装置など、アクティブマトリクス基板が用いられる他の表示装置にも適用することができる。

【0172】

また、上記実施の形態で示す表示装置は、ゲートドライバ及びソースドライバなどの駆動回路を備えてもよく、又は、備えていなくてもよい。

10

【0173】

また、上述した有機EL表示装置などの表示装置(表示パネル)については、フラットパネルディスプレイとして利用することができ、テレビジョンセット、パーソナルコンピュータ、携帯電話など、表示パネルを有するあらゆる電子機器に適用することができる。特に、大画面及び高精細の表示装置に適している。

【0174】

その他、各実施の形態及び変形例に対して当業者が思いつく各種変形を施して得られる形態や、本開示における発明の主旨を逸脱しない範囲で各実施の形態及び変形例における構成要素及び機能を任意に組み合わせることで実現される形態も本発明に含まれる。

20

【産業上の利用可能性】

【0175】

本開示に係る表示装置及び薄膜トランジスタ基板は、例えば、有機EL表示装置などの表示装置などに利用することができる。

【符号の説明】

【0176】

10 有機EL表示装置

20 TFT基板

30 画素

31 画素回路

30

32、33、100、200、300 薄膜トランジスタ

32d、33d、160d、260d ドレイン電極

32g、33g、120 ゲート電極

32s、33s、160s ソース電極

34 キャパシタ

40 有機EL素子

41 陽極

42 EL層

43 陰極

50 ゲート配線

40

60 ソース配線

70 電源配線

110 基板

121、160、161 金属膜

130 ゲート絶縁層

140 半導体層

141 半導体膜

150、152 チャンネル保護層

150a、150b、170a コンタクトホール

151 チャンネル保護膜

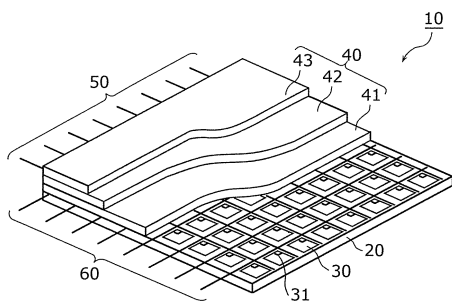
50

170 層間絶縁層

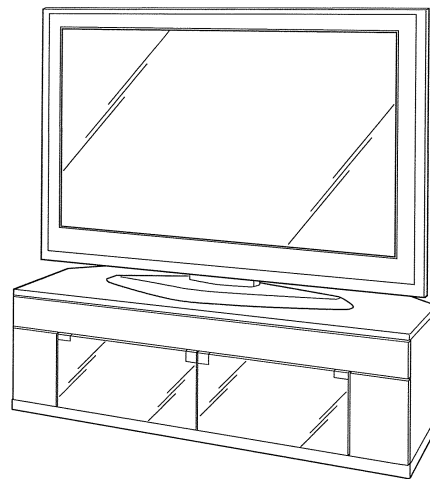
171 層間絶縁膜

180、180a、181、181a、182、182a、182b、183、183a、
184、184a、185、185a、185b レジスト

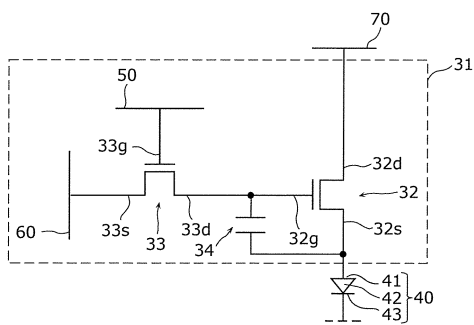
【図1】



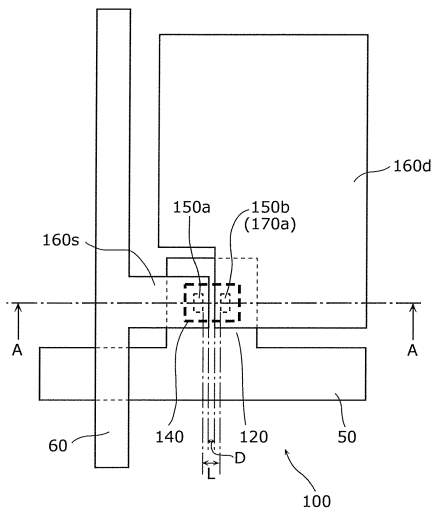
【図3】



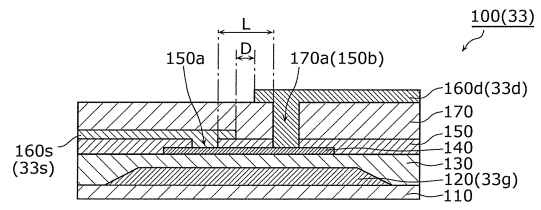
【図2】



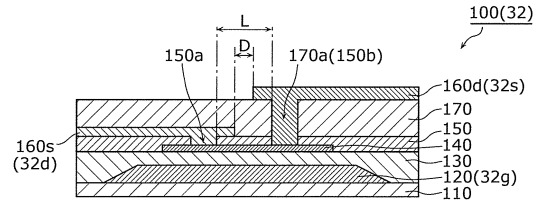
【 図 4 】



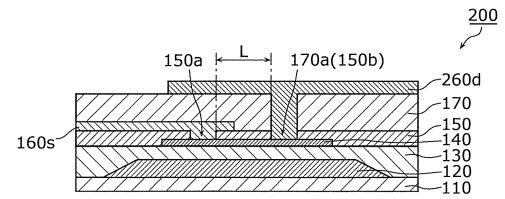
【 図 5 A 】



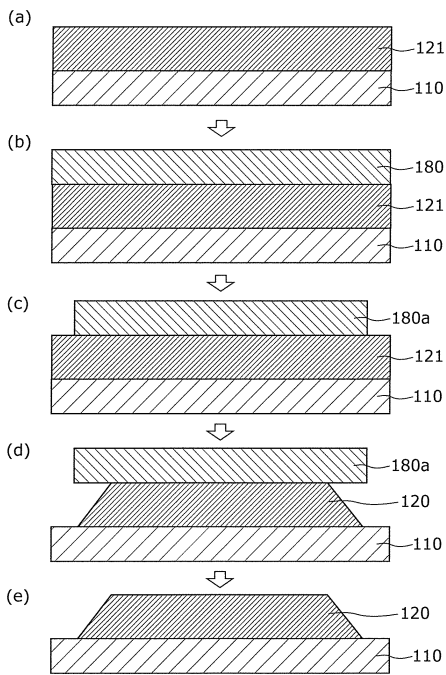
【 図 5 B 】



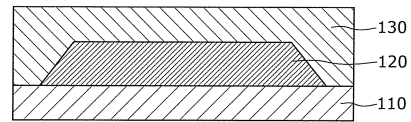
【 図 6 】



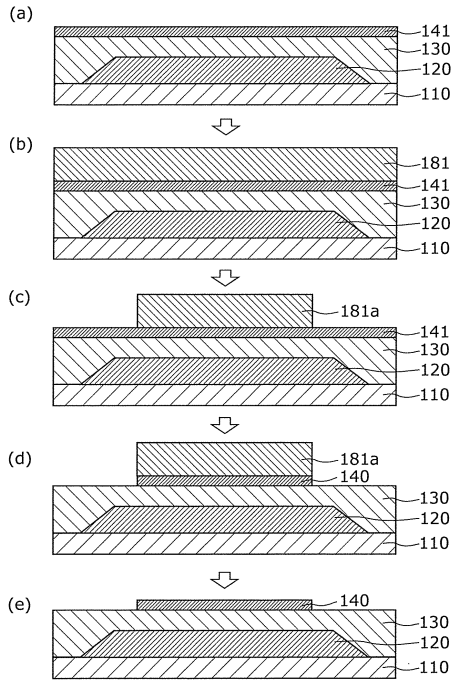
【 図 7 】



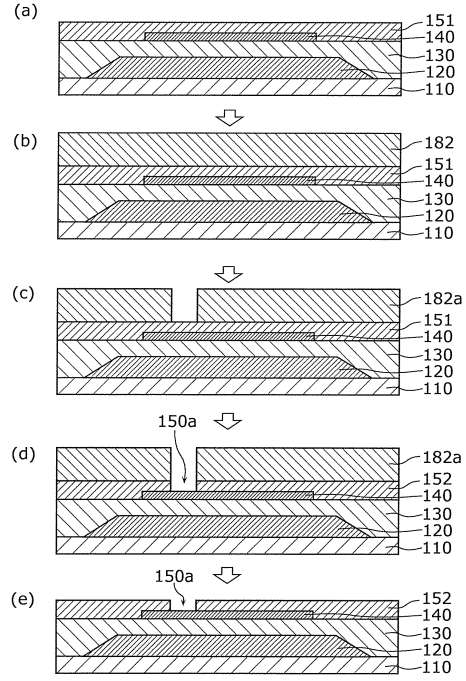
【 図 8 】



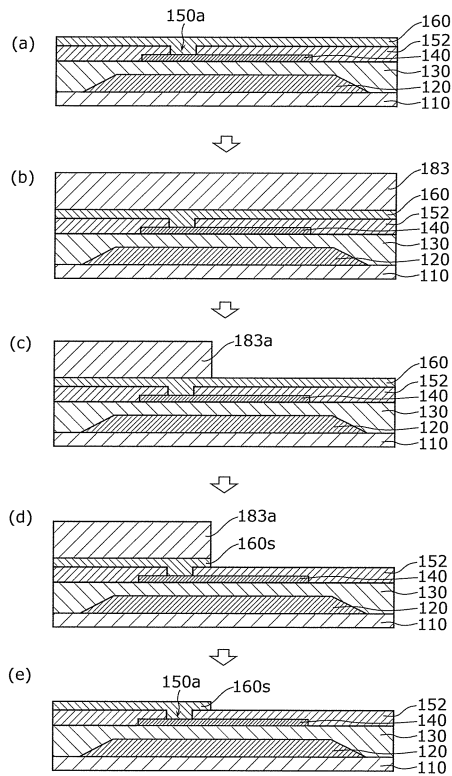
【図 9】



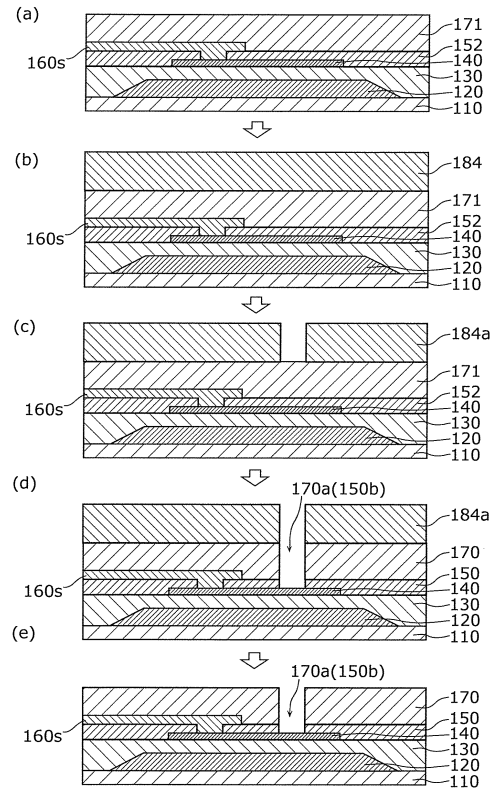
【図 10】



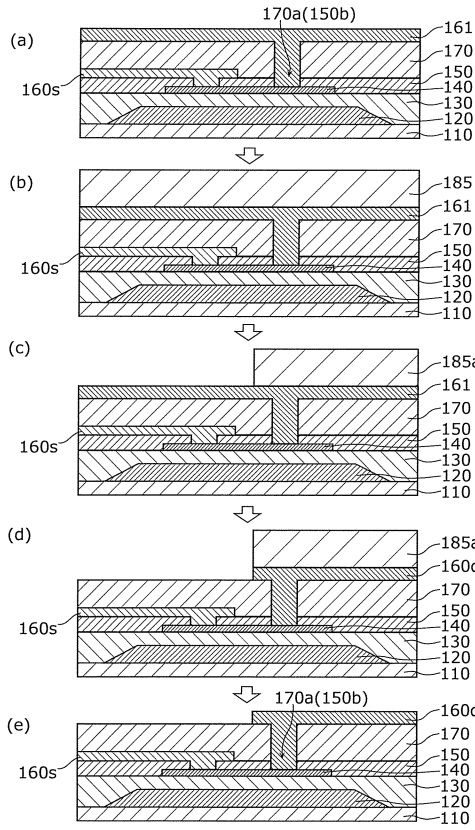
【図 11】



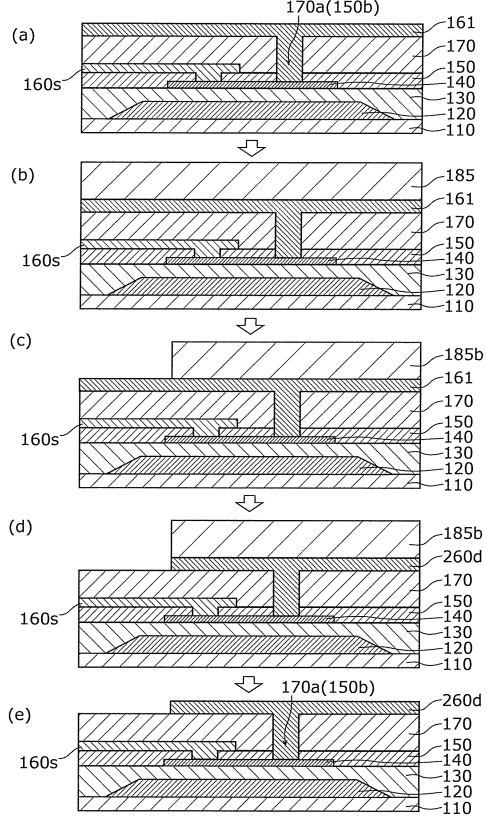
【図 12】



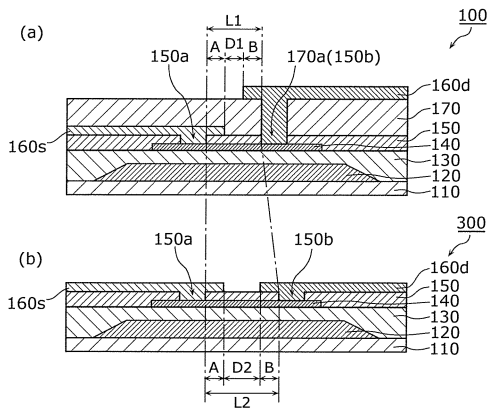
【 図 1 3 】



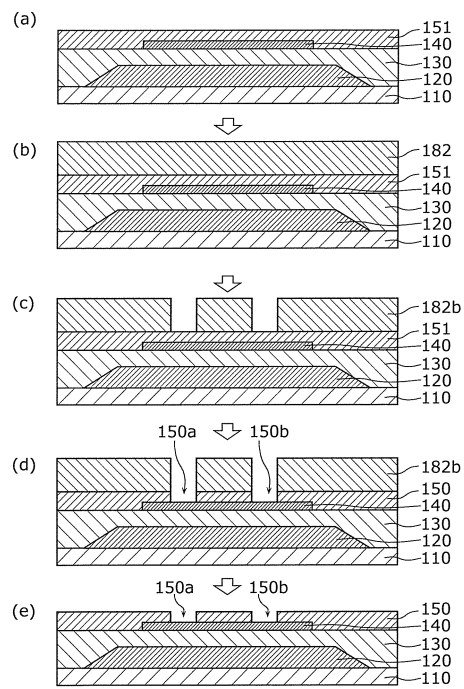
【 図 1 4 】



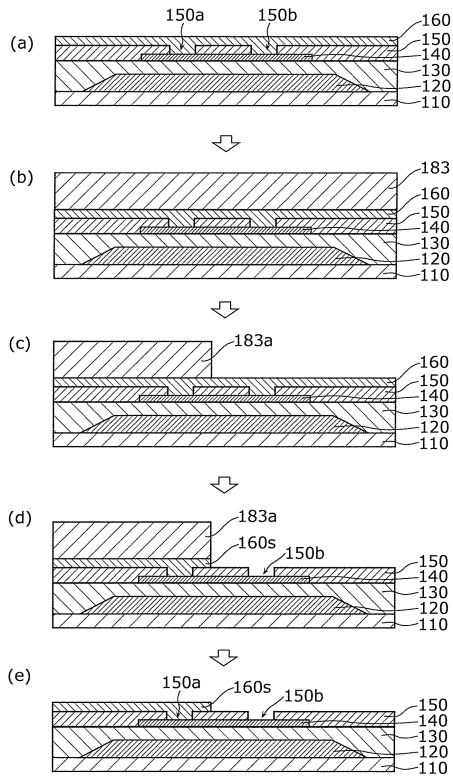
【 図 1 5 】



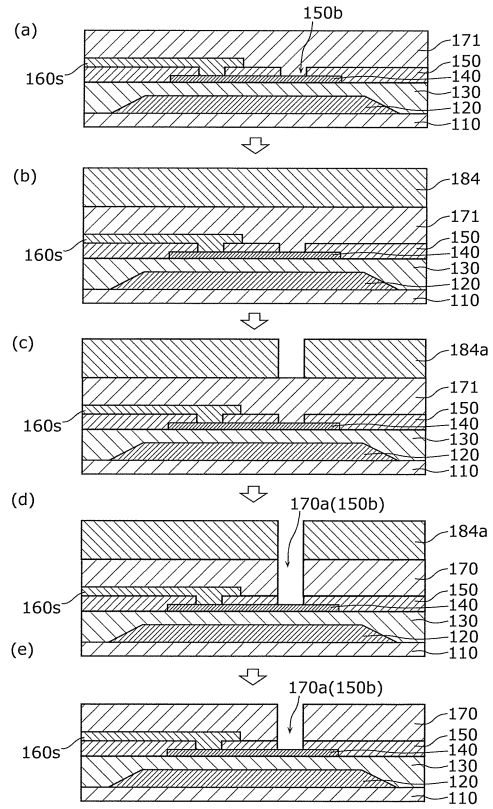
【 図 1 6 】



【 図 17 】



【 図 18 】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1368
G 0 9 F 9/30 3 3 8
G 0 9 F 9/30 3 6 5
H 0 5 B 33/14 A

(56)参考文献 国際公開第2012/020525(WO, A1)

特開平11-112003(JP, A)
特開2010-129859(JP, A)
特開2009-049384(JP, A)
特開2013-229453(JP, A)
特開2013-084669(JP, A)
特開平09-203908(JP, A)
特開2011-009490(JP, A)
特開2013-183051(JP, A)
特開2014-232824(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 6 8
G 0 9 F 9 / 3 0
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0