(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0025998
(43) 공개일자 2025년02월25일

(51) 국제특허분류(Int. Cl.)
G06N 3/063 (2023.01) *G11C 11/54* (2006.01)
(52) CPC특허분류
G06N 3/063 (2013.01)
G11C 11/54 (2013.01)
(21) 출원번호 10-2023-0107103
(22) 출원일자 2023년08월16일
심사청구일자 2023년08월16일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
서준기
울산광역시 울주군 언양읍 유니스트길 50
조한빈
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인 무한

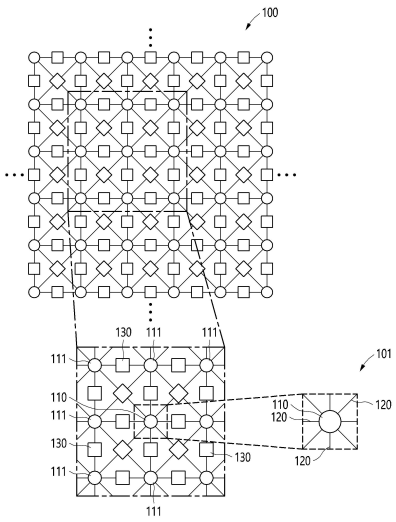
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **가소성 시냅스 소자들을 이용한 축적 컴퓨팅 장치 및 방법**

(57) 요 약

일 실시예에 따른 축적 컴퓨팅 장치는, 어레이 구조로 배열된 복수의 전극들, 및 상기 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결되고, 다른 전극의 가소성 시냅스 소자와 노드를 통해 연결되며, 상기 적어도 하나의 전극에 대한 입력 신호의 인가(enable) 또는 비인가(disable) 중 적어도 하나에 기초하여 달라지는 임피던스를 가지는 복수의 가소성 시냅스 소자들을 포함하고, 상기 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스는, 상기 적어도 하나의 전극에 입력 신호가 인가(enable)되는 것에 응답하여 제1 임피던스 크기로부터 상기 인가된 입력 신호에 기초한 제2 임피던스 크기로 변화하고, 상기 입력 신호가 비인가(disable)되는 것에 응답하여 상기 제2 임피던스 크기로부터 상기 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)할 수 있다.

대 표 도 - 도1



(72) 발명자

이동현

울산광역시 울주군 언양읍 유니스트길 50

임동혁

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711188649
과제번호	2022M3I7A2079098
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	PIM인공지능반도체핵심기술개발(소자)
연구과제명	고성능 PRAM 기반 학습용 PIM 소자 및 연산 시스템개발
기 여 율	50/100
과제수행기관명	울산과학기술원
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711190636
과제번호	2020R1C1C1011219
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	지능형 열제어 회로 구현을 위한 비선형 및 방향성열전달 소재 개발
기 여 율	25/100
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711187371
과제번호	2021R1C1C2012077
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	물질의 자발성 및 불확실성을 이용한 나노소자 기반두뇌모사 인공신경망 시스템 구현
기 여 율	25/100
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

축적 컴퓨팅 장치에 있어서,

어레이 구조로 배열된 복수의 전극들; 및

상기 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결되고, 다른 전극의 가소성 시냅스 소자와 노드를 통해 연결되며, 상기 적어도 하나의 전극에 대한 입력 신호의 인가(enable) 또는 비인가(disable) 중 적어도 하나에 기초하여 달라지는 임피던스를 가지는 복수의 가소성 시냅스 소자들

을 포함하고,

상기 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스는,

상기 적어도 하나의 전극에 입력 신호가 인가(enable)되는 것에 응답하여 제1 임피던스 크기로부터 상기 인가된 입력 신호에 기초한 제2 임피던스 크기로 변화하고,

상기 입력 신호가 비인가(disable)되는 것에 응답하여 상기 제2 임피던스 크기로부터 상기 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)하는,

축적 컴퓨팅 장치.

청구항 2

제1항에 있어서,

상기 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들은 서로 동일한 임피던스 변화 특성을 가지는,

축적 컴퓨팅 장치.

청구항 3

제1항에 있어서,

상기 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들 중 적어도 하나의 임피던스 변화 특성은, 다른 가소성 시냅스 소자의 임피던스 변화 특성과 다른,

축적 컴퓨팅 장치.

청구항 4

제1항에 있어서,

제1 축 상의 가소성 시냅스 소자들은 서로 동일한 임피던스 변화 특성을 가지고,

제2 축 상의 가소성 시냅스 소자들은 서로 동일한 임피던스 변화 특성을 가지고,

상기 제1 축 상의 가소성 시냅스 소자와 상기 제2 축 상의 가소성 시냅스 소자는 서로 다른 임피던스 변화 특성을 가지는,

축적 컴퓨팅 장치.

청구항 5

제1항에 있어서,

상기 복수의 가소성 시냅스 소자들은,

이방성 물질(anisotropy material), 미리 결정된 방향으로 정렬된 미세 금속 와이어와 폴리머 혼합물에 기초한 소자, 차지 트랩(charge trap) 메커니즘에 기초한 소자, 또는 격자 공공 및 이온 이동에 따른 전도성 변화에 기초한 소자 중 적어도 하나인,

축적 컴퓨팅 장치.

청구항 6

제1항에 있어서,

상기 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스 크기의 비선형적 변화를 유발하는 입력 신호를 상기 적어도 하나의 전극에 인가 또는 비인가하며, 판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 상기 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 제어부

를 더 포함하는

축적 컴퓨팅 장치.

청구항 7

제6항에 있어서,

상기 제어부는,

이진화된 입력 데이터로부터 쵸핑(chop)된 데이터를 병합(merge)한 결과에 기초하여 생성된 상기 입력 신호를 상기 적어도 하나의 전극에 인가하는

축적 컴퓨팅 장치.

청구항 8

제6항에 있어서,

상기 제어부는,

입력 데이터에 대응하는 복수의 입력 신호들 중 제1 입력 신호들을 개별적으로 해당하는 전극들에 인가하고,

상기 복수의 입력 신호들 중 제2 입력 신호들을 개별적으로 해당하는 전극들에 인가하며,

상기 제1 입력 신호들을 인가한 후에 상기 제2 입력 신호들을 인가하는,

축적 컴퓨팅 장치.

청구항 9

제6항에 있어서,

상기 제어부는,

상기 복수의 가소성 시냅스 소자들 및 다른 전극들의 가소성 시냅스 소자들 사이의, 상기 적어도 하나의 전극을

둘러싸는, 복수의 노드들을 접지(ground)시키고, 상기 복수의 노드들이 접지된 동안, 상기 적어도 하나의 전극에 입력 신호를 인가하는

축적 컴퓨팅 장치.

청구항 10

제6항에 있어서,

상기 제어부는,

상기 적어도 하나의 전극에 입력 신호가 비인가 되는 경우, 복수의 노드들의 접지를 종료하는

축적 컴퓨팅 장치.

청구항 11

제6항에 있어서,

상기 제어부는,

판독 대상 전극을 둘러싸는 주변의 다른 전극들을 접지(ground)시키며, 상기 판독 대상 전극을 기준으로 상기 주변의 다른 전극들이 접지된 동안, 상기 판독 대상 전극에 판독 바이어스 신호를 인가한 것에 기초하여 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는,

축적 컴퓨팅 장치.

청구항 12

제6항에 있어서,

상기 제어부는,

상기 입력 신호가 인가된 적어도 하나의 전극과 다른 전극이 상기 입력 신호가 인가된 적어도 하나의 전극으로부터 상기 다른 전극을 향하는 축 상에 적어도 두 개 이상의 노드가 포함되어 이격된 경우,

상기 적어도 하나의 전극과 상기 다른 전극에 개별적으로 판독 바이어스 신호(read bias signal)를 인가하여, 상기 적어도 하나의 전극과 상기 다른 전극 각각에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 개별적으로 스윕(sweep)하여 판독하는

축적 컴퓨팅 장치.

청구항 13

축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서,

어레이 구조로 배열된 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결되는 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스가 제1 임피던스 크기로부터 제2 임피던스 크기로의 변화를 유발하는 입력 신호를 상기 적어도 하나의 전극에 인가(enable)하는 단계;

상기 적어도 하나의 가소성 시냅스 소자의 임피던스가 상기 제2 임피던스 크기로부터 상기 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)하도록 상기 적어도 하나의 전극에 대해 상기 입력 신호를 비인가(disable)하는 단계; 및

판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 상기 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 단계

를 포함하는 방법.

청구항 14

제13항에 있어서,

상기 입력 신호를 인가하는 단계는,

이진화된 입력 데이터로부터 쵸핑(chop)된 데이터를 병합한 결과에 기초하여 생성된 상기 입력 신호를 상기 적어도 하나의 전극에 인가하는 단계

를 포함하는 방법.

청구항 15

제13항에 있어서,

상기 입력 신호를 인가하는 단계는,

입력 데이터에 대응하는 복수의 입력 신호들 중 제1 입력 신호들을 개별적으로 해당하는 전극들에 인가하는 단계; 및

상기 제1 입력 신호들을 인가한 후에 상기 복수의 입력 신호들 중 제2 입력 신호들을 개별적으로 해당하는 전극들에 인가하는 단계;

를 포함하는 방법.

청구항 16

제13항에 있어서,

상기 입력 신호를 인가하는 단계는,

상기 복수의 가소성 시냅스 소자들 및 다른 전극들의 가소성 시냅스 소자들 사이의, 상기 적어도 하나의 전극을 둘러싸는, 복수의 노드들을 접지(ground)시키는 단계; 및

상기 복수의 노드들이 접지된 동안, 상기 적어도 하나의 전극에 입력 신호를 인가하는 단계

를 포함하는 방법.

청구항 17

제13항에 있어서,

상기 입력 신호를 비인가 하는 단계는,

복수의 노드들의 접지를 종료하는 단계

를 포함하는 방법.

청구항 18

제13항에 있어서,

상기 합성 임피던스 값을 판독하는 단계는,

상기 복수의 전극들 중 판독 대상 전극 주변의 다른 전극들을 접지(ground)시키는 단계; 및

상기 주변의 다른 전극들이 접지된 동안 상기 판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 상기 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 단계

를 포함하는 방법.

청구항 19

제13항에 있어서,

상기 합성 임피던스 값을 판독하는 단계는,

상기 입력 신호가 인가된 적어도 하나의 전극과 다른 전극이,

상기 입력 신호가 인가된 적어도 하나의 전극으로부터 상기 다른 전극을 향하는 축 상에 적어도 두 개 이상의 노드가 포함되어 이격된 경우,

상기 적어도 하나의 전극과 상기 다른 전극에 개별적으로 판독 바이어스 신호(read bias signal)를 인가하여 상기 적어도 하나의 전극과 상기 다른 전극 각각에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 개별적으로 스윕(sweep)하여 판독하는 단계

를 포함하는 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 가소성 시냅스 소자와 해당 소자들로 구성된 축적 컴퓨팅 장치에 관한 것이다. 순서 및 위치에 대한 정보로 구분되는 초기 데이터(raw data)를 전기적 펄스 형태의 입력 데이터(input data)(또는 입력 신호)로 변환하여 축적 컴퓨팅 장치에 인가함으로써, 데이터 별 고유 가중치를 산출한다. 산출된 고유 가중치에 기초하여 기계학습모델에 대하여 데이터 패턴을 학습시키는 일련의 학습 방법을 포함한다.

배 경 기 술

[0003] 뇌에서 영감을 받은 뉴로모픽 시스템(neuromorphic system)은 폰 노이만 아키텍처를 뛰어넘는 유망한 컴퓨팅 패러다임으로 데이터의 집약적 처리, 사물 감지 및 사물 예측에 적합한 것으로 입증되었다. 뉴로모픽 시스템을 구현하기 위한 하드웨어 중 대표적으로 다양한 멤리스터(memristor)로 구성된 크로스바 어레이가 제안된다. 다양한 멤리스터로 구성된 크로스바 어레이 구조에 기초하여 전자적으로 시냅스 가중치의 다중 상태를 산출하는 핵심 하드웨어 장치가 개발되어왔다. 하지만 기존의 크로스바 어레이는 시냅스 가소성을 포함한 인접 뉴런 간의 상호 연결 관계의 시공간적 특성을 표현하는데 한계가 있다. 또한 신경망을 구축할 때 많은 수의 시냅스 소자가 불가피하게 필요하다. 따라서 효율적으로 뇌와 유사한 컴퓨팅 아키텍처를 구현하기 위해, 유망한 구조적 솔루션 중 하나로 시간에 따라 비선형적 거동을 보이는 단기 메모리(short term memory)를 갖춘 축적 컴퓨팅 장치와 이를 활용한 학습 방법이 제안되고 있다.

[0004] 현재는 가소성 시냅스 소자의 비선형적인 임피던스 변화 특성을 활용하여, 입력 데이터가 인가되는 시간 순서를 구분하는 방법과, 소자 자체의 무작위성을 활용한축적 컴퓨팅 방법이 개발되고 있다. 그러나, 축적컴퓨팅 장치를 효율적으로 구성하고 규격화하기 위한 연구가 미미한 상태이다.

발명의 내용

과제의 해결 수단

[0006] 일 실시예에 따른 축적 컴퓨팅 장치는, 어레이 구조로 배열된 복수의 전극들 및

[0007] 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결되고, 다른 전극의 가소성 시냅스 소자와 노드를 통해 연결되며, 적어도 하나의 전극에 대한 입력 신호의 인가(enable) 또는 비인가(disable) 중 적어도 하나에 기초하여 달라지는 임피던스를 가지는 복수의 가소성 시냅스 소자들을 포함할 수 있고, 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스는 적어도 하나의 전극에 입력 신호가 인가(enable)되는 것에 응답하여 제1 임피던스 크기로부터 인가된 입력 신호에 기초한 제2 임피던스 크기로 변화하고, 입력 신호가 비인가(disable)되는 것에 응답하여 제2 임피던스 크기로부터 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)할 수 있다.

[0008] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들은 서로 동일한 임피던스 변화 특성을 가질 수 있다.

[0009] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 복수의 전극들 중 적어도 하나의 전극에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들 중 적어도 하나의 임피던스 변화 특성은 다른 가소성 시냅스 소자의 임피던스 변화 특성과 다를 수 있다.

[0010] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제1 축 상의 가소성 시냅스 소자들은 서로 동일한 임피던스 변화 특성을 가질 수 있고, 제2 축 상의 가소성 시냅스 소자들은 서로 동일한 임피던스 변화 특성을 가질 수 있으며, 제1 축 상의 가소성 시냅스 소자와 제2 축 상의 가소성 시냅스 소자는 서로 다른 임피던스 변화 특성을 가질 수 있다.

[0011] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 복수의 가소성 시냅스 소자들은, 이방성 물질(anisotropy material), 미리 결정된 방향으로 정렬된 미세 금속 와이어와 폴리머 혼합물에 기초한 소자, 차지 트랩(charge trap) 메커니즘에 기초한 소자, 또는 격자 공공(vacancy) 및 이온 이동(ion migration)에 따른 전도성 변화에 기초한 소자 중 적어도 하나일 수 있다.

[0012] 일 실시예에 따른 축적 컴퓨팅 장치는, 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스 크기의 비선형적 변화를 유발하는 입력 신호를 적어도 하나의 전극에 인가 또는 비인가하며, 판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 제어부를 더 포함할 수 있다.

[0013] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제어부는 이진화된 입력 데이터로부터 쵸핑(chop)된 데이터를 병합(merge)한 결과에 기초하여 생성된 상기 입력 신호를 상기 적어도 하나의 전극에 인가할 수 있다.

[0014] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제어부는 입력 데이터에 대응하는 복수의 입력 신호들 중 제1 입력 신호들을 개별적으로 해당하는 전극들에 인가하고, 복수의 입력 신호들 중 제2 입력 신호들을 개별적으로 해당하는 전극들에 인가하며, 제1 입력 신호들을 인가한 후에 제2 입력 신호들을 인가할 수 있다.

[0015] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제어부는 복수의 가소성 시냅스 소자들 및 다른 전극들의 가소성 시냅스 소자들 사이의, 적어도 하나의 전극을 둘러싸는, 복수의 노드들을 접지(ground)시키고, 복수의 노드들이 접지된 동안, 적어도 하나의 전극에 입력 신호를 인가할 수 있다.

[0016] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제어부는 적어도 하나의 전극에 입력 신호가 비인가 되는 경우, 복수의 노드들의 접지를 종료할 수 있다.

[0017] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제어부는 판독 대상 전극을 둘러싸는 주변의 다른 전극들을 접지(ground)시키며, 판독 대상 전극을 기준으로 주변의 다른 전극들이 접지된 동안, 판독 대상 전극에 판독 바이어스 신호를 인가한 것에 기초하여 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다.

[0018] 일 실시예에 따른 축적 컴퓨팅 장치에 있어서, 제어부는 입력 신호가 인가된 적어도 하나의 전극과 다른 전극이 입력 신호가 인가된 적어도 하나의 전극으로부터 다른 전극을 향하는 축 상에 적어도 두 개 이상의 노드가 포함되어 이격된 경우, 적어도 하나의 전극과 다른 전극에 개별적으로 판독 바이어스 신호(read bias signal)를 인가하여, 적어도 하나의 전극과 다른 전극 각각에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 개별적으로 스윕(sweep)하여 판독할 수 있다.

[0019] 일 실시예에 따른 축적 컴퓨팅 장치에 의해 수행되는 방법은, 어레이 구조로 배열된 복수의 전극들 중 입력 대상 전극에 대해 대칭적으로 연결되는 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임

피던스가 제1 임피던스 크기로부터 제2 임피던스 크기로의 변화를 유발하는 입력 신호를 상기 입력 대상 전극에 인가(enable)하는 단계, 적어도 하나의 가소성 시냅스 소자의 임피던스가 제2 임피던스 크기로부터 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)하도록 적어도 하나의 전극에 대해 입력 신호를 비인가(disable)하는 단계, 및 판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 단계를 포함할 수 있다.

[0020] 일 실시예에 따른, 축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서, 상기 입력 신호를 인가하는 단계는, 이진화된 입력 데이터로부터 쵸핑(chop)된 데이터를 병합한 결과에 기초하여 생성된 상기 입력 신호를 상기 적어도 하나의 전극에 인가하는 단계를 포함할 수 있다.

[0021] 일 실시예에 따른, 축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서, 상기 입력 신호를 인가하는 단계는, 입력 데이터에 대응하는 복수의 입력 신호들 중 제1 입력 신호들을 개별적으로 해당하는 전극들에 인가하는 단계 및 상기 제1 입력 신호들을 인가한 후에 상기 복수의 입력 신호들 중 제2 입력 신호들을 개별적으로 해당하는 전극들에 인가하는 단계를 포함할 수 있다.

[0022] 일 실시예에 따른, 축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서, 상기 입력 신호를 인가하는 단계는 상기 복수의 가소성 시냅스 소자들 및 다른 전극들의 가소성 시냅스 소자들 사이의, 상기 입력 대상 전극을 둘러싸는, 복수의 노드들을 접지(ground)시키는 단계 및 상기 복수의 노드들이 접지된 동안, 상기 입력 대상 전극에 입력 신호를 인가하는 단계를 포함할 수 있다.

[0023] 일 실시예에 따른, 축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서, 상기 입력 신호를 비인가 하는 단계는, 상기 복수의 노드들의 접지를 종료하는 단계를 포함할 수 있다.

[0024] 일 실시예에 따른, 축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서, 상기 합성 임피던스 값을 판독하는 단계는, 상기 복수의 전극들 중 판독 대상 전극 주변의 다른 전극들을 접지(ground)시키는 단계 및 상기 주변의 다른 전극들이 접지된 동안 상기 판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 상기 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 단계를 포함할 수 있다.

[0025] 일 실시예에 따른, 축적 컴퓨팅 장치에 의해 수행되는 방법에 있어서, 상기 합성 임피던스 값을 판독하는 단계는 상기 입력 신호가 인가된 적어도 하나의 전극과 다른 전극이, 상기 입력 신호가 인가된 적어도 하나의 전극으로부터 상기 다른 전극을 향하는 축 상에 적어도 두 개 이상의 노드가 포함되어 이격된 경우, 상기 적어도 하나의 전극과 상기 다른 전극에 개별적으로 판독 바이어스 신호(read bias signal)를 인가하여 상기 적어도 하나의 전극과 상기 다른 전극 각각에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 개별적으로 스윕(sweep)하여 판독하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0026] 도 1은 일 실시예에 따른 축적 컴퓨팅 장치(100)를 도시한다.

도 2는 바이어스 인가 횟수와 컨덕턴스 크기 디케잉 여부에 따른, 비교 실시예의 컨덕턴스 변화 특성(201) 및 본 발명의 가소성 시냅스 소자의 컨덕턴스 변화 특성(202)을 나타낸다.

도 3a는 일 실시예에 따른 가소성 시냅스 소자에 가해지는 바이어스 세기 및 바이어스 인가 횟수에 따른 전류의 세기 변화 특성 그래프이다.

도 3b는 일 실시예에 따른 가소성 시냅스 소자에 가해지는 바이어스 세기 별 시간에 따른 가소성 시냅스 소자의 컨덕턴스 변화 특성 그래프이다.

도 3c는 일 실시예에 따른 가소성 시냅스 소자에 가해지는 펄스 신호에 따른 가소성 시냅스 소자의 컨덕턴스 변화 특성 그래프이다.

도 4는 가소성 시냅스 소자들의 실시예들을 나타낸다.

도 5는 본 발명에 따른 축적 컴퓨팅 방법에 대하여 개괄적으로 도시한다.

도 6은 축적 컴퓨팅 장치에 의해 수행되는 방법의 흐름도이다.

도 7은 일 실시예에 따른 축적 컴퓨팅 장치가 입력 신호를 인가하는 것을 도시한다.

도 8a는 일 실시예에 따른 축적 컴퓨팅 장치의 복수의 전극들에 입력 신호가 인가되는 도면 및 서로 다른 시점에 복수의 전극들로 입력 신호가 인가되는 도면이다.

도 8b는 일 실시예에 따른 축적 컴퓨팅 장치의 복수의 전극들에, 시간 정보를 포함하는 입력 데이터에 기초한 입력 신호가 인가되는 것을 도시한다.

도 9는 일 실시예에 따른 축적 컴퓨팅 장치의 복수의 가소성 시냅스 소자에 대한 합성 임피던스 판독 동작에 대하여 도시한다.

도 10은 축적 컴퓨팅 장치에 의해 입력 데이터로부터 가소성 시냅스 소자의 합성 임피던스 값을 판독하는 방법에 대해 개괄적으로 나타낸 도면이다.

도 11a는 연결 방향에 따라 이방성(anisotropy)을 가지는 적어도 하나의 전극과 적어도 하나의 전극에 대칭적으로 연결된 복수의 가소성 시냅스 소자들의 일 실시예를 나타낸다.

도 11b 내지 도11d는 동일 입력 신호에 대하여, 이방성(anisotropy)의 유무에 따른 가소성 시냅스 소자들의 합성 임피던스 값의 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0027] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0028] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0029] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

[0030] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0032] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0033] 도 1은 일 실시예에 따른 축적 컴퓨팅 장치(100)를 도시한다.

[0034] 도 1을 참조하면, 본 발명에 따른 축적 컴퓨팅 장치(100)는 복수의 전극들(110,111), 복수의 가소성 시냅스 소자들(120) 및 제어부(미도시)를 포함할 수 있다.

[0035] 복수의 전극들(110, 111)은 어레이 구조로 배열될 수 있다. 복수의 전극들(110, 111)이 어레이 구조로 배열된 형태는 사각 그리드(rectangular grid) 형태 또는 삼각 그리드(triangular grid) 형태일 수 있다. 이하 에서는 복수의 전극들이 사각 그리드 형태를 이루는 것을 중점적으로 설명하나, 복수의 전극들(110, 111)의 배열 형태는 이에 한정되지 않는다.

[0036] 복수의 전극들(110, 111)은 입력 신호(input signal)를 수신할 수 있다. 또한, 복수의 전극들(110, 111)은 입력 신호를 수신한 후 복수의 전극들(110, 111)에 연결된 복수의 가소성 시냅스 소자들(120)의 합성 임피던스를 판독하도록 판독 바이어스 신호(read bias signal)를 수신할 수 있다. 추후 설명되는 바와 같이 복수의 전극들(110, 111)은 복수의 전극들(110, 111)에 연결된 복수의 가소성 시냅스 소자들(120)의 합성 임피던스 값을 판독

하기 위해 접지(ground)될 수 있다.

[0037] 복수의 가소성 시냅스 소자들(120)은 복수의 전극들(110, 111) 중 적어도 하나의 전극(110)에 연결될 수 있다. 보다 구체적으로, 복수의 가소성 시냅스 소자들(120)은 어레이 구조로 배열된 복수의 전극들(110, 111) 중 적어도 하나의 전극(110)에 대해 대칭적으로 연결될 수 있다. 예를 들어, 적어도 하나의 전극(110)에 연결된 복수의 가소성 시냅스 소자들(120)은 적어도 하나의 전극(110)을 중심으로 형성된 가상의 원에 내접하는 정팔각형의 대각선 상에 위치함으로써, 적어도 하나의 전극(110)을 중심으로 8방향으로 대칭적으로 연결될 수 있다. 또 다른 예를 들어, 적어도 하나의 전극(110)에 연결된 복수의 가소성 시냅스 소자들(120)은 적어도 하나의 전극(110)을 중심으로 형성된 가상의 원에 내접하는 정육각형의 대각선 상에 위치함으로써, 적어도 하나의 전극(110)을 중심으로 6방향으로 대칭적으로 연결될 수 있다. 도 1에 도시된 바와 같이, 적어도 하나의 전극(110)에 대칭적으로 연결된 복수의 가소성 시냅스 소자들(120)은 8방향으로 연결되어 하나의 단위 셀(101)을 형성하고, 서로 다른 단위 셀(101)이 노드(130)를 통해 연결되어 어레이 구조를 형성함으로써, 규격화될 수 있다. 전술한 복수의 가소성 시냅스 소자들(120)의 대칭적인 연결에 관한 예시들은 일 실시예에 해당할 뿐 적어도 하나의 전극(110)에 대한 복수의 가소성 시냅스 소자들(120)의 연결 방향은 이에 제한되지 않는다.

[0038] 복수의 전극들(110, 111) 중 적어도 하나의 전극(110)에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들(120)은 다른 전극(111)에 연결된 가소성 시냅스 소자와 연결될 수 있다. 보다 구체적으로, 복수의 가소성 시냅스 소자들(120)은 제1 단에서 어레이 구조로 배열된 복수의 전극들 중 적어도 하나의 전극(110)과 연결되고, 제2 단에서 다른 전극(111)에 연결된 가소성 시냅스 소자와 연결될 수 있다. 복수의 가소성 시냅스 소자들(120)은 다른 전극(111)의 가소성 시냅스 소자와 노드(130)를 통해 연결될 수 있다.

[0039] 복수의 가소성 시냅스 소자들(120)은 복수의 가소성 시냅스 소자들(120)이 연결된 적어도 하나의 전극(110)에 대한 입력 신호의 인가(enable) 또는 비인가(disable) 중 적어도 하나에 기초하여 달라지는 임피던스를 가질 수 있다.

[0040] 복수의 가소성 시냅스 소자들(120) 중 적어도 하나의 가소성 시냅스 소자의 임피던스는 적어도 하나의 전극(110)에 입력 신호가 인가(enable)되는 것에 응답하여 달라질 수 있다. 보다 구체적으로 가소성 시냅스 소자의 임피던스는 제1 임피던스 크기로부터 인가된 입력 신호에 기초한 제2 임피던스 크기로 변화할 수 있다. 예를 들어, 제1 임피던스 크기는 가소성 시냅스 소자의 초기 저항 값 또는 초기 컨덕턴스 값에 대응될 수 있고, 제2 임피던스 크기는 가소성 시냅스 소자와 연결된 전극에 전기적 펄스가 인가되어 해당 전기적 펄스에 의해 가소성 시냅스 소자의 내부 구조 변화(예를 들어, 가소성 시냅스 소자의 상 변화, 채널 형성, 또는 필라멘트 형성 등)에 따라 형성된 저항 값 또는 컨덕턴스 값에 대응될 수 있다.

[0041] 또한, 복수의 가소성 시냅스 소자들(120) 중 적어도 하나의 가소성 시냅스 소자의 임피던스는 입력 신호가 비인가(disable)되는 것에 응답하여 제2 임피던스 크기로부터 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)할 수 있다. 복수의 가소성 시냅스 소자들(120)의 임피던스 크기가 비선형적 디케잉된 경우, 일정 시간이 경과하더라도 복수의 가소성 시냅스 소자들(120)의 임피던스 크기는 임계 범위 내에서 유지될 수 있다. 이하, 복수의 가소성 시냅스 소자들(120)의 비선형적인 임피던스 크기 디케잉(또는 변화)에 대하여, 도 2 내지 도 4에서 추후 구체적으로 설명한다.

[0042] 축적 컴퓨팅 장치(100)는 제어부 (미도시)를 포함할 수 있다. 제어부는 복수의 전극들(110, 111) 및 노드(130)에 연결될 수 있다. 제어부는 복수의 전극들(110, 111)에 연결되어, 복수의 전극들(110, 111) 중 적어도 하나의 전극(110)에 입력 신호의 인가 또는 비인가 중 적어도 하나를 할 수 있다. 또한, 제어부는 복수의 전극들(110, 111) 중 적어도 하나의 전극(110)에 입력 신호의 인가를 종료한 경우, 적어도 하나의 전극(110)에 대칭적으로 연결된 복수의 가소성 시냅스 소자들(120)의 합성 임피던스 값을 판독할 수 있다. 추가적으로, 제어부는, 이진화된 입력 데이터로부터 쵸핑(chop)된 데이터를 병합(merge)한 결과에 기초하여 생성된 입력 신호를 적어도 하나의 전극에 인가할 수 있다. 또한, 제어부는 입력 신호를 인가하기 위해 노드(130)의 접지 여부를 결정할 수 있으며, 합성 임피던스를 판독하기 위해 전극의 접지 여부를 결정할 수 있다. 보다 구체적인 제어부의 동작 방법에 대하여, 도 5 내지 도 10에서 설명한다.

[0043] 도 2는 바이어스 인가 횟수와 컨덕턴스 크기 디케잉 여부에 따른, 비교 실시예의 컨덕턴스 변화 특성(201) 및 본 발명의 가소성 시냅스 소자의 컨덕턴스 변화 특성(202)을 나타낸다.

[0044] 비교 실시예는 비가소성 소자를 포함할 수 있다. 본 명세서에서 비교 실시예는 비휘발성 멤리스터(non-volatile memristor)를 일 예로서 설명한다. 컨덕턴스 변화 특성(201)은 비교 실시예에 대한 바이어스 인가 횟

수(210_1)에 따른 컨덕턴스 크기 변화를 나타낸다. 바이어스 인가 횟수(210_1)에 비례하여 비교 실시예의 컨덕턴스 크기가 증가하며, 바이어스가 인가된 비교 실시예의 컨덕턴스 크기는 디케잉되지 않는다. 증가된 컨덕턴스 크기는 각각 컨덕턴스 상태(conductance state)(220_1)에 대응된다. 도 2에 도시된 바와 같이, 바이어스 인가 횟수(210_1)가 3회인 경우, 비교 실시예는 바이어스가 인가되기 전 컨덕턴스 크기에 대응하는 초기 컨덕턴스 상태(initial conductance state)를 포함하여 총 4개의 컨덕턴스 상태(220_1)를 포함한다. 바이어스 인가 횟수(210_1)가 n회인 경우, 비교 실시예는 바이어스가 인가되기 전 초기 컨덕턴스 상태를 포함하여 총 n+1개의 컨덕턴스 상태(220_1)를 포함할 수 있다. 컨덕턴스 상태(220_1)는 복수의 상태 벡터를 포함할 수 있다. 상태 벡터는 0과 1을 포함하는 행렬로 표현될 수 있으며, 상태 벡터에 포함된 모든 성분의 합은 바이어스 인가 횟수(210_1)를 나타낼 수 있다. 행렬로 표현된 상태 벡터의 각 열은 순차적으로 바이어스 인가 시점에 대응될 수 있고, 상태 벡터의 성분 중 0은 바이어스의 비인가, 1은 바이어스의 인가를 나타낼 수 있다. 예를 들어, 비교 실시예에 바이어스가 0회 인가된 컨덕턴스 상태(220_1)는 (0,0,0)의 상태 벡터를 포함할 수 있고, 비교 실시예에 바이어스가 1회 인가된 컨덕턴스 상태(220_1)는 (1,0,0), (0,1,0), 또는 (0,0,1)의 상태 벡터를 포함할 수 있다. 비교 실시예의 컨덕턴스 크기가 디케잉 되지 않기 때문에, 바이어스가 인가된 시점과 무관하게, (1,0,0), (0,1,0), 또는 (0,0,1)의 상태 벡터는 동일한 컨덕턴스 상태를 나타내어 컨덕턴스 크기가 구별되지 않는다.

[0045] 컨덕턴스 변화 특성(202)은 본 발명의 가소성 시냅스 소자의 일 실시예로서, 휘발성 멤리스터(volatile memristor)의 바이어스 인가 횟수(210_2)에 따른 컨덕턴스 크기 변화를 나타낸다. 바이어스 인가 횟수(210_2)에 따라 휘발성 멤리스터의 컨덕턴스 크기가 증가하며, 추가로 바이어스가 인가되지 않을 경우, 휘발성 멤리스터의 컨덕턴스 크기가 비선형적으로 디케잉될 수 있다. 컨덕턴스 크기의 비선형적 디케잉에 의해, 바이어스 인가 횟수(210_2)가 n회 인 경우, 휘발성 멤리스터는 2^n개의 컨덕턴스 상태(220_2)를 포함할 수 있다. 컨덕턴스 크기가 비선형적으로 디케잉된 후, 일정 시간 동안 컨덕턴스 크기가 특정 임계 범위 내에서 유지될 수 있고, 특정 임계 범위 내에서 유지되는 컨덕턴스 크기 각각은 컨덕턴스 상태(220_2)에 대응된다. 컨덕턴스 상태(220_2)는 상태 벡터와 일대일로 대응될 수 있다. 상술한 바와 같이 상태 벡터는 0과 1을 포함하는 행렬로 표현될 수 있으며, 상태 벡터에 포함된 모든 성분의 합은 바이어스 인가 횟수(210_2)를 나타낼 수 있다. 행렬로 표현된 상태 벡터의 각 열은 순차적으로 바이어스 인가 시점에 대응될 수 있고, 상태 벡터의 성분 중 0은 바이어스의 비인가, 1은 바이어스의 인가를 나타낼 수 있다. 예를 들어, 바이어스가 인가되지 않은 휘발성 멤리스터의 컨덕턴스 상태(220_2)는 (0,0,0)의 상태 벡터를 포함할 수 있다. 바이어스가 1회 인가된 휘발성 멤리스터의 컨덕턴스 상태(220_2)는 (1,0,0), (0,1,0) 또는 (0,0,1)의 상태 벡터를 포함할 수 있으나, 각 상태 벡터는 바이어스가 인가된 시점에 따라 컨덕턴스 크기의 디케잉 차이로 인하여 서로 다른 컨덕턴스 상태(220_2)에 대응된다. 하나의 컨덕턴스 크기에 하나의 상태 벡터가 대응됨으로써, 휘발성 멤리스터는 2^n개의 구별되는 컨덕턴스 상태(220_2)를 가질 수 있다.

[0046] 도 3a는 일 실시예에 따른 가소성 시냅스 소자에 가해지는 바이어스 세기 및 바이어스 인가 횟수에 따른 전류의 세기 변화 특성 그래프이다.

[0047] 도 3a의 x축은 바이어스 세기(301), y축은 바이어스 인가 횟수(302), z축은 전류 세기(303)에 해당한다. 도 3a에 도시된 바와 같이 바이어스 세기(301)는 가소성 시냅스 소자에 인가되는 전압에 대응될 수 있다. 바이어스 세기(301)가 증가함에 따라 가소성 시냅스 소자에 흐르는 전류 세기(303)가 증가한다. 또한, 바이어스 인가 횟수(302)가 증가함에 따라 가소성 시냅스 소자에 흐르는 전류 세기(303)도 증가한다.

[0048] 도 3b는 일 실시예에 따른 가소성 시냅스 소자에 가해지는 바이어스 세기 별 시간에 따른 가소성 시냅스 소자의 컨덕턴스 변화 특성 그래프이다.

[0049] 도 3b의 x축은 시간, y축은 컨덕턴스에 대응된다. 도 3b에 따르면, 시간 축 상의 특정 구간(310)에 가소성 시냅스 소자에 바이어스가 인가되며, 가소성 시냅스 소자에 인가되는 바이어스의 전압 세기(311)는 서로 다를 수 있다. 예를 들어, 바이어스의 전압 세기(311)는 도 3b에 도시된 바와 같이, 3V, 6V, 9V 또는 12V 일 수 있다. 특정 구간(310)에서 가소성 시냅스 소자에 바이어스가 인가되면, 가소성 시냅스 소자의 컨덕턴스가 특정 구간(310)에서 증가할 수 있다. 전압 세기(311)가 클수록 컨덕턴스 증가 폭이 더 크다. 특정 구간(310) 이후에 추가적인 바이어스가 가소성 시냅스 소자에 인가되지 않는 경우, 가소성 시냅스 소자의 컨덕턴스는 감소한다.

[0050] 도 3c는 일 실시예에 따른 가소성 시냅스 소자에 가해지는 펄스 신호에 따른 가소성 시냅스 소자의 컨덕턴스 변화 특성 그래프이다.

[0051] 도 3c는 시간의 특정 구간(330, 331)에서 가소성 시냅스 소자에 인가되는 세트 펄스(set pulse)(321_1), 리셋 펄스(reset pulse)(321_2), 및 판독 펄스(read pulse)를 포함한다. 특정 구간(330)은 가소성 시냅스 소자에 세트 펄스(321_1)와 판독 펄스가 인가되는 구간을 나타내고, 특정 구간(331)은 가소성 시냅스 소자에 리셋 펄스(321_2)와 판독 펄스가 인가되는 구간을 나타낸다. 예를 들어, 특정 구간(330)에서 가소성 시냅스 소자에 인가되는 세트 펄스(321_1)는 15V 크기의 전압에 해당하고, 세트 펄스(321_1)는 특정 구간(330) 동안 50회 인가된다. 컨덕턴스 변화 특성(320)에 따르면, 특정 구간(330) 동안, 가소성 시냅스 소자에 인가되는 세트 펄스(321_1)의 수가 증가하면, 가소성 시냅스 소자의 컨덕턴스 값이 증가한다. 특정 구간(330) 이후 특정 구간(331)에서 가소성 시냅스 소자에 대한 세트 펄스(321_1)의 인가가 종결되고, 리셋 펄스(321_2)가 인가된다. 예를 들어, 특정 구간(331)에서 가소성 시냅스 소자에 인가되는 리셋 펄스(321_2)는 0V 크기의 전압에 해당하고, 리셋 펄스(321_2)는 특정 구간(331) 동안 50회 인가된다. 0V 전압의 리셋 펄스(321_2)에 의해 가소성 시냅스 소자의 컨덕턴스는 특정 구간(331) 동안 디케잉되어 일정한 컨덕턴스 값을 향해 수렴한다.

[0052] 도 4는 가소성 시냅스 소자들의 실시예들을 나타낸다.

[0053] 가소성 시냅스 소자들은 알파 몰리브덴 삼산화물(α-MoO_3)과 같은 이방성 물질을 포함하는 소자, 미리 결정된 방향으로 정렬된 미세 금속 와이어와 폴리머 혼합물에 기초한 소자, 및 전하 트랩 메커니즘에 기초한 소자를 포함할 수 있다. 예를 들어, 복수의 가소성 시냅스 소자들은 전도성 브릿징 램(Conductive Bridging RAM, CBRAM)(410), 확산 멤리스터(Diffusive memristor)(420) 및 전하 트랩 광학 멤리스터(Charge-trap optical memristor)(430) 또는 전하 트랩 트랜지스터(Charge-trap transistor)(440) 등을 포함할 수 있다.

[0054] 일 실시예에 따른 CBRAM(410)은 은(Ag)을 포함하는 소자층 사이에 PVP를 포함하는 구조(411)일 수 있다. CBRAM(410)에 임계값 이상의 특정 전기적 펄스(412)가 인가된 경우, CBRAM(410)은 전도성 필라멘트를 형성할 수 있다. 예를 들어 전도성 필라멘트는 (+)단자에 은(Ag)을 포함하는 소자층에서 양이온 은(Ag^+)이 (-)단자에 위치한 은을 포함하는 소자층으로 이동하여 PVP 내에 축적됨으로써 형성될 수 있다. CBRAM(410)에 전도성 필라멘트가 형성되면 CBRAM(410)의 컨덕턴스 값(413)이 증가할 수 있다. CBRAM(410)의 컨덕턴스 값(413)이 증가한 후 CBRAM(410)에 다른 전기적 펄스가 비인가(disable) 되는 경우, CBRAM(410)은 형성된 전도성 필라멘트를 용해할 수 있다. 전도성 필라멘트가 용해되면 CBRAM(410)의 컨덕턴스 값(413)이 시간이 경과함에 따라 비선형적으로 감소할 수 있다. CBRAM(410)은 제조 방법, CBRAM(410)을 이루는 물질들의 비율에 따라 서로 다른 컨덕턴스 값 감소 폭을 가질 수 있다.

[0055] 일 실시예에 따른 확산 멤리스터(diffusive memristor)(420)는 티타늄(Ti), 티타늄 산화물(TiOx, TiOy) 및 백금(Pt)이 순차적으로 적층된 구조일 수 있다. 확산 멤리스터(420)에 임계값 이상의 전기적 신호(예: 전압 펄스)(422)가 인가된 경우, 확산 멤리스터 내의 공공 혹은 이온들의 이동에 따라 확산 멤리스터에 흐르는 전류 세기의 변화(423)가 발생할 수 있다. 확산 멤리스터(420)에 흐르는 전류 세기의 변화는 다른 전기적 신호가 없는 경우, 감소하여 특정 전류 값으로 수렴할 수 있다.

[0056] 전하 트랩 광학 멤리스터(charge-trap optical memristor)(430)는 빛의 조사에 반응하는 특정 물질을 포함할 수 있고, 특정 물질은 빛 에너지를 흡수 또는 방출함으로써 전하 트랩 광학 멤리스터(430)의 내부 전하 상태를 변화시킬 수 있다. 전하 트랩 광학 멤리스터(430)는 빛의 조사 강도나 빛의 조사 시간에 기초하여, 전하 트랩 광학 멤리스터(430)에 포함된 트랩 구조에 전하를 저장하거나 방출할 수 있다. 트랩 구조에 저장된 전하의 양에 따라 전하 트랩 광학 멤리스터(430)의 저항 값이 비선형적으로 변화할 수 있다. 예를 들어, 0.75초 동안 약 4.5V 크기의 전압 펄스(431)가 전하 트랩 광학 멤리스터(430)에 가해지는 경우, 전압 펄스(431)의 인가 횟수에 따라 전하 트랩 광학 멤리스터(430)에 흐르는 전류가 감소할 수 있다.

[0057] 일 실시예에 따른, 전하 트랩 트랜지스터(Charge-trap transistor)(440)는 산화규소(SiO_2), 몰리브덴 이황화물(MoS_2) 및 은(Ag)을 포함할 수 있다. 전하 트랩 트랜지스터는 게이트에 전압이 인가되기 전 트랩 구조에 전하가 거의 없는 상태를 유지하고, 게이트에 전압이 인가되는 경우, 트랩 구조에 전하를 저장할 수 있다. 전하 트랩 트랜지스터(440)는 저장된 전하의 양과 위치에 따라 채널의 전도성이 변화되고, 이에 따라 컨덕턴스(또는 저항)가 변경될 수 있다. 전하 트랩 트랜지스터(440)는 게이트에 전압 인가가 종료되더라도, 트랩 구조 내에 저장된 전하를 유지함으로써 저항 값을 유지할 수 있다.

[0058] 도 5는 본 발명에 따른 축적 컴퓨팅 방법에 대하여 개괄적으로 도시한다.

[0059] 입력 신호(510)는 본 발명에 따른 축적 컴퓨팅 장치(511)에 입력될 수 있다. 입력 신호(510)는 디지털 입력 데

이터(digital input data)로부터 컨버터(converter)에 의해 디지털에서 아날로그로 변환된 신호 일 수 있다. 예를 들어, 입력 신호(510)는 디지털 입력 데이터에 기초하여 컨버터에 의해 변환된 전압 펄스 신호일 수 있다.

[0060] 축적 컴퓨팅 장치(511)는 입력 신호(510)를 복수의 전극들 중 적어도 하나의 전극에 인가하여, 적어도 하나의 전극에 대칭적으로 연결된 복수의 가소성 시냅스 소자들의 임피던스 크기 변화를 유도할 수 있다. 축적 컴퓨팅 장치(511)는 입력 신호(510)의 인가를 종결한 후, 어레이 구조로 배열된 복수의 전극들 중 판독 대상 전극에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다. 축적 컴퓨팅 장치(511)에 의해 판독된 복수의 전극들 각각에 대칭적으로 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값에 기초하여, 입력 신호(511) 별 고유 가중치(weight)를 획득할 수 있다. 축적 컴퓨팅 장치(511)에 의해 판독된 합성 임피던스 값으로 기계 학습 모델(512)에 포함된 가중치(weight)가 업데이트될 수 있고, 업데이트 된 가중치에 기초하여 입력 신호(511)가 분류(classification)될 수 있다.

[0061] 도 6은 축적 컴퓨팅 장치에 의해 수행되는 축적 컴퓨팅 방법의 흐름도이다.

[0062] 단계(601)에서, 축적 컴퓨팅 장치는, 어레이 구조로 배열된 복수의 전극들 중 입력 대상 전극에 대해 대칭적으로 연결되는 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스가 제1 임피던스 크기로부터 제2 임피던스 크기로의 변화를 유발하는 입력 신호를 입력 대상 전극에 인가(enable)할 수 있다. 입력 대상 전극에 인가된 입력 신호에 기초하여, 적어도 하나의 가소성 시냅스 소자의 구체적인 임피던스 변화 특성은 도 2 내지 도 4에 상술한 바와 같다.

[0063] 단계(602)에서, 축적 컴퓨팅 장치는, 적어도 하나의 가소성 시냅스 소자의 임피던스가 제2 임피던스 크기로부터 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)하도록 적어도 하나의 전극에 대해 입력 신호를 비인가(disable)할 수 있다. 적어도 하나의 전극에 연결된 복수의 가소성 시냅스 소자들 각각의 종류 또는 구성소자의 비율 등의 차이에 따라 시간의 경과에 따른 임피던스의 디케잉 폭이 다를 수 있다. 복수의 가소성 시냅스 소자들 각각의 임피던스 디케잉 폭의 차이로 인해 복수의 가소성 시냅스 소자들 각각은 서로 다른 임피던스 크기로 수렴할 수 있다.

[0064] 단계(603)에서, 축적 컴퓨팅 장치는, 판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다. 판독 대상 전극에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값은, 판독 대상 전극에 인가된 입력 신호에 대응하는 고유 가중치 값에 해당할 수 있다. 축적 컴퓨팅 장치는 복수의 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 동시에 판독할 수 있다.

[0065] 도 7은 일 실시예에 따른 축적 컴퓨팅 장치가 입력 신호를 인가하는 것을 도시한다. 축적 컴퓨팅 장치는 제어부(미도시)를 통해 입력 신호를 복수의 전극들 중 적어도 하나의 전극에 입력할 수 있다. 입력 데이터(701)는 축적 컴퓨팅 장치에 포함된 제어부 또는 외부의 다른 프로세서(또는 장치)를 통해 이진화 될 수 있다. 이진화된 입력 데이터(702)는 입력 데이터(701)의 픽셀 단위(pixel unit)에 대응하는 값을 포함할 수 있다. 예를 들어, 입력 데이터(701) 중 색상 정보를 가지는 픽셀 부분은 이진화된 입력 데이터(702)의 값 중 1에 대응될 수 있고, 색상 정보가 포함되지 않은(예를 들어 null) 픽셀 부분은 이진화된 입력 데이터(702)의 값 중 0에 대응될 수 있다. 이진화된 입력 데이터(702)는 쵸핑(chop)(또는 분할(split))될 수 있다. 예를 들어, 이진화된 입력 데이터(702)가 행렬로 구성된 경우, 쵸핑된 데이터(703)는 각 행(row)에 대응될 수 있다. 쵸핑된 데이터(703)는 복수의 전극들 각각에 매핑될 수 있다. 예를 들어, 쵸핑된 데이터(703) 중 첫번째 행에 해당하는 데이터가 0번째 전극(704)에 매핑될 수 있다. 예를 들어, 쵸핑된 데이터(703) 중 두번째 행에 해당하는 데이터가 1번째 전극에 매핑될 수 있다. 입력 신호는 쵸핑된 데이터(703)가 병합(merge)된 신호일 수 있다. 축적 컴퓨팅 장치는 쵸핑된 데이터(703)가 복수의 전극에 매핑된 결과에 기초하여, 입력 신호의 각 열에 대응하는 값들을 복수의 전극들에 입력할 수 있다.

[0066] 도 8a는 일 실시예에 따른 축적 컴퓨팅 장치의 복수의 전극들에 입력 신호가 인가되는 도면 및 서로 다른 시점에 복수의 전극들로 입력 신호가 인가되는 도면이다.

[0067] 도 8a에 도시된 바와 같이, 일 실시예에 따른 축적 컴퓨팅 장치(800)는 어레이 구조로 배치된 복수의 전극들(803)과 복수의 전극들 중 적어도 하나에 대칭적으로 연결된 복수의 가소성 시냅스 소자들 및 제어부(801)를 포함할 수 있다. 제어부(801)는 상술한 바와 같이 복수의 전극들(803)에 연결될 수 있고, 적어도 하나의 전극에 연결된 복수의 가소성 시냅스 소자들과 다른 전극에 연결된 가소성 시냅스 소자에 의해 정의되는 노드(804)에 연결될 수 있다. 복수의 전극들(803)에 연결된 제어부(801)에 의해 복수의 전극들(803) 중 적어도 하나의 전극

에 입력 신호(802)가 인가될 수 있다. 제어부(801)는 복수의 전극들(803) 중 적어도 하나의 전극에 입력 신호(802)를 인가하기에 앞서, 노드(804)를 접지(ground)시킬 수 있다. 제어부(801)는 미리 설정된 시간 간격에 따라 개별 시점(예를 들어, 제1 시점(810), 제2 시점(820))에 복수의 전극들 중 입력 신호가 매핑된 전극에 입력 신호를 인가할 수 있다.

[0068] 제어부(801)는 제1 시점(810)에 입력 데이터에 대응하는 복수의 입력 신호들 중 제1 입력 신호들을 개별적으로 해당하는 전극에 인가할 수 있다. 예를 들어, 제1 시점(810)에 제1 입력 신호들이 전극(811, 813)에 인가될 수 있다. 제1 입력 신호들이 전극(811, 813)에 인가되면, 전극(811, 813)에 대칭적으로 연결된 복수의 가소성 시냅스 소자들(812, 814)의 임피던스 크기가 달라질 수 있다. 제1 시점(810)에 제1 입력 신호들을 인가한 후 제2 시점(820)에 제2 입력 신호들을 인가할 수 있다. 제1 시점(810)에 제1 입력 신호가 인가된 전극(811, 813)과 제2 시점(820)에 제2 입력 신호가 인가되는 전극은 동일할 수도 있고, 서로 다를 수도 있다. 제1 시점(810)에 제1 입력 신호가 인가되고, 제2 시점(820)에도 제2 입력 신호가 인가된 전극(811)에 연결된 복수의 가소성 시냅스 소자들(812)은 상술한 바와 같이 입력 신호가 인가된 횟수에 비례하여 임피던스 크기가 변화할 수 있다. 제1 시점(810)에 제1 입력 신호가 인가되고, 제2 시점(820)에는 입력 신호가 인가되지 않은 전극(813)에 연결된 복수의 가소성 시냅스 소자들(814)의 임피던스 값은 상술한 바와 같이 비선형적으로 디케잉될 수 있다.

[0069] 도 8b는 일 실시예에 따른 축적 컴퓨팅 장치의 복수의 전극들 중 적어도 하나의 전극에, 시간 정보를 포함하는 입력 데이터에 기초한 입력 신호가 인가되는 것을 도시한다. 보다 구체적으로, 시간 정보를 포함하는 입력 데이터에 기초한 입력 신호는 동영상 또는 움직이는 이미지 데이터 등과 같이 일련의 정지 이미지 프레임(영상 프레임)이 시간에 따라 연속적으로 표시되는 데이터로부터 획득될 수 있으나, 이에 제한되는 것은 아니다. 도 8b에서는 입력 신호에 포함된 일련의 정지 이미지 프레임 중 일부가 일 실시예에 따른 축적 컴퓨팅 장치에 의해 입력되는 것을 도시한다. 각 이미지 프레임(830, 840, 850)은 픽셀의 집합일 수 있고, 각 픽셀은 도 8b에 도시된 바와 같이 각 이미지 프레임(830, 840, 850) 상의 어레이 배열을 이룰 수 있다. 축적 컴퓨팅 장치는 복수의 전극들과 이미지 프레임(830, 840, 850)의 픽셀들 각각을 매칭할 수 있다. 예를 들어, 도 8b는 복수의 전극들 각각과 픽셀들 각각의 매칭 관계를 복수의 전극들 및 픽셀들 상에 동일한 숫자를 기재하여 표현하였다. 제1 이미지 프레임(830)에 포함된 복수의 픽셀들 중 픽셀(831)에 대응하는 입력 신호가 매칭 관계에 있는 전극(832)에 인가될 수 있다. 전극(832)에 입력 신호가 인가되면, 전극(832)을 둘러싸는 복수의 가소성 시냅스 소자들의 임피던스 값이 입력 신호에 기초하여 변화할 수 있다. 복수의 가소성 시냅스 소자들의 임피던스 값 변화 특성은 위에서 설명된 바와 같다. 전극(832)에 대한, 제1 이미지 프레임(830)에 포함된 픽셀(831)에 대응하는 입력 신호의 인가가 완료된 후, 제2 이미지 프레임(840)에 포함된 픽셀(841)에 대응하는 입력 신호가 매칭 관계에 있는 전극(842)에 인가될 수 있다. 전극(842)에 입력 신호가 인가되면 전극(842)를 둘러싸는 복수의 가소성 시냅스 소자들의 임피던스 값이 입력 신호에 기초하여 변화할 수 있다. 픽셀(841)에 대응하는 입력 신호의 인가가 완료된 후, 제3 이미지 프레임(850)에 포함된 픽셀(850)에 대응하는 입력 신호가 매칭 관계에 있는 전극(852)에 인가될 수 있고, 입력 신호에 기초하여 전극(852)을 둘러싸는 복수의 가소성 시냅스 소자들의 임피던스 값이 변화할 수 있다. 축적 컴퓨팅 장치의 복수의 전극들 중 적어도 하나의 전극에 각 이미지 프레임(830, 840, 850)에 포함된 픽셀 값에 대응하는 입력 신호를 순차적으로 인가하여, 이미지 프레임(830, 840, 850) 간의 연관 관계를 포함하는 합성 임피던스 값을 판독할 수 있다. 보다 구체적으로 이미지 프레임(830, 840, 850) 간의 연관 관계는 예를 들어, 입력 데이터가 동영상인 경우, 이미지 프레임(830)의 픽셀(831) 값이 이미지 프레임(840) 및 이미지 프레임(850) 각각에서 픽셀(841) 및 픽셀(851)로 순차적으로 이동하는 위치 관계를 포함할 수 있다.

[0070] 도 9는 일 실시예에 따른 축적 컴퓨팅 장치의 복수의 가소성 시냅스 소자에 대한 합성 임피던스 판독 동작에 대하여 도시한다. 축적 컴퓨팅 장치의 제어부는 적어도 하나의 전극에 입력 신호가 비인가 되는 경우 또는 입력 신호의 인가가 종결되는 경우, 복수의 노드들의 접지를 종료할 수 있다. 제어부는 축적 컴퓨팅 장치에 포함된 모든 노드들의 접지를 종료할 수도 있고, 판독 대상 전극(901, 902)을 둘러싸는 노드들의 접지만을 선택적으로 종료할 수도 있다. 복수의 노드들의 접지가 종료되면, 제어부는 판독 대상 전극(901, 902)을 둘러싸는 주변의 다른 전극들을 접지(ground)시킬 수 있다. 제어부는 판독 대상 전극(901, 902)을 기준으로 주변의 다른 전극들이 접지된 동안, 판독 대상 전극(901, 902)에 판독 바이어스 신호(910, 920)를 인가한 것에 기초하여 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다.

[0071] 예를 들어, 제어부는 축적 컴퓨팅 장치에 포함된 복수의 전극들 중 어레이 구조의 코너(corner)쪽에 배치된 판독 대상 전극(901)에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 때, 도 9에 도시된 바와 같이, 판독 대상 전극(901)을 기준으로 3방향(예: 수직 아래 방향, 수직 아래 방향을 기준으로 반시계 방향으로 45도 및 90도 방향) 상에 인접한 노드의 접지를 종료하고, 판독 대상 전극(901)을 둘러싸며 3방향에 놓이

는 전극들(930)을 접지시킨 후, 전극들(930)이 접지된 동안, 판독 대상 전극(901)에 판독 바이어스 신호(910)를 인가하여, 판독 대상 전극(901)과 전극들(930) 사이에 위치된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다.

[0072] 또 다른 예를 들어, 제어부는 복수의 전극들 중 판독 대상 전극(902)을 기준으로 8방향으로 판독 대상 전극(902)에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 때, 8방향 상에 인접한 노드의 접지를 종료하고, 판독 대상 전극(902)을 둘러싸며 8방향에 놓이는 전극들(940)을 접지시킨 후, 전극들(940)이 접지된 동안, 판독 대상 전극(902)에 판독 바이어스 신호(920)를 인가하여, 판독 대상 전극(902)과 전극들(940) 사이에 위치된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다. 제어부는 입력 신호가 인가된 적어도 하나의 전극과 다른 전극이 입력 신호가 인가된 적어도 하나의 전극으로부터 다른 전극을 향하는 축 상에 적어도 두 개 이상의 노드가 포함되어 이격된 경우, 적어도 하나의 전극과 다른 전극에 개별적으로 판독 바이어스 신호(read bias signal)를 인가하여, 적어도 하나의 전극과 다른 전극 각각에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 개별적으로 스윕(sweep)하여 판독할 수 있다. 예를 들어, 제어부는 판독 대상 전극(901)과 다른 전극(903)이 도 9에 도시된 바와 같이 판독 대상 전극(901)으로부터 다른 전극(903)을 향하는 축 상에 적어도 두개 이상의 노드가 포함된 채 이격되어 있는 경우, 판독 대상 전극(901)과 다른 전극(9030)에 개별적으로 판독 바이어스 신호를 인가할 수 있고, 판독 대상 전극(901)과 다른 전극(903) 각각에 연결된 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 개별적으로 스윕하면서 판독할 수 있다.

[0073] 도 10은 축적 컴퓨팅 장치에 의해 입력 데이터로부터 가소성 시냅스 소자의 합성 임피던스 값을 판독하는 방법에 대해 개괄적으로 나타낸 도면이다.

[0074] 시퀀스 데이터(1005)는 시점 별(또는 그룹 별) 부분 데이터(1006)를 포함할 수 있고, 입력 데이터(1001)의 이진화(1002), 쵸핑(1003), 및 병합(1004)에 기초하여 생성(or 결정)될 수 있다. 부분 데이터(1006)는 입력 데이터(1001)에서 임의의 시점에 대응하는 입력 값들의 집합을 포함할 수 있다. 입력 데이터(1001)가 행렬이라고 가정하면, 임의의 시점에 대응하는 부분 데이터(1006)(예: 같은 열을 따라 배치된 입력 값들)은 같은 시점에 축적 컴퓨팅 장치에 입력될 수 있다.

[0075] 시퀀스 데이터(1005)에서 임의의 시점에 대응하는 부분 데이터(1006)(예: 컬럼 데이터)는 복수의 엔트리들(entries)에 대응하는 입력 값들을 포함할 수 있다. 엔트리가 N개인 경우, 각 부분 데이터(1006)는 N개의 입력 값들을 포함할 수 있다. 복수의 엔트리들은 장치의 복수의 전극들에 개별적으로 매핑될 수 있다. 본 명세서에서는 엔트리들의 개수와 전극들의 개수가 동일하여 일대일로 매핑되는 예시를 주로 설명하나, 이로 한정하는 것은 아니다. 예를 들어, 임의의 시점의 부분 데이터(1006)의 1번 엔트리의 값은 1번 전극에 인가되고, n번 엔트리의 값은 n번 전극에 인가될 수 있다.

[0076] 축적 컴퓨팅 장치는 시퀀스 데이터(1005)에서 복수의 시점들에 대응하는 부분 데이터들(1007, 1008)을 순차적으로 수신할 수 있다. 축적 컴퓨팅 장치는 순차적으로 획득된 부분 데이터들(1007, 1008)의 각각에 대응하는 입력 신호들을 인가할 수 있다. 입력 신호는 해당하는 엔트리의 입력 값에 대응하는 신호(예: 입력 값에 대응하는 전압 레벨의 전압 신호)일 수 있다. 축적 컴퓨팅 장치는 시점들의 각각마다 해당하는 시점의 부분 데이터의 입력 신호들을 전극들에 인가할 수 있다. 예를 들어, 축적 컴퓨팅 장치는 제1 시점에 대응하는 부분 데이터(1007)의 입력 신호들을 개별적으로 해당하는 전극들에 동시에 인가할 수 있다. 축적 컴퓨팅 장치는 제1 시점에 후속하는 제2 시점에 대응하는 부분 데이터(1008)의 입력 신호들을 개별적으로 해당하는 전극들에 인가할 수 있다. 축적 컴퓨팅 장치는 제1 시점과 제1 시점에 후속하는 제2 시점 간의 간격을 조절할 수 있다. 축적 컴퓨팅 장치에 의해 조절되는 제1 시점과 제2 시점 간의 시간 간격은 축적 컴퓨팅 장치에 포함된 복수의 가소성 시냅스 소자들의 임피던스 크기 디케잉 시간(decaying time) 중 가장 긴 시간과 대응될 수 있다. 축적 컴퓨팅 장치는 제1 시점과 제2 시점 간의 시간 간격 마다, 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독할 수 있다.

[0077] 도 11a는 연결 방향에 따라 이방성(anisotropy)을 가지는 적어도 하나의 전극과 적어도 하나의 전극에 대칭적으로 연결된 복수의 가소성 시냅스 소자들의 일 실시예를 나타낸다.

[0078] 축적 컴퓨팅 장치에 포함된 복수의 전극들 중 적어도 하나의 전극(1100)에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들(1101, 1102, 1103)은 서로 동일한 임피던스 변화 특성을 가질 수 있다. 또는, 적어도 하나의 전극(1100)에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들(1101, 1102, 1103) 중 적어도 하나의 임피던스 변화 특성은, 다른 가소성 시냅스 소자의 임피던스 변화 특성과 다를 수 있다. 예를 들어, 적어도 하나의 전극(1100)에 복수의 가소성 시냅스 소자들이 8방향으로 연결된 경우, 복수의 가소성 시냅스 소자들의 임피던스

변화 특성은 각 방향 별로 모두 다를 수 있다. 복수의 가소성 시냅스 소자들의 임피던스 변화 특성은 동일한 입력 신호가 인가된 경우의 가소성 시냅스 소자의 임피던스 증가량 또는 감소량과 대응되거나, 입력 신호가 비인가 되는 경우의 임피던스 디케잉 시간 등을 포함할 수 있으나, 이에 제한되는 개념은 아니다. 도 11a에 도시된 바와 같이, 적어도 하나의 전극(1100)에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들(1101, 1102, 1103)은 배열된 각 축의 위치에 따라 서로 다른 임피던스 변화 특성을 가질 수 있다. 예를 들어, 제1 축 상의 가소성 시냅스 소자들(1101)은 서로 동일한 임피던스 변화 특성을 가지고, 제2 축 상의 가소성 시냅스 소자들(1102)은 서로 동일한 임피던스 변화 특성을 가지며, 제1 축 상의 가소성 시냅스 소자(1101)와 제2 축 상의 가소성 시냅스 소자(1102)는 서로 다른 임피던스 변화 특성을 가질 수 있다.

[0079] 도 11b 내지 도11d는 동일 입력 신호에 대하여, 이방성(anisotropy)의 유무에 따른 가소성 시냅스 소자들의 합성 임피던스 값의 그래프이다.

[0080] 동일한 입력 데이터(1110a 내지 1110f)에 대하여, 적어도 하나의 전극에 대칭적으로 연결된 복수의 가소성 시냅스 소자들이 모두 동일한 임피던스 변화 특성을 가지는 경우(또는 이방성이 없는 경우), 복수의 가소성 시냅스 소자들의 합성 임피던스 값 그래프(1120a 내지 1120f)는 최대 2개에서 최소 1개의 합성 임피던스 값을 포함할 수 있다. 예를 들어, 입력 데이터(1110a)에 대하여, x축 상의 입력 노드(예를 들어, 입력 신호가 인가된 전극)가 0인 경우와 1인 경우, y값에 해당하는 합성 임피던스 값이 서로 동일한 0.4의 값을 나타낼 수 있다. 또한, x축 상의 입력 노드가 2 및 3인 경우, y값에 해당하는 합성 임피던스 값이 서로 동일한 0.2의 값을 나타낼 수 있다.

[0081] 동일한 입력 데이터(1110a 내지 1110f)에 대하여, 적어도 하나의 전극에 대칭적으로 연결된 복수의 가소성 시냅스 소자들이 도 11a에 도시된 바와 같이, 적어도 하나의 전극(1100)에 대해 대칭적으로 연결된 복수의 가소성 시냅스 소자들(1101, 1102, 1103)이 배열된 각 축의 위치에 따라 서로 다른 임피던스 변화 특성을 가지는 경우(또는 이방성을 가지는 경우), 복수의 가소성 시냅스 소자들의 합성 임피던스 값 그래프(1130a 내지 1130f)는 최대 4개에서 최소 2개의 합성 임피던스 값을 포함할 수 있다. 예를 들어, 입력 데이터(1110a)에 대하여, x축 상의 입력 노드가 0, 1, 2, 3인 각각의 경우, y 값에 해당하는 합성 임피던스 값이 0.065, 0.08, 0.055, 0.065의 값을 나타낼 수 있다. 합성 임피던스 값 그래프(1120a)와 합성 임피던스 값 그래프(1130a)를 비교하면, 이방성이 포함된 경우가 포함되지 않은 경우에 비하여, 더 많은 합성 임피던스 값을 나타낼 수 있음이 확인된다.

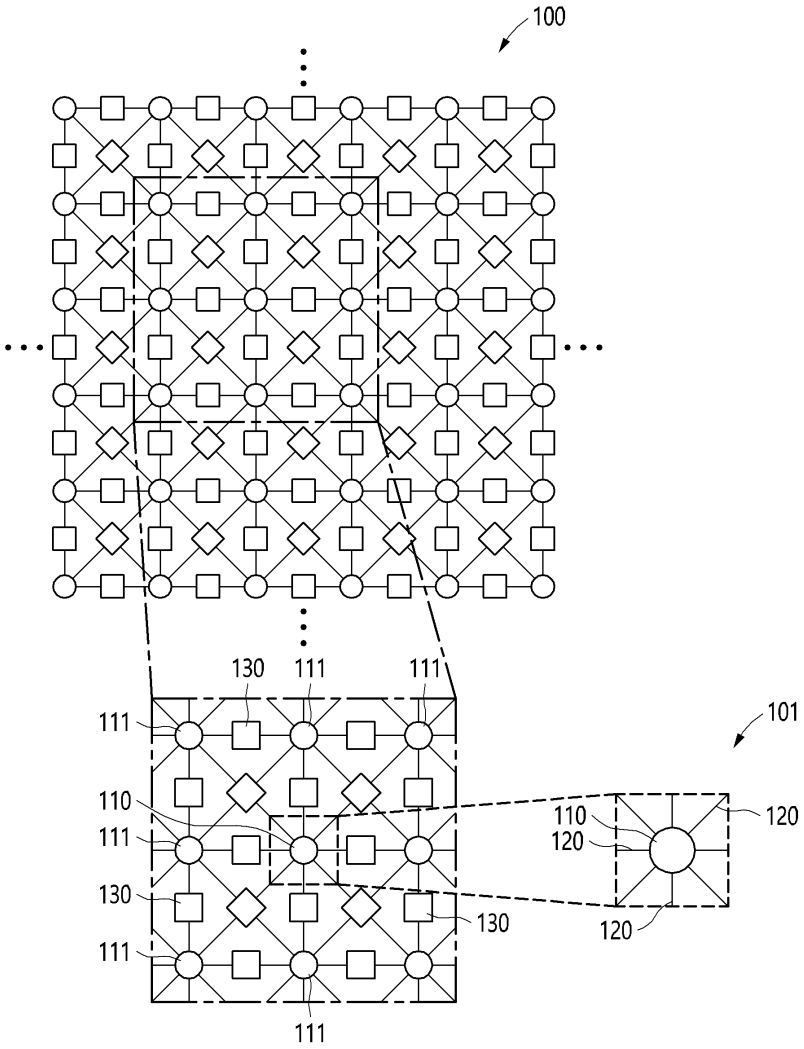
[0082] 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다.

[0083] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

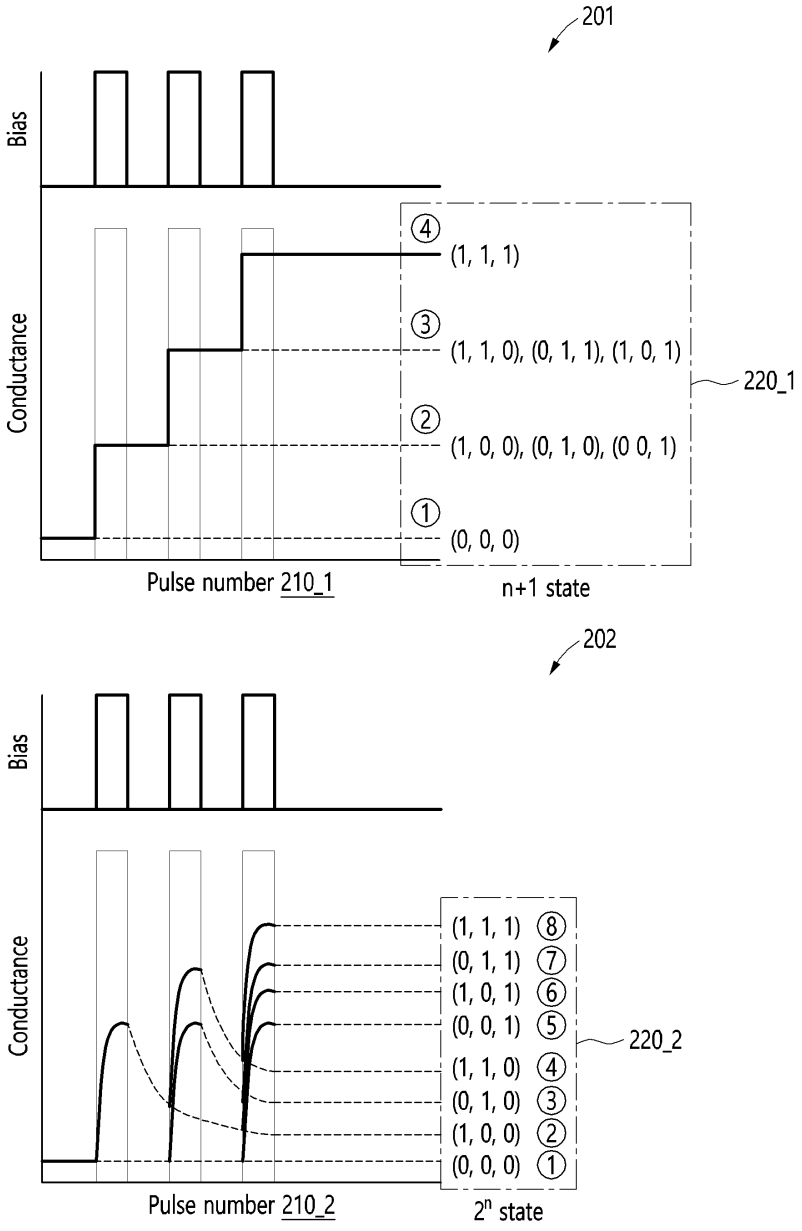
[0084] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

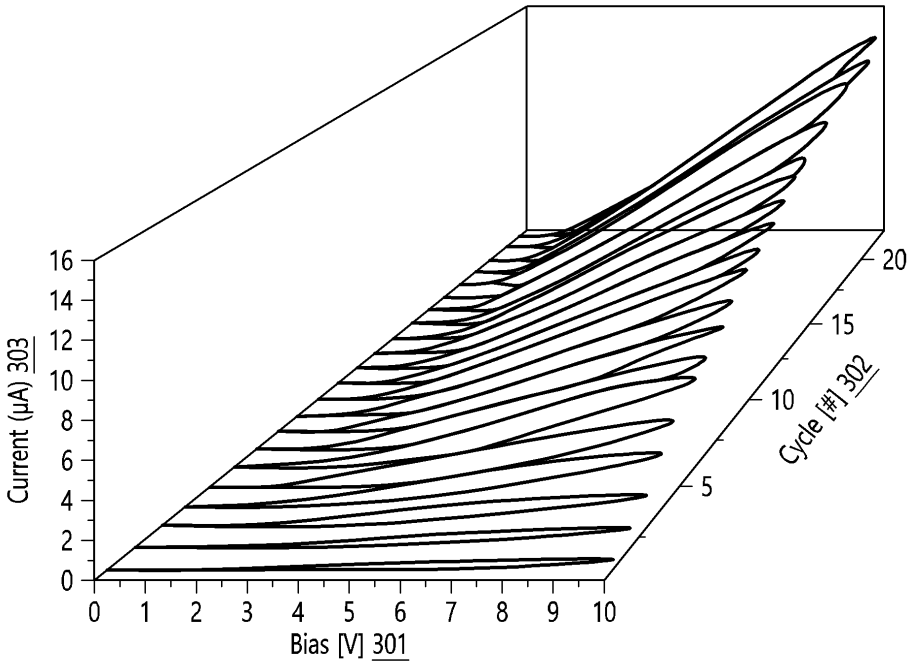
도면1


100
130
111
111
101
111
110
111
130
111
111
110
120
120
130
120
111

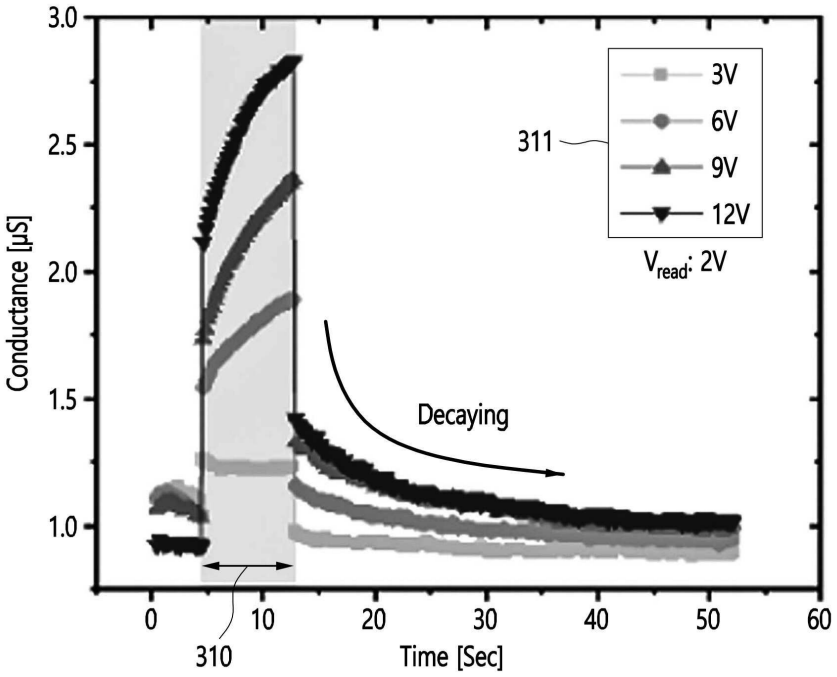
도면2


201
Bias
Conductance
④ (1, 1, 1)
③ (1, 1, 0), (0, 1, 1), (1, 0, 1)
② (1, 0, 0), (0, 1, 0), (0 0, 1)
① (0, 0, 0)
220_1
Pulse number 210_1
n+1 state
202
Bias
Conductance
(1, 1, 1) ⑧
(0, 1, 1) ⑦
(1, 0, 1) ⑥
(0, 0, 1) ⑤
(1, 1, 0) ④
(0, 1, 0) ③
(1, 0, 0) ②
(0, 0, 0) ①
220_2
Pulse number 210_2
2n state

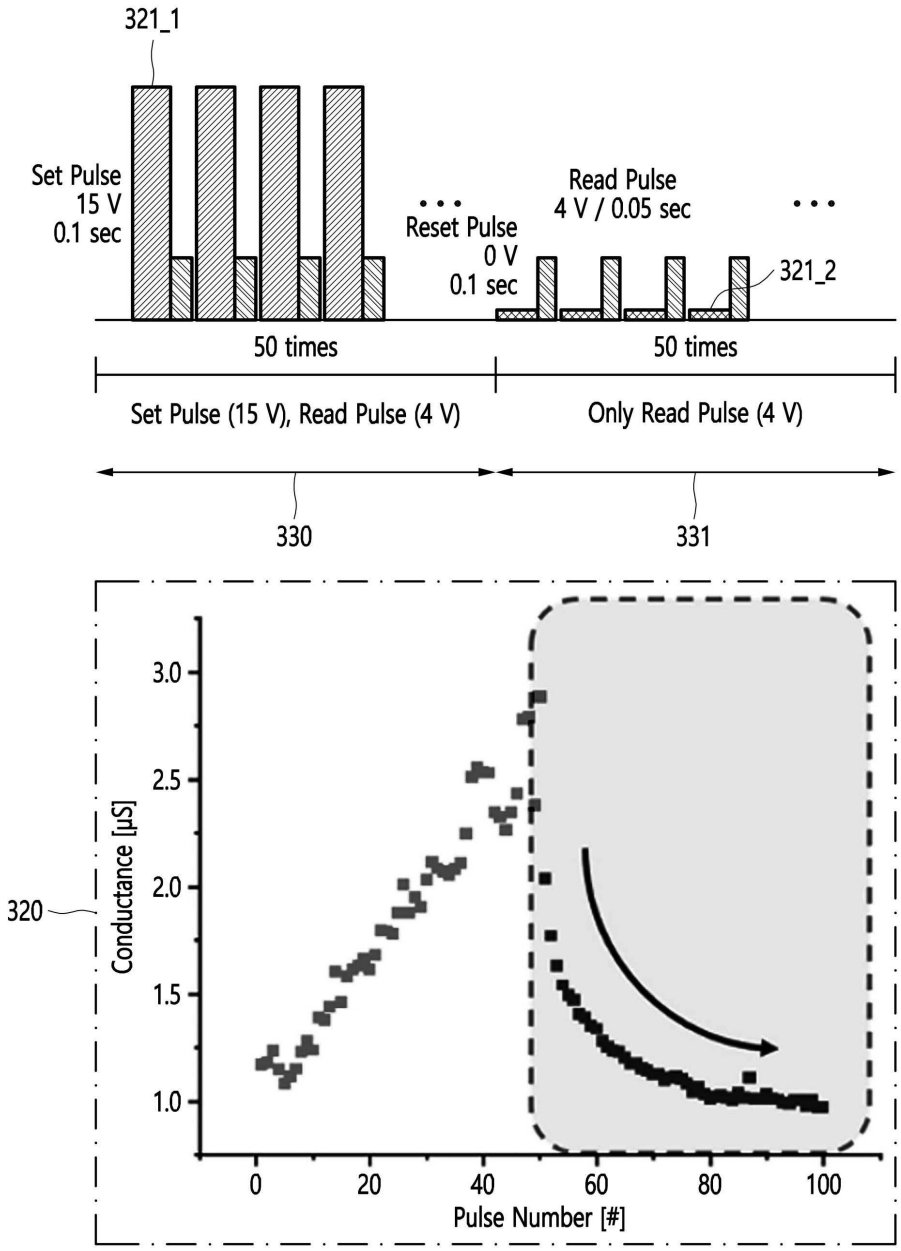
도면3a


Current (μA) 303
Bias [V] 301
Cycle [#] 302
0
2
4
6
8
10
12
14
16
0
1
2
3
4
5
6
7
8
9
10
5
10
15
20

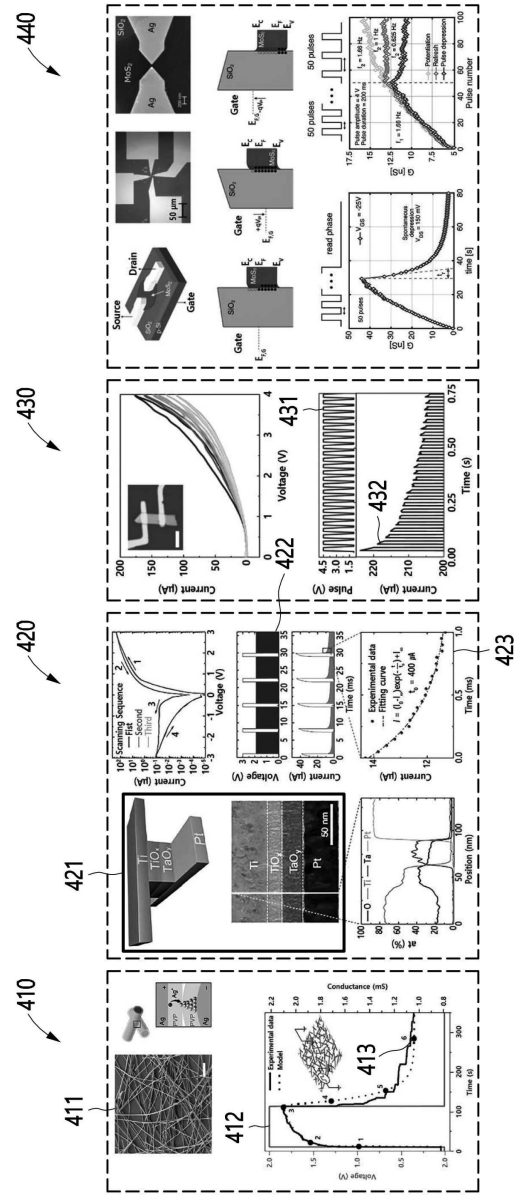
도면3b


Conductance [μS]
Time [Sec]
311
3V
6V
9V
12V
V_{read}: 2V
Decaying
310
1.0
1.5
2.0
2.5
3.0
0
10
20
30
40
50
60

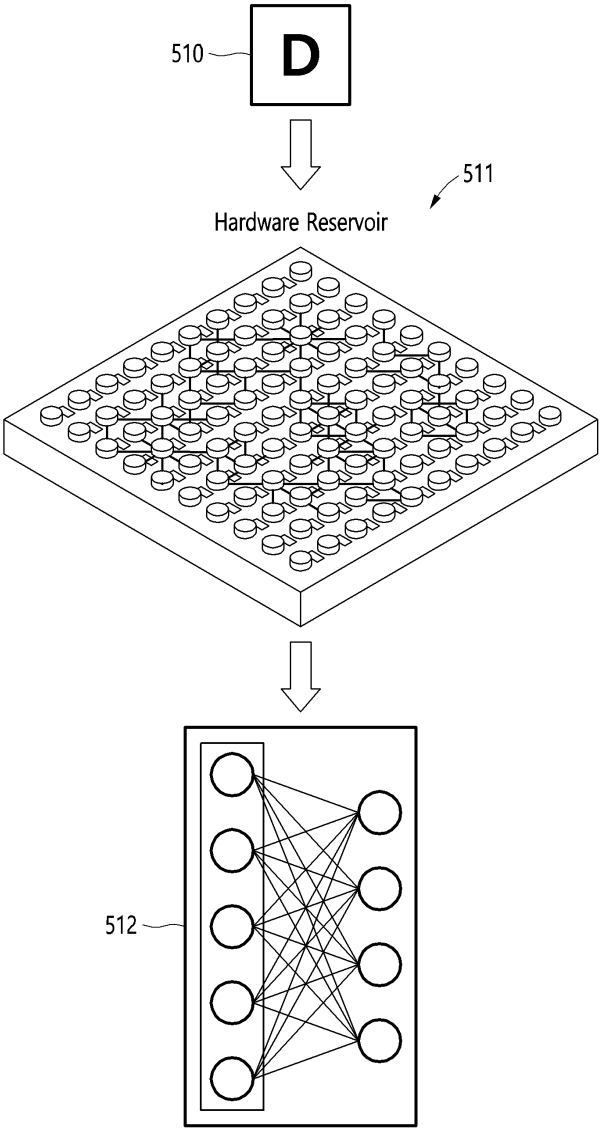
도면3c


321_1
Set Pulse
15 V
0.1 sec
Reset Pulse
0 V
0.1 sec
Read Pulse
4 V / 0.05 sec
321_2
50 times
50 times
Set Pulse (15 V), Read Pulse (4 V)
Only Read Pulse (4 V)
330
331
320
Conductance [μS]
3.0
2.5
2.0
1.5
1.0
0
20
40
60
80
100
Pulse Number [#]

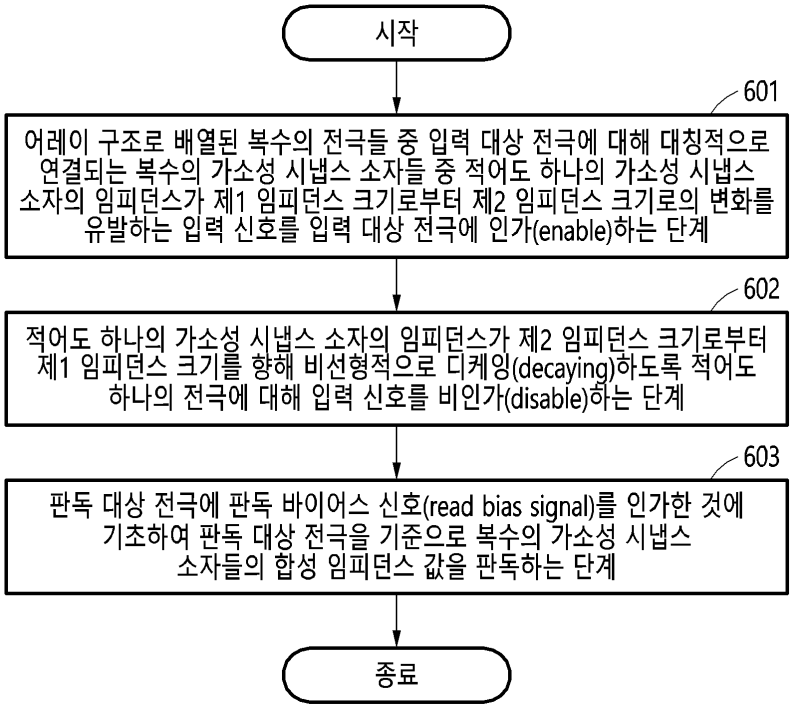
도면4



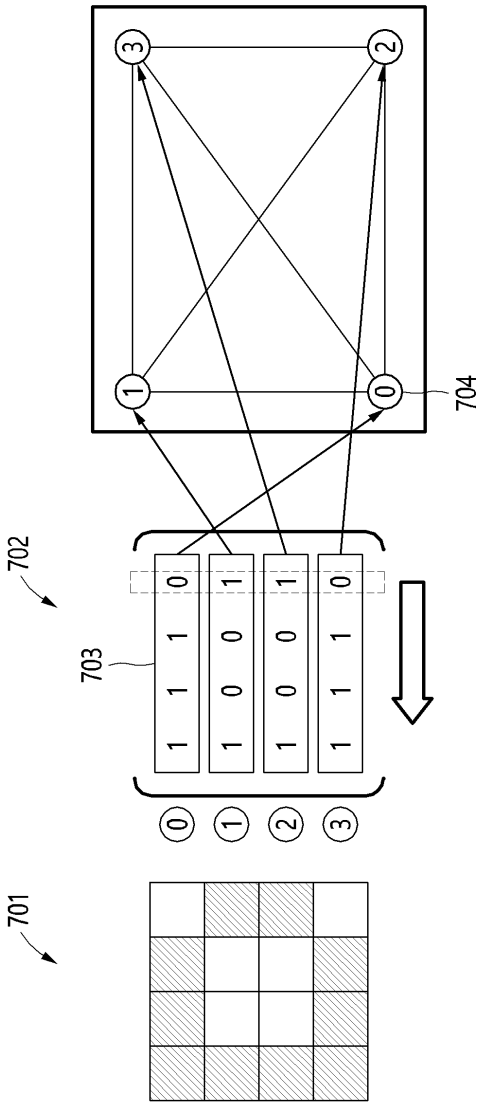
도면5



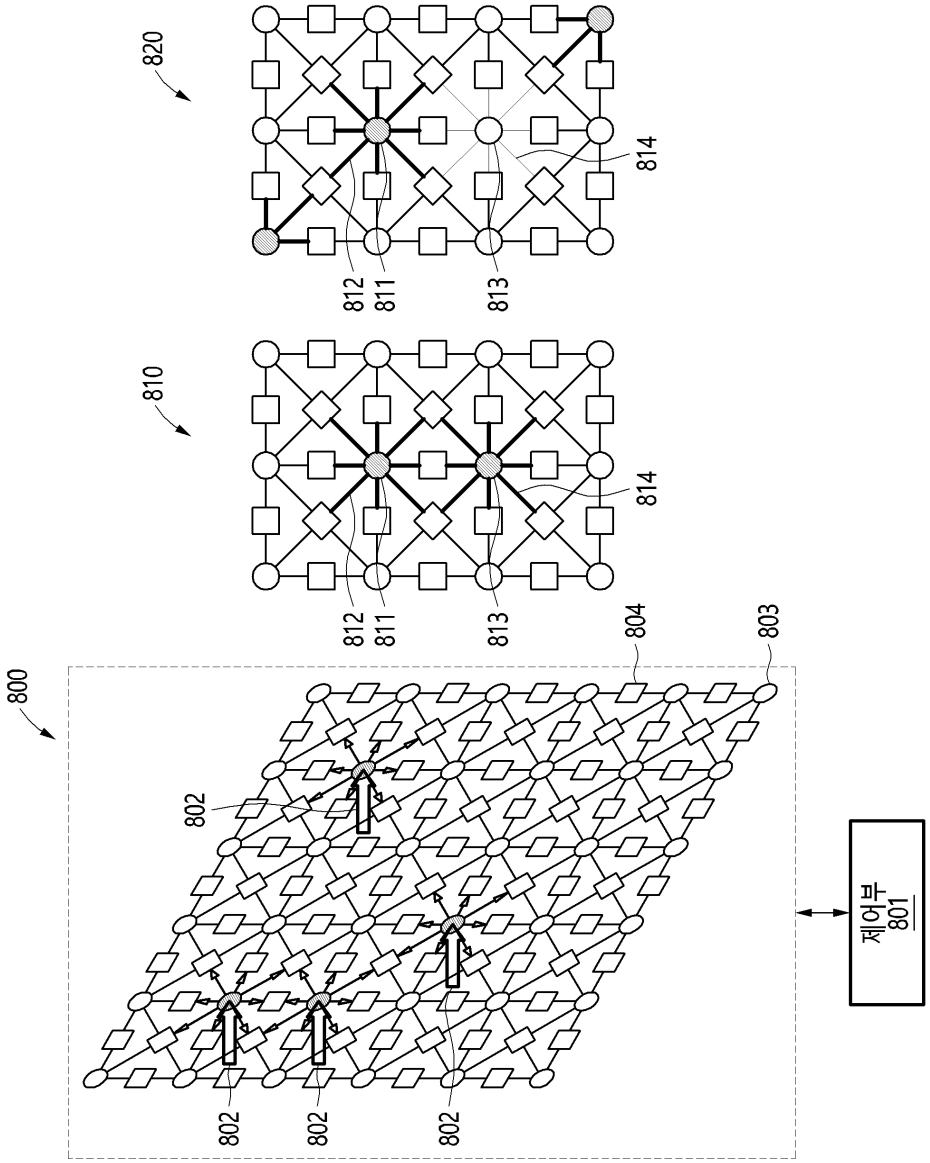
도면6


시작
601
어레이 구조로 배열된 복수의 전극들 중 입력 대상 전극에 대해 대칭적으로 연결되는 복수의 가소성 시냅스 소자들 중 적어도 하나의 가소성 시냅스 소자의 임피던스가 제1 임피던스 크기로부터 제2 임피던스 크기로의 변화를 유발하는 입력 신호를 입력 대상 전극에 인가(enable)하는 단계
602
적어도 하나의 가소성 시냅스 소자의 임피던스가 제2 임피던스 크기로부터 제1 임피던스 크기를 향해 비선형적으로 디케잉(decaying)하도록 적어도 하나의 전극에 대해 입력 신호를 비인가(disable)하는 단계
603
판독 대상 전극에 판독 바이어스 신호(read bias signal)를 인가한 것에 기초하여 판독 대상 전극을 기준으로 복수의 가소성 시냅스 소자들의 합성 임피던스 값을 판독하는 단계
종료

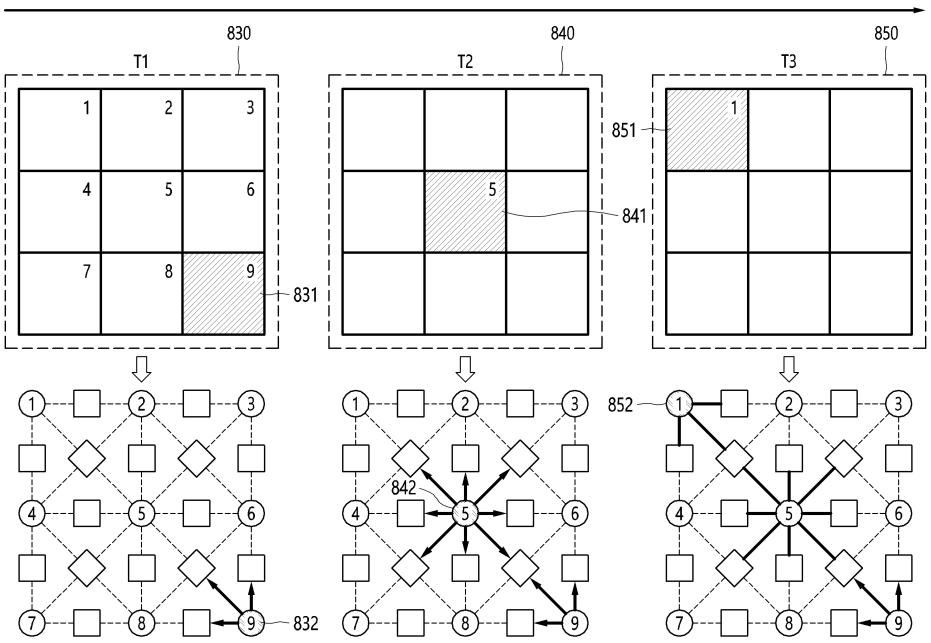
도면7



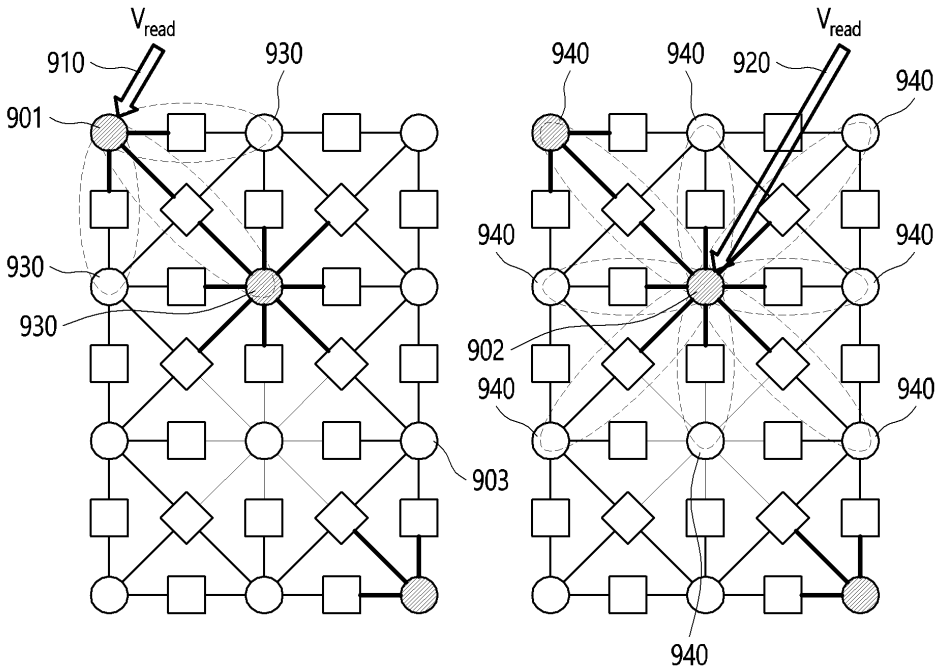
도면8a


820
814
812
811
813
810
814
812
811
813
804
803
800
802
802
802
802
제어부
801

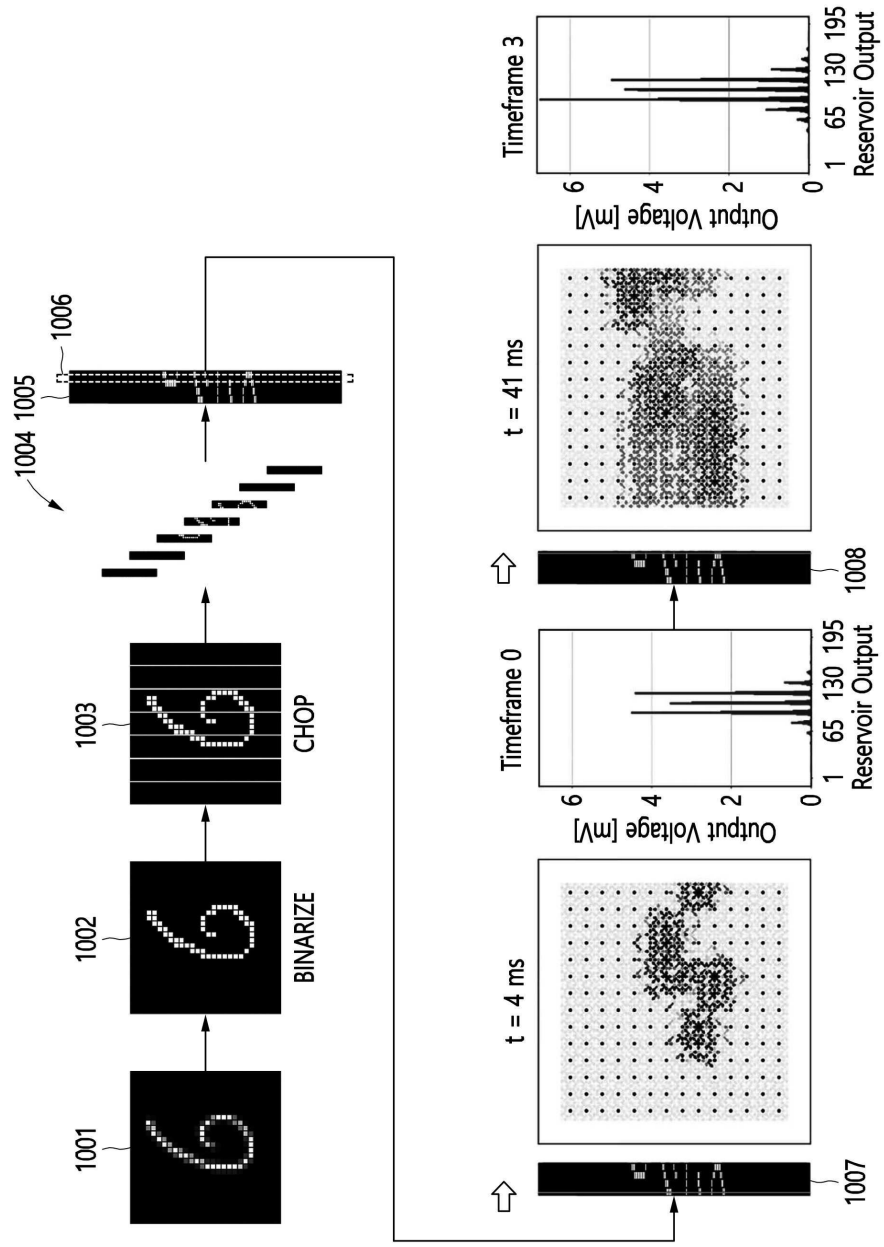
도면8b


830
840
850
T1
T2
T3
831
841
851
842
852
832

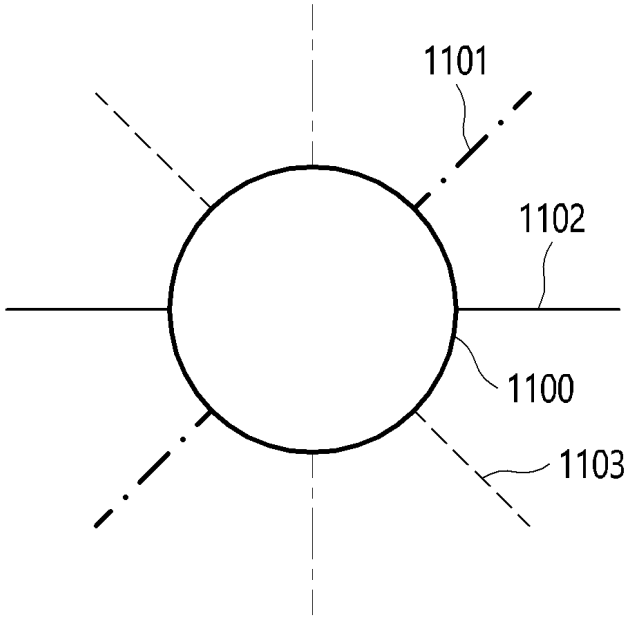
도면9


Vread
910
930
901
930
930
903
940
940
920
940
940
940
902
940
940
940

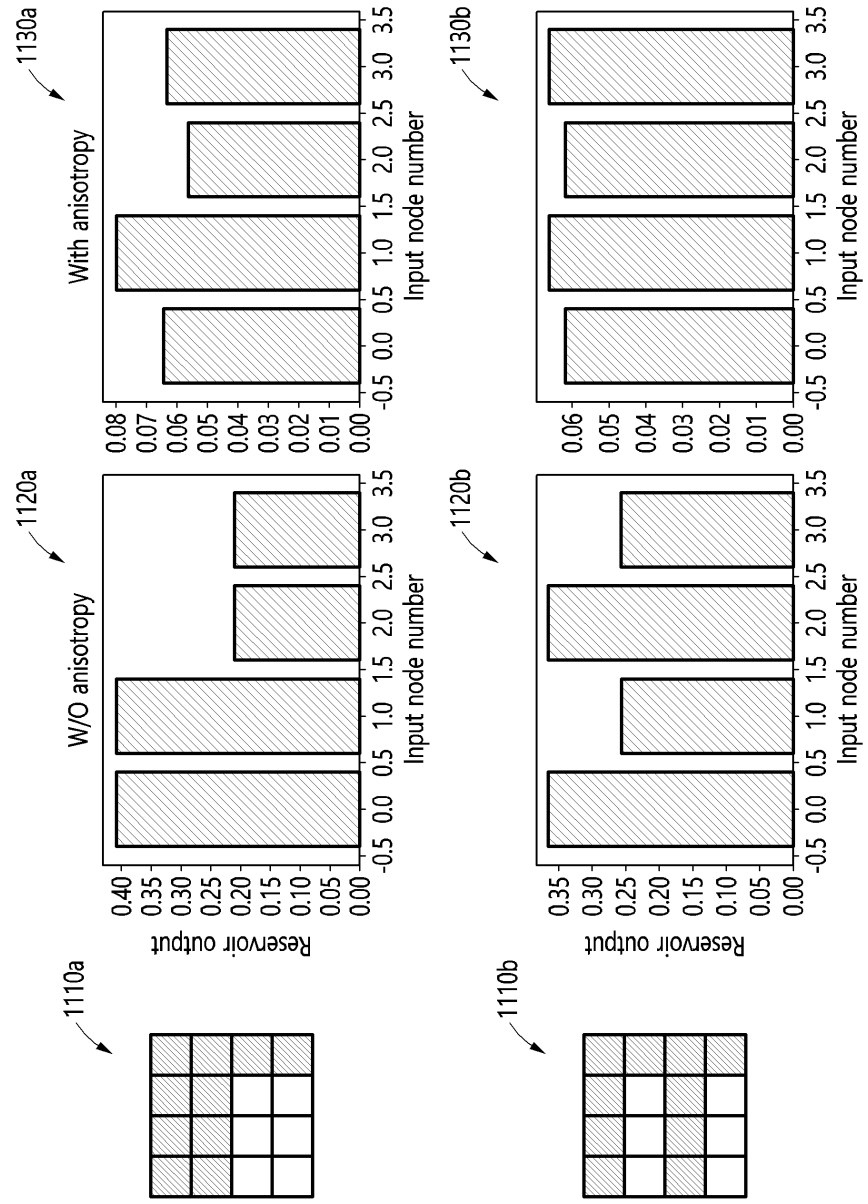
도면10


1001
1002
BINARIZE
1003
CHOP
1004
1005
1006
t = 4 ms
1007
Timeframe 0
Output Voltage [mV]
Reservoir Output
1008
t = 41 ms
Timeframe 3
Output Voltage [mV]
Reservoir Output

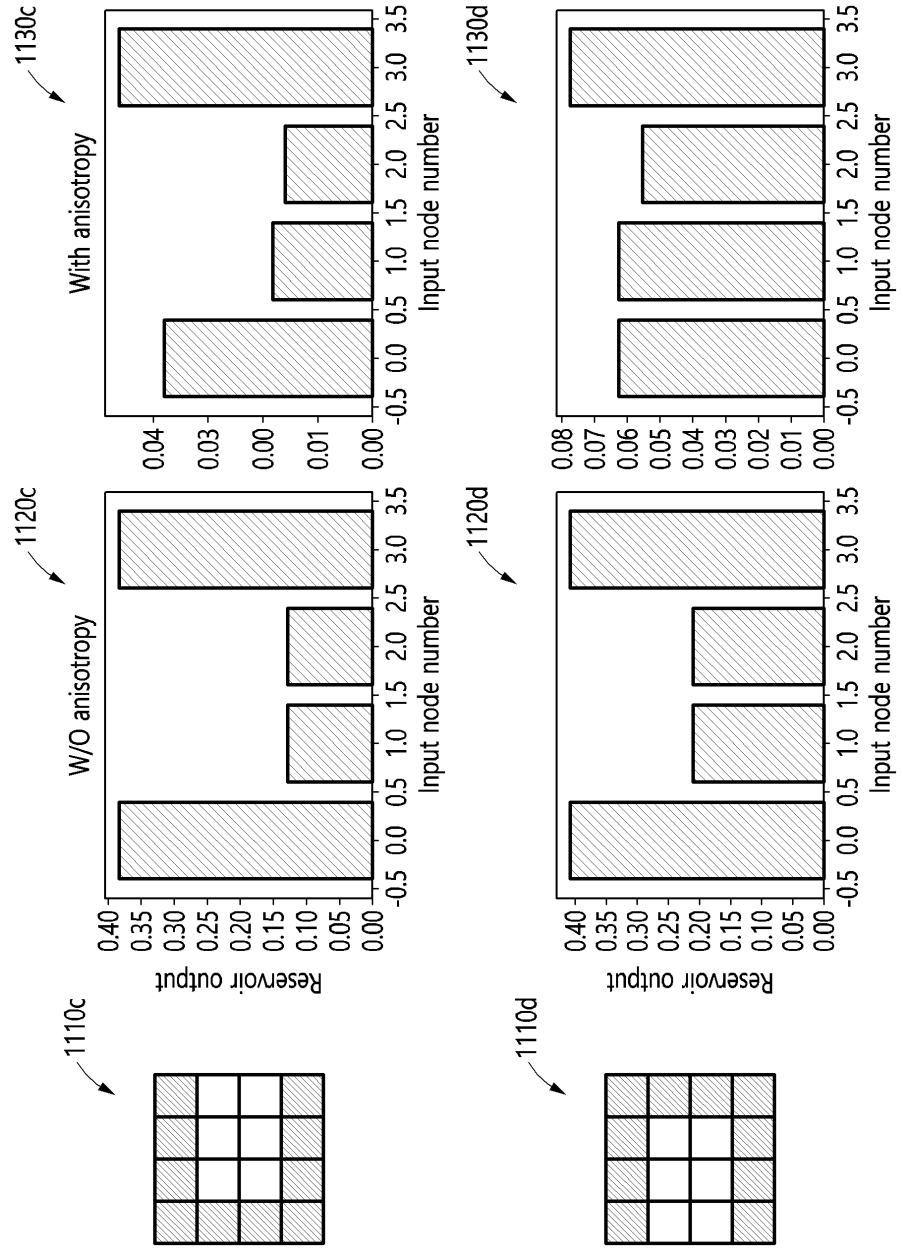
도면11a



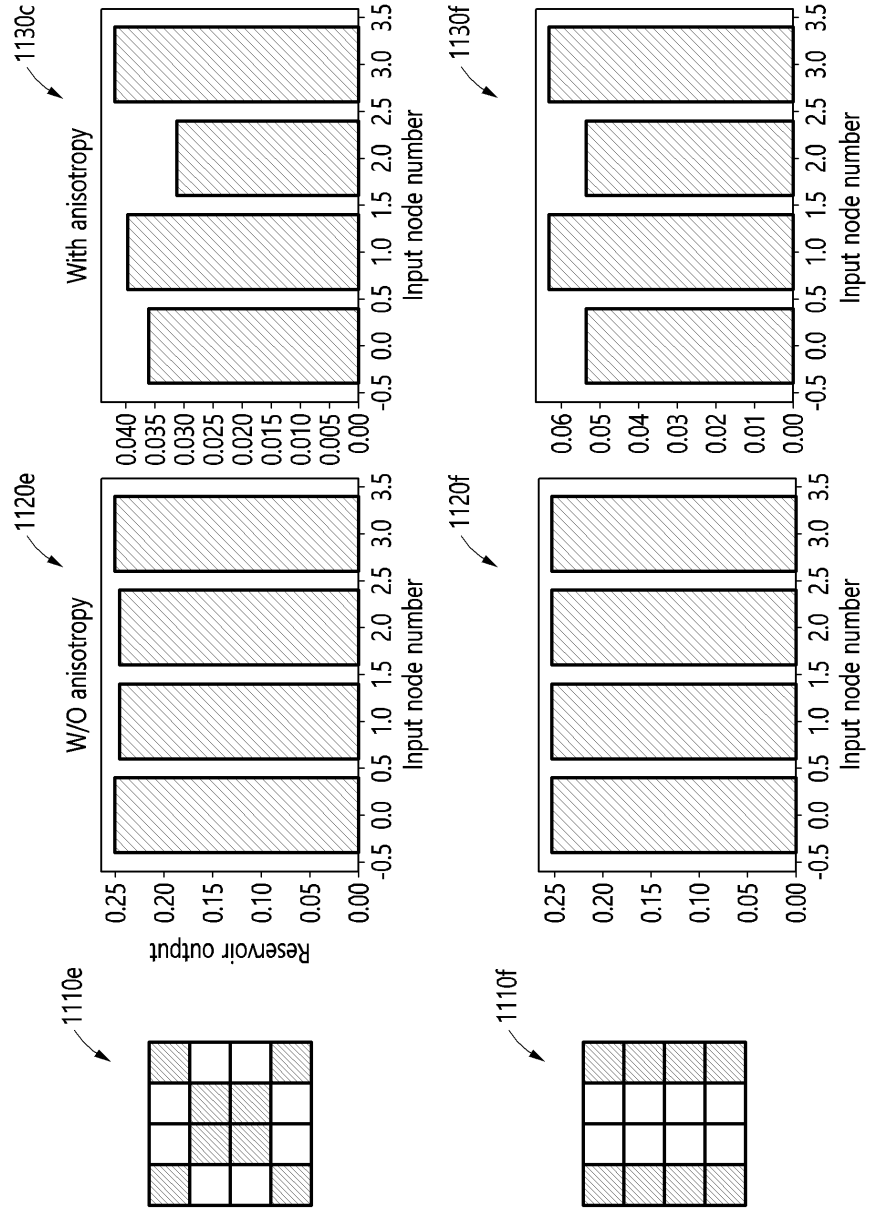
도면11b


1130a
With anisotropy
1120a
W/O anisotropy
1110a
Reservoir output
Input node number
1130b
1120b
1110b

도면11c


1130c
With anisotropy
1120c
W/O anisotropy
1110c
1130d
1120d
1110d
Reservoir output
Input node number

도면11d


1130c
With anisotropy
1120e
W/O anisotropy
Reservoir output
Input node number
1110e
1130f
1120f
1110f