

Beschreibung

QUERBEZUG ZU VERWANDTEN ANMELDUNGEN

[0001] Die vorliegende Anmeldung beansprucht den Vorteil und die Priorität von der U.S. Provisional Patentanmeldung 60/670,829 mit dem Titel DRIVING CIRCUITS AND TECHNIQUES FOR HIGH VOLTAGE, BIDIRECTIONAL SEMICONDUCTOR SWITCHES, eingereicht am 13. April 2005, deren gesamter Inhalt hiermit als Referenz einbezogen wird.

[0002] Die vorliegende Anmeldung beansprucht auch den Vorteil und die Priorität der U.S. Provisional Patentanmeldung Nr. 60/680,629 mit dem Titel DRIVING CIRCUIT AND TECHNIQUE FOR HIGH VOLTAGE BIDIRECTIONAL SEMICONDUCTOR SWITCHES, eingereicht am 13. Mai 2005, deren gesamter Inhalt hiermit hierin als Referenz einbezogen wird.

HINTERGRUND DER ERFINDUNG

Feld der Erfindung

[0003] Die vorliegende Erfindung betrifft Treiberschaltkreise und Methoden zur Verwendung mit bidirektionalen Hochspannungshalbleiterschaltern. Insbesondere sieht die vorliegende Erfindung einen Treiberschaltkreis vor, der einen Bootstrapkondensator und einen Treiberschaltkreis mit Selbstversorgung von einem Gleichstrombus benutzt.

Stand der Technik

[0004] In letzter Zeit entwickelte bidirektionale III-Nitridschalter sind in dem Feld der Hochleistungs- und Hochfrequenzelektronik besonders nützlich. Ein bidirektionaler III-Nitridschalter beinhaltet typischerweise ein Substrat, welches aus Si, SiC, Saphir, oder ähnlichem, gebildet sein kann, einen ersten Halbleiterkörper, der über dem Substrat ausgebildet ist, umfassend Galliumnitrid (GaN) und einen zweiten Halbleiterkörper, der über dem ersten Halbleiterkörper ausgebildet ist und aus AlGaIn gebildet ist. Der Heteroübergang aus GaN und AlGaIn erzeugt ein starkleitendes zweidimensionales Elektronengas (2DEG) an dem oder nahe dem Heteroübergang. Das 2DEG wird aufgrund von dem spontanen Polarisationsseffekt, der im Stand der Technik bekannt ist, geformt. Zwei ohmsche Leistungselektroden sind ohmsch mit dem zweiten Halbleiterkörper (AlGaIn) verbunden.

[0005] Zwei Gateelektroden können einen vorherbestimmten Abstand von jedem der zwei ohmschen Widerstände positioniert sein. Der bidirektionale III-Nitridschalter, der oben beschrieben wurde, ist eine Verarmungsmodus Einrichtung, da er normalerweise AN ist. Die Anwendung einer geeigneten Spannung auf eines der beiden Gates verursacht jedoch eine Unterbrechung des 2DEG, welche den

Schalter AUSschaltet. Generell ist die Spannung, die dem Gate oder den Gates zugeführt wird, um den Schalter AUSzuschalten, eine Spannung, die negativer als das Potential an einer von beiden der ohmschen Elektroden ist. Zusätzliche und nicht beschränkende Beispiele von bidirektionalen Schaltern können in der U.S. Patentveröffentlichung Nr. 2005/0189561 mit dem Titel III-NITRIDE BIDIRECTIONAL SWITCH, eingereicht am 11. Februar 2005, in dem Namen von Daniel M. Kinzer und Robert Beach und zugeordnet zu dem zugewiesenen der vorliegenden Anmeldung, deren Inhalt hiermit als Referenz einbezogen wird.

[0006] Die oben diskutierten bidirektionalen Schalter sind besonders nützlich für den Gebrauch in Hochspannungs-, Hochfrequenzsystemen und sie sind als solche nützlich für fast jede Leistungselektronikanwendung über einen weiten Bereich von Topologien.

Aufgabenstellung

[0007] In Anbetracht der etwas einzigartigen Charakteristiken von diesen Schaltern als Verarmungsmoduseinrichtungen ist es wünschenswert, verbesserte Treiberschaltkreise und Methoden, um diese Schalter zu steuern, bereitzustellen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0008] Ein Treiberschaltkreis für eine Halbbrücke, die bidirektionale Halbleiterschalter gemäß einem Ausführungsbeispiel der vorliegenden Erfindung benutzt, beinhaltet einen Highsidetreiber, der betriebsbereit ist, einen bidirektionalen Highside Halbleiterschalter zu steuern, wobei der Highsidetreiber dem bidirektionalen Halbleiterschalter eine negative Bias Spannung zur Verfügung stellt, um den bidirektionalen Highside Halbleiterschalter AUSzuschalten, einen Lowsidetreiber, betriebsbereit, einen bidirektionalen Lowside Halbleiterschalter zu steuern, eine externe Spannungsquelle, wobei der negative Anschluss der Spannungsquelle mit dem Highsidetreiber verbunden ist; und ein Highsidetreiberschalter, der zwischen dem negativen Anschluss der Spannungsquelle und dem Highsidetreiber positioniert ist und betriebsbereit den Highsidetreiber mit dem negativen Anschluss der Spannungsquelle zu verbinden, wenn der Lowsidetreiber den bidirektionalen Lowside Halbleiterschalter ANschaltet.

[0009] Ein Treiberschaltkreis für eine Halbbrücke, die bidirektionale Halbleiterschalter gemäß einem anderen Ausführungsbeispiel der vorliegenden Anmeldung benutzt, beinhaltet einen Highsidetreiber betriebsbereit, um einen bidirektionalen Highside Halbleiterschalter zu steuern, wobei der Highsidetreiber eine Linearreglersteuereinrichtung beinhaltet, die wahlweise den Highsidetreiber mit einer unteren

Schiene der Halbbrücke verbindet und einen Lowsidebetreiber betriebsbereit, um einen bidirektionalen Lowside Halbleiterschalter zu steuern.

Ausführungsbeispiel

[0010] Andere Merkmale und Vorteile der vorliegenden Erfindung werden aus der folgenden Beschreibung der Erfindung ersichtlich, welche sich auf die beigefügten Zeichnungen bezieht.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0011] [Fig. 1](#) stellt einen Treiberschaltkreis zum Gebrauch mit einem Halbbrückenschaltkreis dar, der bidirektionale Schalteinrichtungen benutzt, gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

[0012] [Fig. 2](#) ist eine schematische Illustration eines Simulationsschaltkreises, der benutzt wurde, um den Schaltkreis der [Fig. 1](#) zu simulieren.

[0013] [Fig. 3](#) ist ein Diagramm, das gemessene Gate-Source-Spannungen der Schalteinrichtungen darstellt, die in dem Simulationsschaltkreis der [Fig. 2](#) dargestellt sind.

[0014] [Fig. 4](#) ist ein Diagramm, das gemessene Gate-Source-Spannungen der Schaltvorrichtung darstellt und das die Totzeit darstellt, während welcher beide Schalter des Schaltkreises der [Fig. 2](#) ausgeschaltet sind.

[0015] [Fig. 5](#) ist ein Diagramm, das die Gate-Source-Spannung der Schalter der [Fig. 2](#) darstellt und die Lastspannung und Strom.

[0016] [Fig. 6](#) stellt einen Treiberschaltkreis für den Gebrauch mit einem Halbbrückenschaltkreis dar, welcher bidirektionale Schalteinrichtungen gemäß einem Ausführungsbeispiel der vorliegenden Erfindung benutzt.

[0017] [Fig. 7](#) stellt eine Schematik eines Simulationsschaltkreises dar, der genutzt wird, um den Schaltkreis der [Fig. 6](#) zu simulieren.

[0018] [Fig. 8A–Fig. 8C](#) sind Diagramme, die simulierte Werte von verschiedenen Parametern in dem Schaltkreis von [Fig. 7](#) darstellen.

[0019] [Fig. 9](#) ist ein Diagramm, das gemessene Werte von den Gate-Source-Spannungen der Schalteinrichtungen in dem Simulations-Schaltkreis der [Fig. 7](#) darstellt.

DETAILLIERTE BESCHREIBUNG VON AUSFÜHRUNGSBEISPIELEN DER ERFINDUNG

[0020] Einer der Vorteile bidirektionale Doppelgate Halbleiterschalter zu benutzen, solche wie sie oben bezüglich der Topologie beiliegender Treiberschaltkreise beschrieben wurden, ist die Möglichkeit völlig äquivalente Gates zu haben, jedes bezogen auf eine Einrichtungs-Source. Z. B. ist in dem spezifischen Schaltkreis der in [Fig. 1](#) dargestellt ist, ein Gate von einer bidirektionalen Halbleiterschalteneinrichtung (**108** oder **110**) auf die positive Gleichstrombusschiene (VBUS), die negative Gleichstrombusschiene (RTN) und den Halbbrückenausgang (Knoten **103**) bezogen.

[0021] Ferner sind, angesichts der Tatsache, dass bidirektionale Halbleiterschalter Verarmungsmoduseinrichtungen sind, welche normalerweise AN sind und welche typischerweise eine negative Bias an zumindest einem Gate benötigen, um AUSgeschaltet zu werden, neue Treiber-Topologien möglich.

[0022] Der Schaltkreis der [Fig. 1](#) stellt eine erste Topologie eines Treiberschaltkreises für eine Halbbrücke dar, welcher bidirektionale Halbleiterschalter **108**, **110** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung benutzt.

[0023] Wie in [Fig. 1](#) dargestellt ist, sind zwei bidirektionale Halbleitereinrichtungen, speziell ein Highside-schalter **108** und ein Lowside-schalter **110** in Serie zwischen der positiven Gleichstrombusschiene (VBUS) und der negativen oder unteren Gleichstrombusschiene oder der Rückführschiene (RTN) angeordnet. Ein Knoten **103** ist zwischen dem Highside-schalter und dem Lowside-schalter **108**, **110** an dem Ausgang der Halbbrücke vorgesehen, welcher vorzugsweise mit einer Last (nicht gezeigt) gekoppelt ist.

[0024] Ein Treiberschaltkreis **100** ist vorgesehen, um die Schalter **108** und **110** der Halbbrücke zu steuern. In dem besonderen Ausführungsbeispiel, das in [Fig. 1](#) dargestellt ist, ist der Treiberschaltkreis als ein integrierter Schaltkreis (IC) ausgeführt, der auf einem 20 V Bulksubstrat **102** mit zwei Floating Wells **104**, **106** geformt ist. Das erste Well (HV1) **104** weist vorzugsweise eine 600 V Kapazität auf und beinhaltet Komponenten, um den Highside-schalter **108** zu treiben. Das zweite Well (HV2) **106** weist vorzugsweise eine 20 V Kapazität auf.

[0025] Der bidirektionale Highside Schalter **108** wird vorzugsweise von einem herkömmlichen Ausgangspuffer getrieben, welcher von den Transistoren Q1 und Q2, die in dem ersten Floating Well **104** positioniert sind, gebildet wird. Wie dargestellt, ist ein Knoten **116** zwischen den Transistoren Q1 und Q2 positioniert und mit einem der Gates des Schalters **108** gekoppelt. Der AN/AUS Status der Transistoren Q1

und Q2 wird vorzugsweise basierend auf einem Highsideeingangslogiksteuersignal HI bestimmt, welches mit dem Schaltkreis **100** über den Bulk verbunden ist. Es ist angemerkt, dass der IC Schaltkreis auch angemessene Niveauverschiebungs- und Verzögerungsfunktionen beinhalten kann, die für herkömmliche Treiberschaltkreise gewöhnlich sind, um sicherzustellen, dass das Highsideeingangslogiksteuersignal HI eine geeignete Steuerung bereitstellt.

[0026] Im Betrieb ist der Highsideschalter **108** nominell AN und so leitet er um eine Spannung an der Last über den Ausgangsknoten **103** der Halbbrücke bereitzustellen. Während dieser Zeit ist der Transistor Q vorzugsweise AUS, und der Transistor Q1 ist vorzugsweise AN. Folglich wird keine Spannung an dem Gate des Schalters **108** bereitgestellt. Der Schalter **108** bleibt AN, da keine Spannung an dem Gate, das mit Knoten **116** verbunden ist, angelegt ist und die Spannung an dem anderen Gate des Schalters **108** ist die gleiche wie die der positiven Gleichstrombuschiene und so wird keine negative Bias Spannung an einer von beiden Gates angelegt. Wenn es gewünscht ist, kann der Schalter **108** basierend auf dem Highsidelogiksignal HI AUSgeschaltet werden. Insbesondere wird der Schalter Q ANgeschaltet und der Schalter Q1 wird ausgeschaltet, so dass über den Transistor Q und den Hochspannungs MOSFET **114** (Mbs) eine negative Spannung von dem negativen Anschluss der Spannungsquelle **109** an dem Knoten **116** bereitgestellt wird. Diese negative Spannung kann dann an dem unteren Gate des Schalters **108** angelegt werden, wodurch die negative Bias bereitgestellt wird, um diesen Schalter AUSzuschalten.

[0027] Ebenso wie in einem herkömmlichen Treiberschaltkreis für den Gebrauch mit einer herkömmlichen Halbbrücke soll der Highsideschalter **108** und der Lowsideschalter **110** nicht zur selben Zeit AN sein. Daher soll, wenn der Highsideschalter **108** AN ist, der Lowsideschalter **110** AUS sein. Ähnlich ist, wenn der Lowsideschalter **110** AN ist, der Highsideschalter **108** AUS. Der Highsidelogikeingang HI und der Lowsidelogikeingang LI werden daher bereitgestellt, um sicherzustellen, dass die Schalter **108** und **110** nie zur selben Zeit AN sind.

[0028] Daher wird bevorzugt der Lowsidelogikeingang LI benutzt, um den Lowsideschalter **110** ANzuschalten, wenn der Highsidelogikeingang HI den Schalter **108** AUS treibt. Es ist jedoch angemerkt, dass der IC **100** auch mit einer angemessenen Totzeit (DT) versorgt werden kann, um sicherzustellen, dass der Highsideschalter und der Lowsideschalter **108** und **110** nicht zur selben Zeit während des Übergangs AN sind. Die Benutzung von solch einer voreingestellten Totzeit ist üblich bei Treiberschaltkreisen. Der Lowsideschalter **110** wird bevorzugt durch cascodiertes (cascoded) Schalten gesteuert. D. h. Leistungs MOSFET **112** wird in Serie zwischen den

Schalter **110** und die untere Schiene des Gleichstrombusses geschaltet. Das oberste Gate des Schalters **110** ist an die oberste Elektrode davon gekoppelt und wird daher keine negative Bias relativ zu der obersten Elektrode bereitstellen. Das unterste Gate des Schalters **110** ist mit der unteren Gleichstrombuschiene oder der Rückführschiene RTN gekoppelt. Daher ist das Potential, das an das untere Gate angelegt wird, im Wesentlichen konstant. Jedoch wird die Lowsideeingangslogik LI hauptsächlich benutzt, um den Ausgangspuffer, der von den Transistoren Q3 und Q4 in dem zweiten Well **106** gebildet wird, zu steuern. Wiederum können angemessene Niveauverschiebung und Verzögerungen in dem IC **100** einbezogen werden, um sicherzustellen, dass die Lowsideeingangslogik LI eine angemessene Steuerung bereitstellt. Ein Knoten **118** wird zwischen den Transistoren Q3 und Q4 bereitgestellt, um eine Spannung bereitzustellen, um den Leistungs MOSFET **11** AN und AUSzuschalten. Wenn der Leistungs MOSFET AN ist, ist die Beziehung des Potentials, welches an den Gates des Schalters **110** angelegt wird so, dass der Schalter **110** AN bleibt. Wenn der Leistungs MOSFET **110** jedoch AUSgeschaltet wird, wird sich die Spannung an der Lowsideelektrode des Schalters **110** so verändern, dass der Schalter **110** AUSgeschaltet wird.

[0029] Wie dargestellt, steuert der Knoten **118** auch den Hochspannungs MOSFET **114** ebenso, so dass der Hochspannungs MOSFET nur AN ist, wenn der Leistungs MOSFET **112** AN ist. Insbesondere ist es vorzuziehen, wenn es eine kleine Verzögerung zwischen dem ANschalten des Leistungs MOSFET **112** und dem ANschalten des Hochspannungs MOSFET gibt, so dass sich der Hochspannungs MOSFET **114** nur einschaltet, nachdem der Leistungs MOSFET **112** bereits AN ist. Ähnlich ist es vorzuziehen, dass der Hochspannungs MOSFET **114** AUSschaltet, bevor der Leistungs MOSFET **112** ANschaltet.

[0030] Zusätzlich wird eine Ent sättigungssteuerungsvorrichtung **120** bereitgestellt, um sicherzustellen, dass der Leistungs MOSFET **112** ungesättigt bleibt. Diese Eigenschaft ist wünschenswert, um sicherzustellen, dass Steuerung des Leistungs MOSFET Steuerung des unteren Schalters **112** ergibt.

[0031] Die einzigen externen Komponenten, die von dem IC **100** benutzt werden, sind die zwei Kapazitäten C1 und C2 und die einzige Diode D2. Es wird angemerkt, dass die Diode D2 auch in den IC einbezogen sein kann, wenn gewünscht. Dies kann bevorzugt sein, um einfacher Kurzschlusschutz, Stromfühlen oder Temperaturfühlen anzubieten.

[0032] Zusätzlich wird auch angemerkt, dass mit der Konfiguration, die in [Fig. 1](#) dargestellt ist, die Kapazität C1 über den Lowsideschalter **110**, den Leistungs MOSFET **112** und den Hochspannungs MOSFET

116 geladen werden kann, wenn der Highsideschalter **108** AUSgeschaltet ist.

[0033] [Fig. 2](#) ist eine Darstellung eines Schaltkreises, der benutzt wird, um den Schaltkreis, der in [Fig. 1](#) dargestellt ist, zu simulieren. Der Schaltkreis der [Fig. 2](#) benutzt einen Halbbrückentreiberchip, wie den IR2109(4) hergestellt von International Rectifier Corporation, um im Wesentlichen die Komponenten des integrierten Schaltkreises **100**, der oben beschrieben ist, bereitzustellen. Die Funktion und das Layout des IR2109(4) ist bekannt und öffentlich dokumentiert und wird daher hierin nicht im Detail beschrieben. Es wird jedoch verstanden, dass andere funktionell äquivalente Treiberchips auch benutzt werden können.

[0034] Wie in [Fig. 2](#) dargestellt, sind die externen Kapazitäten C1 und C2 zwischen den entsprechenden Pins des Chips verbunden. Der in [Fig. 2](#) dargestellte und mit HV MOSFET bezeichnete Transistor M1 entspricht dem Hochspannungs MOSFET **114** der [Fig. 1](#). Die bidirektionalen Halbleiterschalter HEMT2 und HEMT1 entsprechen den bidirektionalen Schaltern **108** und **110** der [Fig. 2](#). Die zusätzlichen Komponenten, die in [Fig. 2](#) dargestellt sind, beinhalten Modifizierungen und Anpassungen, die für das Testen notwendig sind.

[0035] [Fig. 3](#) ist ein Diagramm, das gemessene Werte der Gate-Source-Spannungen (VGS) für die Highside- und Lowsideschalter HEMT2, HEMT1 in [Fig. 2](#) darstellt. Wie dargestellt, die Gate-Source-Spannungen für beide geschalteten Übergang zwischen positiven und negativen Werten, so dass sie fähig wären, die bidirektionalen Schalter nach Bedarf AN und AUSzuschalten.

[0036] [Fig. 4](#) ist ein anderes Diagramm, das gemessene Werte der Gate-Source-Spannungen (VGS) für die Highside- und Lowsideschalter HEMT2, HEMT1 in [Fig. 2](#) darstellt. [Fig. 4](#) hebt ferner die Totzeit hervor, die zwischen Wechseln in der Gate-Source-Spannung in Schaltern der [Fig. 2](#) bereitgestellt wird, während denen beide Schalter AUS sind. Zusätzlich ist auch der SWN dargestellt.

[0037] [Fig. 5](#) ist ein Diagramm, das die gemessenen Werte für den Laststrom (Iload) die Lastspannung (Vload) und die Gate-Source-Spannung des Lowsideschalters (HEMT1) der [Fig. 2](#) einher mit dem Maß SWN zeigt.

[0038] [Fig. 6](#) zeigt eine zweite Topologie eines Treiberschaltkreises für eine Halbbrücke, welche bidirektionale Halbleiterschalter gemäß einem anderen Ausführungsbeispiel der vorliegenden Erfindung benutzt.

[0039] Der Schaltkreis der [Fig. 6](#) beinhaltet viele be-

kannte Elemente, wie die von [Fig. 1](#) und daher wird bekanntes Element mit den bekannten Referenzbezugszeichen bezeichnet.

[0040] Wie in [Fig. 1](#) zeigt [Fig. 6](#) zwei bidirektionale Halbleitereinrichtungen, speziell ist ein Highsideschalter **108** und ein Lowsideschalter **110** in Serie zwischen der positiven Gleichstrombusschiene (VBUS) und der negativen oder unteren Gleichstrombusschiene oder Rückführschiene (RTN) angeordnet. Der Knoten **103** ist zwischen dem Highsideschalter und Lowsideschalter **108**, **110** an dem Ausgang von der Halbbrücke vorgesehen, welcher vorzugsweise an eine Last (nicht gezeigt) gekoppelt ist.

[0041] Ein Treiberschaltkreis **600** wird bereitgestellt, um die Schalter **108** und **110** der Halbbrücke zu steuern. In dem speziellen Ausführungsbeispiel, das in [Fig. 6](#) dargestellt ist, ist der Treiberschaltkreis als ein integrierter Schaltkreis (IC) implementiert, der auf einem 20 V Bulksubstrat **102** und einem einzigen Floating Well (HV1) **602** geformt ist, welches vorzugsweise eine 600 V Kapazität aufweist und Komponenten zum Treiben des Highsideschalters **108** beinhaltet.

[0042] Der bidirektionale Highside Schalter **108** wird vorzugsweise von dem herkömmlichen Ausgangspuffer getrieben, der aus den Transistoren Q1 und Q2, die in dem ersten Floating Well **602** positioniert sind, gebildet wird. Wie dargestellt, ist der Knoten **116** zwischen den Transistoren Q1 und Q2 positioniert und an eines der Gates des Schalters **108** gekoppelt. Der AN/AUS Status der Transistoren Q1 und Q2 wird vorzugsweise basierend auf ein Highsideeingangslogiksteuersignal HI bestimmt, welches mit dem Schaltkreis **100** über den Bulk verbunden ist. Es wird angemerkt, dass der IC Schaltkreis auch angemessene Niveauumsetzungs- und Verzögerungsfunktionen beinhalten kann, die für herkömmliche Treiberschaltkreise gewöhnlich sind, um sicherzustellen, dass das Highsideeingangslogiksteuersignal HI eine geeignete Steuerung bereitstellt.

[0043] Im Betrieb ist der Highsideschalter **108** nominell AN und leitet daher um eine Spannung über den Ausgangsknoten **103** der Halbbrücke an der Last zur Verfügung zu stellen. Während dieser Zeit ist der Transistor Q2 vorzugsweise AUS und Transistor Q1 ist vorzugsweise AN. Daher wird keine Spannung an dem Gate des Schalters **108** bereitgestellt. Der Schalter **108** bleibt AN, da keine Spannung an dem Gate, das mit Knoten **116** verbunden ist, angelegt ist und die Spannung an dem anderen Gate des Schalters **108** die gleiche ist, wie die von der positiven Gleichstrombusschiene und daher wird keine negative Bias Spannung an einem von beiden Gates angelegt.

[0044] Die Linearreglersteuereinrichtung **604** wird auch vorzugsweise in dem Well **602** bereitgestellt

und beobachtet die Spannung über der Kapazität C23 und den Status des Schalters **108**. Die Linearreglersteuereinrichtung **604** steuert den Hochspannungstransistor **606** (Mlin), um den Ausgangspuffer, der von den Transistoren Q1 und Q2 gebildet wird, mit Leistung zu versorgen. Wie in [Fig. 6](#) angemerkt, ist der Hochspannungstransistor **606** (Mlin) vorzugsweise eine P-Kanaleinrichtung. Wenn in dem spezifischen Schaltkreis, dargestellt in [Fig. 6](#), die Spannung über der Kapazität C23 unter ein Schwellenniveau z. B. 12 V fällt, wird der Transistor **606** ANgeschaltet, um sicherzustellen, dass es einen Pfad gibt, um die Kapazität C23 zu laden, ob der Schalter **108** AN ist oder nicht. Wenn der Schalter **108** AN ist, ist der Transistor **606** ANgeschaltet, wenn die Spannung über der Kapazität C23 über der Schwellenspannung ist. Wenn die Spannung über der Kapazität C23 über dem Schwellenniveau ist, kann das ein Anzeichen sein, dass die Lastspannung an dem Knoten **103** zu hoch ansteigt, in welchem Fall es vorzuziehen ist, den Schalter **108** AUSzuschalten. In Verbindung mit der Highsideeingangslogik HI wird die Niederspannung der Rückführschiene (RTN) dem Knoten **116** bereitgestellt über den Transistor **606** und den Transistor Q2 bereitgestellt, welcher vorzugsweise von (bu) dem Logiksignal HI ANgeschaltet ist. Die Spannung an Knoten **116** wird negativ in Bezug auf die Highsideschiene und die Ausgangsspannung sein und daher wird der Schalter **108** AUSgeschaltet werden. Wie oben angemerkt, wird keine Spannung an dem Gate des Schalters **108** angelegt, wenn der Transistor Q1 AN ist und der Transistor Q2 AUS ist und der Schalter bleibt AN. Niederspannungsdiode D3 kann in der Linearreglerschleife bereitgestellt sein, um zu verhindern helfen, dass die Kapazität C23 entladen wird, wenn der Highsideschalter **108** AUS ist und Lowsideschalter **110** und **112** AN sind.

[0045] Wie oben angemerkt, mit Bezug zu [Fig. 1](#), wird der Lowsidelogikeingang LI vorzugsweise benutzt, um den Lowsideschalter **110** wie gewünscht AN und AUSzuschalten. Der Leistungs MOSFET **112** kann in Serie zwischen dem Schalter **110** und der unteren Schiene des Gleichstrombus angeordnet werden. Das oberste Gate des Schalters **110** ist mit der obersten Elektrode davon gekoppelt und daher wird keine negative Bias relativ zu der obersten Elektrode bereitgestellt. Das unterste Gate des Schalters **110** wird an die untere Gleichstrombusschiene oder Rückführschiene RTN gekoppelt. Daher wird das Potential, das an das untere Gate angelegt wird, im Wesentlichen konstant sein. Jedoch wird die Lowsideeingangslogik LI vorzugsweise benutzt, um den Ausgangspuffer gebildet von den Transistoren Q3 und Q4 zu steuern. Eine geeignete Niveaushiftung und Verzögerungen können in den IC **600** einbezogen werden, um sicherzustellen, dass die Lowsideeingangslogik LI eine geeignete Steuerung bereitstellt. Ein Knoten **118** wird zwischen den Transistoren Q3 und Q4 bereitgestellt, um eine Spannung bereit-

zustellen, um den Leistungs MOSFET **112** AN und AUSzuschalten. Wenn der Leistungs MOSFET AN ist, ist die Beziehung von dem Potential, das an die Gates des Schalters **110** angelegt wird, so, dass der Schalter **110** AN bleibt. Wenn der Leistungs MOSFET **110** AUSgeschaltet ist wird sich jedoch die Spannung an der Lowsideelektrode des Schalters **110** derart verändern, dass der Schalter **110** AUSgeschaltet ist.

[0046] Die Entsättigungssteuereinrichtung **120** kann auch bereitgestellt werden, um sicherzustellen, dass der Leistungs MOSFET **112** entsättigt bleibt. Diese Eigenschaft ist wünschenswert, um sicherzustellen, dass die Steuerung des Leistungs MOSFET in der Steuerung des unteren Schalters **110** resultiert.

[0047] Der integrierte Schaltkreis **600** der [Fig. 6](#) eliminiert den Bedarf nach der externen Leistungsverorgung **109** von [Fig. 1](#) und stellt auch einen sicheren Start und effiziente Spannungsregulierung, durch Vermeiden von Übergangseffekten an dem linearen Schaltkreis, sicher.

[0048] [Fig. 7](#) ist eine Schematik eines Simulationschaltkreises, benutzt beim Testen des Schaltkreises der [Fig. 6](#). [Fig. 8A–Fig. 8C](#) sind Diagramme, die gemessene Werte von verschiedenen Parametern des Schaltkreises der [Fig. 7](#) darstellen. Wie beispielsweise in [Fig. 8A](#) dargestellt ist, welche ein Graph der Ausgangsspannung V4 ist, steigt von dem Startup die Ausgangsspannung V4 glatt bis zu dem gewünschten Wert an und bleibt dann auf dem gewünschten Wert.

[0049] [Fig. 9](#) ist ein Diagramm, das die gemessenen Werte der Gate-Sourcespannungen (VGS) für den Highside- und Lowsideschalter der [Fig. 7](#) darstellt. Wie gesehen werden kann, wechseln die Gate-Sourcespannungen zwischen positiven und negativen Werten und sind daher ausreichend, um die Schalter AUSzuschalten, wenn gewünscht. Zusätzlich ist der SWN des Schaltkreises der [Fig. 7](#) dargestellt.

[0050] Obwohl die vorliegende Erfindung in Bezug zu speziellen Ausführungsbeispielen davon beschrieben ist, werden viele andere Variationen und Modifikationen und andere Nutzen den Fachleuten ersichtlich werden. Es ist daher bevorzugt, dass die vorliegende Erfindung nicht durch die spezifische Offenbarung hierin, sondern nur die angehängten Ansprüche beschränkt wird.

Patentansprüche

1. Ein Treiberschaltkreis für eine Halbbrücke, benutzend bidirektionale Halbleiterschalter umfassend: einen Highsidetreiber, betriebsbereit um einen bidirektionalen Highside Halbleiterschalter zu steuern,

wobei der Highsidetreiber dem bidirektionalen Highside Halbleiterschalter eine negative Bias Spannung bereitstellt, um den bidirektionalen Highside Halbleiterschalter AUSzuschalten;
 einen Lowsidetreiber, betriebsbereit um einen bidirektionalen Lowside Halbleiterschalter zu steuern;
 eine externe Spannungsquelle, wobei ein negativer Anschluss der Spannungsquelle mit dem Highsidetreiber verbunden ist; und
 ein Highside Treiberschalter, der zwischen dem negativen Anschluss der Spannungsquelle und dem Highsidetreiber angeordnet ist und betriebsbereit ist, um den Highsidetreiber mit dem negativen Anschluss der Spannungsquelle zu verbinden, wenn der Lowsidetreiber den bidirektionalen Lowside Halbleiterschalter ANschaltet.

2. Der Treiberschaltkreis nach Anspruch 1, wobei der Highsidetreiber von einem Highsideeingangssignalsignal gesteuert wird.

3. Der Treiberschaltkreis nach Anspruch 1, wobei der Lowsidetreiber von einem Lowsideeingangssignalsignal gesteuert wird.

4. Der Treiberschaltkreis nach Anspruch 3, wobei der Lowsidetreiber weiter umfasst:
 einen ersten Transistor;
 einen zweiten Transistor, wobei der erste Transistor und der zweite Transistor als ein Gegentaktpaar positioniert sind und wobei der erste und zweite Transistor AN und AUSgeschaltet werden, basierend auf dem Lowsideeingangssignalsignal;
 einen Leistungs MOSFET mit dem bidirektionalen Lowside Halbleiterschalter in Serie geschaltet; und
 einen Ausgangsknoten zwischen dem ersten und zweiten Transistor positioniert und mit einem Gate des Leistungs MOSFET verbunden, wobei, wenn der Spannungswert des Ausgangsknotens den Leistungs MOSFET ANschaltet, der bidirektionale Lowside Halbleiterschalter AN ist und wenn der Spannungswert des Ausgangsknotens den Leistungs MOSFET AUSschaltet, der bidirektionale Lowside Halbleiterschalter AUS ist.

5. Der Treiberschaltkreis nach Anspruch 4, wobei der Lowsidetreiber weiter eine Entsättigungssteuerungseinrichtung umfasst, gekoppelt an den Leistungs MOSFET um sicherzustellen, dass der Leistungs MOSFET nicht in Sättigung arbeitet.

6. Der Treiberschaltkreis nach Anspruch 3, wobei das Lowsideeingangssignalsignal weiter den Highside treibenden Schalter steuert, so dass der negative Anschluss der Spannungsquelle mit dem Highsidetreiber verbunden ist, wenn der bidirektionale Lowside Halbleiterschalter ANgeschaltet ist und wobei die negative Spannung des negativen Anschlusses benutzt wird, um den bidirektionalen Highside Halbleiterschalter AUSzuschalten.

7. Ein Treiberschaltkreis für eine Halbbrücke, benutzend bidirektionale Halbleiterschalter umfasst:
 einen Highsidetreiber betriebsbereit, um einen bidirektionalen Highside Halbleiterschalter zu steuern, wobei der Highsidetreiber eine Linearreglersteuerungseinrichtung beinhaltet, die wahlweise den Highsidetreiber mit einer unteren Schiene der Halbbrücke verbindet; und
 einen Lowsidetreiber betriebsbereit, um einen bidirektionalen Lowside Halbleiterschalter zu steuern.

8. Der Treiberschaltkreis nach Anspruch 7, wobei die Linearreglersteuerungseinrichtung, die den Highsidetreiber mit der unteren Schiene der Halbbrücke verbindet, wenn der bidirektionale Highside Schalter AN ist und wenn eine Spannung über einer Kapazität über den Highsidetreiber über eine Schwellenspannung steigt, so dass der Highsidetreiber eine negative Bias Spannung an ein Gate der bidirektionalen Highside Halbleitereinrichtung anlegt, um sie AUSzuschalten.

9. Der Treiberschaltkreis nach Anspruch 8, wobei die Linearreglersteuerungseinrichtung den Highsidetreiber mit der unteren Schiene der Halbbrücke verbindet, wenn die Spannung über der Kapazität unter den Schwellwert fällt.

10. Der Treiberschaltkreis nach Anspruch 7, wobei der Lowsidetreiber weiter umfasst:
 einen ersten Transistor;
 einen zweiten Transistor, wobei der erste Transistor und ein zweiter Transistor als Gegentaktpaar positioniert sind und wobei der erste und zweite Transistor basierend auf dem Lowsideeingangssignal AN und AUSgeschaltet werden;
 ein Leistungs MOSFET in Serie geschaltet mit dem bidirektionalen Lowside Halbleiterschalter; und
 ein Ausgangsknoten zwischen dem ersten und zweiten Transistor positioniert und verbunden mit einem Gate des Leistungs MOSFETS, wobei, wenn der Spannungswert des Ausgangsknotens den Leistungs MOSFET ANschaltet, der bidirektionale Lowside Halbleiterschalter AN ist und wenn der Spannungswert des Ausgangsknotens den Leistungs MOSFET AUSschaltet, der bidirektionale Lowside Halbleiterschalter AUS ist.

11. Der Treiberschaltkreis nach Anspruch 10, wobei der Lowsidetreiber weiter umfasst eine Entsättigungssteuervorrichtung mit dem Leistungs MOSFET verbunden, um sicherzustellen, dass der Leistungs MOSFET nicht in Sättigung arbeitet.

12. Ein bidirektionaler Schaltschaltkreis umfassend:
 einen bidirektionalen Highside Halbleiterschalter;
 einen bidirektionalen Lowside Halbleiterschalter in Serie mit dem bidirektionalen Highside Halbleiterschalter verbunden; und

ein Treiberschaltkreis nach Anspruch 7.

arbeitet.

13. Ein bidirektionaler Schaltschaltkreis umfassend:
 einen bidirektionalen Highside Halbleiterschalter;
 einen bidirektionalen Lowside Halbleiterschalter in Serie mit dem bidirektionalen Highside Halbleiterschalter verbunden;
 einen Highsidetreiber betriebsbereit, um den bidirektionalen Highside Halbleiterschalter zu steuern, wobei der Highsidetreiber eine negative Bias Spannung an dem bidirektionalen Highside Halbleiterschalter bereitstellt, um den bidirektionalen Highside Halbleiterschalter AUSzuschalten;
 einen Lowsidetreiber betreibbar, um den bidirektionalen Lowside Halbleiterschalter zu steuern;
 eine externe Spannungsquelle, wobei der negative Anschluss der Spannungsquelle mit dem Highsidetreiber verbunden ist; und
 einen Highside Treiberschalter zwischen dem negativen Anschluss der Spannungsquelle und dem Highsidetreiber positioniert und betriebsbereit, um den Highsidetreiber mit dem negativen Anschluss der Spannungsquelle zu verbinden, wenn der Lowsidetreiber den bidirektionalen Lowside Halbleiterschalter ANschaltet.

14. Der bidirektionale Schaltschaltkreis nach Anspruch 13, wobei der Highsidetreiber von einem Highsideeingangssteuersignal gesteuert wird.

15. Der bidirektionale Schaltschaltkreis nach Anspruch 13, wobei der Lowsidetreiber von einem Lowsideeingangssteuersignal gesteuert wird.

16. Der bidirektionale Schaltschaltkreis nach Anspruch 15, wobei der Lowsidetreiber ferner umfasst:
 einen ersten Transistor;
 einen zweiten Transistor, wobei der erste Transistor und der zweite Transistor als ein Gegentaktpaar positioniert sind und wobei der erste und zweite Transistor basierend auf dem Lowsideeingangssteuersignal AN und AUSgeschaltet wird;
 einen Leistungs MOSFET in Serie mit dem bidirektionalen Lowside Halbleiterschalter geschaltet; und
 einen Ausgangsknoten positioniert zwischen dem ersten und zweiten Transistor und mit einem Gate des Leistungs MOSFETS verbunden, wobei, wenn der Spannungswert des Ausgangsknotens den Leistungs MOSFET ANschaltet, der bidirektionale Lowside Halbleiterschalter AN ist und wenn der Spannungswert des Ausgangsknotens den Leistungs MOSFET AUSschaltet, der bidirektionale Lowside Halbleiterschalter AUS ist.

17. Der bidirektionale Schaltschaltkreis nach Anspruch 16, wobei der Lowsidetreiber ferner eine Ent sättigungssteuereinrichtung umfasst, welche mit dem Leistungs MOSFET gekoppelt ist, um sicherzustellen, dass der Leistungs MOSFET nicht in Sättigung

18. Die bidirektionale Schalteinrichtung nach Anspruch 17, wobei das Lowsideeingangssteuersignal ferner den Highside Treiberschalter steuert, so dass der negative Anschluss der Spannungsquelle mit dem Highsidetreiber verbunden ist, wenn der bidirektionale Lowside Halbleiterschalter ANgeschaltet ist und wobei die negative Spannung des negativen Anschlusses benutzt wird, um den bidirektionalen Highside Halbleiterschalter AUSzuschalten.

Es folgen 11 Blatt Zeichnungen

Anhängende Zeichnungen

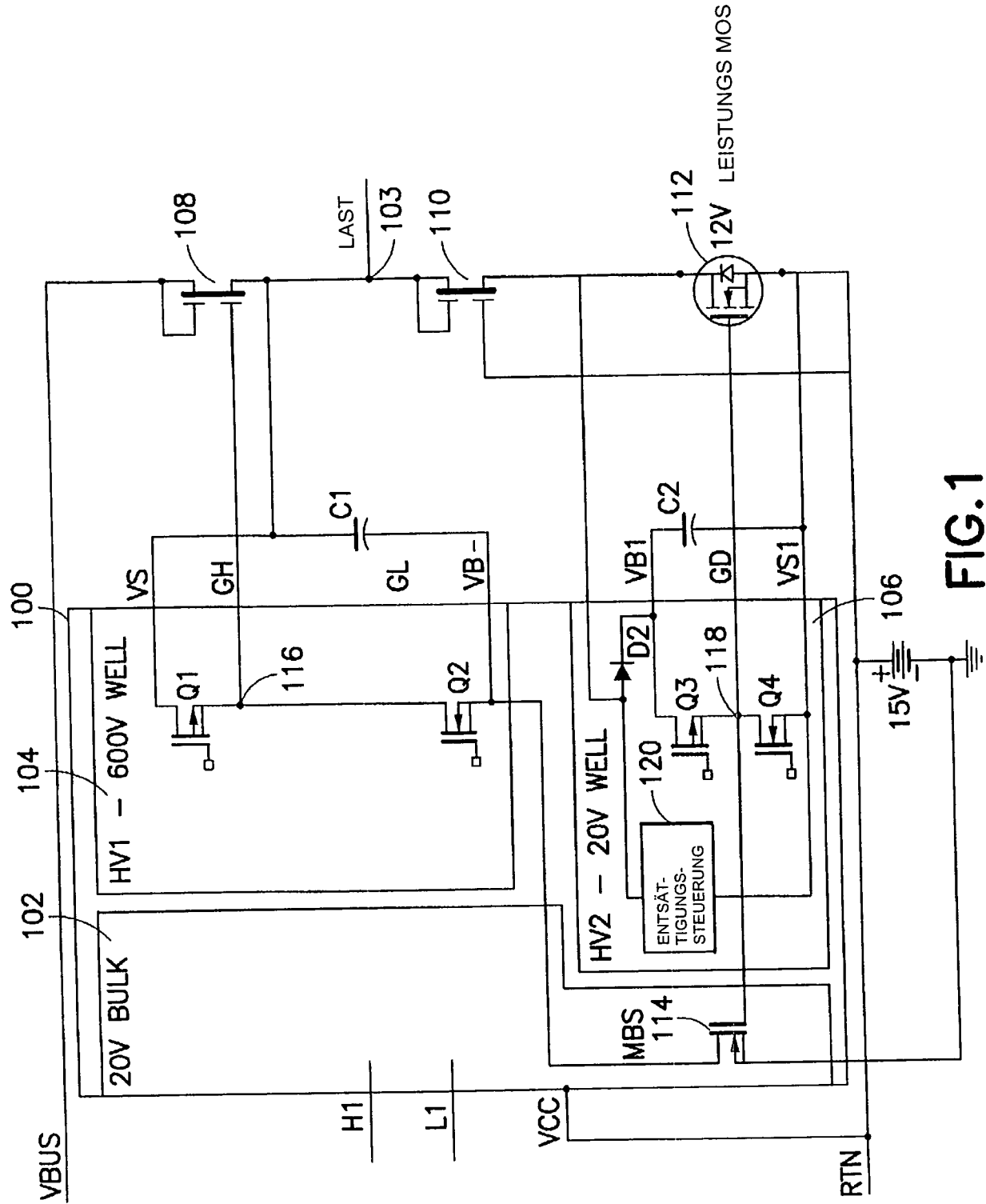


FIG. 1

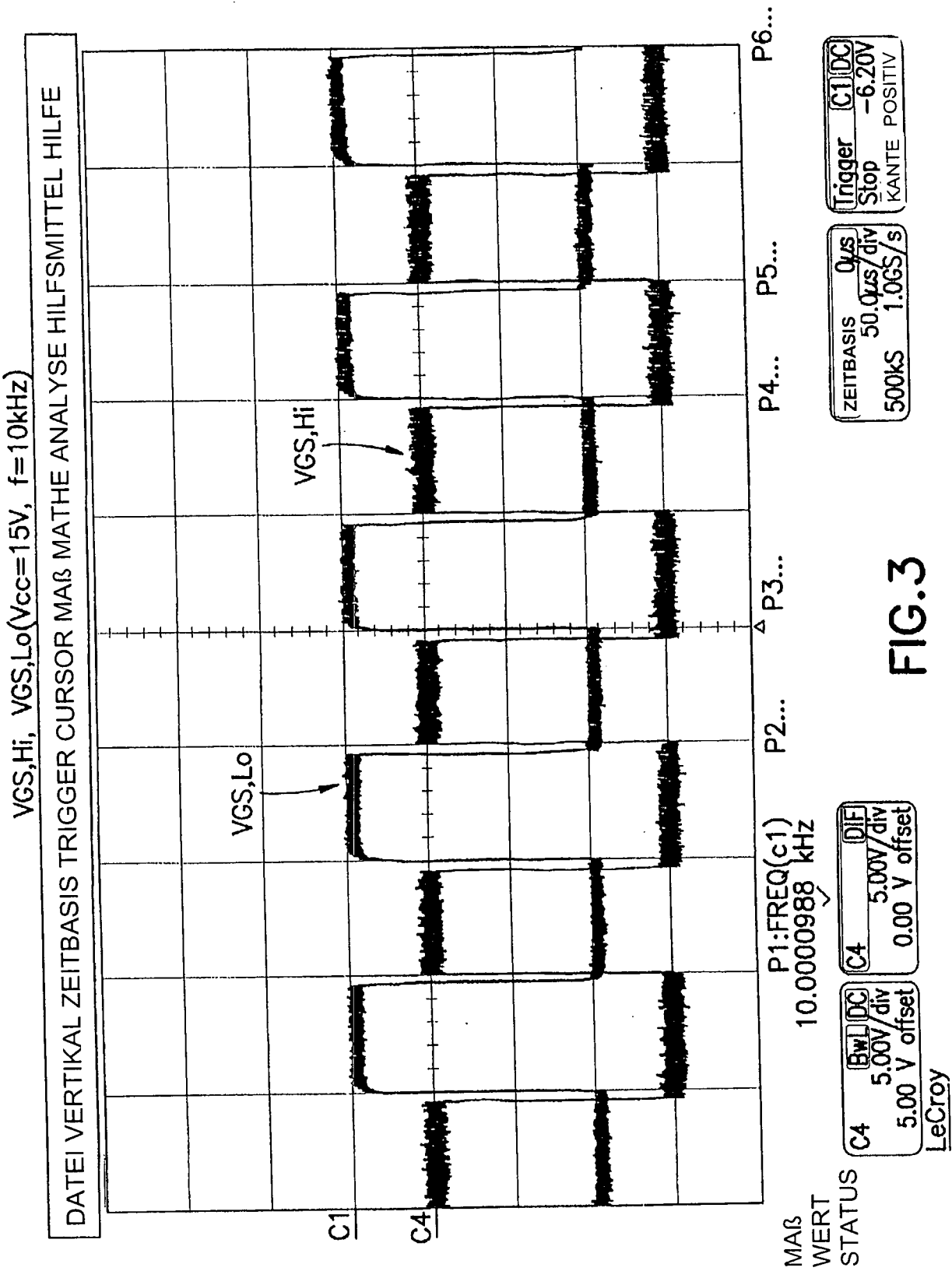


FIG.3

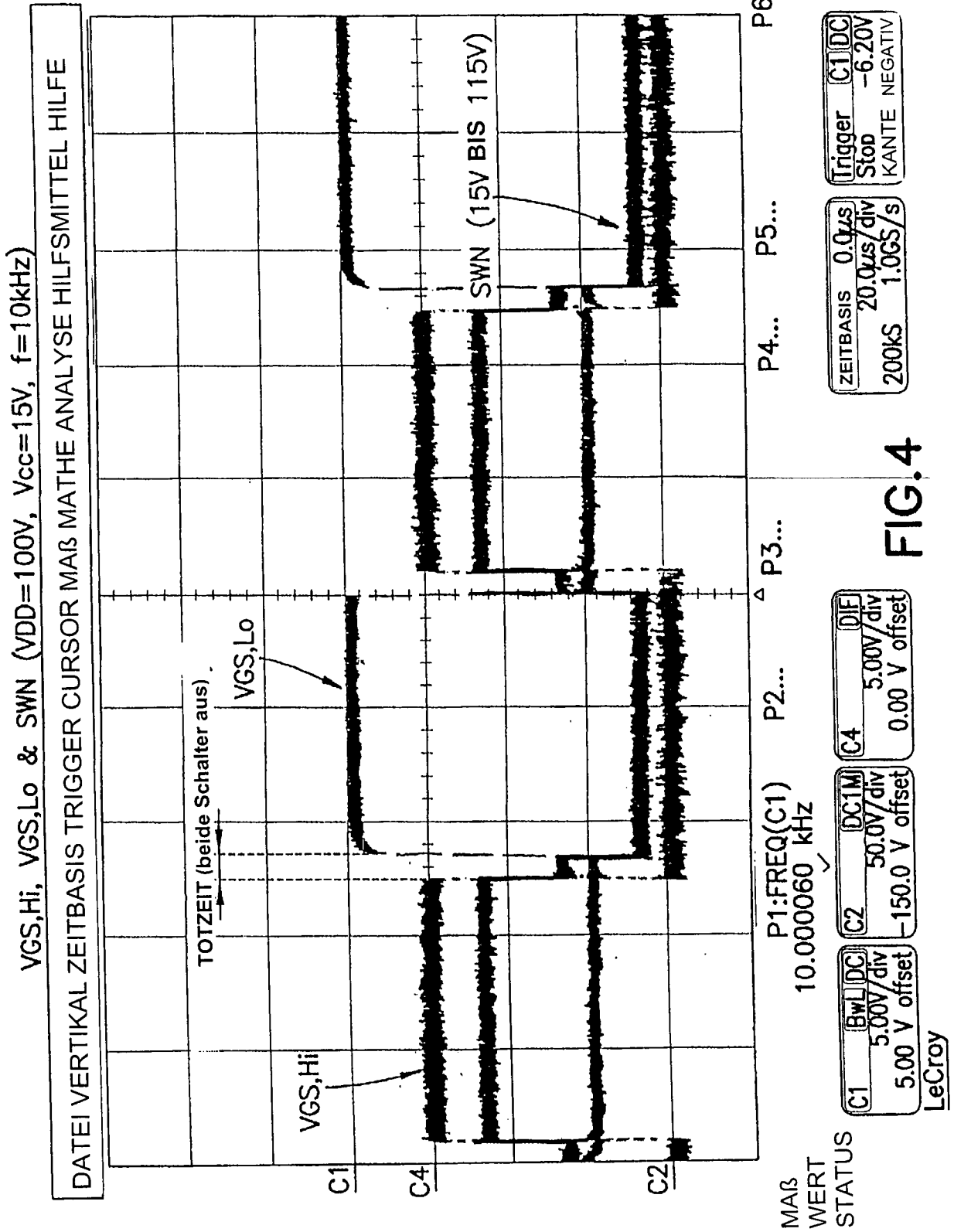
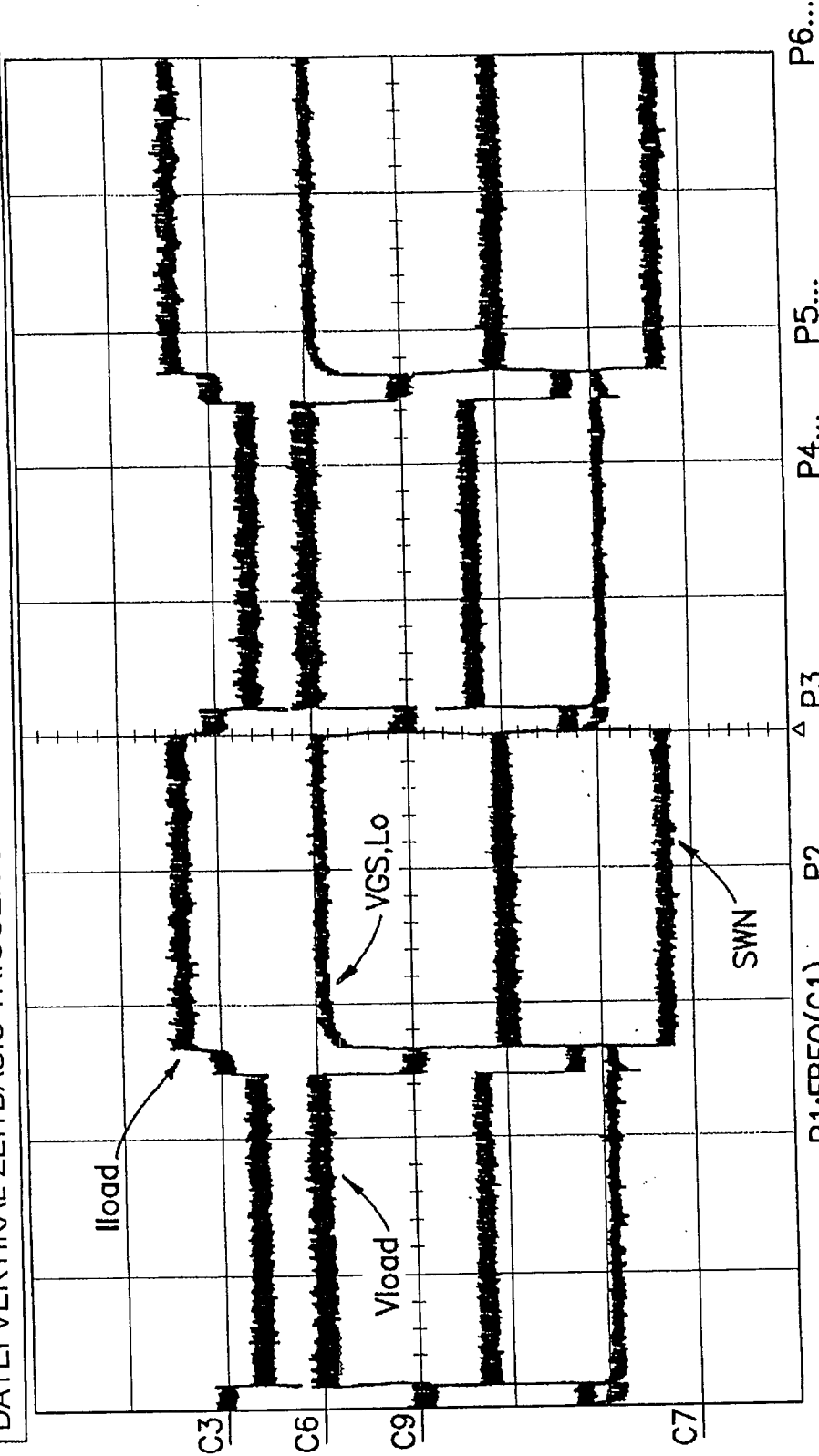


FIG.4

VGS,Hi, VGS,Lo, Vload, Iload (VDD=100V, Vcc=15V, f=10kHz, Rload=250ohm)

DATEI VERTIKAL ZEITBASIS TRIGGER CURSOR MAß MATHE ANALYSE HILFSMITTEL HILFE



MAß WERT STATUS

P1:FREQ(C1) 9.9999077 kHz

C1 [BWL]DC 5.00V/div 5.00 V offset

C2 [DC1M] 50.0V/div -150.0 V offset

C4 [DIF] 50.0V/div 0.0 V offset

600mA/div 1.000 A offset

ZEITBASIS 0.0µs 20.0µs/div 200Ks 1.0GS/s

Trigger [C1]DC SLOD -6.20V KANTE NEGATIV

LeCroy

FIG.5

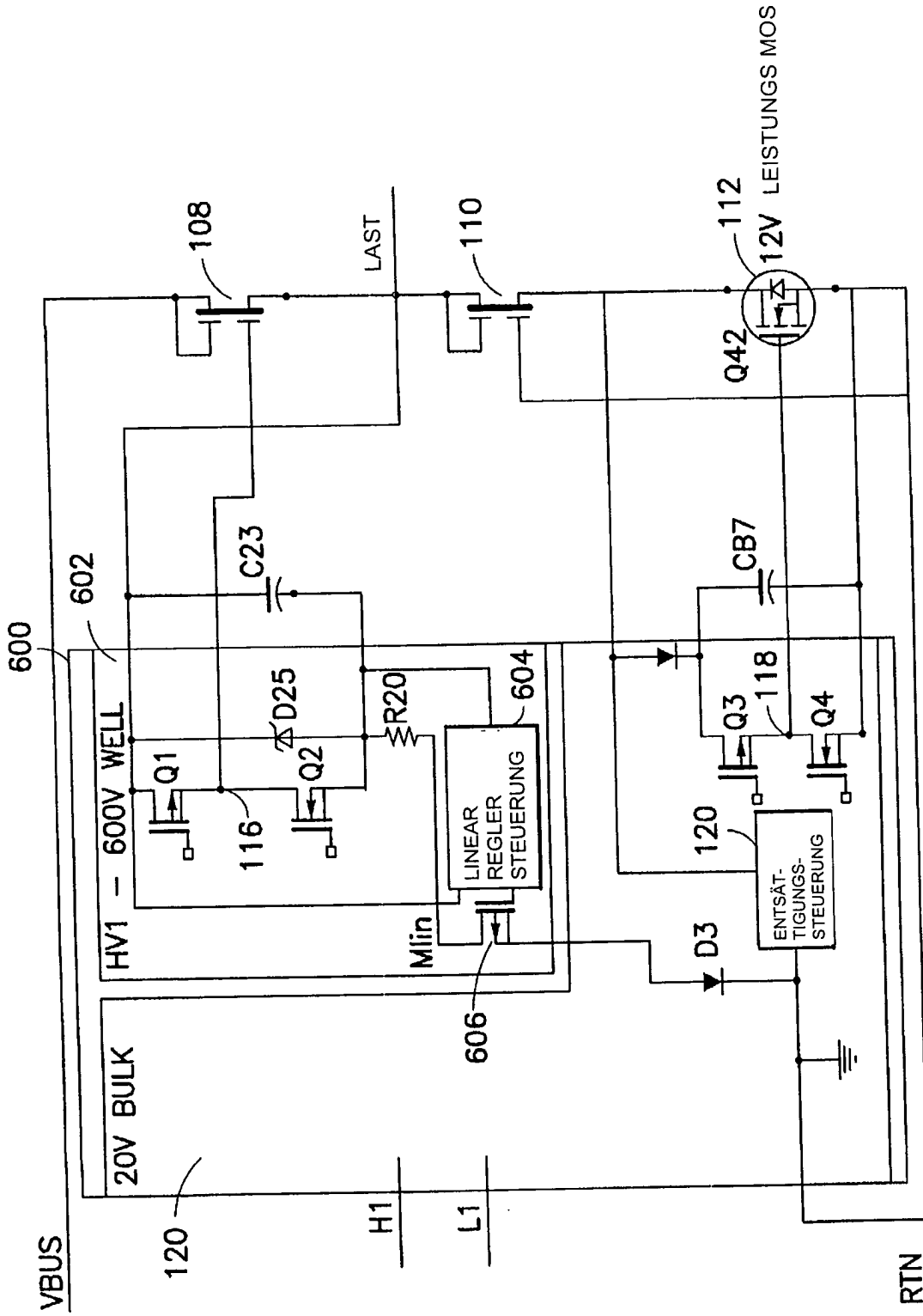
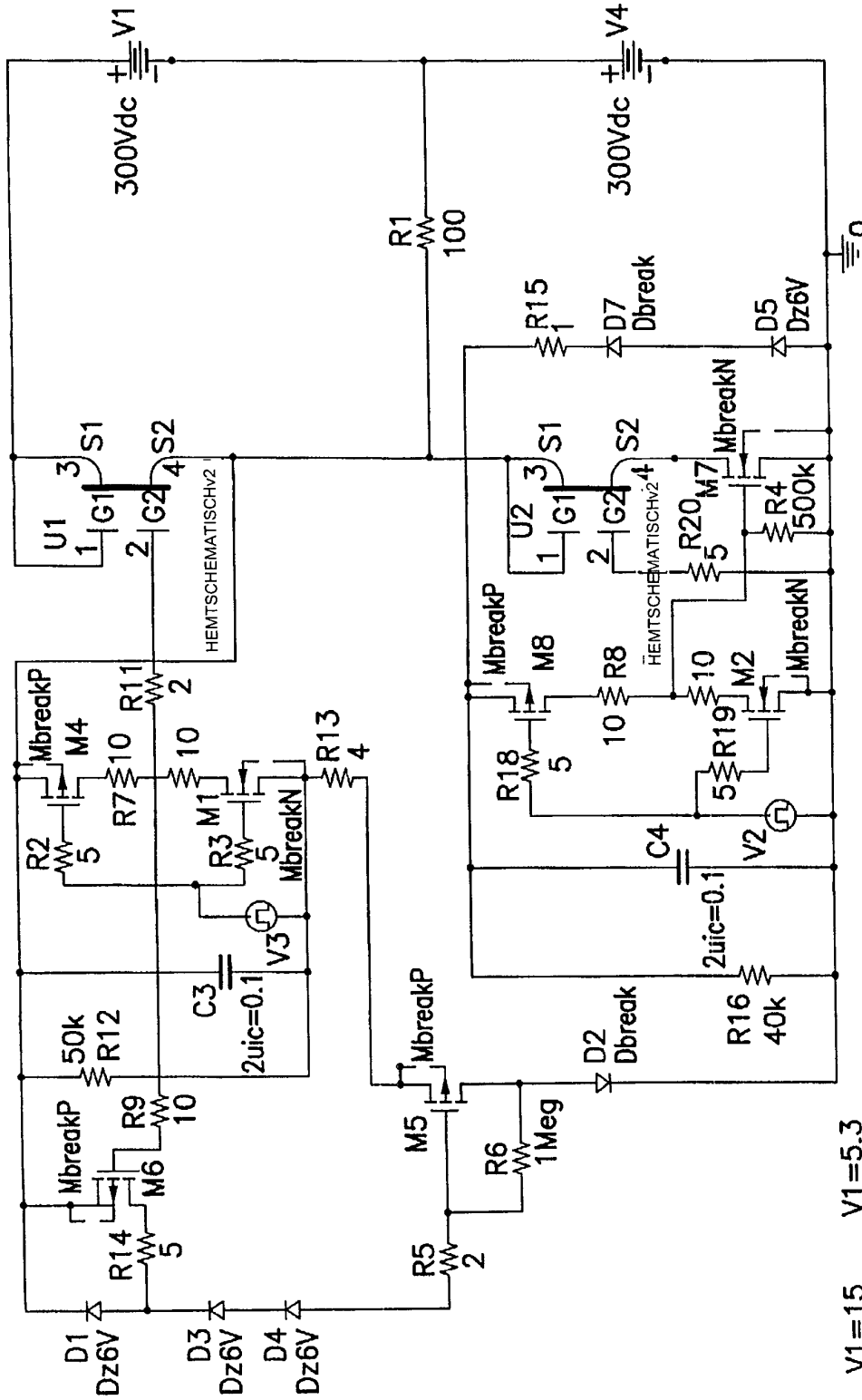


FIG. 6



V1=5.3
 V2=0
 ID=80u
 IR=300n
 TF=300n
 RW=20u
 PER=40u

V1=15
 V2=0
 ID=102u
 IR=300n
 TF=300n
 RW=15u
 PER=40u

FIG.7

Titel		<Titel>
Größe	A	
Dokumentnummer:	<Doc>	
Rev	<Rev Code>	
Datum:	Freitag 6. Mai 2005	
		Blatt 1 von 1

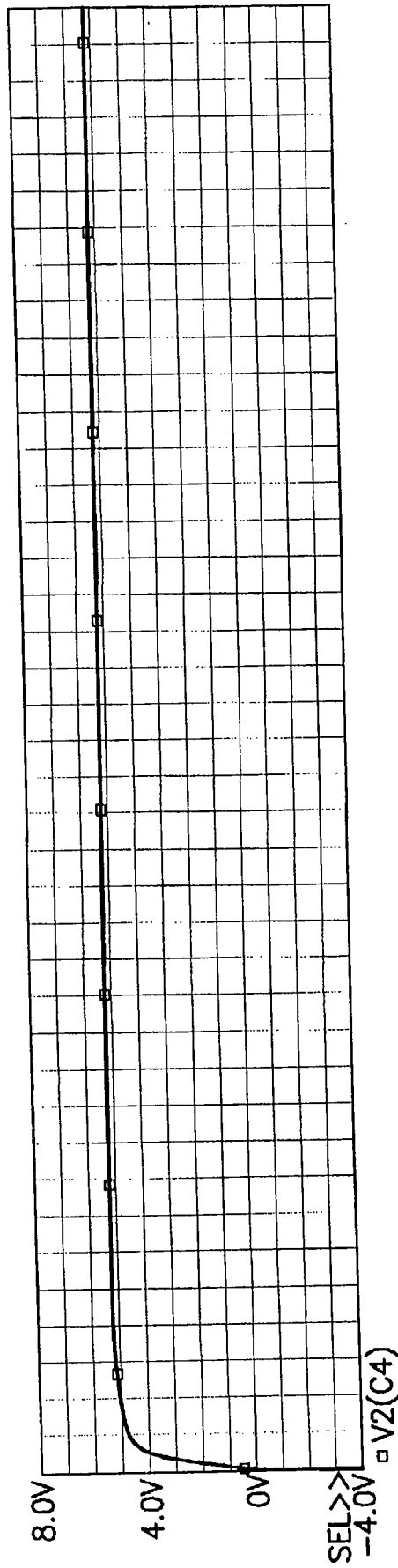


FIG.8A

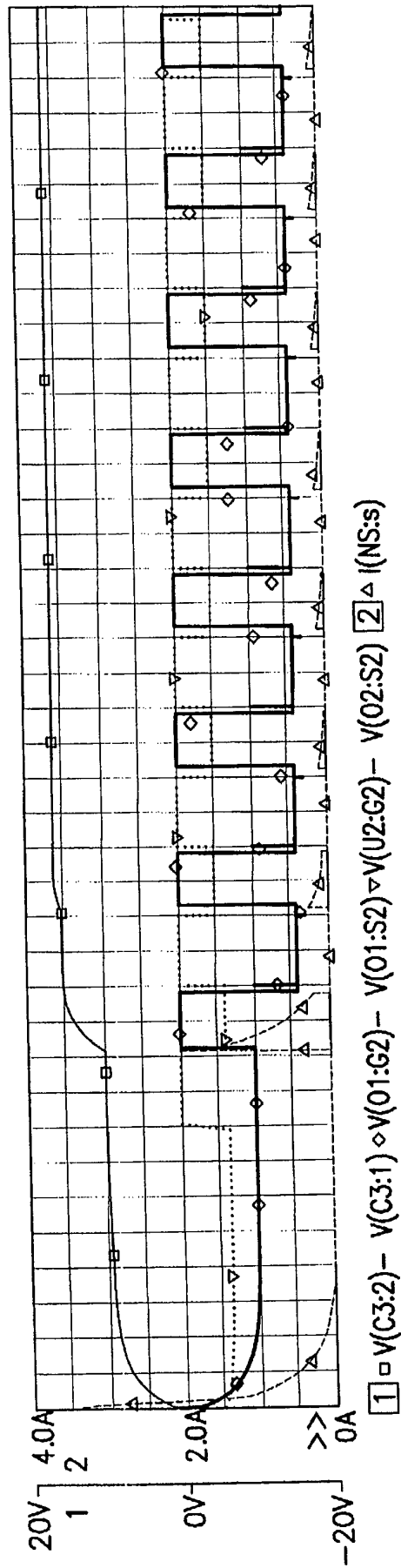


FIG.8B

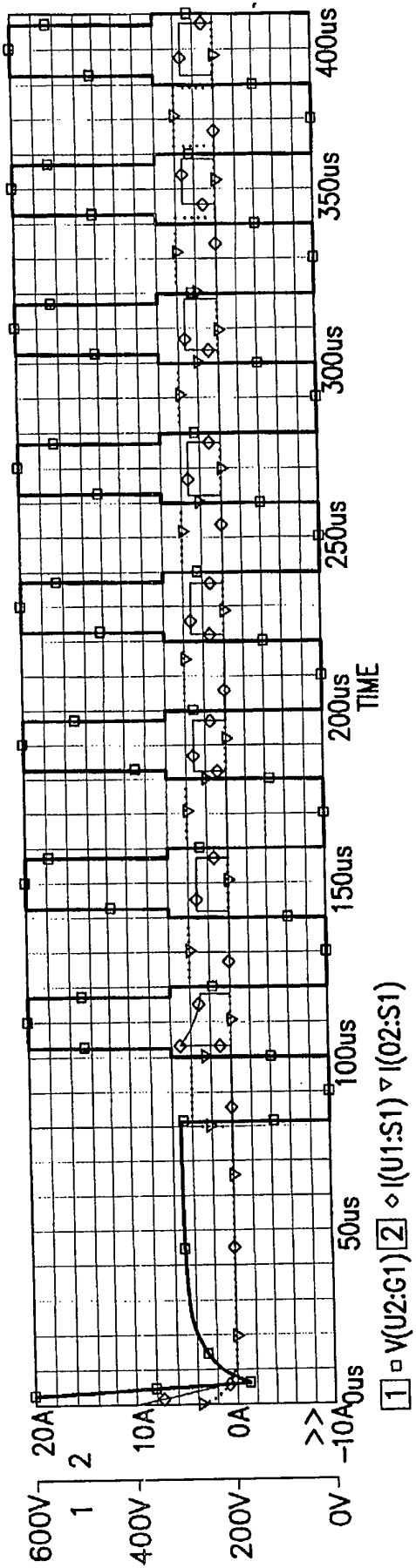


FIG.8C

HI AND Lo SIDE VGS @ 5kHz, VBUS=50V

DATEI VERTIKAL ZEITBASIS TRIGGER ANZEIGE CURSOR MAß MATHE ANALYSE HILFSMITTEL HILFE

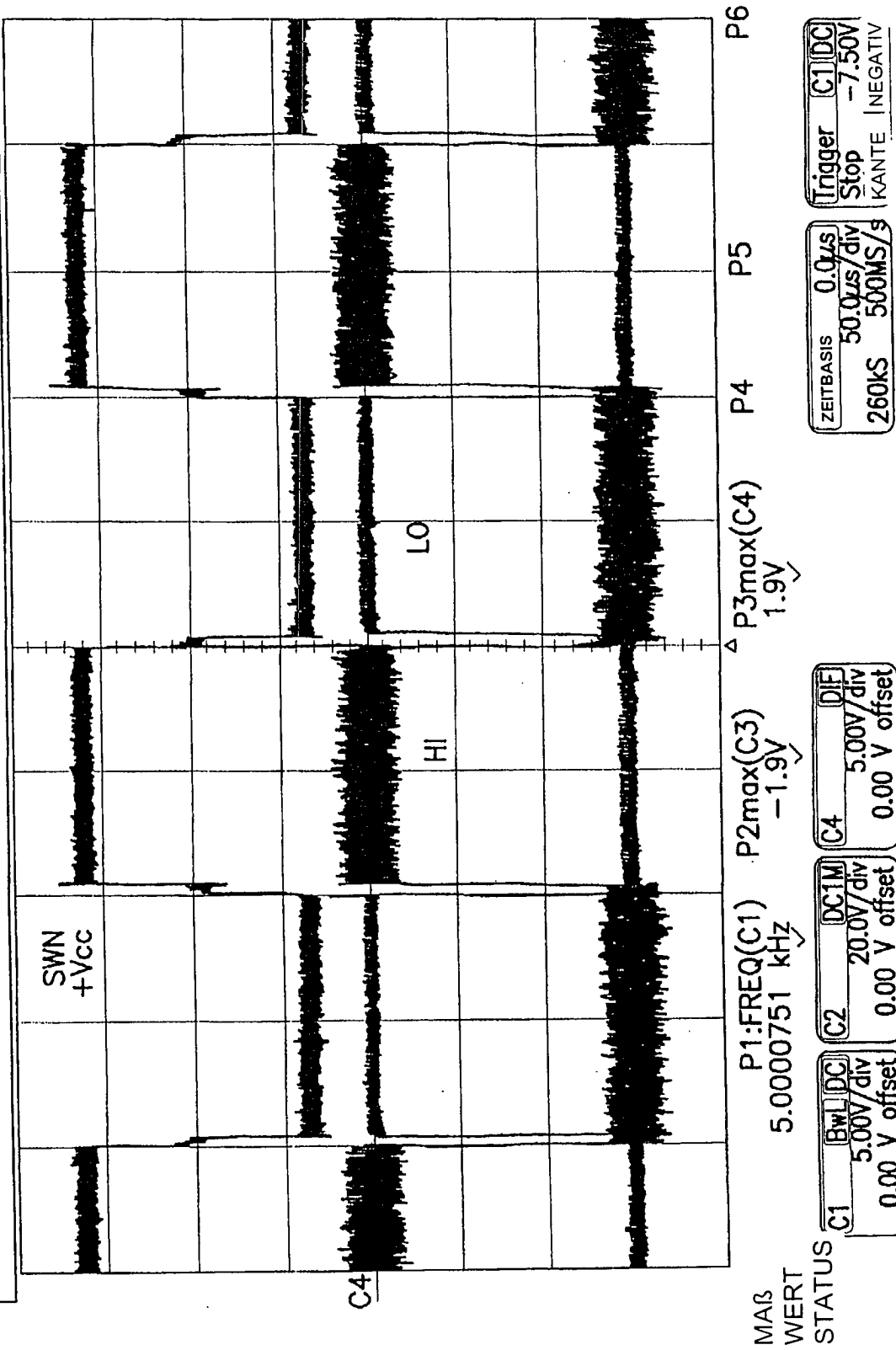


FIG.9

LeCroy