

公告本

發明專利說明書 I223258

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：I2131759

※ 申請日期：92-11-13

※IPC 分類：G11C11/00

壹、發明名稱：(中文/英文)

多級記憶體元件與其程式設計及讀取方法

MULTI-LEVEL MEMORY DEVICE AND METHODS FOR PROGRAMMING
AND READING THE SAME

貳、申請人：(共1人)

姓名或名稱：**(中文/英文)**

旺宏電子股份有限公司/MACRONIX INTERNATIONAL CO., LTD.

代表人：**(中文/英文)** 胡定華/ HU, DING HUA

住居所或營業所地址：**(中文/英文)**

新竹科學工業園區力行路16號/NO. 16, LI-HSIN RD.,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：**(中文/英文)** 中華民國/TW

參、發明人：(共2人)

姓名：**(中文/英文)**

1. 陳逸舟/CHEN, YI CHOU

2. 盧志遠/LU, CHIH YUAN

住居所地址：**(中文/英文)**

新竹科學工業園區力行路16號/NO. 16, LI-HSIN RD.,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：**(中文/英文)** 中華民國/TW

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國； 2003/06/18； 10/465,012

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

相關申請案之互相參照

本申請案與下列申請案有關：(1)美國專利申請日為 2003 年 6 月 18 日而申請號為 10/465120 號之專利申請案，其與本申請案同時提出申請其與本申請案同時提出申請，且名稱為”調整記憶體單元之臨界電壓之方法”；以及(2) 美國專利申請日為 2003 年 6 月 18 日而申請號為 10/464938 號之專利申請案，其與本申請案同時提出申請，且名稱為”無電晶體之隨機存取記憶體”。在此一併揭露這些相關申請案以作為參考。

發明所屬之技術領域

本發明是有關於一種記憶體元件，且特別是有關於一種程式設計一記憶體單元之臨界值變更材料以允許多級資料儲存之方法及其相關讀取技術。

先前技術

非晶體與晶體硫屬薄膜材料(chalcogenide)之電阻比典型上大於 1000 倍。因為這種差異，所以已經有人提出將電阻分為幾個等級(stages)並利用此等級於多級儲存。第 1 圖為多級硫屬薄膜材料隨機存取記憶體(RAM)之電阻對電流之關係圖。如線 102 所繪示，電阻隨著每一電流增量而遞增。可調整硫屬薄膜材料之電阻，然而，有關經由電阻定義等級之缺點之一為難以讀出電阻差異，這是因為多級應用之讀出邊際(sensing margin)很小而高電阻等級之讀出時間將很長。例如，假設有 4 種電阻狀態且其為 5k、50k、

500k 以及 5M 歐姆(Ohm)，而用以讀取一單元之電流通常為 20 微安(μA)。若施加 0.1 伏特(V)於一單元，且此單元之電阻是 5k、50k、500k 以及 5M 歐姆(Ohm)，則所讀取之電流將分別是 20 微安(μA)、2 微安(μA)、0.2 微安(μA)(幾乎無法讀出)、20 奈安(nA)(與雜訊同一量級)。亦即，幾乎不可能讀出此級之所有狀態。

由上述說明觀之，需要一種多級(每單元有多重位元)記憶體單元結構，此結構具有易於讀出多級之特性使其可輕易偵測相關狀態。

發明內容

總而言之，本發明提供一種能夠經由使用臨界值變更材料來定義每單元之多重位元之記憶體單元結構。

根據本發明之一觀點，提供一種多級記憶體核心。上述多級記憶體核心包括一字元線及一位元線。也包括一個與上述字元線及位元線電性通訊之核心單元。上述核心單元包括一臨界值變更材料。上述臨界值變更材料被程式設計以便定義多級儲存，其中上述多級儲存之每一級與一相對應之臨界電壓有關。

於一實施例，藉由施加不同的能量脈衝至上述臨界值變更材料來程式設計上述臨界值變更材料。於另一實施例，經由施加不同的能量脈衝來調整上述電壓臨界值。

根據本發明之另一觀點，提供一種用以讀取一多級記憶體元件之方法。上述方法包括施加一讀取電壓至上述多級記憶體元件。然後，測定一個與上述讀取電壓相關之電流之狀態。其次，根據上述電流測定上述多級記憶體元

件之存取狀態。

於一實施例，在讀取之前先程式設計上述多級記憶體元件。上述程式設計包括經由施加變動的能量脈衝來調整一電壓臨界值。

根據本發明之又另一觀點，提供一種用以讀取一多級記憶體元件之多級之方法。上述方法起初施加一電壓至上述多級記憶體元件之一臨界值變更材料。然後，讀出有關上述電壓之電流以辨別上述多級之每一級。

對於熟習此技藝者顯而易見的是上述讀取本發明之多級記憶體元件之方法可應用於許多記憶體/固態元件應用。上述讀取方法之顯著優點之一為相對於讀出電阻當讀取電流時可獲得速度及讀出邊際。

上述一般說明及下列詳細說明僅用以舉例解釋本發明而非用以限定本發明，因此本發明之權利保護範圍當視後附之申請專利範圍所界定者為準。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉其較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

現在將參照所附圖式詳細說明本發明之較佳實施例。第 1 圖已經於上述”先前技術”段落中予以說明。

根據本發明，藉由施加不同的能量脈衝來獲得與一臨界值變更材料相關之臨界電壓以便定義不同的臨界電壓。於一實施例，上述臨界值變更材料是一硫屬薄膜材料。有關能夠變更臨界電壓 V_{th} 之材料之臨界電壓 V_{th} 調整之更進一步資訊，揭露於美國申請日為 2003 年 6 月 18 日而

申請號為 10/465120 號之專利申請案內，其與本申請案同時提出申請，且名稱為”調整記憶體單元之臨界電壓之方法”。在此一併揭露這個相關申請案以作為各種目的之參考。超過上述臨界電壓時，可辨別與每一等級相關之電流。因此，藉由讀出上述電流可測定相對應之狀態。因此，在一記憶體核心單元之內可能有多重狀態，並且這些不同的狀態對應於所讀出之電流。

第 2 圖為典型硫屬薄膜材料記憶體陣列之一部分之簡圖。記憶體陣列部分 112 包括字元線 108a 及 108b、位元線 110a 及 110b、電晶體元件 104、以及硫屬薄膜材料元件 106。電晶體元件 104 之作用如同一導引(steering)元件(亦即一存取電晶體)，其提供從相對應之字元線及位元線到硫屬薄膜材料元件 106 之存取路徑。舉例來說，電晶體元件 104 可能是一存取 P-N 二極體、一雙載子接合電晶體(BJT)、或其他適合的電晶體。應注意的是硫屬薄膜材料元件 106 之作用如同一記憶體元件。

第 3 圖繪示正規化電流(I)-正規化電壓(V)曲線，其中施加不同的程式設計脈衝至一臨界值變更材料以便定義不同的臨界電壓。如上述相關申請案(美國申請日為 2003 年 6 月 18 日而申請號為 10/465120 號之申請案)所說明的，硫屬薄膜材料之臨界電壓 V_{th} 可藉由施加能量至上述薄膜來調整。因此，在單一記憶體核心單元之內可能有不同的臨界電壓 V_{th} 。為了程式設計一單元，可能啟動所選擇之單元之導引電晶體並且施加某個能量脈搏至此單元。上述能量脈搏與某個期間及樣式相關。例如，為了程式設計一

單元可能施加一個從 0.1 伏特(V)到 20 伏特(V)之電壓。於一實施例，上述期間可能從 1 奈秒(ns)到 1000 奈秒(ns)。任何熟習此技藝者將了解不同的程式設計脈衝導致不同的臨界電壓 V_{th} 。第 3 圖所繪示之各種狀態與四個臨界電壓 V_{th} 有關。亦即， V_{th1} 與第一狀態有關， V_{th2} 與第二狀態有關， V_{th3} 與第三狀態有關，而 V_{th4} 與第四狀態有關。

下列第 1 表提供一個與第 3 圖所繪示之四種狀態相關之真值表(truth table)。由表中可看出，當讀取電壓 V_a 介於 V_{th1} 與 V_{th2} 之間時定義狀態 1。當讀取電壓 V_b 介於 V_{th2} 與 V_{th3} 之間時定義狀態 1 及 2。當讀取電壓 V_c 介於 V_{th3} 與 V_{th4} 之間時定義狀態 1、2、以及 3。當讀取電壓 V_d 大於 V_{th4} 時定義狀態 1、2、3、以及 4。

第 1 表

狀態	1	2	3	4
讀取電壓 \ V_{th}	V_{th1}	V_{th2}	V_{th3}	V_{th4}
$V_{th1} < V_a < V_{th2}$	導通	斷流	斷流	斷流
$V_{th2} < V_b < V_{th3}$	導通	導通	斷流	斷流
$V_{th3} < V_c < V_{th4}$	導通	導通	導通	斷流
$V_{th4} < V_d$	導通	導通	導通	導通

第 4 圖為一種用以讀取與臨界值變更材料相關之多級狀態之方法之流程圖。此方法開始於測定操作 122，其中以讀取電壓 V_b 來測量電流。若上述電流是高電流(導通)，則此方法推進至操作 124，其中相關狀態為狀態 1 或狀態 2。然後此方法推進至測定操作 126，其中以讀取電壓 V_a 來測量電流。若上述電流是高電流(導通)，則相關

狀態為狀態 1，如同邏輯框 128 所示。若測定操作 126 所測量的電流是低電流(斷流)，則這表示其為狀態 2，如同邏輯框 130 所示。回到測定操作 122，若以 V_b 所測量的電流是低電流(斷流)，則這表示其為狀態 3 或 4，如同邏輯框 132 所示。然後此方法推進至測定操作 134，其中以讀取電壓 V_c 來測量電流。若以 V_c 所測量的電流是高電流(導通)，則這表示其為狀態 3，如同邏輯框 136 所示。若以 V_c 所測量的電流是低電流(斷流)，則在此之相關狀態為狀態 4，如同邏輯框 138 所示。

第 5 圖為參照第 4 圖說明另一種用以讀取臨界值變更材料之多級狀態之方法之流程圖。此方法開始於測定操作 140，其中以讀取電壓 V_a 來測量電流。若上述與讀取電壓 V_a 相關之電流是高電流(導通)，則此方法推進至操作 142，其中相關狀態為狀態 2、3 或 4。然後此方法推進至測定操作 144，其中以讀取電壓 V_b 來測量電流。若上述與 V_b 相關之電流是高電流(導通)，則這表示其為狀態 3 或狀態 4，如同邏輯框 146 所示。然後此方法推進至測定操作 148，其中以讀取電壓 V_c 來測量電流。若以 V_c 所測量的電流是高電流(導通)，則這表示其為狀態 3，如同邏輯框 150 所示。若於測定操作 148 所測量的電流是低電流(斷流)，則這表示其為狀態 4，如同邏輯框 156 所示。若於測定操作 144 以 V_b 所測量的電流是低電流(斷流)，則這表示其為狀態 2，如同邏輯框 154 所示。回到測定操作 140，若以 V_a 所測量的電流是低電流(斷流)，則這表示其為狀態 1，如同邏輯框 152 所示。

總而言之，在此說明一種多級硫屬薄膜材料記憶體。上述多級資料根據不同的臨界電壓來儲存。於一實施例，上述臨界電壓藉由施加不同的能量脈衝來調整，在此已經納入有關施加不同的能量脈衝以調整臨界電壓之更進一步資訊以作為參考。此外，已經討論兩種讀取方法。應注意的是對於上述讀取方法之任一種其讀取電壓應高於臨界電壓。因此，藉由改變臨界值變更材料之臨界電壓，可提供一種多級記憶體。如上所述，於本發明之一實施例可獲得一種多級非揮發性隨機存取記憶體。相對於根據電阻之模式，因為本發明之讀取之讀出邊際非常大，所以可輕易偵測多級等級。讀取上述電流足以提供辨識特性。並且，相較於其他讀取速度(亦即與讀取電阻有關之速度)，本發明之讀取速度較快。

雖然本發明已經以其較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神的情況下，當可作些許之更動與潤飾，因此本發明之權利保護範圍當視後附之申請專利範圍所界定者為準。

圖式簡單說明

第 1 圖為多級硫屬薄膜材料隨機存取記憶體(RAM)之電阻對電流之關係圖。

第 2 圖為典型硫屬薄膜材料記憶體陣列之一部分之簡圖。

第 3 圖繪示正規化電流(I)-正規化電壓(V)曲線，其中施加不同的程式設計脈衝至一臨界值變更材料以便定義不同的臨界電壓。

第 4 圖為一種用以讀取與臨界值變更材料相關之多級狀態之方法之流程圖。

第 5 圖為參照第 4 圖說明另一種用以讀取臨界值變更材料之多級狀態之方法之流程圖。

圖式標記說明

- 102 電阻對電流之關係曲線
- 104 電晶體元件
- 106 硫屬薄膜材料元件
- 108a 字元線
- 108b 字元線
- 110a 位元線
- 110b 位元線
- 112 記憶體陣列部分
- 114 當臨界電壓 V_{th} 為 V_{th1} 時硫屬薄膜材料之正規化電流(I)-正規化電壓(V)曲線
- 116 當臨界電壓 V_{th} 為 V_{th2} 時硫屬薄膜材料之正規化電流(I)-正規化電壓(V)曲線
- 118 當臨界電壓 V_{th} 為 V_{th3} 時硫屬薄膜材料之正規化電流(I)-正規化電壓(V)曲線
- 120 當臨界電壓 V_{th} 為 V_{th4} 時硫屬薄膜材料之正規化電流(I)-正規化電壓(V)曲線
- 122 以讀取電壓 V_b 測量電流 I
- 124 狀態 1 或狀態 2
- 126 以讀取電壓 V_a 測量電流 I
- 128 狀態 1

- 130 狀態 2
- 132 狀態 3 或狀態 4
- 134 以讀取電壓 V_c 測量電流 I
- 136 狀態 3
- 138 狀態 4
- 140 以讀取電壓 V_a 測量電流 I
- 142 狀態 2、狀態 3 或狀態 4
- 144 以讀取電壓 V_b 測量電流 I
- 146 狀態 3 或狀態 4
- 148 以讀取電壓 V_c 測量電流 I
- 150 狀態 3
- 152 狀態 1
- 154 狀態 2
- 156 狀態 4

伍、中文發明摘要：

一種包括一字元線(word line)及一位元線(bit line)之多級記憶體核心(multilevel memory core)。上述多級記憶體核心也包括一個與上述字元線及位元線電性通訊之核心單元(core cell)。上述核心單元包括一臨界值變更材料(threshold changing material)。上述臨界值變更材料被程式設計(programmed)以便定義多級儲存，其中上述多級儲存之每一級與一相對應之臨界電壓(threshold voltage)有關。也將說明用以讀取上述多級記憶體核心之方法。

陸、英文發明摘要：

A multilevel memory core includes a word line and a bit line. The multilevel memory core also includes a core cell in electrical communication with the word line and the bit line. The core cell includes a threshold changing material. The threshold changing material is programmed to define multiple levels for storage where each of the multiple levels for storage is associated with a corresponding threshold voltage. Methods for reading the multilevel memory core also are described.

柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件代表符號簡單說明：

104：電晶體元件

106：硫屬薄膜材料(chalcogenide)元件 108a：字元線

108b：字元線 110a：位元線

110b：位元線 112：記憶體陣列部分

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1.一種多級記憶體核心，該核心包括：

一字元線；

一位元線；以及

一核心單元，與該字元線及該位元線電性通訊，該核心單元包括一臨界值變更材料，該臨界值變更材料被程式設計以便定義多級儲存，其中每一該多級儲存與一相對應之臨界電壓有關。

2.如申請專利範圍第 1 項所述之多級記憶體核心，該核心更包括：

一導引元件，與該核心單元電性通訊。

3.如申請專利範圍第 2 項所述之多級記憶體核心，其中該導引元件是一存取電晶體。

4.如申請專利範圍第 2 項所述之多級記憶體核心，其中該導引元件是一存取 P-N 二極體。

5.如申請專利範圍第 2 項所述之多級記憶體核心，其中該導引元件是一雙載子接合電晶體(BJT)。

6.如申請專利範圍第 1 項所述之多級記憶體核心，其中每一該相對應之臨界電壓都不相同。

7.如申請專利範圍第 1 項所述之多級記憶體核心，其中每一該相對應之臨界電壓與一相對應之電流相關。

8.如申請專利範圍第 1 項所述之多級記憶體核心，其中該臨界值變更材料是一硫屬薄膜材料。

9.如申請專利範圍第 1 項所述之多級記憶體核心，其中該多級記憶體核心之每一準位定義一狀態，該狀態藉由

一電流差異來偵測。

10.如申請專利範圍第 1 項所述之多級記憶體核心，其中該多級記憶體核心是一非揮發性隨機存取記憶體。

11.一種用以讀取一多級記憶體元件之方法，該方法包括：

施加一讀取電壓至該多級記憶體元件；

測定一個與該讀取電壓相關之電流之一狀態；以及
根據該電流測定該多級記憶體元件之一存取狀態。

12.如申請專利範圍第 11 項所述之方法，其中該讀取電壓大於一臨界電壓。

13.如申請專利範圍第 11 項所述之方法，其中施加一讀取電壓至該多級記憶體元件之該步驟包括：

若與該電壓相關之該電流之該狀態是一導通狀態則施加一個不同的讀取電壓至該多級記憶體元件。

14.如申請專利範圍第 11 項所述之方法，該方法更包括：

程式設計該多級記憶體元件。

15.如申請專利範圍第 14 項所述之方法，其中程式設計該多級記憶體元件之該步驟包括：

施加一個介於大約 0.1 伏特與 20 伏特之間的電壓。

16.如申請專利範圍第 15 項所述之方法，其中施加介於大約 0.1 伏特與 20 伏特之間的該電壓之該步驟包括：

施加該電壓之持續時間介於大約 1 奈秒(ns)與 1000 奈秒(ns)之間。

17.如申請專利範圍第 11 項所述之方法，其中該多級

記憶體元件是一非揮發性記憶體元件。

18.如申請專利範圍第 14 項所述之方法，其中程式設計該多級記憶體元件之該步驟包括：

啓動一導引電晶體。

19.一種用以讀取一多級記憶體元件之多級之方法，該方法包括：

施加一電壓至該多級記憶體元件之一臨界值變更材料；以及

讀出一個有關該電壓之電流以辨別每一該多級。

20.如申請專利範圍第 19 項所述之方法，該方法更包括：

施加一其他電壓；

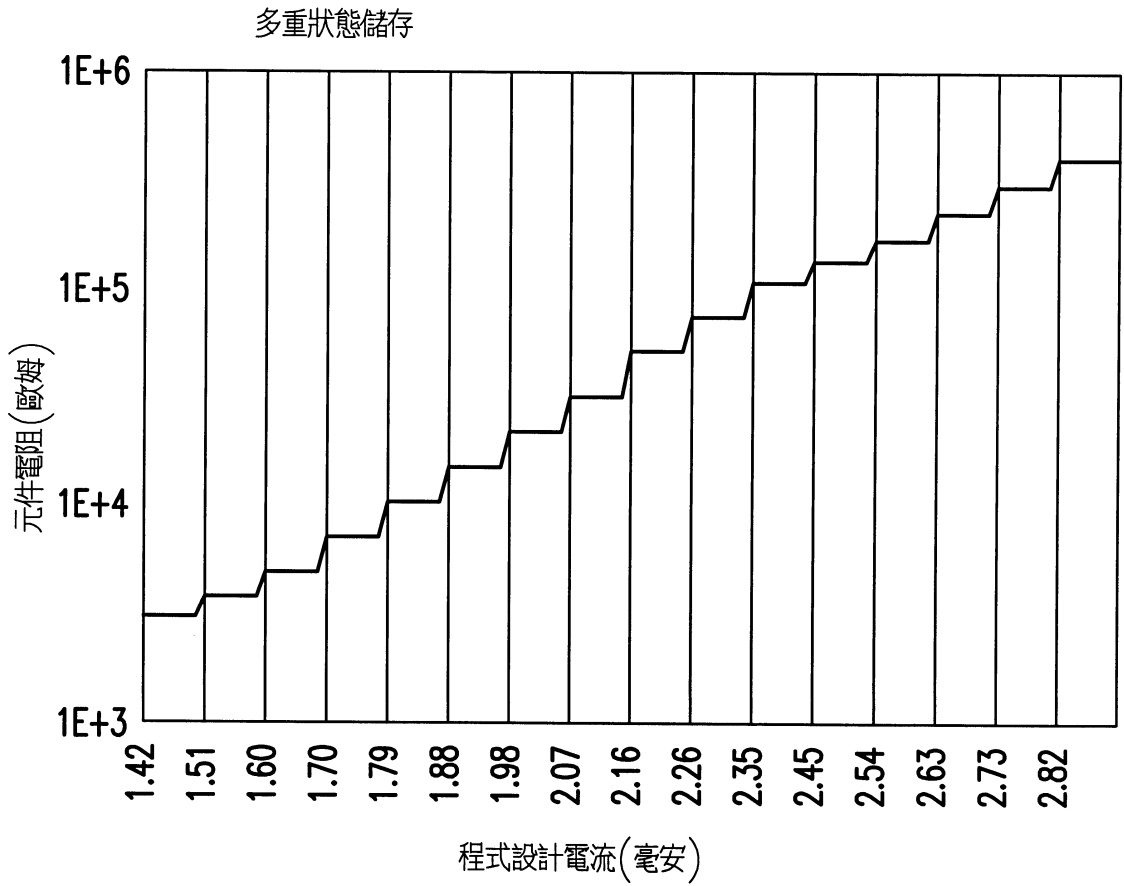
讀出一個有關該其他電壓之電流；以及

計算一電流差異。

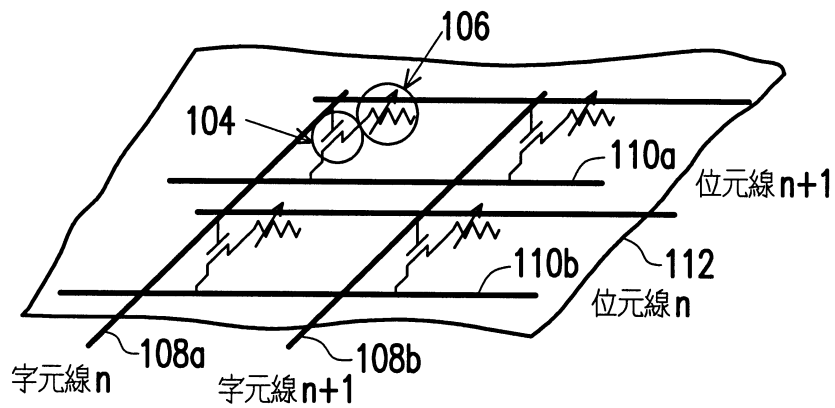
21.如申請專利範圍第 20 項所述之方法，其中該電流差異是一個有關該電壓之該電流與有關該其他電壓之該電流之間的差異。

22.如申請專利範圍第 19 項所述之方法，其中該臨界值變更材料是一硫屬薄膜材料。

11318TW

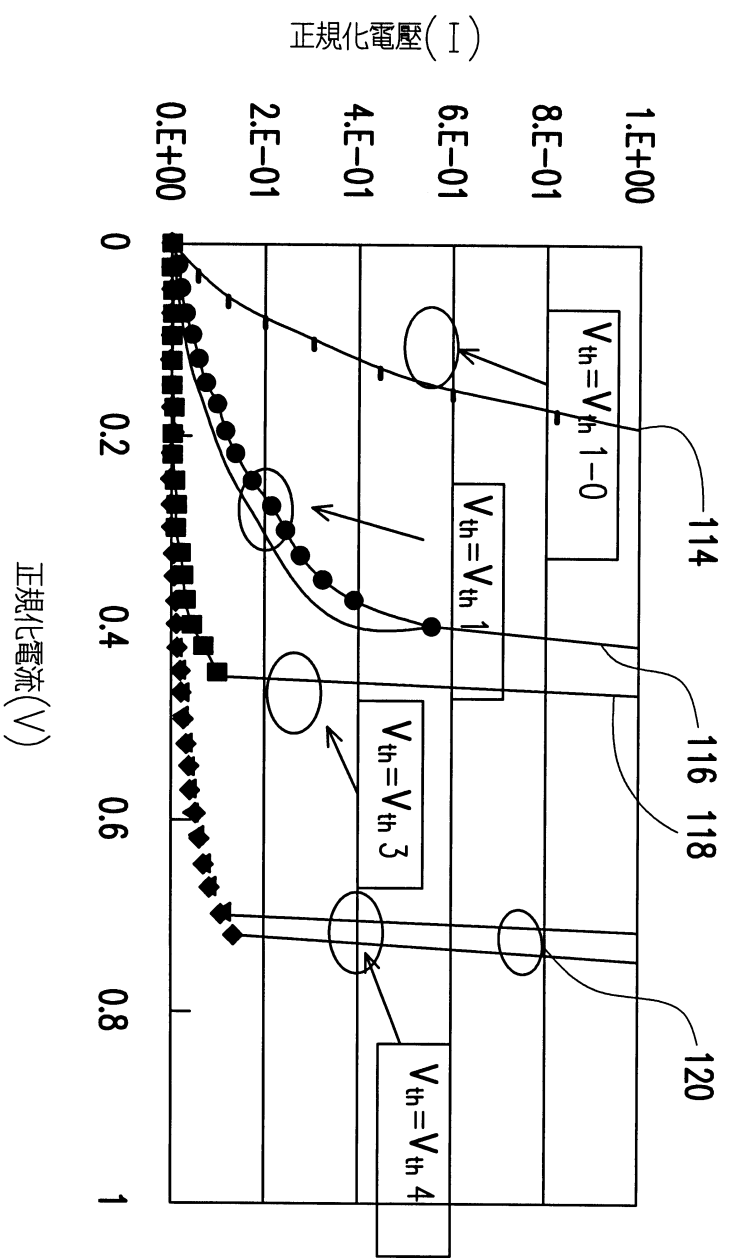


第 1 圖

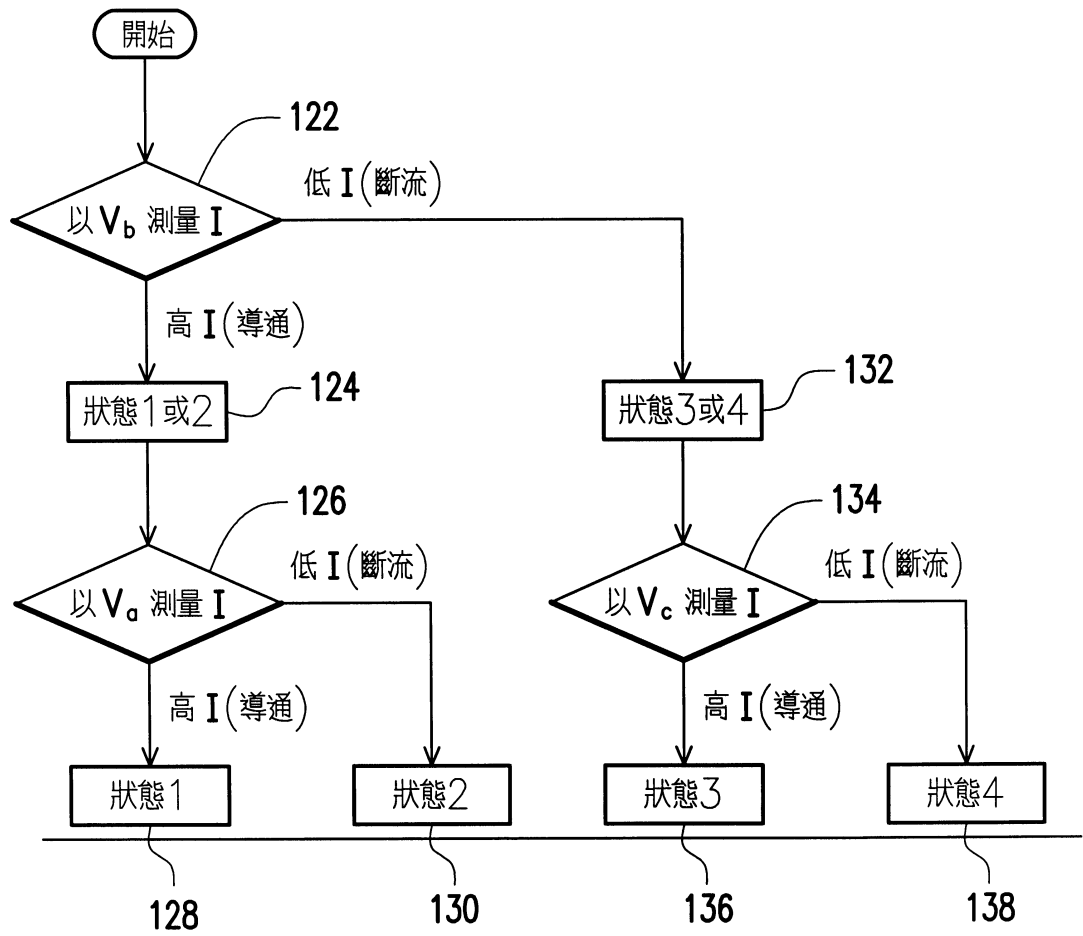


第 2 圖

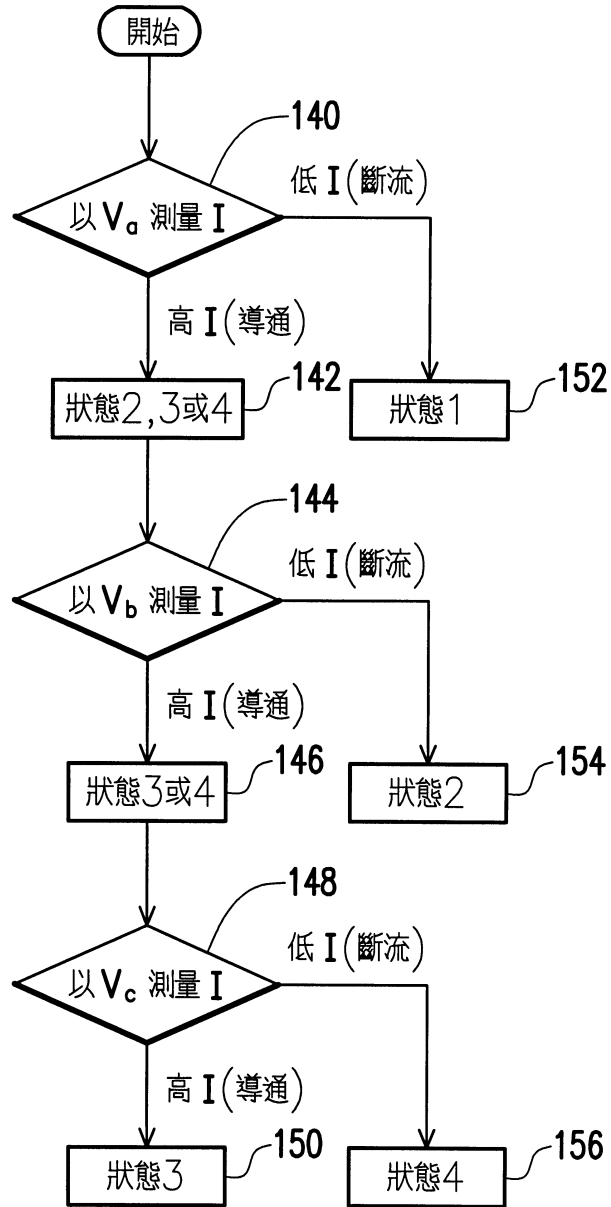
對於不同 V_{th} 硫屬薄膜材料之 I-V 曲線



第 3 圖



第 4 圖



第 5 圖