

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4807577号
(P4807577)

(45) 発行日 平成23年11月2日 (2011. 11. 2)

(24) 登録日 平成23年8月26日 (2011. 8. 26)

(51) Int. Cl.	F I
H03K 17/16 (2006.01)	H03K 17/16 M
H03K 17/687 (2006.01)	H03K 17/687 A

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2006-204769 (P2006-204769)	(73) 特許権者	000004260
(22) 出願日	平成18年7月27日 (2006. 7. 27)		株式会社デンソー
(65) 公開番号	特開2008-35068 (P2008-35068A)		愛知県刈谷市昭和町 1 丁目 1 番地
(43) 公開日	平成20年2月14日 (2008. 2. 14)	(74) 代理人	110000110
審査請求日	平成20年10月6日 (2008. 10. 6)		特許業務法人快友国際特許事務所
		(72) 発明者	桑原 誠
			愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
		(72) 発明者	服部 佳晋
			愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内
		(72) 発明者	岡田 京子
			愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内

最終頁に続く

(54) 【発明の名称】 トランジスタの駆動回路

(57) 【特許請求の範囲】

【請求項 1】

トランジスタを駆動する回路であり、

前記トランジスタのゲート電極に蓄積していた電荷が放電されるときにゲート電流の電流値に基づいて、前記トランジスタのゲート抵抗の抵抗値を調整する調整回路と、

固定抵抗体とダイオードを介して前記トランジスタのゲート電極に電氣的に接続している駆動電圧生成回路と、を備えており、

前記調整回路は、前記ゲート電流の電流値の絶対値が大きいときに前記ゲート抵抗の抵抗値を小さくし、前記ゲート電流の電流値の絶対値が小さいときに前記ゲート抵抗の抵抗値を大きくしており、

前記ダイオードは、アノードが前記駆動電圧生成回路側に接続しており、カソードが前記トランジスタのゲート電極側に接続している駆動回路。

【請求項 2】

前記調整回路は、設定されたゲート電流の閾値に基づいて、前記トランジスタのゲート抵抗の抵抗値を調整することを特徴とする請求項 1 の駆動回路。

【請求項 3】

前記ダイオードと前記調整回路は、前記トランジスタと同一の半導体基板内に形成されていることを特徴とする請求項 1 又は 2 の駆動回路。

【請求項 4】

前記調整回路は、調整用トランジスタと、その調整用トランジスタのオン抵抗よりも抵

抗値が大きい抵抗体を有しており、

前記抵抗体は、前記調整用トランジスタのゲート電極と入力電極の間に設けられているとともに、その一端が前記トランジスタのゲート電極に接続しており、

前記調整用トランジスタは、前記抵抗体の両端に発生する電圧差によってオン・オフし、

前記ゲート電流は、電流値の絶対値が大きいときに前記調整用トランジスタがオンすることによって前記調整用トランジスタを通過し、電流値の絶対値が小さいときに前記調整用トランジスタがオフすることによって前記抵抗体を通過することを特徴とする請求項1～3のいずれか一項に記載の駆動回路。

【請求項5】

前記調整用トランジスタが、p型の電界効果型のトランジスタであり、

前記調整用トランジスタのソース電極が、前記抵抗体の一端と前記トランジスタのゲート電極の間に接続しており、

前記調整用トランジスタのドレイン電極が、接地電位に固定されていることを特徴とする請求項4の駆動回路。

【請求項6】

前記調整用トランジスタが、n型の電界効果型のトランジスタであり、

前記調整用トランジスタのゲート電極及びドレイン電極が、前記抵抗体の一端と前記トランジスタのゲート電極の間に接続していることを特徴とする請求項4の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタを駆動する回路に関する。

【背景技術】

【0002】

負荷に接続されたトランジスタのオン・オフを切替えることによって、負荷に電力を供給する状態と電力を供給しない状態を切替える回路が知られている。例えば、インバータ回路は、トランジスタのオン・オフを切替えることによって直流電力を交流電力に変換し、その交流電力をモータに供給する。この種の回路のトランジスタのオン・オフは、そのトランジスタのゲート電極（又はベース電極）に接続している駆動回路で制御される。

【0003】

図15に、この種のトランジスタに電界効果型のトランジスタが用いられた場合の動作波形図を示す。駆動回路は、駆動電圧 V_{in} をトランジスタのゲート電極に供給することによって、トランジスタのオン・オフを切替える。

まず、トランジスタがターンオンする過渡期に関して説明する。駆動電圧 V_{in} がローからハイになると、トランジスタのゲート電極に向けて正のゲート電流 I_g が流れ、ゲート電極に電荷が蓄積される。ゲート電極に電荷が蓄積されると、トランジスタのゲート・ソース間電圧 V_{gs} が上昇する。ゲート・ソース間電圧 V_{gs} が上昇すると、トランジスタのドレインからソースに向けてドレイン電流 I_d が流れ始め、ドレイン・ソース間電圧 V_{ds} が減少する。これらの過程を経て、トランジスタはオフからオンに移行する。

次に、トランジスタがターンオフする過渡期T100に関して説明する。駆動電圧 V_{in} がハイからローになると、ゲート電極に蓄積していた電荷が放電し、ゲート電極から駆動回路に向けて負のゲート電流 I_g が流れ、ゲート・ソース間電圧 V_{gs} が減少する。ゲート・ソース間電圧 V_{gs} が減少すると、ドレイン電流 I_d も減少し、ドレイン・ソース間電圧 V_{ds} が上昇する。これらの過程を経て、トランジスタはオンからオフに移行する。

【0004】

図15に示すように、トランジスタがターンオフする過渡期T100の終盤では、ドレイン・ソース間電圧 V_{ds} にサージ電圧が発生している。このサージ電圧は、急峻に変動するドレイン電流 I_d と回路中に寄生しているインダクタンスによって引き起こされる。

このサージ電圧の増大を抑えるためには、ドレイン電流 I_d を緩やかに変動させれば良い。例えば、トランジスタのゲート抵抗を大きくすれば、ゲート電極に蓄積していた電荷が放電する速度が減少し、負のゲート電流 I_g が緩やかに流れる。この結果、ドレイン電流 I_d も緩やかに減少し、サージ電圧の増大を抑えることができる。しかし、トランジスタのドレイン電流 I_d が緩やかに減少すると、トランジスタがターンオフするのに要する時間が増大し、ターンオフ損失が増大してしまう。即ち、この種のトランジスタには、ターンオフの過渡期T100において、サージ電圧とターンオフ損失の間にトレードオフ関係が存在する。

【0005】

このトレードオフ関係を打破するためには、ターンオフの過渡期T100の序盤でドレイン電流 I_d を急峻に変動させ、過渡期T100の終盤でドレイン電流 I_d を緩慢に変動させるのが望ましい。過渡期T100の序盤でドレイン電流 I_d を急峻に変動させれば、ターンオフに要する時間を短縮することができる。この結果、ターンオフ損失を低く抑えることができる。また、過渡期T100の終盤でドレイン電流 I_d を緩慢に変動させれば、サージ電圧の増大を抑えることができる。

【0006】

特許文献1には、バイポーラ型のトランジスタを駆動する回路が開示されている。なお、特許文献1の駆動回路に係る技術思想は、電界効果型のトランジスタを駆動する場合にも利用することができる。

特許文献1の駆動回路は、ゲート電極に接続している2つの抵抗体を備えている。この駆動回路によると、ターンオフの過渡期の序盤では、ゲート電極からの負のゲート電流が2つの抵抗体を介して流れる。一方、ターンオフの過渡期の終盤では、ゲート電極からの負のゲート電流が、一方の抵抗体が遮断されることによって他方の抵抗体のみを介して流れる。

【0007】

特許文献1の駆動回路を利用すれば、ターンオフの過渡期の序盤で負のゲート電流を急峻に変動させることによって、ドレイン電流を急峻に変動させ、ターンオフに要する時間を短縮することができ得る。さらに、この駆動回路を利用すれば、ターンオフの過渡期の終盤で負のゲート電流を緩慢に変動させることによって、ドレイン電流を緩慢に変動させ、サージ電圧の増大を抑えることができ得る。

【0008】

【特許文献1】特開平1-183214号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

特許文献1の駆動回路では、一方の抵抗体を遮断するタイミングが、回路中に組み込まれているコンデンサと抵抗体の時定数で予め設定されている。このため、特許文献1の駆動回路では、ターンオフが繰返し実行されると、一方の抵抗体を遮断するタイミングが、ターンオフの序盤と終盤を決定するタイミングから外れる事態が発生してしまう。予め設定されたタイミングで制御する手法は、トランジスタの動作に同調することができない。このため、特許文献1の駆動回路では、サージ電圧やターンオフ損失の増大を確実に抑えることができない。

本発明は、トランジスタが動作している状態を観測しながら、トランジスタのゲート抵抗の抵抗値を調整する技術を提供することを目的としている。なお、上記では、ターンオフする過渡期を中心に本発明の課題を説明してきたが、ターンオンする過渡期においても、トランジスタが動作している状態を観測しながらゲート抵抗の抵抗値を調整したい局面が多く存在する。本発明は、ターンオフとターンオンのいずれの過渡期においても有用な結果が得られる技術を提供する。

【課題を解決するための手段】

【0010】

本発明者らは、トランジスタのゲート電流に着目した。トランジスタのゲート電流は、ターンオン又はターンオフの過渡期において、その電流値の大きさが経時的に変動している。このため、トランジスタのゲート電流の電流値の大きさを指標にすれば、トランジスタが動作している状態を観測することができる。トランジスタのゲート電流の電流値の大きさを指標にすれば、トランジスタの動作に同調しながらゲート抵抗の抵抗値を調整することができる。

即ち、本発明は、トランジスタを駆動する回路に具現化することができる。本発明の駆動回路は、トランジスタのゲート電極に蓄積していた電荷が放電されるときにゲート電流の電流値に基づいて、そのトランジスタのゲート抵抗の抵抗値を調整する調整回路と、固定抵抗体とダイオードを介して前記トランジスタのゲート電極に電氣的に接続している駆動電圧生成回路とを備えていることを特徴としている。調整回路は、ゲート電流の電流値の絶対値が大きいときにゲート抵抗の抵抗値を小さくし、ゲート電流の電流値の絶対値が小さいときにゲート抵抗の抵抗値を大きくする。ダイオードは、アノードが駆動電圧生成回路側に接続しており、カソードがトランジスタのゲート電極側に接続している。

駆動電圧生成回路からのオン電圧信号は、固定抵抗体でゲート電流に変換され、トランジスタのゲート電極に電荷を供給する。これにより、本発明の駆動回路は、トランジスタをオン状態に移行する。さらに、トランジスタがオフに移行するときに、トランジスタのゲート電極に蓄積していた電荷は、ダイオードによって固定抵抗体に流れる経路が遮断され、調整回路に向けて負のゲート電流として流れることができる。調整回路は、その負のゲート電流に基づいて、トランジスタのゲート抵抗の抵抗値を調整することができる。

この調整回路が設けられていると、トランジスタがターンオフする過渡期において、ゲート電流の電流値の絶対値が大きくなる序盤では、ゲート抵抗を小さくして電荷を素早く放電することができる。一方、ゲート電流の電流値の絶対値が小さくなる終盤では、ゲート抵抗を大きくして電荷をゆっくりと放電することができる。したがって、本発明の駆動回路は、ターンオフの過渡期の序盤において、トランジスタを流れるドレイン電流を急峻に変動させ、ターンオフに要する時間を短縮することができる。さらに、本発明の駆動回路は、ターンオフの過渡期の終盤において、トランジスタを流れるドレイン電流を緩慢に変動させ、サージ電圧の増大を抑えることができる。本発明の駆動回路によると、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

【0011】

本発明の調整回路は、設定されたゲート電流の閾値に基づいて、トランジスタのゲート抵抗の抵抗値を調整することが好ましい。

上記の調整回路では、ゲート電流の所定の電流値が閾値として設定されている。上記の調整回路では、その閾値に基づいてゲート抵抗の抵抗値を調整する。したがって、上記の調整回路を有する駆動回路は、ターンオフの過渡期の序盤と終盤を正確に区別してトランジスタを駆動させることができる。

【0013】

本発明の駆動回路では、ダイオードとゲート抵抗を調整する調整回路が、トランジスタと同一の半導体基板内に形成されていることが好ましい。

【0015】

本発明の調整回路は、調整用トランジスタと、その調整用トランジスタのオン抵抗よりも抵抗値が大きい抵抗体を有しているのが好ましい。その抵抗体は、調整用トランジスタのゲート電極と入力電極の間に設けられているとともに、その一端がトランジスタのゲート電極に接続している。このため、調整用トランジスタは、抵抗体の両端に発生する電圧差によってオン・オフする。トランジスタのゲート電流は、電流値の絶対値が大きいときに調整用トランジスタがオンすることによって調整用トランジスタを通過し、電流値の絶対値が小さいときに調整用トランジスタがオフすることによって抵抗体を通過する。

上記の駆動回路によると、トランジスタがターンオフする過渡期において、ゲート電流

の電流値の絶対値が大きくなる序盤では、抵抗体の両端に発生する電圧差によって調整用トランジスタがオンし、ゲート電流が調整用トランジスタを介して流れる。調整用トランジスタのオン抵抗は小さいので、トランジスタのゲート電極に蓄積していた電荷を素早く放電することができる。一方、ゲート電流の電流値の絶対値が小さくなる終盤では、抵抗体の両端に発生する電圧差が小さくなり調整用トランジスタがオフし、ゲート電流が抵抗体を介して流れる。抵抗体の抵抗値は大きいので、トランジスタのゲート電極に蓄積していた電荷をゆっくりと放電することができる。この結果、本発明の駆動回路によると、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

【0016】

本発明の調整用トランジスタは、p型の電界効果型トランジスタであってもよい。この場合、調整用トランジスタのソース電極が、抵抗体の一端とトランジスタのゲート電極の間に接続している。さらに、調整用トランジスタのドレイン電極が、接地している。

10

【0017】

本発明の調整用トランジスタは、n型の電界効果型トランジスタであってもよい。この場合、調整用トランジスタのゲート電極及びドレイン電極が、抵抗体の一端とトランジスタのゲート電極の間に接続している。

【発明の効果】

【0018】

本発明の駆動回路は、トランジスタの動作の状態を良好に反映しているゲート電流に基づいてトランジスタのゲート抵抗の抵抗値を調整する。このため、本発明の駆動回路は、トランジスタの動作に同調してゲート抵抗の抵抗値を調整することができる。

20

【発明を実施するための最良の形態】

【0019】

本発明の好ましい形態を列記する。

(第1形態) 本発明の駆動回路は、電界効果型のトランジスタを駆動する。

(第2形態) 調整用トランジスタは、p型のMOSFETである。この場合、p-MOSFETのソース電極とゲート電極の間には、p-MOSFETのオン抵抗よりも抵抗値が大きい抵抗体が設けられている。さらに、p-MOSFETのソース電極はトランジスタのゲート電極に接続しており、p-MOSFETのドレイン電極は接地しており、p-MOSFETのゲート電極は駆動電圧生成回路に接続している。

30

(第3形態) 調整用トランジスタは、n型のMOSFETである。この場合、n-MOSFETのソース電極とゲート電極の間には、n-MOSFETのオン抵抗よりも抵抗値が大きい抵抗体が設けられている。さらに、n-MOSFETのゲート電極とドレイン電極はトランジスタのゲート電極に接続しており、n-MOSFETのソース電極は駆動電圧生成回路に接続している。

【実施例】

【0020】

図1に、電界効果型のトランジスタ30を駆動するための駆動回路10の回路図を示す。トランジスタ30は、負荷40とグランド(GND)の間に接続されている。トランジスタ30と負荷40の間には、配線等の寄生インダクタンスが接続されている。駆動回路10は、矩形波の駆動電圧 V_{in} をトランジスタ30のゲート電極Gに供給し、その駆動電圧 V_{in} に基づいてトランジスタ30のオン・オフを切替える。駆動回路10は、トランジスタ30のオン・オフを切替えることによって、電圧供給源50の直流電圧 V_{dd} を負荷40に供給する状態と供給しない状態を切替える。

40

【0021】

駆動回路10は、駆動電圧生成回路12と、第3抵抗体 R_{g3} (固定抵抗体の一例)と、ダイオードD20と、調整回路20を備えている。駆動電圧生成回路12は、第3抵抗体 R_{g3} とダイオードD20を介してトランジスタ30のゲート電極Gに電氣的に接続している。ダイオードD20のアノードは、駆動電圧生成回路12側に接続しており、カソードはトランジスタ30のゲート電極G側に接続している。ダイオードD20と調整回路20は、駆動電圧生成回路12とトランジスタ30の間に、並列回路を構成している。調整回

50

路20は、ゲート電流検出手段22と、スイッチ手段SWと、第1抵抗体Rg1と、第2抵抗体Rg2と第2のダイオードD22を備えている。第1抵抗体Rg1の抵抗値は、第2抵抗体Rg2の抵抗値よりも小さい。第2ダイオードD22のアノードはトランジスタ30のゲート電極G側に接続しており、カソードは駆動電圧生成回路12側に接続している。

【0022】

ゲート電流検出手段22は、トランジスタ30のゲート電極Gに蓄積していた電荷が放電するときの負のゲート電流 $I_g(-)$ を検出し、その負のゲート電流 $I_g(-)$ の電流値に基づいてスイッチ手段SWの開閉を切替える。ゲート電流検出手段22は、負のゲート電流 $I_g(-)$ の電流値の絶対値が大きいときにスイッチ手段SWを閉鎖し、負のゲート電流 $I_g(-)$ の電流値の絶対値が小さいときにスイッチ手段SWを開放する。

10

【0023】

図2に、トランジスタ30の動作波形図を示す。

まず、トランジスタ30がターンオンする過渡期に関して説明する。駆動電圧 V_{in} がローからハイになると、駆動電圧 V_{in} は、第3抵抗体Rg3で正のゲート電流 $I_g(+)$ に変換される。正のゲート電流 $I_g(+)$ は、第2ダイオードD22が逆方向に設けられているので、ダイオードD20を介してトランジスタ30のゲート電極Gに供給される。トランジスタ30のゲート電極Gに正のゲート電流 $I_g(+)$ が供給されると、ゲート電極Gに電荷が蓄積される。ゲート電極Gに電荷が蓄積されると、トランジスタ30のゲート・ソース間電圧 V_{gs} が上昇する。ゲート・ソース間電圧 V_{gs} が上昇すると、トランジスタ30のドレイン電極DからソースSに向けてドレイン電流 I_d が流れ始め、ドレイン・ソース間電圧 V_{ds} が減少する。これらの過程を経て、トランジスタ30はオフからオンに移行する。

20

【0024】

次に、トランジスタ30がターンオフする過渡期T10に関して説明する。駆動電圧 V_{in} がハイからローになると、ゲート電極Gに蓄積していた電荷が放電する。電荷の放電に伴う負のゲート電流 $I_g(-)$ は、ダイオードD20が設けられているので、ゲート電流検出手段22に向けて流れる。負のゲート電流 $I_g(-)$ の電流値の絶対値は、ターンオフした過渡期T10の序盤T12において徐々に増大する。ゲート電流検出手段22は、負のゲート電流 $I_g(-)$ の電流値の絶対値を検出し、その絶対値が所定の閾値を越えると（電流値が閾値を下回ると）スイッチ手段SWを閉鎖する。このため、負のゲート電流 $I_g(-)$ は、抵抗値の小さい第1抵抗体Rg1を介してグランドGNDに流れる。スイッチ手段SWが閉鎖すると、トランジスタ30がターンオフする過渡期T10の序盤T12において、負のゲート電流 $I_g(-)$ は、その電流値の絶対値が急激に大きくなるように挙動する。このため、調整回路20は、ターンオフの過渡期T10の序盤T12において、トランジスタ30のゲート電極Gから電荷を素早く放電するように働く。この結果、ターンオフの過渡期T10の序盤T12でターンオフに要する時間を短縮することができる。場合によっては、図2に示すように、従来の駆動回路の過渡期T100に比して、トランジスタ30がターンオフに要する過渡期T10の時間が短縮される。

30

なお、負のゲート電流 $I_g(-)$ の電流値の絶対値が所定の閾値を超えるまでは、スイッチ手段SWが開放しており、ゲート抵抗の抵抗値は高く、電荷はゆっくりと放電する。しかし、この期間は極めて短く、ターンオフに要する時間を実質的に長期化するものではない。

40

【0025】

ターンオフの過渡期T10の終盤T14になると、負のゲート電流 $I_g(-)$ の電流値が徐々に減少する。ゲート電流検出手段22は、負のゲート電流 $I_g(-)$ の電流値の絶対値を検出し、その絶対値が所定の閾値を下回ると（電流値が所定の閾値を上回ると）スイッチ手段SWを開放する。このため、負のゲート電流 $I_g(-)$ は、抵抗値の大きな第2抵抗体Rg2、第3抵抗体Rg3及び駆動電圧生成回路12を介してグランドGNDに流れる。スイッチ手段SWが開放すると、トランジスタ30がターンオフする過渡期T10の終盤T14において、負のゲート電流 $I_g(-)$ は、その電流値の絶対値が小さくなるように挙動する。このため、調整回路20は、ターンオフの過渡期T10の終盤T14において、トランジスタ30のゲート電極Gから電荷をゆっくりと放電するように働く。この結果、トランジスタ30のド

50

レイン電流 I_d が緩慢に流れ、サージ電圧の増大を抑えることができる。

駆動回路10によると、トランジスタ30がターンオフする過渡期T10において、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

【0026】

また、本実施例の駆動回路10は、ゲート電流 I_g を観測している点に特徴を有する。一般的に、電圧供給源50とトランジスタ30の間には、複数の負荷が接続されていることが多い。このため、ある負荷で大電流が流れると電圧供給源50の直流電圧 V_{dd} が低下する。特に、自動車の分野では、バッテリーに十分な電流容量がないので、電圧供給源50の直流電圧 V_{dd} は変動し易い。

例えば、トランジスタ30のドレイン電圧を観測して、ゲート抵抗を調整することも考えられる。しかし、トランジスタ30のドレイン電圧を観測する場合、電圧供給源50の直流電圧 V_{dd} が変動することによって、トランジスタ30のドレイン電圧も変動してしまう。このため、トランジスタがターンオフする過渡期の終盤のタイミングを性格に把握できない。

10

一方、本実施例の駆動回路10のようにゲート電流 I_g を観測する場合は、電圧供給源50の直流電圧 V_{dd} が変動したとしても、ゲート電流 I_g はその影響を受けないので、トランジスタがターンオフする過渡期の終盤のタイミングを性格に把握することができる。

【0027】

以下、具体的な回路の構成を示す。なお、同一の構成要素に関しては同一符号を付し、その説明を省略する。

20

図3に、図1のゲート電流検出手段22とスイッチ手段SWと第1抵抗体 R_{g1} が、p型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 24で実現されている例を示す。p-MOSFET 24の閾値電圧とスイッチ動作が、図1のゲート電流検出手段22とスイッチ手段SWに等価である。p-MOSFET 24のオン抵抗が、第1抵抗体 R_{g1} と等価である。

【0028】

第2抵抗体 R_{g2} は、p-MOSFET 24のゲート電極Gとソース電極S（入力電極の一例）の間に設けられている。このため、p-MOSFET 24は、第2抵抗体 R_{g2} の両端に発生する電圧差によってオン・オフする。さらに、第2抵抗体 R_{g2} の一端は、トランジスタ30のゲート電極Gに接続しているとともに、他端が第3抵抗体 R_{g3} 及び駆動電圧生成回路12を介してグラウンドGNDに接続している。p-MOSFET 24のドレイン電極Dは、グラウンドGNDに接続している。

30

【0029】

この駆動回路10によると、トランジスタ30がターンオフする過渡期において、負のゲート電流 $I_g(-)$ の電流値の絶対値が大きくなる序盤では、第2抵抗体 R_{g2} の両端に発生する電圧差によってp-MOSFET 24がオンする。p-MOSFET 24がオンすると、負のゲート電流 $I_g(-)$ は、p-MOSFET 24のソース電極Sからドレイン電極Dを通過してグラウンドGNDに流れる。p-MOSFET 24のオン抵抗は小さいので、トランジスタ30のゲート電極Gに蓄積していた電荷は、素早く放電することができる。この結果、トランジスタ30がターンオフするのに要する時間を短縮することができる。

40

一方、負のゲート電流 $I_g(-)$ の電流値の絶対値が小さくなる終盤では、第2抵抗体 R_{g2} の両端に発生する電圧差が小さくなりp-MOSFET 24がオフする。p-MOSFET 24がオフすると、負のゲート電流 $I_g(-)$ は、第2抵抗体 R_{g2} 、第3抵抗体 R_{g3} 及び駆動電圧生成回路12を介してグラウンドGNDに流れる。第2抵抗体 R_{g2} の抵抗値は大きいので、トランジスタ30のゲート電極Gに蓄積していた電荷は、ゆっくりと放電することができる。この結果、サージ電圧の増大を抑えることができる。

【0030】

図4に、トランジスタ30をターンオフした過渡期のドレイン・ソース間電圧 V_{ds} の変動を示す。「pMOSあり」が図3の駆動回路10の結果である。ここで、「未対策」は、図1の第1抵抗体 R_{g1} のみが設けられた場合の結果である。また、「pMOSなし」は

50

、図3の第2抵抗体Rg2のみが設けられた結果である。なお、第1抵抗体Rg1の抵抗値は0.1Ωであり、第2抵抗体Rg2の抵抗値は30Ωであり、第3抵抗体Rg3の抵抗値は3Ωである。また、p-MOSFET24の閾値電圧Vthは、-2.7Vである。

図4に示すように、未対策の場合は、電荷の放電する速度が大きく、大きなサージ電圧が発生している。一方、「pMOSあり」及び「pMOSなし」の場合は、電荷の放電する速度が小さく抑えられ、サージ電圧の増大が抑制されている。しかし、「pMOSなし」の場合は、ターンオフに要する時間が長くなっており、ターンオフ損失が増大してしまう。

【0031】

図5に、サージ電圧とターンオフ損失の関係を示す。

10

「pMOSなし」の場合は、「未対策」の場合に比してサージ電圧が抑制されているものの、ターンオフに要する時間が長くなっており、ターンオフ損失が増大している。「pMOSなし」の結果は、トレードオフ曲線から大きく改善されていると評価できない。

一方、「pMOSあり」の場合は、「未対策」の場合に比してターンオフ損失をほとんど増大させることなく、サージ電圧を顕著に低減している。「pMOSあり」の結果は、トレードオフ曲線から大きく改善されていると評価できる。

【0032】

図6に、第2抵抗体Rg2の抵抗値を3Ω、10Ω、30Ωと変えたときのドレイン・ソース間電圧Vdsの変動を示す。

第2抵抗体Rg2の抵抗値を大きくするほど、過渡期の終盤において電荷の放電する速度が抑えられ、サージ電圧の増大を抑制することができる。

20

【0033】

図7に、第2抵抗体Rg2の抵抗値を3Ω、10Ω、30Ωに変えたときのサージ電圧とターンオフ損失の間の関係を示す。

第2抵抗体の抵抗値を大きくするほど、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

【0034】

図8に、p-MOSFET24の閾値電圧Vthを-1.7V、-2.7V、-3.7Vに変えたときのドレイン・ソース間電圧Vdsの変動を示す。

p-MOSFET24の閾値電圧Vthの絶対値が小さいほど、p-MOSFET24を介した電荷の放電が長く確保されるので、ターンオフに要する時間が短くなっている。さらに、ターンオフの過渡期の終盤では、第2抵抗Rg2を介した電荷の放電が行われるので、サージ電圧のサージ電圧の増大を抑制することができる。

30

【0035】

図9に、p-MOSFET24の閾値電圧Vthを-1.7V、-2.7V、-3.7Vに変えたときのサージ電圧とターンオフ損失の間の関係を示す。

p-MOSFET24の閾値電圧Vthを調整する場合はいずれも、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

【0036】

図10に、図1のゲート電流検出手段22とスイッチ手段SWと第1抵抗体Rg1が、n型のMOSFET26で実現されている例を示す。n-MOSFET26の閾値電圧とスイッチ動作が、図1のゲート電流検出手段22とスイッチ手段SWに等価である。n-MOSFET26のオン抵抗が、第1抵抗体Rg1と等価である。

40

【0037】

第2抵抗体Rg2は、n-MOSFET26のゲート電極Gとソース電極S（入力電極の一例）の間に設けられている。このため、n-MOSFET26は、第2抵抗体Rg2の両端に発生する電圧差によってオン・オフする。さらに、第2抵抗体Rg2の一端は、トランジスタ30のゲート電極Gに接続しているとともに、他端が第2のダイオードD22、第3抵抗体Rg3及び駆動電圧生成回路12を介してグランドに接続している。n-MOSFET26のゲート電極Gとドレイン電極Dは、第2抵抗体Rg2の一端とトランジスタ30のゲート電極Gの間に接

50

続している。第2のダイオードD22は、駆動電圧生成回路12とn-MOSFET26のソース電極Sの間に設けられている。

【0038】

この駆動回路10によると、トランジスタ30がターンオフする過渡期において、負のゲート電流 $I_g(-)$ の電流値の絶対値が大きくなる序盤では、第2抵抗体Rg2の両端に発生する電圧差によってn-MOSFET26がオンする。n-MOSFET26がオンすると、負のゲート電流 $I_g(-)$ は、n-MOSFET26のドレイン電極Dからソース電極Sを通過して、さらに第2のダイオードD22、第3抵抗体Rg3及び駆動電圧生成回路12を介してグランドGNDに流れる。即ち、負のゲート電流 $I_g(-)$ は、第2抵抗体Rg2を迂回して流れる。n-MOSFET26のオン抵抗は小さいので、トランジスタ30のゲート電極Gに蓄積していた電荷は、素早く放電することができる。この結果、トランジスタ30がターンオフするのに要する時間を短縮することができる。

10

一方、負のゲート電流 $I_g(-)$ の電流値の絶対値が小さくなる終盤では、第2抵抗体Rg2の両端に発生する電圧差が小さくなりn-MOSFET26がオフする。n-MOSFET26がオフすると、負のゲート電流 $I_g(-)$ は、第2抵抗体Rg2を通過して、さらに第2のダイオードD22、第3抵抗体Rg3及び駆動電圧生成回路12を介してグランドGNDに流れる。第2抵抗体Rg2の抵抗値は大きいので、トランジスタ30のゲート電極Gに蓄積していた電荷は、ゆっくりと放電することができる。この結果、サージ電圧の増大を抑えることができる。

【0039】

図11に、第2抵抗体Rg2の抵抗値を3Ω、10Ω、30Ωに変えたときのドレイン・ソース間電圧 V_{ds} の変動を示す。ここで、n-MOSFET26の閾値電圧 V_{th} は、1.1Vである。

20

第2抵抗体Rg2の抵抗値を大きくするほど、過渡期の終盤において電荷の放電する速度が抑えられ、サージ電圧の増大を抑制することができる。

【0040】

図12に、第2抵抗体Rg2の抵抗値を3Ω、10Ω、30Ωに変えたときのサージ電圧とターンオフ損失の間の関係を示す。

第2抵抗体の抵抗値を大きくするほど、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

【0041】

30

図13に、n-MOSFET26の閾値電圧 V_{th} を0.1V、1.1V、2.1Vに変えたときのドレイン・ソース間電圧 V_{ds} の変動を示す。

n-MOSFET26の閾値電圧 V_{th} が小さいほど、n-MOSFET26を介した電荷の放電が長く確保されるので、ターンオフに要する時間が短くなっている。さらに、ターンオフの過渡期の終盤では、第2抵抗Rg2を介した電荷の放電が行われるので、サージ電圧のサージ電圧の増大を抑制することができる。

【0042】

図14に、n-MOSFET26の閾値を0.1V、1.1V、2.1Vに変えたときのサージ電圧とターンオフ損失の間の関係を示す。

n-MOSFET26の閾値電圧 V_{th} を調整する場合はいずれも、サージ電圧とターンオフ損失の間に存在するトレードオフ関係を打破することができる。

40

【0043】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

50

【0044】

【図1】実施例の駆動回路の構成を示す。

【図2】実施例のトランジスタの動作波形図を示す。

【図3】p-MOSFETを用いた駆動回路の構成を示す。

【図4】p-MOSFETを用いた駆動回路によって駆動されるトランジスタのドレイン・ソース間電圧の変動を示す。

【図5】p-MOSFETを用いた駆動回路によって駆動されるトランジスタのサージ電圧とターンオフ損失の間の関係を示す。

【図6】p-MOSFETを用いた駆動回路において、第2抵抗体の抵抗値を変えたときのトランジスタのドレイン・ソース間電圧の変動を示す。

10

【図7】p-MOSFETを用いた駆動回路において、第2抵抗体の抵抗値を変えたときのトランジスタのサージ電圧とターンオフ損失の関係を示す。

【図8】p-MOSFETを用いた駆動回路において、p-MOSFETの閾値を変えたときのトランジスタのドレイン・ソース間電圧の変動を示す。

【図9】p-MOSFETを用いた駆動回路において、p-MOSFETの閾値を変えたときのトランジスタのサージ電圧とターンオフ損失の間の関係を示す。

【図10】n-MOSFETを用いた駆動回路の構成を示す。

【図11】n-MOSFETを用いた駆動回路において、第2抵抗体の抵抗値を変えたときのトランジスタのドレイン・ソース間電圧の変動を示す。

【図12】n-MOSFETを用いた駆動回路において、第2抵抗体の抵抗値を変えたときのトランジスタのサージ電圧とターンオフ損失の間の関係を示す。

20

【図13】n-MOSFETを用いた駆動回路において、n-MOSFETの閾値を変えたときのトランジスタのドレイン・ソース間電圧の変動を示す。

【図14】n-MOSFETを用いた駆動回路において、n-MOSFETの閾値を変えたときのトランジスタのサージ電圧とターンオフ損失の関係を示す。

【図15】従来のトランジスタの動作波形図を示す。

【符号の説明】

【0045】

10：駆動回路

12：駆動電圧生成回路

30

20：調整回路

22：ゲート電流検出手段

24：n-MOSFET

26：p-MOSFET

30：トランジスタ

40：負荷

50：電圧供給源

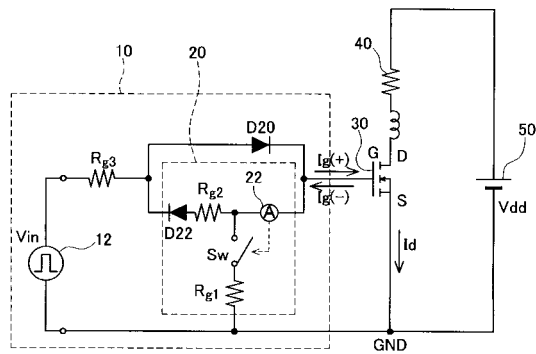
D20、D22：ダイオード

Rg1、Rg2、Rg3：抵抗体

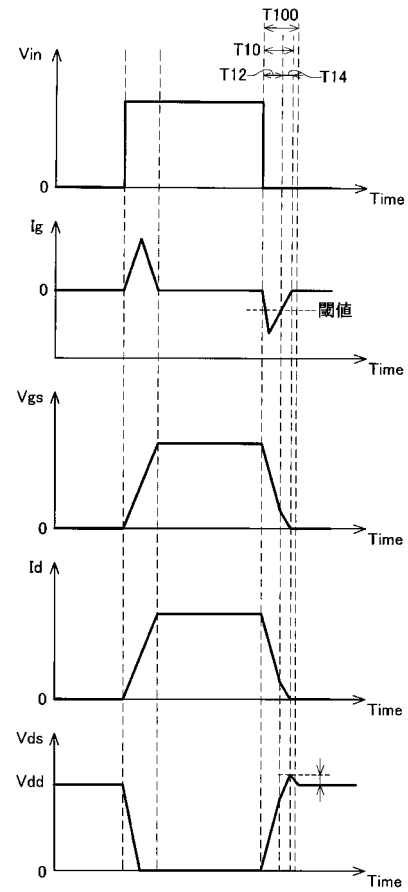
SW：スイッチ手段

40

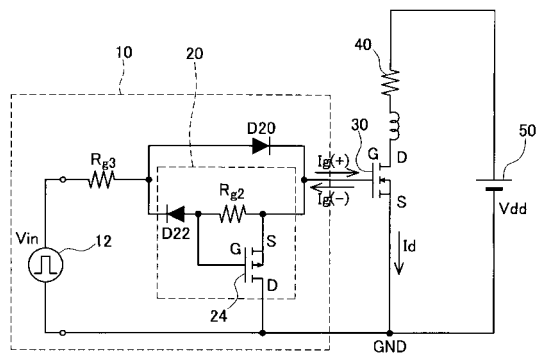
【図 1】



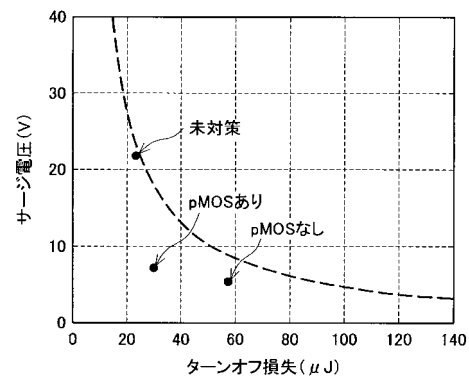
【図 2】



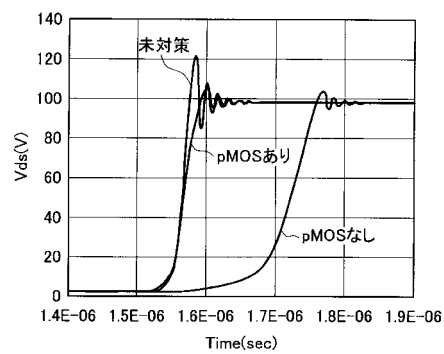
【図 3】



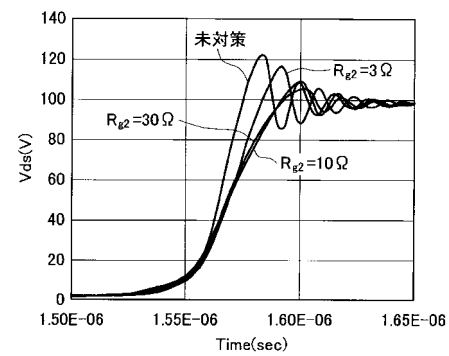
【図 5】



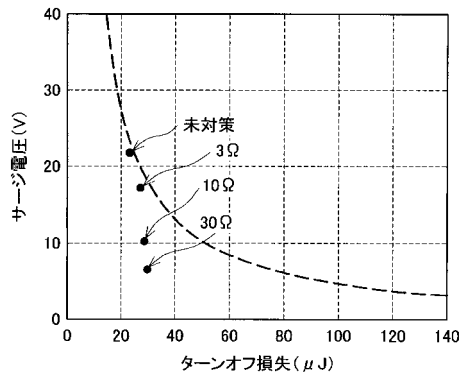
【図 4】



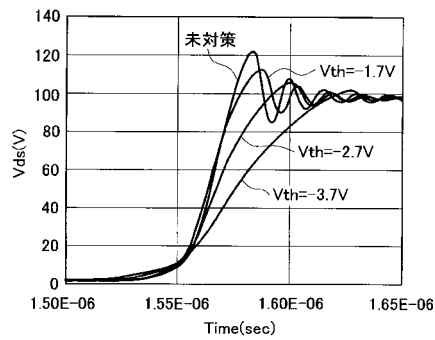
【図 6】



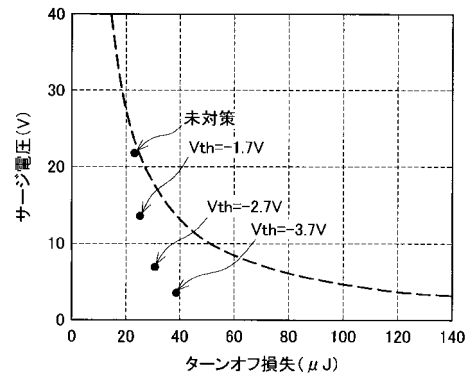
【図 7】



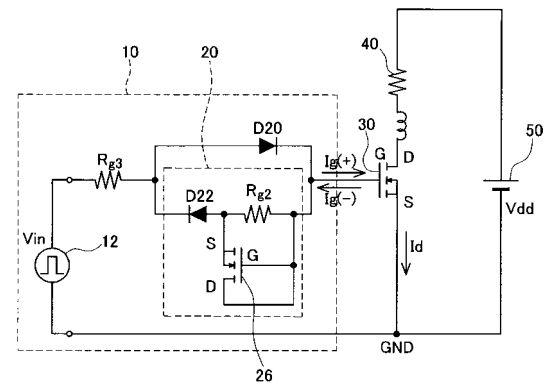
【図 8】



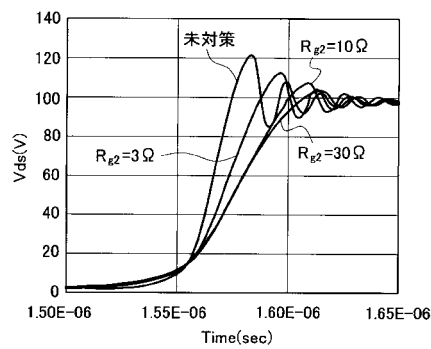
【図 9】



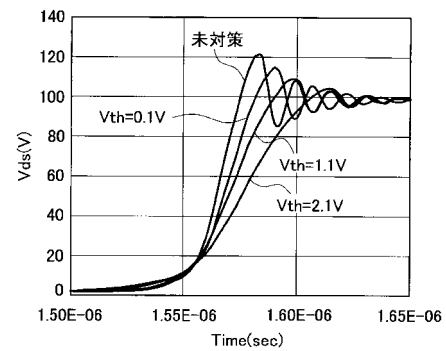
【図 10】



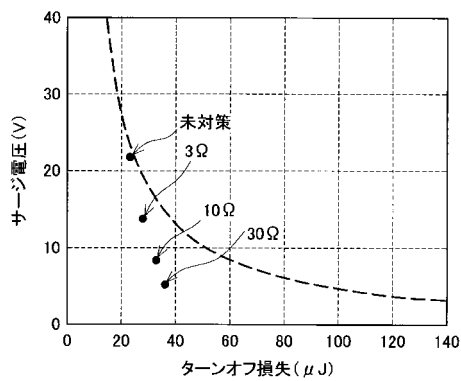
【図 11】



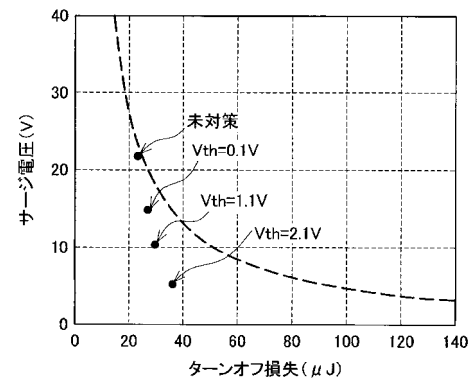
【図 13】



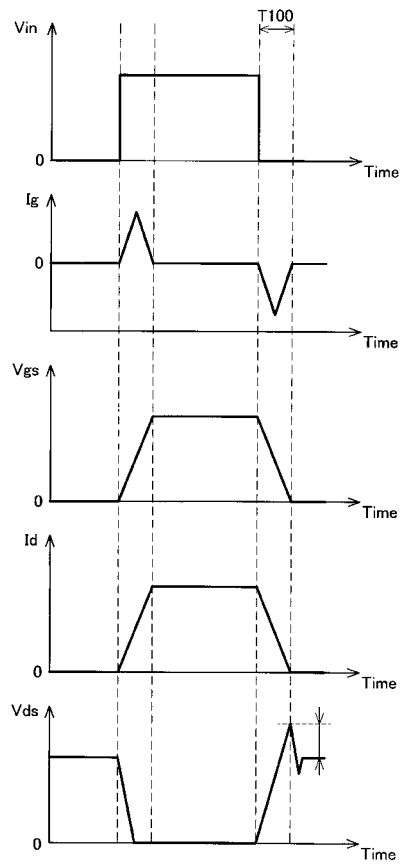
【図 12】



【図 14】



【図 15】



フロントページの続き

- (72)発明者 水野 祥司
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 青木 孝明
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 高橋 茂樹
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 赤木 望
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 中野 敬志
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 栗栖 正和

- (56)参考文献 特開2001-251173 (JP, A)
特開平05-235722 (JP, A)
特開2005-175741 (JP, A)
特開2001-274665 (JP, A)
特開平05-336732 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03K 17/00-17/70