(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03K 17/00 (2006.01)

(45) 공고일자 2006년06월12일
(11) 등록번호 10-0588752
(24) 등록일자 2006년06월02일

(21) 출원번호 10-2005-0034614
(22) 출원일자 2005년04월26일

(65) 공개번호
(43) 공개일자

(73) 특허권자 매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1

(72) 발명자 오운택
경기 군포시 당동 703-4번지 401호

김종기
경기 수원시 장안구 율전동 319 신일아파트 103-1605

성유창
서울 동작구 대방동 e-편한세상아파트 101-1001

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌
JP06197047 A
JP2000059296 A
KR1020020034439 A
US5977796 A
US6593801 B1
* 심사관에 의하여 인용된 문헌

심사관 : 여인홍

(54) 차동 전류 구동 방식의 전송 시스템

요약

본 발명은 차동 전류에 데이터를 실어 전송하기 위한 차동 전류 방식 데이터 전송 시스템에 관한 것으로, 특히, 반도체 칩 외부의 전송라인에 대한 차동 전류 방식 데이터 전송 시스템에 관한 것이다.

본 발명의 트루라인과 바라인으로 이루어진 전송라인에 전류차로써 신호의 전송을 수행하는 차동 전류 구동 방식의 전송 시스템은, 전송 신호의 논리값에 따라 상기 전송라인에 전류차를 부여하며, 소정의 타이밍에 따라 상기 전송라인을 균등화(equilization) 시키는 송신 회로; 및 상기 송신 회로의 신호 전송 및 전송라인 균등화를 제어하기 위한 송신 제어부로 이루어진 송신부와, 상기 전송라인의 전류차를 미러링한 후 전압차로 변환하기 위한 IV 변환 회로; 및 상기 IV 변환 회로의 전압차를 증폭하기 위한 차동증폭기로 이루어진 수신부를 포함하는 것을 특징으로 한다.

대표도

도 1

색인어

차동 전류 구동, 송신기, 수신기, 전송 시스템, common mode

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 전송 시스템의 전체 블록도,

도 2는 도 1의 전송 시스템의 송신부 블록을 도시한 구성도,

도 3은 도 2의 송신부 블록에 대한 일실시예의 세부 회로도,

도 4는 도 2의 송신부 블록에 대한 다른 실시예의 세부 회로도,

도 5는 도 2의 송신부 블록 내에서 사용되는 신호들의 타이밍도,

도 6은 도 1의 전송 시스템의 수신부 블록에 대한 일실시예의 세부 회로도,

도 7은 도 1의 전송 시스템의 수신부 블록에 대한 다른 실시예의 세부 회로도.

* 주요 부분에 대한 부호의 설명

10 : 송신 제어부 20 : 송신 회로

30 : 전송라인 40 : IV 변환 회로

50 : 차동 증폭부

200 : 송신기 400 : 수신기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 차동 전류에 데이터를 실어 전송하기 위한 차동 전류 방식 데이터 전송 시스템에 관한 것으로, 특히, 반도체 칩 외부의 전송라인에 대한 차동 전류 방식 데이터 전송 시스템에 관한 것이다.

2개 이상의 반도체 칩 간에 존재하는 도선 등 전송라인을 이용한 데이터 전송은, 종래 기술에서는 송신측에서 데이터를 전압차로 변환하여 전송라인에 실으면, 수신측에서는 전압차를 감지하여 다시 데이터로 변환하는 방식으로 이루어졌다.

전압차를 이용한 데이터 전송의 경우, 비교적 길이가 긴 전송라인에 부적합하다는 문제점이 존재하여, 전류를 이용한 데이터 전송방식이 제시되었다. 전류를 이용한 데이터 전송방식은 데이터 신호를 전송라인에 출력되는 전류 크기의 차이로 변환하여 전송하는 것이다.

직렬 전송/병렬 전송 여부에 무관하게, 하나의 비트 데이터가 전송되는 라인의 개수에 따라, 데이터 하나당 하나의 전송라인을 할당하여, 그 전송라인 전류값의 크기로서 데이터를 표시하는 단일 전류 구동 방식과, 데이터 하나당 2개의 전송라인을 할당하여, 상기 2 전송라인 전류값의 우열로서 데이터를 표시하는 차동 전류 구동 방식으로 구분된다.

차동 전류 구동 방식은 2개의 전송라인에 서로 다른 전류를 출력하여, 이에 따라 전송라인의 수신단에 발생되는 전압차에 의해서 전송되는 신호를 검출하는 방식으로서, 단일 전류 구동 방식에 비하여 잡음에 의한 전송신호의 왜곡은 현저히 저감된다. 이에 반해, 전송라인 간의 간섭현상은 전송라인 간의 거리가 가까울수록 더 큰 영향을 끼치게 된다. 결과적으로 차동 전류 구동 방식에서는, 전송라인에 기생하는 R, L, C 성분이 커짐에 따라 잡음과 라인 간의 간섭에 의한 영향이 커지게 되며, 이는 전송하는 신호의 왜곡이 심화될 뿐만 아니라, 신호의 천이 시간이 증가하게 되어 전송 속도의 저하를 초래하게 된다.

종래기술에서 상기 문제점을 극복하는 방법은 송신측에서 전송라인에 보다 많은 전류를 전송하여 수신단에서의 전압차를 크게 함으로써 전송 신호의 왜곡을 최소화하는 것이 었다. 그러나, 이는 보다 많은 전력 소모를 요구하며, 증가된 전송라인의 전류는 전송라인간의 EMI(Electro-Magnetic Interference)를 증가시키는 역효과를 야기시키는 문제점이 있었다.

한편, 종래기술에 의한 차동 전류 구동 방식의 수신기는, 그 내부의 종단 저항에 전송된 전류를 인가하여 발생하는 전위차로써 신호를 복원하였다. 종단 저항이 클수록 발생하는 전위차가 크게 되어 신호의 복원이 용이해지지만, 최대 전력 전달을 위한 임피던스 매칭 관계에서 일반적인 수신기의 표준이 50Ω으로 확정되어 있어서, 종단 저항을 임의대로 크게 할 수는 없다. 이 경우 상기 전위차를 크게 하기 위한 방법은 전송 전류를 크게 하는 것 밖에 없는데, 전송 전류의 증가는 전력의 낭비 및 EMI를 악화시키는 문제점을 야기하게 된다.

이런 문제로 상기 종단 저항이 발생시키는 전위차 자체가 미약한 경우, 신호의 민감도가 떨어지고 신호의 복원에 있어 오류 가능성이 증가하게 된다. 이러한 경우, 신호의 복원 능력을 향상시키기 위한 다른 방법으로는 상기 종단 저항이 발생시킨 전위차를 증폭시킬 수 있는 고품질의 증폭기를 사용하는 것이다. 그러나, 고품질의 증폭기는 복잡한 회로를 구비할 수 밖에 없어, 전체 수신기의 회로의 복잡성을 증대시키고, 기판상 넓은 면적을 차지하게 되어 레이아웃 여유를 악화시키는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점들을 해결하기 위하여 안출된 것으로서, 송신부의 전력소모를 절감할 수 있는 차동 전류 구동 방식의 전송 시스템을 제공하는데 그 목적이 있다.

또한, 본 발명은 전송라인 간의 간섭에 의한 전송 신호의 왜곡을 방지할 수 있는 차동 전류 구동 방식의 전송 시스템을 제공하는데 다른 목적이 있다.

또한, 본 발명은 전송속도의 저하를 방지할 수 있는 송신부를 구비한 차동 전류 구동 방식의 전송 시스템을 제공하는데 또 다른 목적이 있다.

또한, 본 발명은 신호의 복원시 오류 가능성이 낮고, 신호에 대한 민감도가 높은 수신부를 구비하는 차동 전류 구동 방식의 전송 시스템을 제공하는데 또 다른 목적이 있다.

또한, 본 발명은 구조가 간단하며, 레이아웃에 여유를 부여할 수 있는 수신부를 구비하는 차동 전류 구동 방식의 전송 시스템을 제공하는데 또 다른 목적이 있다.

발명의 구성 및 작용

상기 문제점들을 해결하기 위한 본 발명의 트루라인과 바라인으로 이루어진 전송라인에 전류차로써 신호의 전송을 수행하는 차동 전류 구동 방식의 전송 시스템은, 전송 신호의 논리값에 따라 상기 전송라인에 전류차를 부여하며, 소정의 타이밍에 따라 상기 전송라인을 균등화(equilization) 시키는 송신 회로; 및 상기 송신 회로의 신호 전송 및 전송라인 균등화를 제어하기 위한 송신 제어부로 이루어진 송신부와, 상기 전송라인의 전류차를 미러링한 후 전압차로 변환하기 위한 IV 변환 회로; 및 상기 IV 변환 회로의 전압차를 증폭하기 위한 차동증폭기로 이루어진 수신부를 포함하는 것을 특징으로 한다.

본 발명은 상기 문제점들을 송신측에서 극복한 송신기 구성 및 상기 문제점들을 수신측에서 극복한 수신기 구성으로 구분하여 살펴볼 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 하기 실시예는 본 발명의 사상을 적용한 송신부 구성과 수신부 구성 및 이를 모두 포함하는 전체 전송 시스템을 개별 실시예로 구분하여 기술하겠다. 이에 앞

서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

(실시예 1)

도 1 및 도 2에 도시한 바와 같은 본 실시예의 차동 전류 구동 방식의 송신기는, 전송라인쌍 중 트루라인(TX+)에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제1 기저전류원(Icc1); 상기 전송라인쌍 중 바라인(TX-)에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제2 기저전류원(Icc2); 상기 전송라인쌍 중 하나에 천이 논리상태를 표시하는 천이전류를 생성하기 위한 천이전류원(Idc); 데이터의 전송 이전에 상기 전송라인쌍의 전위를 균등화시키기 위한 균등화 스위치(SWE); 전송하려는 데이터의 논리값에 따라 상기 천이전류를 상기 트루라인(TX+) 또는 바라인(TX-)에 공급하기 위한 천이 스위치(SWT); 및 전송하려는 데이터에 대응하여 상기 균등화 스위치(SWE) 및 천이 스위치(SWT)의 절환을 제어하기 위한 송신 제어부(10)를 포함하는 것을 특징으로 한다.

도 3은 본 실시예에 의한 차동 전류 구동 방식의 송신 회로(20)를 모스트랜지스터 회로로 구현한 것으로서, 제1/제2 기저전류원(Icc1, Icc2) 및 천이 전류원(Idc)은 전류 미러 회로로 구현하였고, 균등화 스위치(SWE) 및 천이 스위치(SWT)는 1쌍의 상보적 피/엔모스트랜지스터로 이루어지는 2모스 스위치(SWE-1, SWT-1)로 구현하였다. 한편, 도 4는 균등화 스위치(SWE) 및 천이 스위치(SWT)를 단일 모스 스위치(SWE-2, SWT-2)로 구현한 경우이다.

상기 전류 미러의 구현을 위해, 기준 전류를 유동시키는 기준 미러 모스트랜지스터(TR1)를 구비한다. 도시한 기준 미러 모스트랜지스터(TR1)는 소스가 전원전압단(VDD)에 연결되고, 드레인 및 게이트에 송신부 외부에서 생성한 기준 전류 입력단을 연결시켜, 송신부 외부에서 생성한 기준 전류(Iref)를 그 소스-드레인 경로를 통해 유동시킨다.

도시한 제1 기저전류원(Icc1)은, 소스가 전원전압쪽에 연결되고 드레인이 트루라인(TX+)에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 제1 기저 미러 모스트랜지스터(TR2)로 구현하였으며, 제2 기저전류원(Icc2)은, 소스가 전원전압쪽에 연결되고 드레인이 트루라인(TX+)에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 제2 기저 미러 모스트랜지스터(TR3)로 구현하였다. 또한, 천이전류원(Idc)은, 소스가 전원전압쪽에 연결되고 드레인이 상기 천이 스위치(SWT)에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터(TR1)의 게이트에 연결된 천이 미러 모스트랜지스터(TR4)로 구현하였다.

상기 제1/제2 기저 미러 모스트랜지스터(TR2, TR3) 및 천이 미러 모스트랜지스터(TR4)의 게이트는 모두 기준 미러 모스트랜지스터(TR1)의 게이트에 연결되어 있으므로, 상기 기저전류(Icc1, Icc2) 및 천이전류(Idc)는 상기 기준 전류(Iref)에 비례하는 크기로 생성된다.

상기 천이 스위치는 도 3과 같은 한 쌍의 모스트랜지스터 스위치(TR5 ~TR8)로 구현할 수 있고, 도 4와 같이 단일 모스트랜지스터 스위치(TR11, TR12)로 구현할 수 있다. 전자의 경우, 상기 천이 스위치(SWT-1)는, 게이트에 천이 신호(D+) 및 반전 천이 신호(D-)를 입력받으며, 일단이 상기 천이전류원(Idc)에 연결되며, 타단이 트루라인(TX+)에 연결된 2모스 스위치인 제1 천이 스위치 소자(TR5, TR6); 및 게이트에 천이 신호(D+) 및 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원(Idc)에 연결되며, 타단이 바라인(TX-)에 연결된 2모스 스위치인 제2 천이 스위치 소자(TR7, TR8)를 포함하게 된다.

후자의 경우, 상기 천이 스위치(SWT-2)는, 게이트에 천이 신호(D+) 또는 반전 천이 신호(D-)를 입력받으며, 일단이 상기 천이전류원(Idc)에 연결되며, 타단이 트루라인(TX+)에 연결된 단일 모스 스위치인 제1 천이 스위치 소자(TR11); 및 게이트에 천이 신호(D+) 또는 반전 천이 신호(D-)를 입력받으며, 일단이 상기 천이전류원(Idc)에 연결되며, 타단이 바라인(TX-)에 연결된 단일 모스 스위치인 제2 천이 스위치 소자(TR12)를 포함하게 된다.

전자의 경우에는 송신 제어부(10)가 출력하는 천이 스위칭 제어 신호는 정(+) 제어 신호(D+)와 부(-) 제어 신호(D-)로 이루어진다. 따라서, 송신 제어부(10) 및 천이 스위치(SWT-1)의 구조가 복잡해지는 단점이 있으나, 정확한 스위칭을 보장할 수 있는 장점이 있다.

후자의 경우에는 송신 제어부(10)가 출력하는 천이 스위칭 제어 신호는, 도 4의 경우에는 정(+) 제어 신호(D+)와 부(-) 제어 신호(D-)로 이루어지나, 두 천이 스위치 소자 중 하나는 엔모스트랜지스터로 구현하고 다른 하나는 피모스트랜지스터로 구현하는 경우에는 하나의 제어 신호(D)로 이루어질 수도 있다. 따라서, 송신 제어부(10) 및 천이 스위치(SWT-2)의 구조가 간단해지는 장점이 있으나, 신호 상태에 따라 비대칭적인 스위칭의 가능성이 있는 단점이 있다.

상기 균등화 스위치(SWE)도 도 3과 같은 한 쌍의 모스트랜지스터 스위치로 구현할 수 있고, 도 4와 같이 단일 모스트랜지스터 스위치로 구현할 수 있다.

전자의 경우, 상기 균등화 스위치(SWE-1)는, 게이트에 균등화 신호(NT+) 및 반전 균등화 신호(NT-)를 입력받으며, 일단이 상기 트루라인(TX+)에 연결되며, 타단이 바라인(TX-)에 연결된 2모스 스위치(TR9, TR10)가 되며, 후자의 경우 상기 균등화 스위치(SWE-2)는, 게이트에 균등화 신호(NT+) 또는 반전 균등화 신호(NT-)를 입력받으며, 일단이 상기 트루라인(TX+)에 연결되며, 타단이 바라인(TX-)에 연결된 단일 모스 스위치(TR13)가 된다.

전자의 경우에는 송신 제어부(10)가 출력하는 균등화 스위칭 제어 신호는 정(+) 제어 신호(NT+)와 부(-) 제어 신호(NT-)로 이루어진다. 따라서, 송신 제어부(10) 및 균등화 스위치(SWE)의 구조가 복잡해지는 단점이 있으나, 정확한 스위칭을 보장할 수 있는 장점이 있다.

후자의 경우에는 송신 제어부(10)가 출력하는 균등화 스위칭 제어 신호는 하나의 제어 신호(NT)로 이루어진다. 따라서, 송신 제어부(10) 및 균등화 스위치(SWE-1)의 구조가 간단해지는 장점이 있으나, 신호 상태에 따라 비대칭적인 스위칭의 가능성이 있는 단점이 있다.

도 5는 데이터 신호의 입력에 따라 도 3의 차동 전류 송신부를 제어하기 위해 상기 송신 제어부(10)가 생성하는 절환 제어 신호들을 도시하고 있다.

천이 스위칭 제어 신호(D+, D-)는 데이터의 변경에 따라 그 논리상태가 바뀌며, 1개의 데이터에 따른 논리상태를 1PT 기간 동안 유지한다. 한편, 전송 데이터 비트의 변경이 없는 경우, 즉, 이전 데이터 비트의 논리값과 동일한 논리값의 데이터 비트에 대해서는 이전의 논리상태를 그대로 유지한다.

균등화 스위칭 제어 신호(NT+, NT-)는 상기 천이 스위칭 제어 신호(D+, D-)에 의해 1개의 데이터가 전송선로로 출력되는 1PT 구간 중에서, 데이터의 천이 시점을 포함하는 PT/2 구간에서 균등화 스위치(SWE)에 대한 턴온 제어 신호를 출력한다. 한편, 전송 데이터 비트의 변경이 없는 경우에는 1PT 구간 전부에서 균등화 스위치(SWE)에 대한 턴오프 제어 신호를 출력한다.

이는, 동일한 데이터 비트 신호를 출력하는 경우에는 전송라인이, 이전의 동일한 논리값의 데이터 비트를 전송함에 의해 요망되는 천이 수준에서 안정화되어 있으므로, 이 경우에는 전송라인쌍에 대한 균등화를 수행하지 않는 것이다. 그러나, 구현에 따라서는, 전송 데이터 비트의 변경이 없는 경우에도, 해당 데이터 비트가 전송라인에 출력되는 1PT 구간 중에서 데이터의 천이 시점을 포함하는 PT/2 구간에서 균등화 스위치(SWE)에 대한 턴온 제어 신호를 출력하도록 구성할 수도 있다.

전송 데이터 비트가 1일때 트루라인(TX+)의 전류가 더 크며, 상기 제1/제2 기저 전류원 및 천이 전류원의 생성 전류값이 동일한 경우를 가정하겠다. 데이터 비트 0을 출력할 때에는, 반전 천이 신호(D-)를 하이값 천이 신호(D+)를 로우값으로 출력한다. 이에 따라 상기 트루라인(TX+)에는 제1 기저 전류원의 생성 전류 뿐만 아니라 천이 전류원의 생성 전류도 유입되나, 상기 데이터 비트에 의한 천이 초기에는 균등화 신호(NT+)는 로우값으로 반전 균등화 신호(NT-)는 하이값으로 유지됨에 의해 트루라인(TX+)과 바라인(TX-)이 연결되어 있으므로, 상기 두 전송라인의 전류차는 발생하지 않는다. PT/2의 기간이 지난 후 균등화 신호(NT+)는 하이값으로 반전 균등화 신호(NT-)는 로우값으로 되므로, 바라인(TX-)에는 기저전류원의 생성 전류 크기의 전류가 흐르며, 트루라인(TX+)에는 그 2배의 전류가 흐르게 된다.

(실시예 2)

도 6에 도시한 바와 같은 본 실시예의 차동 전류 구동 방식의 수신기는, 트루라인(TX+)에 흐르는 데이터 신호 전류(Irx+)를 미러링하여 트루라인 미러링 전류(M×Irx+)를 생성하기 위한 트루라인 전류 미러(42); 바라인(TX-)에 흐르는 데이터 신호 전류(Irx-)를 미러링하여 바라인 미러링 전류(M×Irx-)를 생성하기 위한 바라인 전류미러(44); 상기 트루라인 미러링 전류(M×Irx+)에 대응하는 레벨을 가지는 트루라인 수신 전압(Cd+)을 생성하기 위한 트루라인 IV 컨버터(46); 상기

바라인 미러링 전류(M×Irx-)에 대응하는 레벨을 가지는 바라인 수신 전압(Cd-)을 생성하기 위한 바라인 IV 컨버터(48); 및 상기 트루라인 수신 전압(Cd+) 및 바라인 수신 전압(Cd-)의 레벨차를 증폭하기 위한 차동증폭부(50)를 포함하는 것을 특징으로 한다.

도시한 트루라인 전류 미러(42)는, 트루라인(TX+)을 통해 흐르는 데이터 출력 전류를 유동시키기 위해, 게이트 및 드레인이 트루라인(TX+)에 연결되며, 소스가 접지전압단에 연결된 제1 입력단 모스트랜지스터(MT1); 및 상기 제1 입력단 모스트랜지스터(MT1)를 통해 흐르는 전류를 복사한 미러링 전류를 유동시키기 위해, 게이트가 상기 제1 입력단 모스트랜지스터(MT1)의 게이트에 연결되며, 소스가 접지전압단에 연결된 제1 출력단 모스트랜지스터(MT2)로 이루어진다.

한편, 바라인 전류 미러(44)는, 바라인(TX-)을 통해 흐르는 데이터 출력 전류를 유동시키기 위해, 게이트 및 드레인이 트루라인(TX+)에 연결되며, 소스가 접지전압단에 연결된 제2 입력단 모스트랜지스터(MT3); 및 상기 제2 입력단 모스트랜지스터(MT3)를 통해 흐르는 전류를 복사한 미러링 전류를 유동시키기 위해, 게이트가 상기 제2 입력단 모스트랜지스터(MT3)의 게이트에 연결되며, 소스가 접지전압단에 연결된 제2 출력단 모스트랜지스터(MT4)로 이루어진다.

상기 두 전류 미러를 구성하는 출력단 모스트랜지스터(MT2, MT4)의 채널 폭을 입력단 모스트랜지스터(MT1, MT3)의 채널 폭보다 2배 이상 크게 하여, 전송라인을 통해 입력된 전류보다 2배 이상 큰 전류값을 가지는 미러링 전류를 생성하는 것이, 다음의 전류-전압(IV) 변환의 정밀도를 높이므로 바람직하다.

도시한 트루라인 IV 컨버터(46)는, 상기 트루라인 미러링 전류(M×Irx+)가 흐르는 경로상에 위치하며, 일단이 전원전압쪽에 연결되며, 타단이 트루라인 변환 전압의 출력단에 연결되는 제1 저항부(R0-1); 및 상기 트루라인 미러링 전류(M×Irx+)가 흐르는 경로상에 위치하며, 일단이 상기 트루라인 변환 전압의 출력단에 연결되며, 타단이 상기 트루라인 전류 미러(42)에 연결되는 제3 저항부(R1-1)로 이루어진다.

마찬가지로, 바라인 IV 컨버터(48)는, 상기 바라인 미러링 전류(M×Irx-)가 흐르는 경로상에 위치하며, 일단이 전원전압쪽에 연결되며, 타단이 바라인 변환 전압의 출력단에 연결되는 제2 저항부(R0-2); 상기 바라인 미러링 전류(M×Irx-)가 흐르는 경로상에 위치하며, 일단이 상기 바라인 변환 전압의 출력단에 연결되며, 타단이 상기 바라인 전류 미러(44)에 연결되는 제4 저항부(R1-2)로 이루어진다.

도 6의 구조에서 트루라인 미러링 전류(M×Irx+)의 경로상에서의 전압 강하는 제1 저항부(R0-1), 제3 저항부(R1-1) 및 제1 출력단 모스트랜지스터(MT2)에서 발생하며, 차동 증폭기로 입력되는 전압의 도출점은 제1 저항부(R0-1)와 제3 저항부(R1-1)의 연결 노드이므로, 제1 저항부(R0-1)는 필수적이나 제3 저항부(R1-1)는 구현에 따라서는 생략될 수 있다. 마찬가지로 바라인 IV 컨버터(48)를 구성요소 중 제2 저항부(R0-2)는 필수적이나 제4 저항부(R1-2)는 구현에 따라서는 생략될 수 있다.

반도체 소자내에 구현되는 회로에 있어서는 각 저항요소가 물리적 저항기 보다는 모스트랜지스터로 구현하는 것이 저렴하여 일반적으로 사용된다. 따라서, 본 실시예에 있어서도 상기 제1 저항부 내지 제4 저항부 전부 내지 일부를 모스트랜지스터로 구현할 수 있다.

상기 제1 저항부(R0-1) 내지 제2 저항부(R0-2)는 전류의 크기에 따른 전압강하가 발생해야 하므로, 도 7에 도시한 바와 같이 게이트로 고정된 바이어스 전압(Vref)이 인가되는 모스트랜지스터로 구현하는 것이 바람직하다. 따라서, 상기 제1 저항부는 소스가 전원전압단쪽에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압(Vref)이 인가되는 제1 저항 모스트랜지스터(RT1)로 구현하며, 상기 제2 저항부는 소스가 전원전압단쪽에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압(Vref)이 인가되는 제2 저항 모스트랜지스터(RT2)로 구현할 수 있다.

상기 바이어스 전압(Vref)은 제1 저항 모스트랜지스터(RT1) 및 제2 저항 모스트랜지스터(RT2)가 리니어(linear) 영역에서 동작하도록 강제하며, 이에 따라 제1 저항 모스트랜지스터(RT1) 및 제2 저항 모스트랜지스터(RT2)는 채널을 통과하는 전류 크기에 비례하는 채널 전압 강하를 가지는 일종의 저항으로 동작하게 된다. 도시한 경우 제1 저항 모스트랜지스터(RT1) 및 제2 저항 모스트랜지스터(RT2)가 피모스트랜지스터이므로, 상기 바이어스 전압은 VDD-Vt(Vt≤피모스트랜지스터의 문턱전압)이 된다. 즉, 상기 피모스트랜지스터의 게이트 전압을 소스 전압에서 그 문턱전압보다 약간 작은 크기 만큼 강하시킨 레벨을 가지도록 하여, 상기 피모스트랜지스터의 리니어(linear) 동작을 보장토록 하는 것이 바람직하다.

반면, 제3 저항부(R1-1) 및 제4 저항부(R1-2)는 전류의 크기에 따른 전압강하가 필수적이지 않으므로, 게이트로 고정된 바이어스 전압이 인가되는 모스트랜지스터로 구현할 수도 있고, 다이오드 연결된 모스트랜지스터로 구현할 수도 있다.

전자의 경우, 상기 제3 저항부(R1-1)는 소스가 상기 트루라인 전류 미러에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압이 인가되는 제3 저항 모스트랜지스터(미도시)로 구현하며, 상기 제4 저항부(R1-2)는 소스가 상기 바라인 전류 미러에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압이 인가되는 제4 저항 모스트랜지스터(미도시)로 구현할 수 있다.

후자의 경우 도 7에 도시한 바와 같이 상기 제3 저항부는 소스 및 게이트가 상기 트루라인 전류 미러(42)에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되는 제3 저항 모스트랜지스터(RT3)를 구현하며, 상기 제4 저항부는 소스 및 게이트가 상기 바라인 전류 미러(44)에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되는 제4 저항 모스트랜지스터(RT4)로 구현할 수 있다.

(실시예 3)

도 1에 도시한 바와 같은 본 실시예의 차동 전류 구동 방식의 전송 시스템은, 차동 방식으로 신호를 전송하는 전송라인(30); 전송 신호의 논리값에 따라 상기 전송라인(30)에 전류차를 부여하며, 소정의 타이밍에 따라 상기 전송라인을 균등화시키는 송신 회로(20)와, 상기 송신 회로(20)의 신호 전송 및 전송라인 균등화를 제어하기 위한 송신 제어부(10)를 포함하는 송신부(200); 및 상기 전송라인(30)의 전류차를 미러링한 후 전압차로 변환하기 위한 IV 변환 회로(40)와, 상기 IV 변환 회로(40)의 전압차를 증폭하기 위한 차동증폭부(50)를 포함하는 수신부(400)로 이루어진다. 여기서 상기 전송라인(30)은 하나 이상의 전송라인쌍으로 이루어지며, 각 전송라인쌍을 통해 한 시점에 1비트의 데이터가 전송된다.

상기 송신 회로(20)는, 상기 전송라인쌍 중 트루라인(TX+)에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제1 기저전류원(Icc1); 상기 전송라인쌍 중 바라인(TX-)에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제2 기저전류원(Icc2); 천이 논리상태를 표시하는 천이전류를 생성하기 위한 천이전류원(Idc) 상기 전송라인쌍의 전위를 균등화시키기 위한 균등화 스위치(SWE); 및 전송하려는 데이터의 논리값에 따라 상기 천이전류를 상기 트루라인(TX+) 또는 바라인(TX-)에 공급하기 위한 천이 스위치(SWT)를 포함할 수 있다. 이 경우 상기 송신 회로(20)기 송신 제어부(10)로 구현되는 송신부(200)는 상기 제1 실시예의 송신기 구성과 동일해 진다. 따라서, 송신 회로(20)를 구성하는 제1 기저전류원(Icc1), 제2 기저전류원(Icc2), 천이전류원(Idc), 균등화 스위치(SWE) 및 천이 스위치(SWT)와, 송신 제어부(10)에 대한 자세한 설명은 상기 제1 실시예와 중복되어 생략한다.

또한, 상기 IV 변환 회로(40)는 도 6에 도시한 바와 같이, 상기 트루라인(TX+)에 흐르는 데이터 신호 전류(Irx+)를 미러링하여 트루라인 미러링 전류(M×Irx+)를 생성하기 위한 트루라인 전류 미러(42); 상기 바라인(TX-)에 흐르는 데이터 신호 전류(Irx-)를 미러링하여 바라인 미러링 전류(M×Irx-)를 생성하기 위한 바라인 전류미러(44); 상기 트루라인 미러링 전류(M×Irx+)값에 대응하는 레벨을 가지는 트루라인 수신 전압(Cd+)을 생성하기 위한 트루라인 IV 컨버터(46); 상기 바라인 미러링 전류(M×Irx-)값에 대응하는 레벨을 가지는 바라인 수신 전압(Cd-)을 생성하기 위한 바라인 IV 컨버터(48)로 이루어 질 수 있다. 이 경우 상기 IV 변환 회로(40) 및 상기 차동증폭기(50)로 구현되는 수신부는 상기 제2 실시예의 수신기 구성과 동일해 진다. 따라서, IV 변환 회로(40)를 구성하는 트루라인 전류 미러(42), 바라인 전류미러(44), 트루라인 IV 컨버터(46) 및 바라인 IV 컨버터(48)와, 차동증폭기(50)에 대한 자세한 설명은 상기 제2 실시예와 중복되어 생략한다.

본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

발명의 효과

본 발명에 따른 차동 전류 구동 방식의 전송 시스템을 실시함에 의해, 전송을 위한 전력 소모를 절감하는 효과가 있다.

또한, 본 발명은 전송라인간의 간섭에 의한 전송 신호의 왜곡 및/또는 전송 속도의 저하를 방지할 수 있는 효과도 있다.

또한, 본 발명에 따른 차동 전류 구동 방식의 수신기를 실시함에 의해, 신호의 복원시 오류 가능성을 낮추거나, 신호에 대한 민감도를 높이는 효과가 있다.

또한, 본 발명의 수신기는 구조가 간단하여 레이아웃에 여유를 부여할 수 있는 효과도 있다.

(57) 청구의 범위

청구항 1.

전송라인쌍 중 트루라인에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제1 기저전류원;

상기 전송라인쌍 중 바라인에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제2 기저전류원;

상기 전송라인쌍 중 하나에 천이 논리상태를 표시하는 천이전류를 생성하기 위한 천이전류원;

데이터의 전송 이전에 상기 전송라인쌍의 전위를 균등화시키기 위한 균등화 스위치;

전송하려는 데이터의 논리값에 따라 상기 천이전류를 상기 트루라인 또는 바라인에 공급하기 위한 천이 스위치; 및

전송하려는 데이터에 대응하여 상기 균등화 스위치 및 천이 스위치의 절환을 제어하기 위한 송신 제어부를 포함하는 차동 전류 구동 방식의 송신기.

청구항 2.

제1항에 있어서, 상기 송신 제어부는,

상기 균등화 스위치가 각 데이터 비트의 전송 시작시에 일시 턴온되도록 제어하는 차동 전류 구동 방식의 송신기.

청구항 3.

제1항에 있어서, 상기 송신 제어부는,

전송하는 데이터의 논리값 변동이 없는 기간 동안에는, 상기 균등화 스위치의 턴온 상태를 유지시키는 차동 전류 구동 방식의 송신기.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 기저전류 및 천이전류 생성의 기준이 되는 기준 전류를 통과시키며, 드레인과 게이트가 연결된 기준 미러 모스트랜지스터를 더 포함하는 차동 전류 구동 방식의 송신기.

청구항 5.

제4항에 있어서,

상기 제1 기저전류원은, 소스가 전원전압쪽에 연결되고 드레인이 트루라인에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 제1 기저 미러 모스트랜지스터이며,

상기 제2 기저전류원은, 소스가 전원전압쪽에 연결되고 드레인이 트루라인에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 제2 기저 미러 모스트랜지스터인 차동 전류 구동 방식의 송신기.

청구항 6.

제4항에 있어서, 상기 천이전류원은,

소스가 전원전압쪽에 연결되고 드레인이 상기 천이 스위치에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 천이 미러 모스트랜지스터인 차동 전류 구동 방식의 송신기.

청구항 7.

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 천이 스위치는,

게이트에 천이 신호 및 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 트루라인에 연결된 2모스 스위치인 제1 천이 스위치 소자; 및

게이트에 천이 신호 및 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 바라인에 연결된 2모스 스위치인 제2 천이 스위치 소자

를 포함하는 차동 전류 구동 방식의 송신기.

청구항 8.

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 천이 스위치는,

게이트에 천이 신호 또는 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 트루라인에 연결된 단일 모스 스위치인 제1 천이 스위치 소자; 및

게이트에 천이 신호 또는 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 바라인에 연결된 단일 모스 스위치인 제2 천이 스위치 소자

를 포함하는 차동 전류 구동 방식의 송신기.

청구항 9.

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 균등화 스위치는,

게이트에 균등화 신호 및 반전 균등화 신호를 입력받으며, 일단이 상기 트루라인에 연결되며, 타단이 바라인에 연결된 2모스 스위치인 차동 전류 구동 방식의 송신기.

청구항 10.

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 균등화 스위치는,

게이트에 균등화 신호 또는 반전 균등화 신호를 입력받으며, 일단이 상기 트루라인에 연결되며, 타단이 바라인에 연결된 단일 모스 스위치인 차동 전류 구동 방식의 송신기.

청구항 11.

전송라인쌍 중 트루라인에 흐르는 데이터 신호 전류를 미러링하여 트루라인 미러링 전류를 생성하기 위한 트루라인 전류 미러;

상기 전송라인쌍 중 바라인에 흐르는 데이터 신호 전류를 미러링하여 바라인 미러링 전류를 생성하기 위한 바라인 전류미러;

상기 트루라인 미러링 전류값에 대응하는 레벨을 가지는 트루라인 수신 전압을 생성하기 위한 트루라인 IV 컨버터;

상기 바라인 미러링 전류값에 대응하는 레벨을 가지는 바라인 수신 전압을 생성하기 위한 바라인 IV 컨버터; 및

상기 트루라인 수신 전압 및 바라인 수신 전압의 레벨차를 증폭하기 위한 차동증폭부를 포함하는 차동 전류 구동 방식의 수신기.

청구항 12.

제11항에 있어서, 상기 트루라인 전류 미러 및 바라인 전류 미러는,

미러링 대상 전류 보다 2배 이상 큰 미러링 전류를 생성하는 차동 전류 구동 방식의 수신기.

청구항 13.

제11항에 있어서, 상기 트루라인 전류 미러 및 바라인 전류 미러는,

미러링 대상 전류를 유동시키는 입력단 모스트랜지스터; 및 미러링 전류를 유동시키는 출력단 모스트랜지스터를 포함하며,

미러링 대상 전류의 입력단이 상기 2 모스트랜지스터의 게이트에 연결되는 2모스 전류 미러인 차동 전류 구동 방식의 수신기.

청구항 14.

제11항 내지 제13항 중 어느 한 항에 있어서,

상기 트루라인 IV 컨버터는,

상기 트루라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 전원전압쪽에 연결되며, 타단이 트루라인 변환 전압의 출력단에 연결되는 제1 저항부를 포함하며,

상기 바라인 IV 컨버터는,

상기 바라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 전원전압쪽에 연결되며, 타단이 바라인 변환 전압의 출력단에 연결되는 제2 저항부를 포함하는

차동 전류 구동 방식의 수신기.

청구항 15.

제14항에 있어서,

상기 트루라인 IV 컨버터는,

상기 트루라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 상기 트루라인 변환 전압의 출력단에 연결되며, 타단이 상기 트루라인 미러부에 연결되는 제3 저항부를 더 포함하며,

상기 바라인 IV 컨버터는,

상기 바라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 상기 바라인 변환 전압의 출력단에 연결되며, 타단이 상기 바라인 미러부에 연결되는 제4 저항부를 더 포함하는

차동 전류 구동 방식의 수신기.

청구항 16.

제14항에 있어서,

상기 제1 저항부는,

소스가 전원전압단쪽에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압이 인가되는 제1 저항 모스트랜지스터를 포함하며,

상기 제2 저항부는,

소스가 전원전압단쪽에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압이 인가되는 제2 저항 모스트랜지스터를 포함하는

차동 전류 구동 방식의 수신기.

청구항 17.

제15항에 있어서,

상기 제3 저항부는,

소스가 상기 트루라인 전류 미러에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압이 인가되는 제3 저항 모스트랜지스터를 포함하며,

상기 제4 저항부는,

소스가 상기 바라인 전류 미러에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되며, 게이트에 바이어스 전압이 인가되는 제4 저항 모스트랜지스터를 포함하는

차동 전류 구동 방식의 수신기.

청구항 18.

제15항에 있어서,

상기 제3 저항부는,

소스 및 게이트가 상기 트루라인 전류 미러에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되는 제3 저항 모스트랜지스터를 포함하며,

상기 제4 저항부는,

소스 및 게이트가 상기 바라인 전류 미러에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되는 제4 저항 모스트랜지스터를 포함하는

차동 전류 구동 방식의 수신기.

청구항 19.

차동 방식으로 신호를 전송하는 전송라인쌍;

전송 신호의 논리값에 따라 상기 전송라인쌍에 전류차를 부여하며, 소정의 타이밍에 따라 상기 전송라인쌍을 균등화시키는 송신 회로와,

상기 송신 회로의 신호 전송 및 전송라인 균등화를 제어하기 위한 송신 제어부

를 포함하는 송신부; 및

상기 전송라인쌍의 전류차를 미러링한 후 전압차로 변환하기 위한 IV 변환 회로와,

상기 IV 변환 회로의 전압차를 증폭하기 위한 차동증폭기

를 포함하는 수신부

를 구비하는 차동 전류 구동 방식의 전송 시스템.

청구항 20.

제19항에 있어서, 상기 송신 회로는,

상기 전송라인쌍 중 트루라인에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제1 기저전류원;

상기 전송라인쌍 중 바라인에 기저 논리상태를 표시하는 기저전류를 공급하기 위한 제2 기저전류원;

상기 전송라인쌍 중 하나에 천이 논리상태를 표시하는 천이전류를 생성하기 위한 천이전류원;

데이터의 전송 이전에 상기 전송라인쌍의 전위를 균등화시키기 위한 균등화 스위치; 및

전송하려는 데이터의 논리값에 따라 상기 천이전류를 상기 트루라인 또는 바라인에 공급하기 위한 천이 스위치

를 포함하는 차동 전류 구동 방식의 전송 시스템.

청구항 21.

제19항에 있어서, 상기 송신 제어부는,

상기 균등화 스위치가 각 데이터 비트의 전송 시작시에 일시 턴온되도록 제어하는 차동 전류 구동 방식의 전송 시스템.

청구항 22.

제19항 내지 제21항에 있어서, 상기 송신 제어부는,

전송하는 데이터의 논리값 변동이 없는 기간 동안에는, 상기 균등화 스위치의 턴온 상태를 유지시키는 차동 전류 구동 방식의 전송 시스템.

청구항 23.

제20항에 있어서,

상기 기저전류 및 천이전류 생성의 기준이 되는 기준 전류를 통과시키며, 드레인과 게이트가 연결된 기준 미러 모스트랜지스터를 더 포함하는 차동 전류 구동 방식의 전송 시스템.

청구항 24.

제23항에 있어서,

상기 제1 기저전류원은, 소스가 전원전압쪽에 연결되고 드레인이 트루라인에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 제1 기저 미러 모스트랜지스터이며,

상기 제2 기저전류원은, 소스가 전원전압쪽에 연결되고 드레인이 트루라인에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 제2 기저 미러 모스트랜지스터인 차동 전류 구동 방식의 전송 시스템.

청구항 25.

제23항에 있어서, 상기 천이전류원은,

소스가 전원전압쪽에 연결되고 드레인이 상기 천이 스위치에 연결되며, 게이트가 상기 기준 미러 모스트랜지스터의 게이트에 연결된 천이 미러 모스트랜지스터인 차동 전류 구동 방식의 전송 시스템.

청구항 26.

제20항, 제21항, 제23항 내지 제25항 중 어느 한 항에 있어서, 상기 천이 스위치는,

게이트에 천이 신호 및 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 트루라인에 연결된 2모스 스위치인 제1 천이 스위치 소자; 및

게이트에 천이 신호 및 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 바라인에 연결된 2모스 스위치인 제2 천이 스위치 소자

를 포함하는 차동 전류 구동 방식의 전송 시스템.

청구항 27.

제20항, 제21항, 제23항 내지 제25항 중 어느 한 항에 있어서, 상기 천이 스위치는,

게이트에 천이 신호 또는 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 트루라인에 연결된 단일 모스 스위치인 제1 천이 스위치 소자; 및

게이트에 천이 신호 또는 반전 천이 신호를 입력받으며, 일단이 상기 천이전류원에 연결되며, 타단이 바라인에 연결된 단일 모스 스위치인 제2 천이 스위치 소자

를 포함하는 차동 전류 구동 방식의 전송 시스템.

청구항 28.

제20항, 제21항, 제23항 내지 제25항 중 어느 한 항에 있어서, 상기 균등화 스위치는,

게이트에 균등화 신호 및 반전 균등화 신호를 입력받으며, 일단이 상기 트루라인에 연결되며, 타단이 바라인에 연결된 2모스 스위치인 차동 전류 구동 방식의 전송 시스템.

청구항 29.

제20항, 제21항, 제23항 내지 제25항 중 어느 한 항에 있어서, 상기 균등화 스위치는,

게이트에 균등화 신호 또는 반전 균등화 신호를 입력받으며, 일단이 상기 트루라인에 연결되며, 타단이 바라인에 연결된 단일 모스 스위치인 차동 전류 구동 방식의 전송 시스템.

청구항 30.

제19항 내지 제21항 또는 제23항 내지 제25항 중 어느 한 항에 있어서, 상기 IV 변환 회로는,

상기 전송라인쌍 중 트루라인에 흐르는 데이터 신호 전류를 미러링하여 트루라인 미러링 전류를 생성하기 위한 트루라인 전류 미러;

상기 전송라인쌍 중 바라인에 흐르는 데이터 신호 전류를 미러링하여 바라인 미러링 전류를 생성하기 위한 바라인 전류미러;

상기 트루라인 미러링 전류값에 대응하는 레벨을 가지는 트루라인 수신 전압을 생성하기 위한 트루라인 IV 컨버터; 및

상기 바라인 미러링 전류값에 대응하는 레벨을 가지는 바라인 수신 전압을 생성하기 위한 바라인 IV 컨버터

를 포함하는 차동 전류 구동 방식의 전송 시스템.

청구항 31.

제30항에 있어서, 상기 트루라인 전류 미러 및 바라인 전류 미러는,

미러링 대상 전류 보다 2배 이상 큰 미러링 전류를 생성하는 차동 전류 구동 방식의 수신기.

청구항 32.

제30항에 있어서, 상기 트루라인 전류 미러 및 바라인 전류 미러는,

미러링 대상 전류를 유동시키는 입력단 모스트랜지스터; 및 미러링 전류를 유동시키는 출력단 모스트랜지스터를 포함하며,

미러링 대상 전류의 입력단이 상기 2 모스트랜지스터의 게이트에 연결되는 2모스 전류 미러인 차동 전류 구동 방식의 수신기.

청구항 33.

제30항에 있어서,

상기 트루라인 IV 컨버터는,

상기 트루라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 전원전압쪽에 연결되며, 타단이 트루라인 변환 전압의 출력단에 연결되는 제1 저항부를 포함하며,

상기 바라인 IV 컨버터는,

상기 바라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 전원전압쪽에 연결되며, 타단이 바라인 변환 전압의 출력단에 연결되는 제2 저항부를 포함하는

차동 전류 구동 방식의 수신기.

청구항 34.

제30항에 있어서,

상기 트루라인 IV 컨버터는,

상기 트루라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 상기 트루라인 변환 전압의 출력단에 연결되며, 타단이 상기 트루라인 미러부에 연결되는 제3 저항부를 더 포함하며,

상기 바라인 IV 컨버터는,

상기 바라인 미러링 전류가 흐르는 경로상에 위치하며, 일단이 상기 바라인 변환 전압의 출력단에 연결되며, 타단이 상기 바라인 미러부에 연결되는 제4 저항부를 더 포함하는

차동 전류 구동 방식의 수신기.

청구항 35.

제33항에 있어서,

상기 제1 저항부는,

소스가 전원전압단쪽에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되며, 게이트에 소정의 바이어스 전압이 인가되는 제1 저항 모스트랜지스터를 포함하며,

상기 제2 저항부는,

소스가 전원전압단쪽에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되며, 게이트에 상기 바이어스 전압이 인가되는 제2 저항 모스트랜지스터를 포함하는

차동 전류 구동 방식의 수신기.

청구항 36.

제34항에 있어서,

상기 제3 저항부는,

소스가 상기 트루라인 전류 미러에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되며, 게이트에 소정의 바이어스 전압이 인가되는 제3 저항 모스트랜지스터를 포함하며,

상기 제4 저항부는,

소스가 상기 바라인 전류 미러에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되며, 게이트에 상기 바이어스 전압이 인가되는 제4 저항 모스트랜지스터를 포함하는

차동 전류 구동 방식의 수신기.

청구항 37.

제34항에 있어서,

상기 제3 저항부는,

소스 및 게이트가 상기 트루라인 전류 미러에 연결되며, 드레인이 상기 트루라인 변환 전압 출력단에 연결되는 제3 저항 모스트랜지스터를 포함하며,

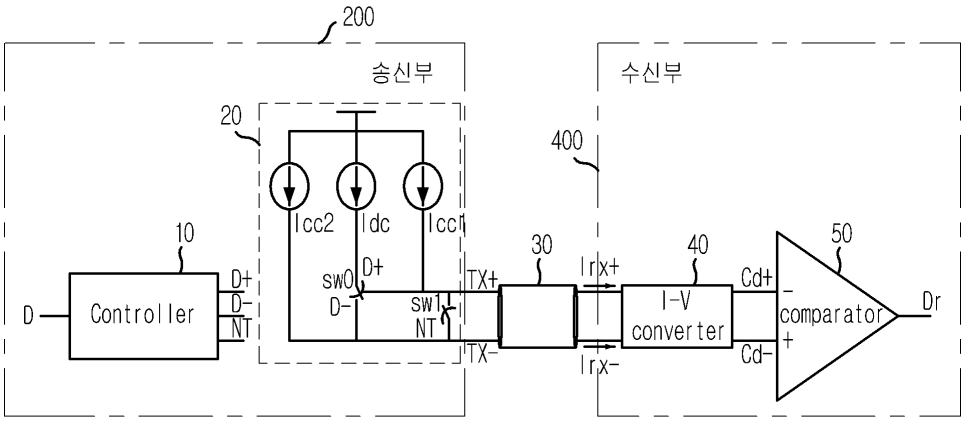
상기 제4 저항부는,

소스 및 게이트가 상기 바라인 전류 미러에 연결되며, 드레인이 상기 바라인 변환 전압 출력단에 연결되는 제4 저항 모스트랜지스터를 포함하는

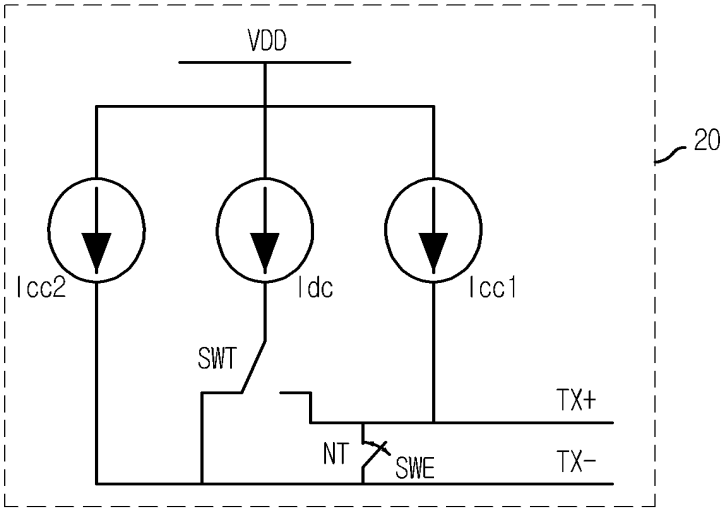
차동 전류 구동 방식의 수신기.

도면

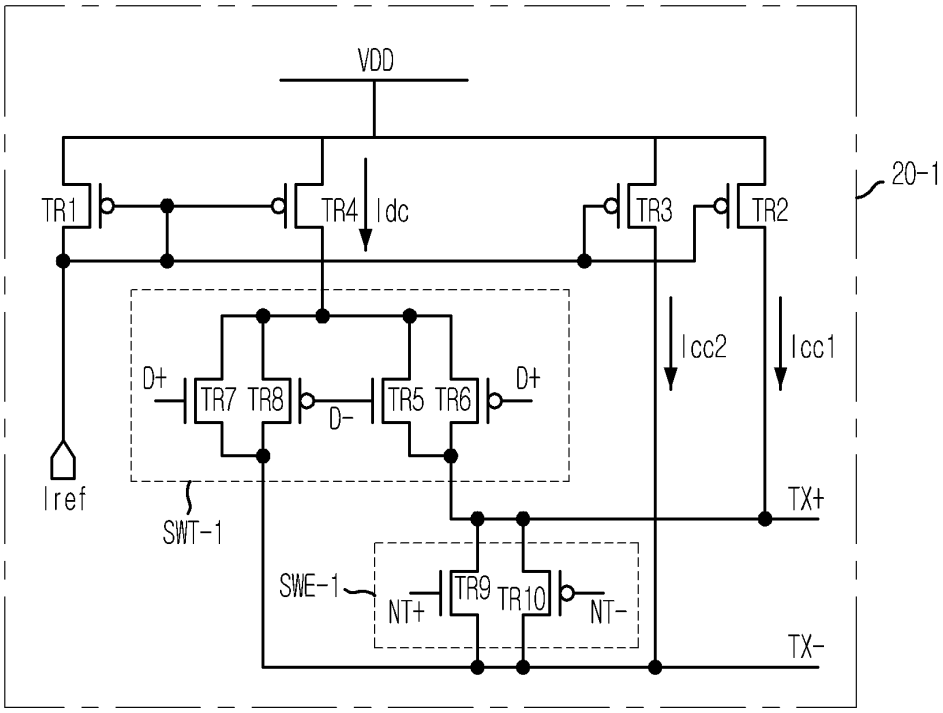
도면1


200
송신부
수신부
20
400
10
30
40
50
Icc2
Idc
Icc1
D
Controller
D+
D-
NT
sw0
sw1
TX+
TX-
Irx+
Irx-
I-V
converter
Cd+
Cd-
comparator
Dr

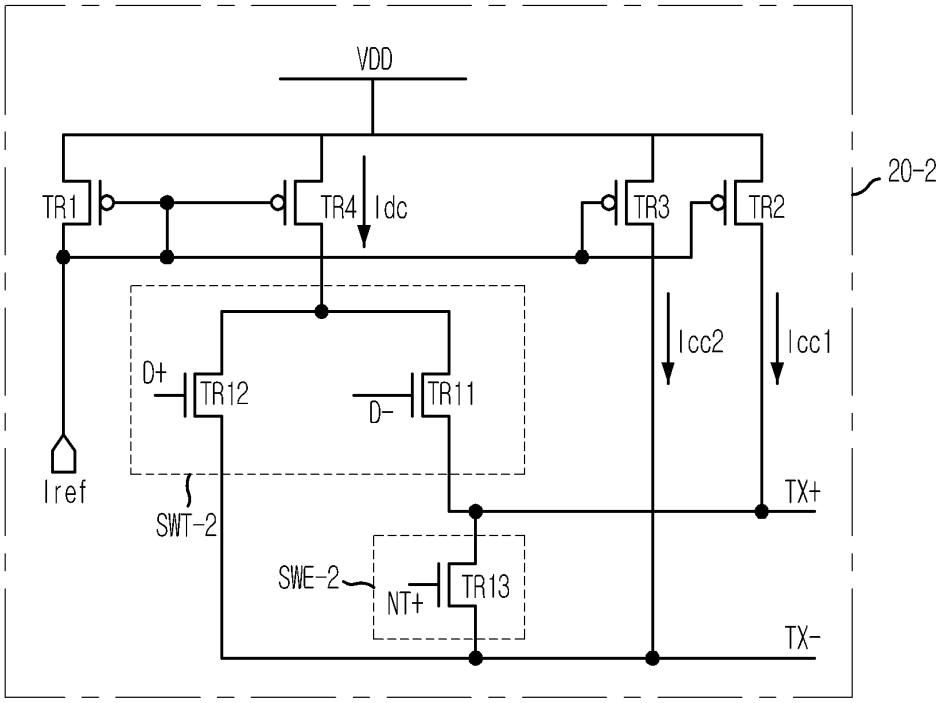
도면2


VDD
20
Icc2
Idc
Icc1
SWT
TX+
NT
SWE
TX-

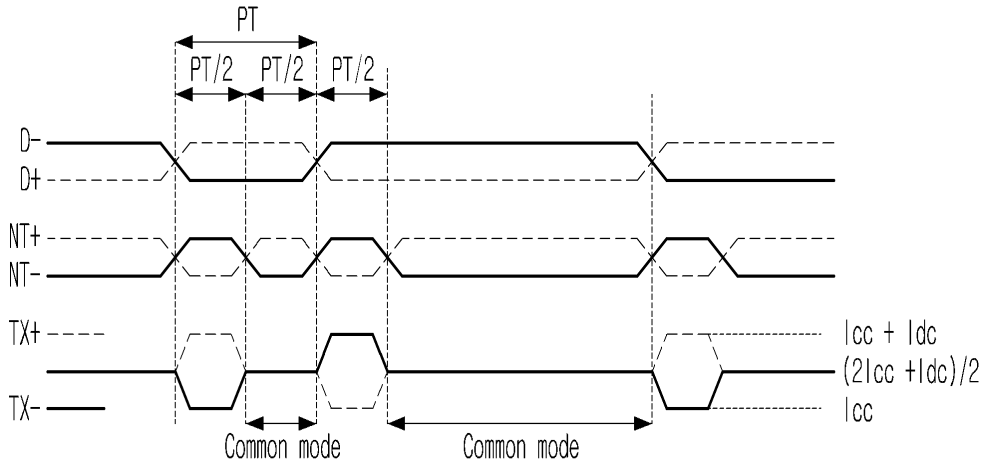
도면3


VDD
TR1
TR4
Idc
TR3
TR2
20-1
D+
TR7
TR8
D-
TR5
TR6
D+
Icc2
Icc1
Iref
SWT-1
TX+
SWE-1
NT+
TR9
TR10
NT-
TX-

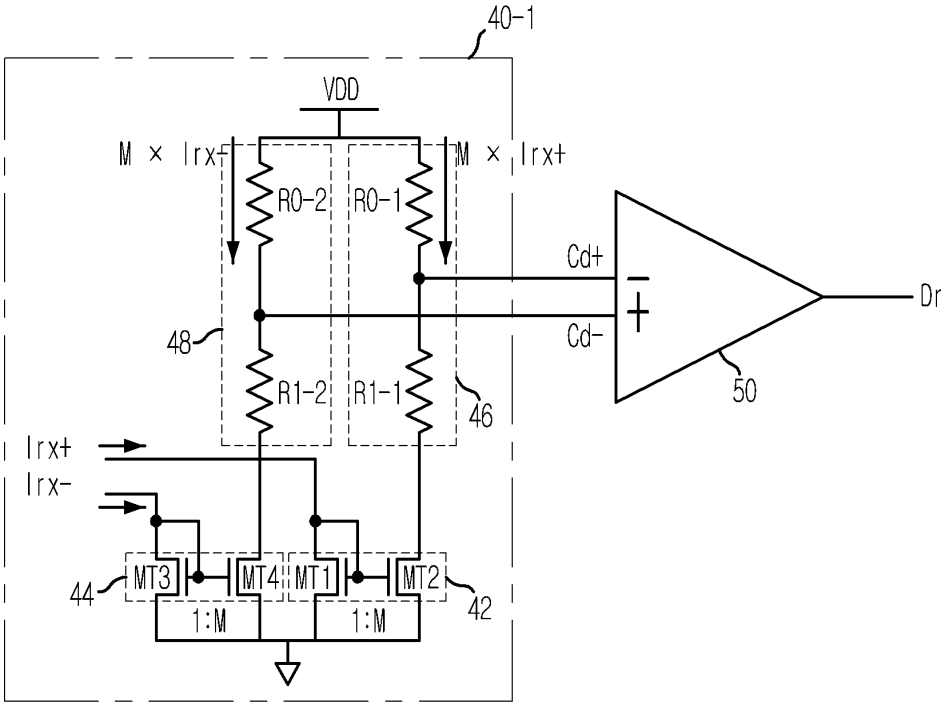
도면4


VDD
TR1
TR4
Idc
TR3
TR2
20-2
D+
TR12
D-
TR11
Icc2
Icc1
Iref
SWT-2
TX+
SWE-2
NT+
TR13
TX-

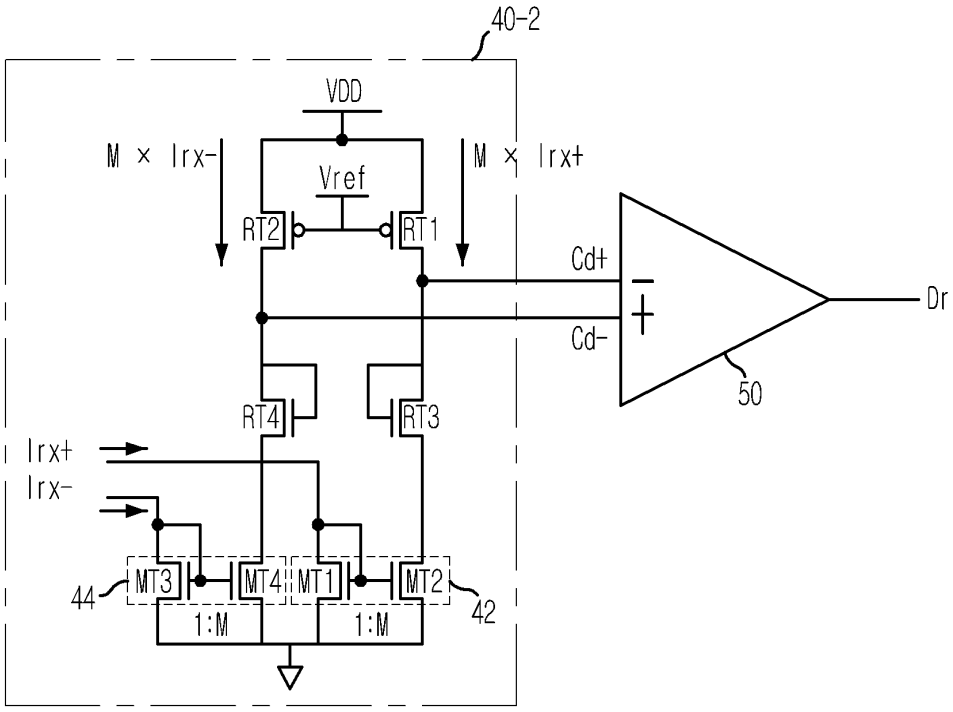
도면5


PT
PT/2
PT/2
PT/2
D-
D+
NT+
NT-
TX+
TX-
Icc + Idc
(2Icc +Idc)/2
Icc
Common mode
Common mode

도면6


40-1
VDD
M × Irx+
M × Irx+
RO-2
RO-1
Cd+
Cd-
Dr
48
R1-2
R1-1
46
50
Irx+
Irx-
MT3
MT4
MT1
MT2
44
42
1:M
1:M

도면7


40-2
VDD
M × Irx-
Vref
M × Irx+
RT2
RT1
Cd+
Cd-
Dr
50
RT4
RT3
Irx+
Irx-
44
MT3
MT4
MT1
MT2
42
1:M
1:M