



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년08월19일

(11) 등록번호 10-2433941

(24) 등록일자 2022년08월16일

(51) 국제특허분류(Int. Cl.)

G01R 31/28 (2006.01) G01R 29/02 (2006.01)

(52) CPC특허분류

G01R 31/2841 (2013.01)

G01R 29/02 (2021.05)

(21) 출원번호 10-2021-0154443

(22) 출원일자 2021년11월11일

심사청구일자 2021년11월11일

(56) 선행기술조사문헌

JP2009270912 A*

KR1020050062061 A*

KR1020170108186 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

충남대학교 산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이희덕

대전광역시 서구 둔산북로 175, 8동 604호(둔산동, 햇님아파트)

송형섭

대전광역시 대덕구 대청로526번길 67(미호동)

최현웅

대전광역시 유성구 대학로 59(봉명동)

(74) 대리인

권혁수, 송윤호

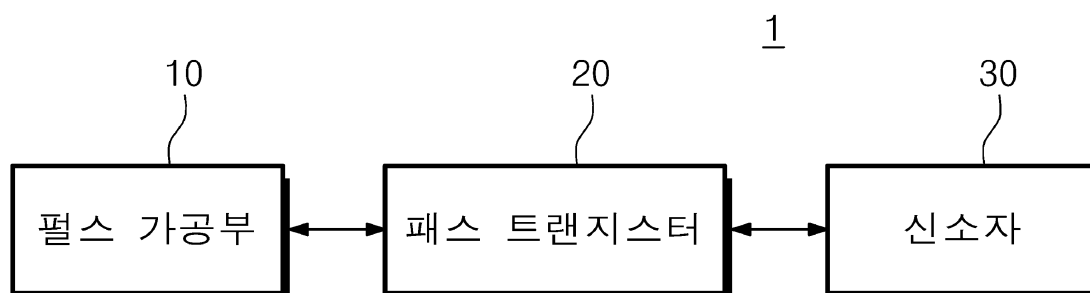
전체 청구항 수 : 총 9 항

심사관 : 조지은

(54) 발명의 명칭 신소자 성능 테스트 시스템 및 신소자 성능 테스트 방법

(57) 요약

신소자의 성능을 테스트하기 위해 신소자에 인가할 펄스를 가공하는 펄스 가공부; 및 상기 펄스 가공부에서 가공된 펄스를 집적된 신소자에 전달하는 패스 트랜지스터;를 포함하는 신소자 성능 테스트 시스템이 개시된다. 일 예시에 따르면, 상기 펄스 가공부는, 펄스를 발생시킬 수 있는 펄스 발생부; 상기 펄스 발생부에서 발생한 펄스의 개수를 선택하는 펄스 선택부; 및 상기 펄스 선택부에서 선택된 펄스의 크기를 조절하는 크기 조절부;를 포함할 수 있다.

대표도 - 도1

(52) CPC특허분류

G01R 31/2837 (2013.01)

G01R 31/2849 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711133482
과제번호	2019M3F3A1A01074449
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	혁신성장연계지능형반도체선도기술개발(R&D)
연구과제명	반도체 신소자를 위한 집적/검증 플랫폼 기술 개발
기 여 율	1/1
과제수행기관명	충남대학교
연구기간	2019.06.28 ~ 2022.12.31

명세서

청구범위

청구항 1

신소자의 성능을 테스트하기 위해 신소자에 인가할 펄스를 가공하는 펄스 가공부; 및
 상기 펄스 가공부에서 가공된 펄스를 집적된 신소자에 전달하는 패스 트랜지스터;를 포함하되,
 상기 패스 트랜지스터는 제1 패스 트랜지스터 쌍 및 제2 패스 트랜지스터 쌍을 포함하고,
 상기 신소자는 상기 제1 패스 트랜지스터 쌍의 제1 패스 트랜지스터의 소스 및 제2 패스 트랜지스터의 드레인 사이에 연결되고, 또한 상기 신소자는 상기 제2 패스 트랜지스터 쌍의 제3 패스 트랜지스터의 드레인 및 제4 패스 트랜지스터의 소스 사이에 연결되며,
 상기 펄스 가공부의 출력단은 상기 제1 패스 트랜지스터 쌍의 상기 제1 패스 트랜지스터의 드레인 및 상기 제2 패스 트랜지스터 쌍의 제4 패스 트랜지스터의 드레인에 연결되고,
 상기 제1 패스 트랜지스터 쌍의 제1 패스 트랜지스터 게이트 및 제2 패스 트랜지스터의 게이트에는 제1 논리 신호가 인가되고 상기 제2 패스 트랜지스터 쌍의 상기 제3 패스 트랜지스터의 게이트 및 상기 제4 패스 트랜지스터의 게이트에는 상기 제1 논리 신호와 반대 논리인 제2 논리 신호가 인가되는,
 신소자 성능 테스트 시스템.

청구항 2

제1항에 있어서,
 상기 펄스 가공부는,
 펄스를 발생시킬 수 있는 펄스 발생부;
 상기 펄스 발생부에서 발생한 펄스의 개수를 선택하는 펄스 선택부; 및
 상기 펄스 선택부에서 선택된 펄스의 크기를 조절하는 크기 조절부;를 포함하는 신소자 성능 테스트 시스템.

청구항 3

제2항에 있어서,
 상기 펄스 발생부는 링 오실레이터인 신소자 성능 테스트 시스템.

청구항 4

제2항에 있어서,
 상기 크기 조절부는 레벨 쉬프터인 신소자 성능 테스트 시스템.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 펄스 가공부는 상기 패스 트랜지스터 및 성능 테스트의 대상이 되는 신소자와 같은 칩 내부에 설계되는 신소자 성능 테스트 시스템.

청구항 6

제5항에 있어서,
 상기 신소자의 양단에 연결되어 상기 신소자의 전기적 특성을 평가할 수 있는 패드;를 더 포함하는 신소자 성능 테스트 시스템.

청구항 7

삭제

청구항 8

삭제

청구항 9

제5항에 따른 신소자 성능 테스트 시스템을 이용하여 신소자의 성능 테스트를 수행하는 방법에 있어서,

인가하고자 하는 펄스의 조건을 결정하는 단계;

상기 펄스 가공부에서 상기 결정한 조건에 대응하도록 펄스를 가공하는 단계;

상기 가공된 펄스를 신소자에 인가하는 단계;를 포함하되,

상기 가공된 펄스를 신소자에 인가하는 단계는,

상기 가공된 펄스를 상기 제1 패스 트랜지스터 쌍의 상기 제1 패스 트랜지스터의 드레인 인가하고 상기 제1 패스 트랜지스터 쌍의 게이트들에 제1 논리 신호를 인가하여 상기 신소자의 상부 전극에서 하부 전극으로 상기 가공된 펄스를 인가함을 포함하고 또는

상기 가공된 펄스를 상기 제2 패스 트랜지스터 쌍의 상기 제4 패스 트랜지스터의 드레인 인가하고 상기 제2 패스 트랜지스터 쌍의 게이트들에 제2 논리 신호를 인가하여 상기 신소자의 하부 전극에서 상부 전극으로 상기 가공된 펄스를 인가함을 포함하는,

신소자 성능 테스트 방법.

청구항 10

제9항에 있어서,

상기 펄스를 가공하는 단계는,

펄스를 발생시키는 제1 단계;

상기 발생된 펄스의 개수를 결정하는 제2 단계; 및

상기 결정된 펄스의 크기를 조절하는 제3 단계;를 포함하는 신소자 성능 테스트 방법.

청구항 11

제10항에 있어서,

상기 가공된 펄스가 인가된 신소자와 연결된 전극을 통해 신소자의 특성 변화를 측정하는 단계;를 포함하는 신소자 성능 테스트 방법.

발명의 설명

기술 분야

[0001] 본 발명은 신소자 성능 테스트 시스템 및 신소자 성능 테스트 방법에 관한 발명이다. 보다 상세하게는 내부적으로 고속 펄스를 인가하여 신소자 성능 테스트를 수행할 수 있는 시스템 및 방법에 관한 발명이다.

배경 기술

[0002] 최근 들어 활발하게 연구 중인 인공지능, 자율주행, 감성로봇 등 미래형 컴퓨터 기술은 기존의 2진수 기반의 디지털 로직으로 구현하기에는 비현실적인 필요 설계 면적과 천문학적인 전력 소모가 발생하여 적절하지 않다. 따라서 연구실 체제의 프로토타입을 넘어 산업체에서 양산체제에 돌입하기 위해서는 새로운 종류의 확률적 연산기에 기반한 초저전력 기술개발이 매우 절박하게 요구되고 있다. 이러한 초저전력 기술개발을 위해서는 기존의 CMOS 소자가 아닌 멤리스터, 원자 스위치, 다치로직 소자 등 새로운 유형의 신소자 개발이 필수적이다.

[0003] 신소자 개발에 있어 빠르게 연산을 수행할 수 있는지를 나타내는 동작 속도는 매우 중요한 특성 중 하나이다. 동작 속도 평가는 보통 신소자에 짧은 수준의 write pulse를 다수 인가하여, 펄스 폭에 따라 신소자가 반응하는 정도를 측정하여 정량적으로 평가한다. 일반적으로 10MHz 이하의 펄스는 외부 펄스인가를 통해 펄스의 왜곡 없이 신소자에 잘 전달되기 때문에 외부 계측기기를 이용하여 직접 펄스를 인가하면 된다. 하지만, 10MHz 이상의 매우 짧은 펄스를 신소자에 인가할 경우, 부하 효과>Loading Effect)에 의해 인가하는 펄스의 파형의 크기 등이 왜곡되어 정확하게 신소자에 인가되지 않을 수 있다. 이러한 결과는 측정의 부정확성을 유발한다. 이 때문에 적절하게 On Chip 설계를 통해 내부적으로 펄스를 생성하는 것이 필요하다.

발명의 내용

해결하려는 과제

[0004] 본 발명에서는 다양한 신소자에 사용자가 원하는 고속 On Chip Pulse를 측정할 수 있도록 하여, 초고속 신소자의 성능 평가를 좀 더 쉽게 진행할 수 있는 테스트 패턴을 제안하고자 한다.

[0005] 본 발명이 해결하고자 하는 과제는 이상에서 언급된 과제로 제한되지 않는다. 언급되지 않은 다른 기술적 과제들은 이하의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 신소자의 성능을 테스트하기 위해 신소자에 인가할 펄스를 가공하는 펄스 가공부; 및 상기 펄스 가공부에서 가공된 펄스를 집적된 신소자에 전달하는 패스 트랜지스터;를 포함하는 신소자 성능 테스트 시스템이 개시된다.

[0007] 일 예시에 따르면, 상기 펄스 가공부는, 펄스를 발생시킬 수 있는 펄스 발생부; 상기 펄스 발생부에서 발생한 펄스의 개수를 선택하는 펄스 선택부; 및 상기 펄스 선택부에서 선택된 펄스의 크기를 조절하는 크기 조절부;를 포함할 수 있다.

[0008] 일 예시에 따르면 상기 펄스 발생부는 링 오실레이터일 수 있다.

[0009] 일 예시에 따르면 상기 크기 조절부는 레벨 쉬프터일 수 있다.

[0010] 일 예시에 따르면 상기 펄스 가공부는 상기 패스 트랜지스터 및 성능 테스트의 대상이 되는 신소자와 같은 칩 내부에 설계될 수 있다.

[0011] 일 예시에 따르면 상기 신소자의 양단에 연결되어 상기 신소자의 전기적 특성을 평가할 수 있는 패드;를 더 포함할 수 있다.

[0012] 일 예시에 따르면 상기 패스 트랜지스터는 상기 신소자의 제1 방향 또는 상기 신소자의 제2 방향 중 어느 하나로 상기 가공된 펄스를 전달할 수 있다.

[0013] 일 예시에 따르면, 상기 신소자의 제1 방향은 상기 신소자의 상부 전극으로 인가되는 방향이고, 상기 신소자의 제2 방향은 상기 신소자의 하부 전극으로 인가되는 방향일 수 있다.

[0014] 본 발명의 다른 일 예시에 따라 신소자 성능 테스트 시스템을 이용하여 신소자의 성능 테스트를 수행하는 방법이 개시된다.

[0015] 상기 방법은, 인가하고자 하는 펄스의 조건을 결정하는 단계; 상기 펄스 가공부에서 상기 결정한 조건에 대응하도록 펄스를 가공하는 단계; 상기 가공된 펄스를 신소자에 인가하는 단계;를 포함할 수 있다.

[0016] 일 예시에 따르면 상기 펄스를 가공하는 단계는, 펄스를 발생시키는 제1 단계; 상기 발생된 펄스의 개수를 결정하는 제2 단계; 및 상기 결정된 펄스의 크기를 조절하는 제3 단계;를 포함할 수 있다.

[0017] 일 예시에 따르면, 상기 가공된 펄스가 인가된 신소자와 연결된 전극을 통해 신소자의 특성 변화를 측정하는 단계;를 포함할 수 있다.

발명의 효과

[0018] 본 발명에 따르면, BEOL 공정을 기반으로 집적된 신소자의 집적 성능 및 성능 분석을 수행할 수 있다.

- [0019] 본 발명에 따르면, 신소자의 검증 시간을 획기적으로 단축할 수 있다.
- [0020] 본 발명의 효과는 상술한 효과들로 제한되지 않는다. 언급되지 않은 효과들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템을 간단하게 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 펄스 가공부의 구성을 나타내는 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 펄스 가공부의 레이아웃 모식도 및 블록도를 나타내는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템의 동작을 보다 상세하게 설명하기 위한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템에서의 신소자의 회로 구성도 및 핀 배치를 설명하기 위한 도면이다.
- 도 6은 도 5의 일 실시예에 따른 구성도에서 전압 인가 모드에 따른 동작 분포를 설명하기 위한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템을 이용한 측정 예시를 나타내는 도면이다.
- 도 8은 본 발명의 일 실시예에 따른 신소자 집적 예시를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0023] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0024] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0025] 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0026] 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.
- [0027] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다.
- [0028] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.
- [0030] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 본 명세서 전체에서 사용되는 '~부'는 적어도 하나의 기능이나 동작을 처리하는 단위로서, 예를 들어 소프트웨어

어, FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미할 수 있다. 그렇지만 '~부'가 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다.

[0032] 일 예로서 '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로 코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들 및 변수들을 포함할 수 있다. 구성요소와 '~부'에서 제공하는 기능은 복수의 구성요소 및 '~부'들에 의해 분리되어 수행될 수도 있고, 다른 추가적인 구성요소와 통합될 수도 있다.

[0033] 본 발명에서는 BEOL 기반 반도체 신소자의 전기적 특성 검증을 위한 온 칩 펄스 생성 TEG(On Chip pulse generation TEG)를 개시한다. 본 발명의 일 예시에 따르면, 표준 CMOS 공정을 통해 신소자를 집적할 수 있도록 BEOL(Back End Of Line) 기반 신소자 집적용 단위 셀을 설계하고, 설계된 단위 셀에 테스트 대상이 되는 신소자를 집적할 수 있다. 그 후 설계된 단위 셀과 같은 칩에 집적된 펄스 가공부를 통해 고속 펄스를 생성 및 가공하여 인가할 수 있어, 기존과 같이 외부에서 고속 펄스를 생성하여 인가할 필요성이 없어 고속으로 신소자의 성능 검증을 수행할 수 있다.

[0034] 도 1은 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템(1)을 간단하게 나타내는 블록도이다.

[0035] 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템(1)은 펄스 가공부(10)와 패스 트랜지스터(20)를 포함할 수 있다. 펄스 가공부(10)와 패스 트랜지스터(20)는 하나의 칩 상에 집적되어 제공될 수 있다. 일 예시에 따르면 동일한 칩 상에 성능 테스트의 대상이 되는 신소자(30)가 집적될 수 있다.

[0036] 펄스 가공부(10)는 신소자의 성능을 테스트하기 위해 신소자에 인가할 펄스를 가공할 수 있다. 펄스 가공부(10)의 구체적인 구성에 대해서는 도 2에서 상세하게 서술한다. 패스 트랜지스터(20)는 펄스 가공부(10)에서 가공된 펄스를 집적된 신소자(30)에 전달할 수 있다. 패스 트랜지스터(20)는 상기 신소자(30)의 제1 방향 또는 상기 신소자(30)의 제2 방향 중 어느 하나로 상기 가공된 펄스를 전달할 수 있다. 일 예시에 따르면, 신소자(30)의 제1 방향은 상기 신소자(30)의 상부 전극으로 인가되는 방향일 수 있다. 일 예시에 따르면, 신소자(30)의 제2 방향은 상기 신소자(30)의 하부 전극으로 인가되는 방향일 수 있다. 이에 대해서는 후술할 도 5 내지 도 6을 통해 상세하게 설명될 수 있다.

[0037] 신소자(30)는 BEOL 기반으로 집적된 단위 셀로 제공될 수 있다. 이는 도 8을 통해 상세하게 설명될 수 있다. 일 예시에 따르면, 펄스 가공부(10)는 패스 트랜지스터(20) 및 성능 테스트의 대상이 되는 신소자(30)와 같은 칩 상에 설계될 수 있다. 이를 통해 외부가 아닌 내부의 같은 칩 상에서 고속 펄스를 인가하는 것이 가능한 효과가 있다.

[0038] 도 2는 본 발명의 일 실시예에 따른 펄스 가공부(10)의 구성을 나타내는 블록도이다.

[0039] 본 발명의 일 실시예에 따른 펄스 가공부(10)는 펄스 발생부(11), 펄스 선택부(12) 및 크기 조절부(13)를 포함할 수 있다. 일 예시에 따르면, 펄스 발생부(11)는 칩 상에서 펄스를 자체적으로 발생시킬 수 있다. 일 예시에 따르면 펄스 발생부(11)는 링 오실레이터일 수 있다. 그러나 펄스 발생부(11)는 이에 한정되지 아니하고 펄스를 발생시킬 수 있는 소자라면 가능할 수 있다. 펄스 선택부(12)는 펄스 발생부(11)에서 발생한 펄스의 개수를 선택할 수 있다. 크기 조절부(13)는 펄스 선택부(12)에서 선택된 펄스의 크기를 조절할 수 있다. 일 예시에 따르면 크기 조절부(13)는 레벨 쉬프터일 수 있다.

[0040] 일 예시에 따르면, 신소자(30) 중 뉴로모픽 소자는 인가되는 펄스에 따라서 파라미터가 변화하는 것을 평가할 수 있다. 인가되는 펄스에 따라서 뉴로모픽 소자의 전기적 특성이 변화하는 것은 해당 소자가 인가되는 펄스의 속도에 스위칭이 가능함을 의미한다. 일 예시에 따르면, 뉴로모픽 소자에 고속 펄스(짧은 펄스 width)를 인가하여 고속 스위칭을 평가할 수 있다. 그러나 일반적으로 고속의 펄스 인가 장비는 매우 고가의 장비이다. 또한 고속의 펄스를 반도체 칩 외부에서 내부로 인가할 경우 부하 효과>Loading effect)로 인하여 파형 왜곡이 발생할 수 있으므로 파형 왜곡이 없는 고속의 펄스를 인가하기 위해 본 발명에서는 칩 내부에 R/O 블록을 설계할 수 있다.

[0041] 도 3은 본 발명의 일 실시예에 따른 펄스 가공부(10)의 레이아웃 모식도 및 블록도를 나타내는 도면이다.

[0042] 도 3을 참조하면, 펄스 발생부(11), 즉 내부 링 오실레이터(R/O)를 통해 자체적인 고속 온 칩 펄스(On Chip Pulse)를 생성해준 뒤, 생성된 연속적인 펄스는 펄스 선택부(12)(Pulse Selector Block)을 통과하게 되고, 펄스

선택부(12)에서는 하위 회로 내 모드 입력에 따라 연속적인 펄스의 개수가 선택적으로 출력될 수 있도록 조절할 수 있다. 최종적으로 선택적으로 개수가 조절된 펄스는 크기 조절부(13), 즉 레벨 쉬프터(level Shifter)를 통해 펄스의 크기가 원하는 수준으로 조절되어 신소자(30) 셀로 인가할 수 있다. 펄스 발생부(11)와 펄스 선택부(12), 크기 조절부(13)의 사이에는 버퍼(14)가 각각 제공될 수 있다.

[0043] 도 4는 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템(1)의 동작을 보다 상세하게 설명하기 위한 도면이다.

[0044] 도 4를 참조하면, 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템(1)의 특징들은 다음과 같다. 첫째로, 펄스 발생부(11)가 포함하는 링 오실레이터에서 온-칩(On-Chip)에서 고속의 펄스를 발생시킬 수 있다. 둘째로, 펄스 선택부(12)로 신소자에 인가하고자 하는 펄스의 개수를 조절할 수 있다. 셋째로, 크기 조절부(13)로 신소자에 인가하고자 하는 펄스의 진폭을 조절할 수 있다. 넷째로, 패스 트랜지스터(20)로 신소자(30)에 인가되는 방향을 결정할 수 있다.

[0045] 일 예시에 따르면, 본 발명에 따른 신소자 성능 테스트 시스템은, 링오실레이터, 펄스 셀렉터, 레벨 쉬프터, 뉴 디바이스 셀 블록으로 구성되어 있으며, 모드 선택에 따라 원하는 펄스의 개수와 크기를 조절하여, 신소자(30)에 인가할 수 있다. 펄스 셀렉터의 경우 회로 내의 구성된 입력의 경우의 수에 따라 1개부터 최대 100만개까지의 펄스를 선택적으로 입력할 수 있으며, 선택적 입력은 3개의 입력 핀에 인가해주는 전압에 의해 결정될 수 있다.

[0046] 일 예시에 따르면 3개의 입력 핀의 조합을 통해 모드 조절을 수행할 수 있다. 일 예시에 따르면 001은 1개의 펄스 인가, 010은 10개의 펄스 인가, 011은 100개의 펄스 인가, 100은 1000개의 펄스 인가, 101은 10000개의 펄스 인가, 110은 100000개의 펄스 인가, 111은 1000000개의 펄스 인가로 설정하여 펄스 파형을 인가할 수 있다. 그러나 이는 예시에 불과하고 다양한 논리 조합에 대응하는 펄스 인가 개수를 결정하여 펄스 파형을 인가할 수 있다.

[0047] 도 5는 본 발명의 일 실시예에 따른 신소자 성능 테스트 시스템(1)에서의 신소자의 회로 구성도 및 핀 배치를 설명하기 위한 도면이다.

[0048] 도 5를 참조하면, 본 발명의 일 예시에 따른 신소자 성능 테스트 시스템은 신소자(30)의 양단에 연결되어 상기 신소자(30)의 전기적 특성을 평가할 수 있는 패드(40);를 더 포함할 수 있다. 일 예시에 따르면 패드(40)는 전극 핀으로 제공될 수 있다.

[0049] 도 5에 따른 신소자(30) 셀의 회로 구성도에서의 각각의 핀 단자들의 의미는 다음과 같다. VA는 신소자(30)에 인가될 펄스 신호(펄스 개수, 크기가 조절 완료된 신호)가 인가되는 것을 의미한다. VTE는 신소자(30)의 상부(Top) 및 하부(Bottom) 방향으로 전달될 수 있도록 조절하는 신호를 의미한다. 일 예시에 따르면 VTE는 상부 방향(Top 방향), VTE_bar는 하부 방향(Bottom 방향)을 의미한다. VSS는 각각 상부 및 하부 방향으로 VA 신호가 전달될 때, 반대 전극의 GND 신호를 의미한다. VP 및 VM은 상부 방향 및 하부 방향 각각의 전기적 특성 변화를 측정할 수 있는 패드(40)일 수 있다. 일 예시에 따르면 VP는 상부 방향의 전기적 특성 측정을 위한 패드(40), VM은 하부 방향의 전기적 특성 측정을 위한 패드(40)일 수 있다.

[0050] 일 예시에 따르면, 신소자(30)가 집적되는 셀은 도 5와 같이 구성될 수 있다. 일 예시에 따르면, VTE 핀의 전압을 인가하는 논리에 따라 신소자(30)의 상부 전극(Top Electrode) 부분에 펄스 전압(VA)가 가해지거나, 하부 전극(Bottom Electrode) 부분에 VA가 가해질 수 있다. 또한, VP, VM 핀을 통해 실제로 초고속 펄스가 신소자(30)에 인가되고 난 뒤, 외부 계측기를 통해 전기적 특성을 평가할 수 있음으로써, 메모리스트 등의 신소자(30)의 고속 펄스에 의한 반응성을 평가할 수 있다.

[0051] 도 6은 도 5의 일 실시예에 따른 구성도에서 전압 인가 모드에 따른 동작 분포를 설명하기 위한 도면이다.

[0052] 신소자(30)가 직접적으로 증착되는 신소자(30) 셀에서는 VTE 전압에 의해 선택적으로 신소자(30)의 전압이 상부 전극에 인가될지, 하부 전극에 인가될지 결정될 수 있으며 VP와 VM 전극을 통해 펄스가 인가된 뒤, 신소자(30)의 특성 변화를 즉시 측정할 수 있는 효과가 있다. 도 6의 좌측 도면에 따르면 신소자(30)의 상부 전극으로 가공된 펄스가 전달되는 예시가 개시되며, 도 6의 우측 도면에 따르면 신소자(30)의 하부 전극으로 가공된 펄스가 전달되는 예시가 개시된다. 일 예시에 따르면 패스 트랜지스터(20)는 신소자(30)의 제1 방향 또는 신소자(30)의 제2 방향 중 어느 하나로 상기 가공된 펄스를 전달할 수 있다. 일 예시에 따르면 신소자(30)의 제1 방향은 상기 신소자(30)의 상부 전극으로 인가되는 방향이고, 신소자(30)의 제2 방향은 상기 신소자(30)의 하부 전극으로 인

가되는 방향일 수 있다.

- [0053] 도 7은 본 발명의 일 예시에 따른 신소자(30) 성능 테스트 시스템(1)을 이용한 측정 예시를 나타내는 도면이다.
- [0054] 일 예시에 따르면, 뉴런과 뉴런을 연결하는 부위인 시냅스는 전기적 신호인 스파이크(Spike)에 따라서 극성을 띄는 신경전달물질이 전달되며 가중치 (Weight)가 늘어나게 된다. 이러한 가중치가 임계 지점(Threshold)을 넘어설 경우 Pre-뉴런에서 Post-뉴런으로 전기적 신호(Spike)가 전달되는 논리이다. 도 7의 그래프는 신소자(30) 중 뉴로모픽 소자의 LTP/LTD 특성 그래프를 나타낸다. LTP란 Long-Term Potentiation를, LTD란 Long-Term Depression을 의미한다. LTP/LTD가 의미하는 바는 뉴로모픽 소자가 두뇌의 뉴런&시냅스 중 시냅스로써 활용 가능함을 나타낸다. 도 7에서 파란색(좌측)이 LTP에 해당되며, 소자 입장에서 상부 전극에 펄스를 인가함에 따른 전기적 특성 변화를 나타낸다. 도 7에서 빨간색(우측)이 LTD에 해당되며, 소자 입장에서 하부 전극에 펄스를 인가함에 따른 전기적 특성 변화를 나타낸다. LTP 과정은 시냅스 소자 기준으로 학습을 하는 과정이고, 반복적으로 인가되는 펄스에 따라 컨덕턴스가 변화하며 학습이 가능하다. LTD 과정은 학습된 데이터를 없애는 과정이라 볼 수 있다. 따라서 도 7의 결과는 해당 소자가 학습이 가능한 시냅스 소자임을 보이며, 양 방향으로 전압을 전달하는 것은 메모리 소자 관점에서 Program/Erase 과정을 진행하는 것으로 볼 수 있다.
- [0055] 도 7을 참조하면, 동일한 조건의 펄스를 반복적으로 인가하며 컨덕턴스(Conductance)의 변화를 측정하였을 때, 좌측의 그래프와 같은 특성을 보이는 바, 해당 소자가 학습이 가능한 소자로서 활용 가능함을 나타낸다.
- [0056] 즉 최종적으로 신소자(30)를 집적한 뒤, 본 발명에 따른 시스템을 이용하여 펄스를 자체적으로 인가하고 측정하는 방법을 반복하게 되면, 메모리스터 소자의 Set/ Reset 특성을 평가할 수 있다.
- [0057] 정리하면, 집적될 신소자(30)의 시냅스 소자로서 활용 가능 여부를 파악하기 위하여 LTP/LTD 특성은 필수적이다. 도 7의 경우 동일한 조건의 펄스를 반복적으로 인가하며 실험을 수행하였으나, 동일한 소자 기준임에 불과하고, 실제로 여러 소자의 특성 평가를 위해서는 펄스의 조건을 자유롭게 조절하며 인가할 수 있어야 한다. 따라서 본 발명에서 제안하는 시스템의 핵심 목적은 외부 장비로도 구현하기 어려운 고속의 펄스를 칩 내부에서 발생하여, 신소자(30)에 인가되는 펄스의 조건들(크기 및 개수)을 조절하여 신소자(30)의 양 방향에 인가할 수 있도록 한다.
- [0058] 도 8은 본 발명의 일 예시에 따른 신소자(30) 집적 예시를 설명하기 위한 도면이다.
- [0059] 본 발명에 따르면, 다양한 2 터미널 신소자(30)의 전기적 특성을 평가할 수 있도록 도 8의 예시와 같은 공정 스플릿(split)을 두어 다양한 경우의 신소자(30)를 제작할 수 있도록 구성한다. 도 8와 같이 다양한 신소자(30) 증착을 위해, 웨이퍼 내에 via 3 혹은 M4 공정 단계에서 F/O를 진행하여, 다양한 특성이 있는 신소자(30)를 증착할 수 있다. 도 8(a)는 스택(stack) 구조의 신소자(30)이며, 도 8(b)는 크로스바(crossbar) 구조의 신소자(30)를 나타낸다. 일 예시에 따르면 다양한 구조를 가지는 신소자(30)가 집적되어 평가될 수 있도록, F/O 스텝에 차이를 두어 다양한 구조의 신소자(30)가 집적이 가능하도록 할 수 있다.
- [0060] 본 발명의 다른 일 예시에 따르면, 신소자 성능 테스트 시스템(1)을 이용하여 신소자의 성능 테스트를 수행하는 방법이 개시될 수 있다.
- [0061] 일 예시에 따르면, 인가하고자 하는 펄스의 조건을 결정하는 단계; 상기 펄스 가공부(10)에서 상기 결정된 조건에 대응하도록 펄스를 가공하는 단계; 및 상기 가공된 펄스를 신소자에 인가하는 단계;를 포함할 수 있다. 일 예시에 따르면 상기 펄스를 가공하는 단계는, 펄스를 발생시키는 제1 단계; 상기 발생된 펄스의 개수를 결정하는 제2 단계; 및 상기 결정된 펄스의 크기를 조절하는 제3 단계;를 포함할 수 있다. 제1 단계는 펄스 발생부(11)에서, 제2 단계는 펄스 선택부(12)에서, 제3 단계는 크기 조절부(13)에서 수행될 수 있다. 그 후, 가공된 펄스가 인가된 신소자(30)와 연결된 전극을 통해 신소자(30)의 특성 변화를 측정하는 단계;를 포함할 수 있다.
- [0062] 본 발명에서는 BEOL 기반 신소자의 집적 성능 및 성능 분석을 수행할 수 있는 소자를 제공하고자 한다. 본 발명에 따른 경우, 추가적인 환경 셋팅 혹은 검증을 위한 별도의 외부 기기 없이 신소자의 초고속 성능 검증을 수행할 수 있다는 점에서 충분히 활용 가능성이 크다. 또한, 신소자에 파형의 왜곡이 없는 순수한 고속 펄스를 인가할 수 있다는 점에서 충분히 기술의 우수성을 보장할 수 있으며, 다양한 신소자를 증착할 수 있게끔 여러 가지 공정 스플릿으로 F/O를 진행함으로써 다양한 신소자를 증착하여 신소자의 고속 동작 특성을 검증할 수 있는 효과가 있다.
- [0063] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있으며,

이러한 구현은 앞서 설명한 실시예의 기재로부터 본 발명이 속하는 기술분야의 전문가라면 쉽게 구현할 수 있는 것이다.

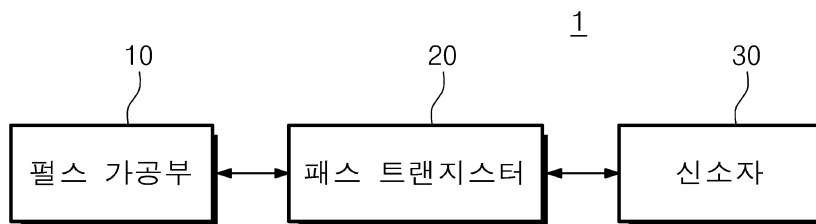
[0064] 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

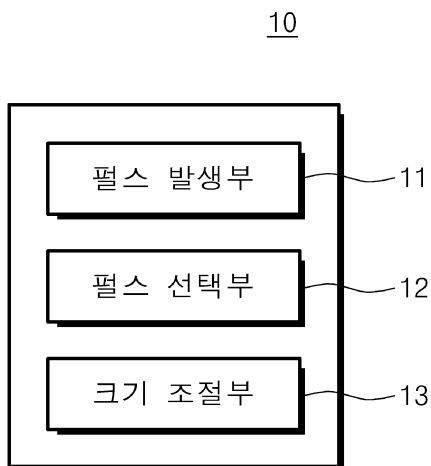
[0065] 1: 신소자 성능 테스트 시스템
10: 펄스 가공부
11: 펄스 발생부
12: 펄스 선택부
13: 크기 조절부
14: 버퍼
20: 패스 트랜지스터
30: 신소자
40: 패드

도면

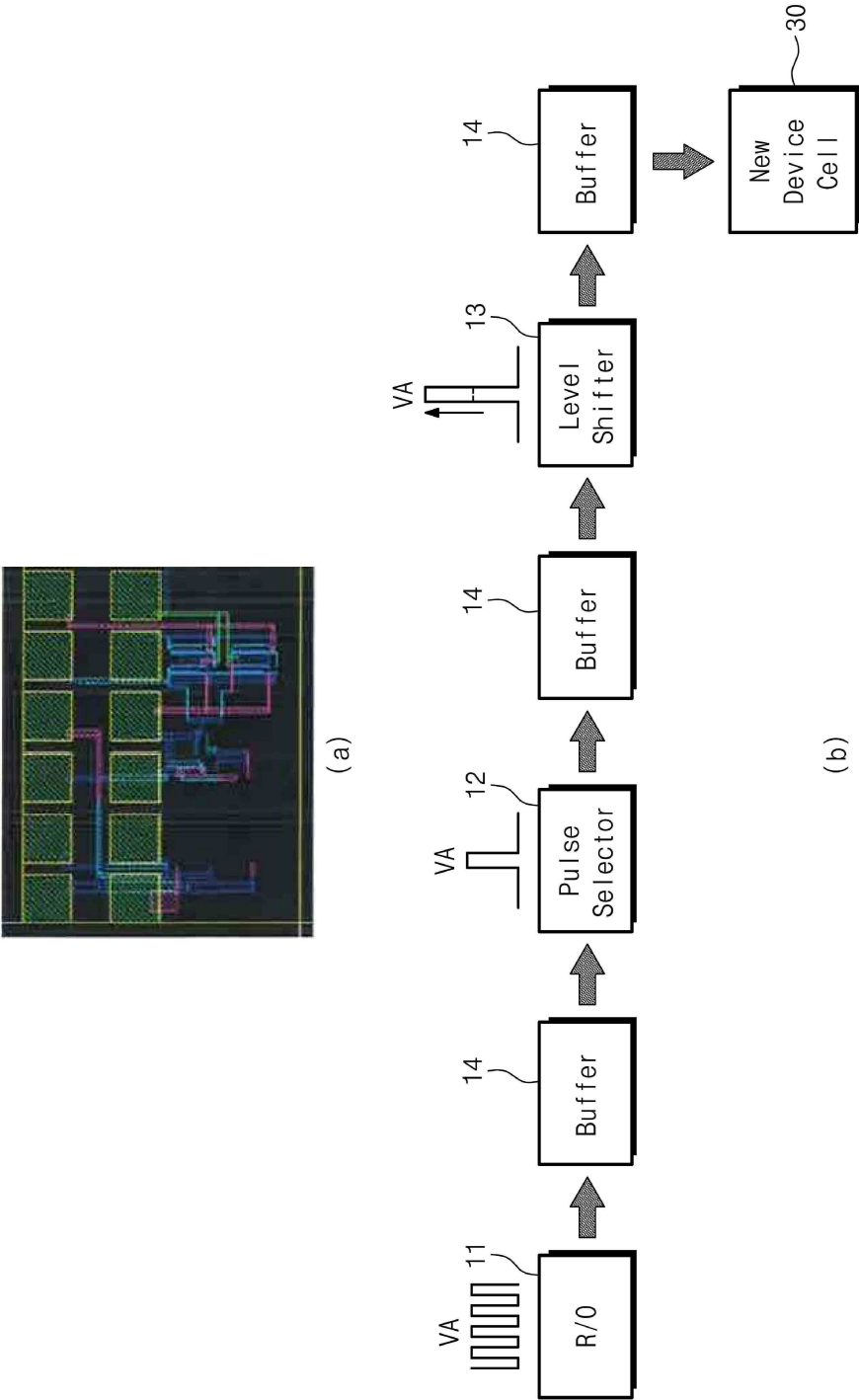
도면1



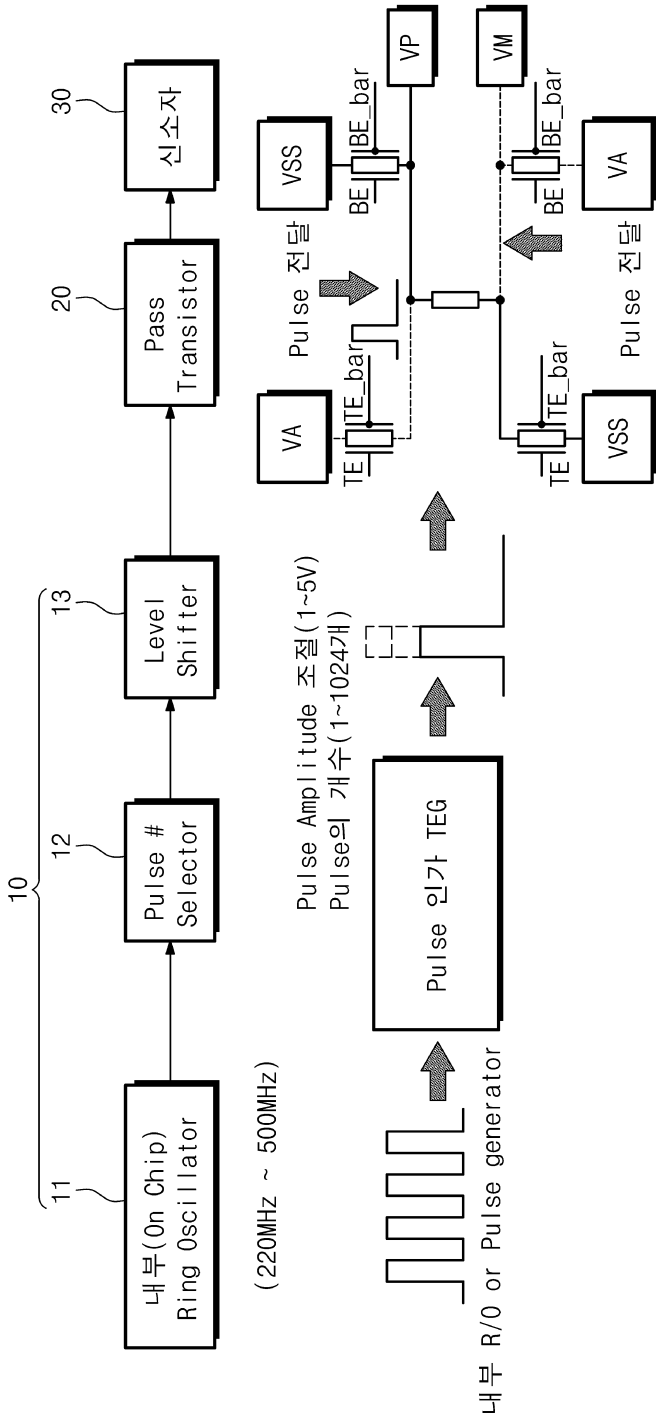
도면2



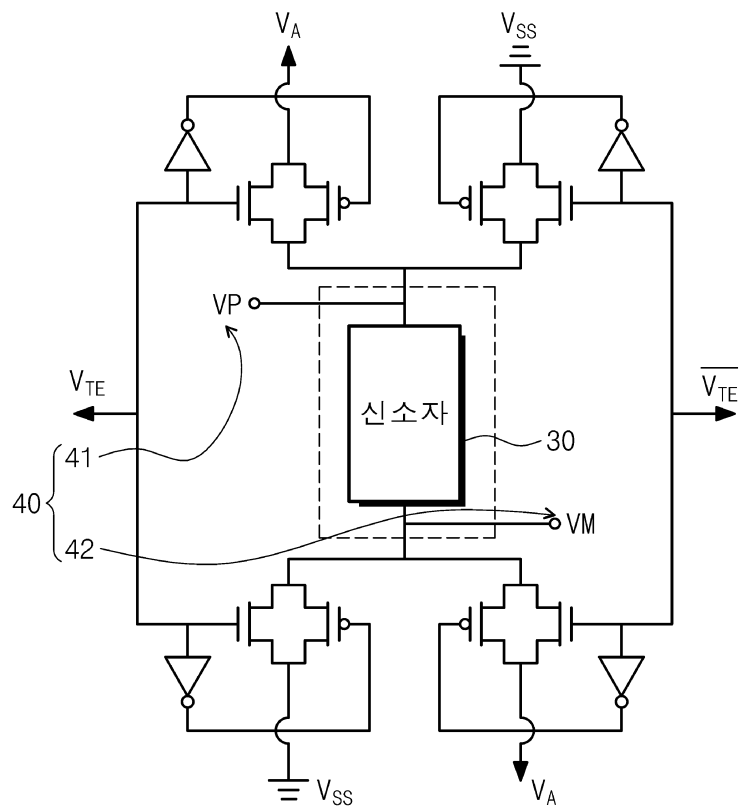
도면3



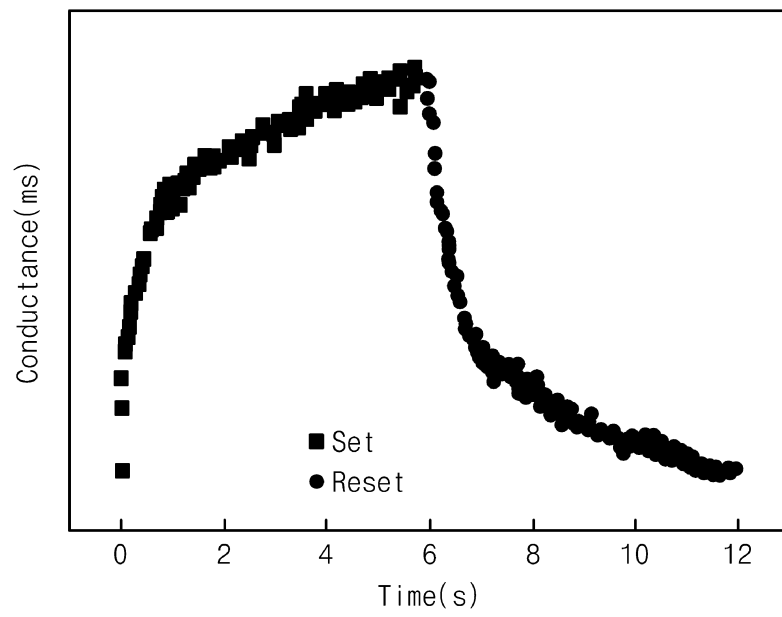
도면4



도면5



도면7



도면8

