

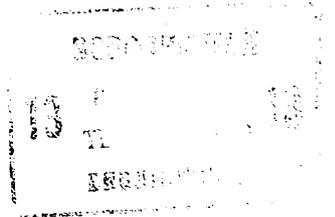


(51)4 Н 03 D 13/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

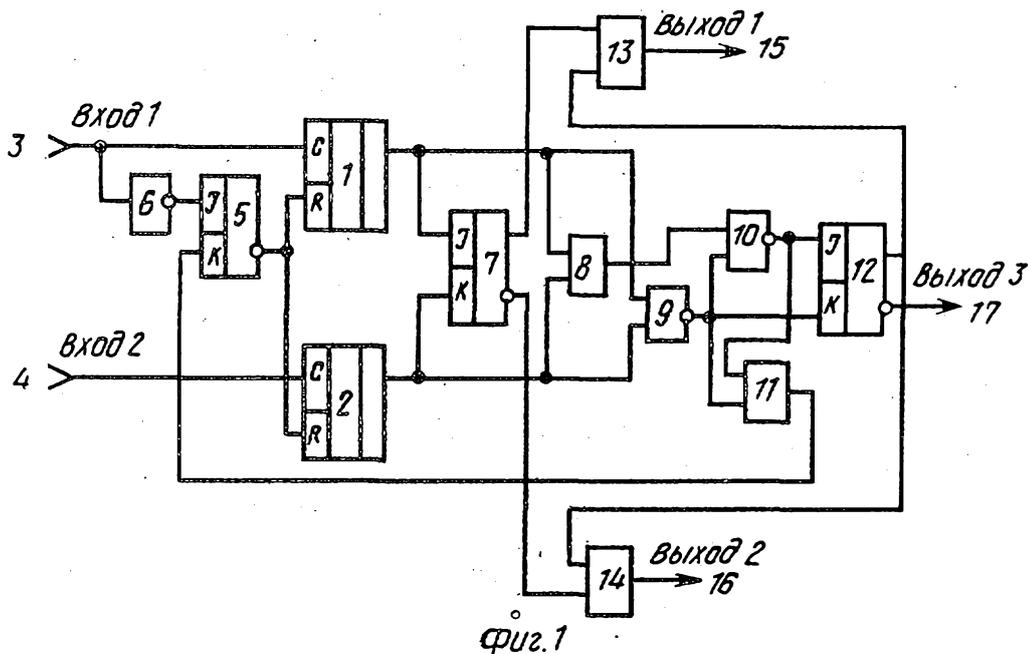
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4036805/24-21
(22) 13.03.86
(46) 07.12.87.Бюл. № 45
(71) Производственное объединение по ремонту и наладке энергетического оборудования "Сибэнергоцветмет"
(72) В.Н.Порожнявый и А.А.Лапатский
(53) 621.317.761 (088.8)
(56) Патент Великобритании № 1496743, кл. Н 03 D 13/00, 1977.
Авторское свидетельство СССР № 1223331, кл. Н 03 D 13/00, 1984.

(54) ЦИФРОВОЙ ФАЗОЧАСТОТНЫЙ КОМПАРАТОР

(57) Изобретение может быть использовано для коррекции и синхронизации частоты в системах контроля и автоматического контроля частоты. Цель изобретения - повышение точности устройства. Компаратор содержит счетчики 1 и 2 импульсов, триггеры 5 и 7, элемент ИЕ 6, элемент ИЛИ 8. Введение элементов И-НЕ 9 и 10, элементов И 11, 13 и 14, триггера 12 и выходных шин 16 и 17 устраняет неопределенности выходного сигнала при совпадении входных сигналов по частоте и фазе. 4 ил.



Изобретение относится к импульсной технике и может быть использовано в радио- и электротехнических устройствах различного назначения, например для коррекции и синхронизации частоты в системах контроля и автоматического регулирования частоты.

Цель изобретения - повышение точности за счет устранения неопределенности выходного сигнала при совпадении входных сигналов по частоте и фазе.

На фиг.1 показана структурная электрическая схема устройства; на фиг.2 - 4 - временные диаграммы, поясняющие работу устройства.

Устройство содержит первый и второй счетчики 1 и 2 импульсов, тактовые входы которых соединены соответственно с первой и второй входными шинами 3 и 4, а R-входы счетчиков 1 и 2 соединены с инверсным выходом первого триггера 5, I-вход которого через элемент НЕ 6 соединен с шиной 3. Выход счетчика 1 соединен с I-входом второго триггера 7, первым входом элемента ИЛИ 8 и первым входом первого элемента И-НЕ 9, выход которого соединен с первым входом второго элемента И-НЕ 10, выход которого соединен с первым входом первого элемента И 11 и I-входом триггера 12. Прямой и инверсный выходы второго триггера 7 соединены с первыми входами соответственно второго и третьего элементов И 13 и 14, выходы которых соединены соответственно с первой и второй выходными шинами 15 и 16, инверсный выход третьего триггера 12 соединен с третьей выходной шиной 17, а прямой выход - со вторыми входами элементов И 13 и 14. Выход счетчика 2 соединен с K-входом триггера 7, вторыми входами элемента ИЛИ 8 и первого элемента И-НЕ 9, выход которого соединен с K-входом триггера 12 и вторым входом элемента И 11, выход которого соединен с K-входом триггера 5. Кроме того, выход элемента ИЛИ 8 соединен с вторым входом элемента И-НЕ 10.

Временные диаграммы работы устройства показаны для следующих случаев (емкость счетчиков 1 и 2 принята равной 4): частота сигнала на шине 3 больше частоты сигнала на шине 4 (фиг.2), сигнал на шине 3 совпадает

по частоте и фазе с сигналом на шине 4 (фиг.3), частота сигнала на шине 3 меньше частоты сигнала на шине 4 (фиг.4).

При этом показаны следующие временные диаграммы (фиг.2-4): на входной шине 3 (а), на входной шине 4 (б), на выходе элемента НЕ 6 (в), на инверсном выходе триггера 5 (г), на выходе счетчика 1 (д), на выходе счетчика 2 (е), на выходе элемента ИЛИ 8 (ж), на выходе элемента И-НЕ 9 (з), на выходе элемента И-НЕ 10 (и), на выходе элемента И 11 (к), на прямом выходе триггера 5 (л), на прямом выходе триггера 12 (м), на инверсном выходе триггера 12 (н), на выходе элемента И 13 (о), на выходе элемента И 14 (п).

Устройство работает следующим образом.

Контролируемая последовательность импульсов с частотой f_1 поступает на шину 4 устройства. На шину 3 устройства поступает опорная последовательность импульсов с частотой f_2 . Эта последовательность является эталонной по частоте и фазе. Момент изменения сигнала от уровня логического нуля к единице соответствует моменту начала каждого периода.

В исходном состоянии на инверсном выходе триггера 5 установлен уровень логической единицы, который по входам сброса удерживает счетчики 1 и 2 в исходном состоянии логического нуля. Смена сигнала на инверсном выходе триггера 5 от уровня логической единицы к уровню нуля совпадает с началом периода опорного сигнала. В связи с этим начало счета импульсов обоими счетчиками, т.е. начало контроля, совпадает с моментом начала периода опорных сигналов.

Если частоты f_1 и f_2 равны и совпадают по фазе (фиг.3), сигналы на выходах счетчиков 1 и 2 появляются одновременно. Это приводит к смене уровня сигнала на выходе первого элемента И-НЕ 9 с уровня логической единицы на уровень логического нуля и установке третьего триггера 12 в состояние логического нуля на его прямом выходе. Одновременно со сменой состояния элемента И-НЕ 9 на первый вход элемента И-НЕ 10 поступает сигнал логического нуля, который запрещает прохождение импульсов

от элемента ИЛИ 8, блокируя этим переключение триггера 12 по I-входу. Триггер 7, при равенстве частот по величине и фазе, меняет свое состояние после каждого цикла сравнения. Однако сигнал логического нуля с прямого выхода триггера 12 удерживает на выходах элементов И 13 и 14 уровень логического нуля. Таким образом, при равенстве частот по величине и фазе на выходах устройства устанавливается однозначное состояние: уровень логического нуля на шинах 15 и 16 и уровень логической единицы на шине 17. После окончания цикла сравнения изменяется уровень сигнала на выходе элемента И 11 на уровень логического нуля и происходит переключение триггера 5 в исходное состояние.

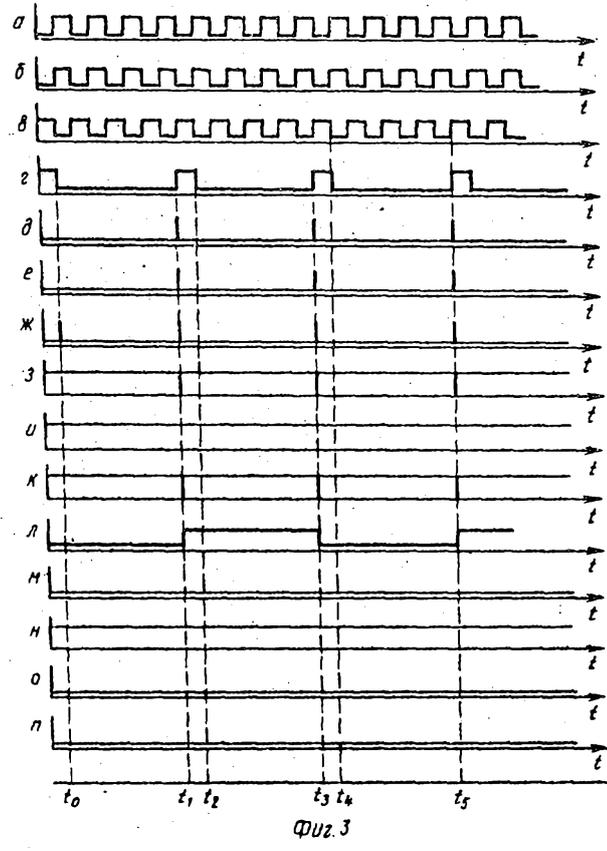
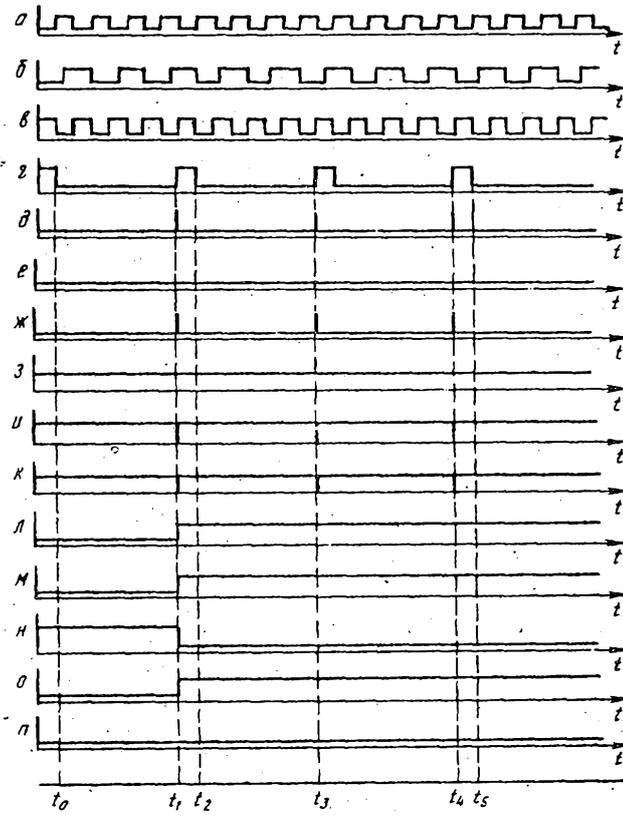
Если частоты совпадают по величине, но отличаются по фазе, или одна из входных частот больше другой, то в конце цикла сравнения на выходе элемента И-НЕ 9 присутствует уровень логической единицы, который разрешает прохождение сигнала с выхода элемента ИЛИ 8 на вход триггера 12. При этом триггер 12 при появлении импульса на выходе любого из счетчиков 1 или 2 переключается в состояние логической единицы на его прямом выходе. При этом если опережающей является фаза сигнала на шине 3 или частота сигнала на шине 3 больше частоты сигнала на шине 4 (фиг.2), счетчик 1 считывает первым и переключает триггер 7 в состояние логической единицы на его прямом выходе. При этом на выходе элемента И 13 также устанавливается уровень логической единицы. Таким образом, если опережающей является фаза опорной последовательности, на шине устройства также устанавливается однозначное состояние: уровень логической единицы на шине 15 и уровень логического нуля на шинах 16 и 17.

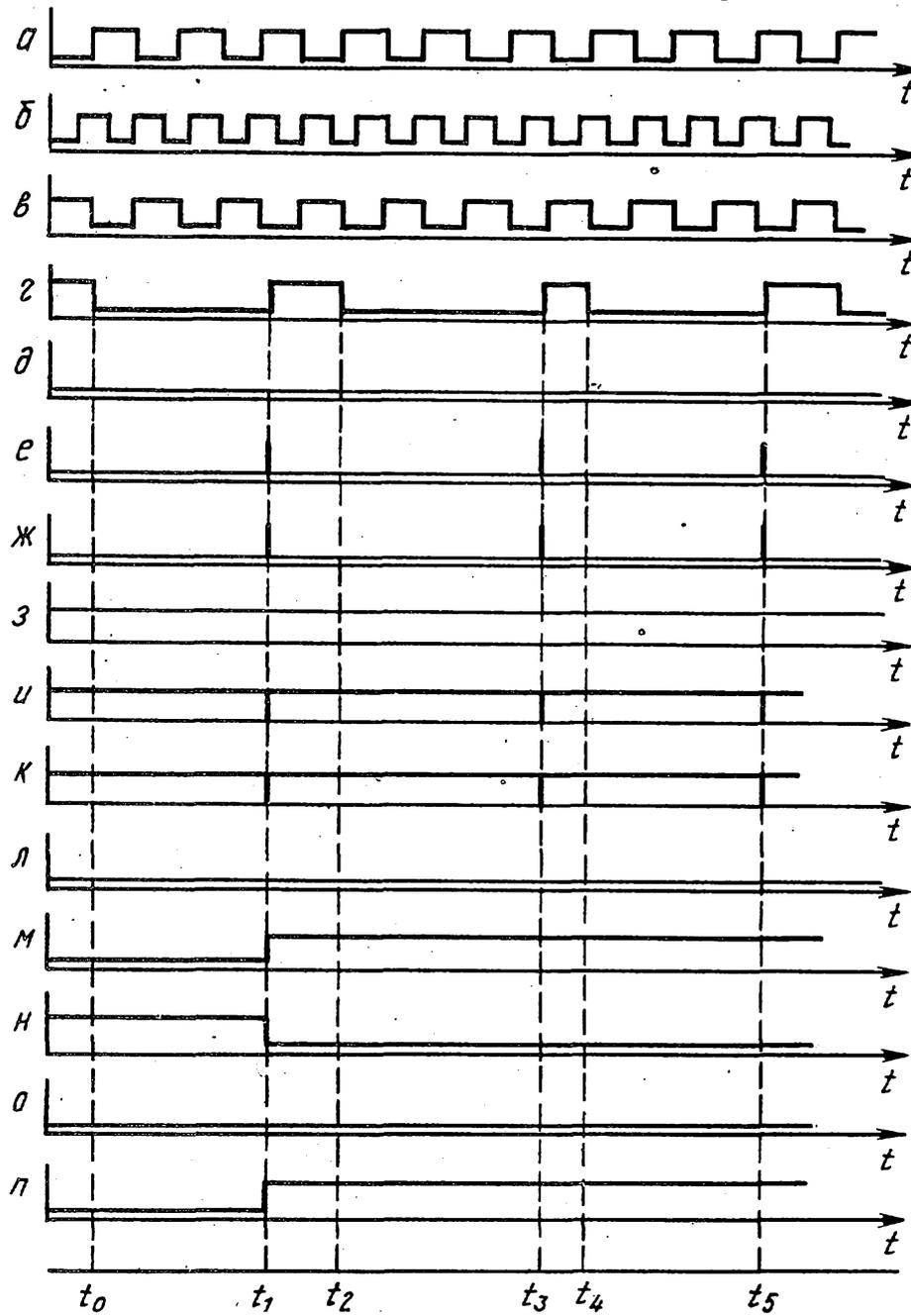
Аналогично, когда опережающей является фаза сигнала на шине 4 или частота сигнала на шине 4 больше частоты сигнала на шине 3, на выходе элемента И 14 устанавливается уровень логической единицы, на выходе элемента И 13 и инверсном выходе триггера 12 - уровень логического нуля (фиг.4).

Таким образом, в предлагаемом устройстве по сравнению с известным устранена неопределенность выходной информации для случая, когда частоты совпадают по величине и фазе. Это повышает точность устройства и позволяет использовать его в системах автоматического регулирования.

Ф о р м у л а и з о б р е т е н и я

Цифровой фазочастотный компаратор, содержащий первый и второй счетчики импульсов, тактовые входы которых соединены соответственно с первой и второй входными шинами, а R-входы - с инверсным выходом первого триггера, I-вход которого через элемент НЕ соединен с первой входной шиной, выход первого счетчика импульсов соединен с I-входом второго триггера и с первым входом элемента ИЛИ, а выход второго счетчика импульсов соединен с K-входом второго триггера и вторым входом элемента ИЛИ, а также первую выходную шину, о т л и ч а ю щ и й с я тем, что, с целью повышения точности за счет устранения неопределенности выходного сигнала при совпадении входных сигналов по частоте и фазе, в него введены вторая и третья выходных шины, первый и второй элементы И-НЕ, третий триггер и первый, второй и третий элементы И, при этом первые входы второго и третьего элементов И соединены соответственно с прямым и инверсным выходами второго триггера, выходы второго и третьего элементов И соединены соответственно с первой и второй выходными шинами, а вторым входом - с прямым выходом третьего триггера, инверсный выход которого соединен с третьей выходной шиной, I-вход - с выходом второго элемента И-НЕ и первым входом первого элемента И, K-вход - с выходом первого элемента И-НЕ, первым входом второго элемента И-НЕ и вторым входом первого элемента И, выход которого соединен с K-входом первого триггера, причем выход элемента ИЛИ соединен с вторым входом второго элемента И-НЕ, а первый и второй входы первого элемента И-НЕ соединены соответственно с выходами первого и второго счетчиков импульсов.





Фиг. 4

Составитель С. Будович
 Редактор Н. Тупица Техред М. Дидьк Корректор М. Шароши

Заказ 6007/55 Тираж 900 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4