



(12) 发明专利

(10) 授权公告号 CN 102983105 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201210057487. 8

(22) 申请日 2012. 03. 06

(30) 优先权数据

61/530, 845 2011. 09. 02 US

13/244, 365 2011. 09. 24 US

(73) 专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹

(72) 发明人 黄仁安 张启新 杨仁盛 林大为
罗仕豪 叶志扬 林慧雯 高荣辉
涂元添 林焕哲 彭治棠 郑培仁
杨宝如 庄学理

(74) 专利代理机构 北京德恒律师事务所 11306
代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 21/8238(2006. 01)

H01L 21/28(2006. 01)

H01L 29/49(2006. 01)

(56) 对比文件

CN 1893028 A, 2007. 01. 10, 全文.

US 2007/0037343 A1, 2007. 02. 15, 说明书第
[0033]~[0067] 段, 附图 2~10.

US 2009/0174002 A1, 2009. 07. 09, 第
[0076]~[0107] 段, 附图 1~9.

US 4954867 1990. 09. 04, 说明书第 2 栏第 20
行~第 4 栏第 30 行, 附图 1A~1E.

审查员 李利哲

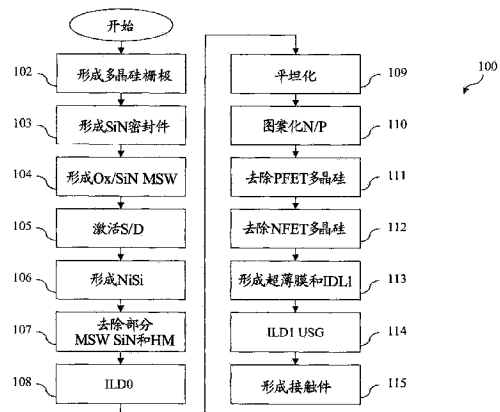
权利要求书 2 页 说明书 6 页 附图 15 页

(54) 发明名称

用于高-k 金属栅极器件的自对准绝缘膜

(57) 摘要

一种制造集成电路的方法, 包括: 提供半导体衬底并且在该半导体衬底的上方形成栅极电介质 (例如, 高-k 电介质)。在半导体衬底和栅极电介质的上方形成金属栅极结构, 并且在该金属栅极结构的上方形成薄电介质膜。该薄电介质膜包含与金属栅极的金属相结合的氮氧化物。该方法还包括: 在金属栅极结构的各个侧面上提供层间电介质 (ILD)。本发明还提供了一种用于高-k 金属栅极器件的自对准绝缘膜。



1. 一种制造集成电路的方法,所述方法包括:
提供半导体衬底;
在所述衬底的上方形成栅极电介质,所述栅极电介质是高-k电介质;
在所述半导体衬底和所述栅极电介质的上方形成金属栅极结构;
采用等离子体轰击法在所述金属栅极结构上形成薄电介质膜,所述薄电介质膜包含与
所述金属栅极的金属相结合并反应的氮氧化物;以及
提供层间电介质(ILD),位于所述金属栅极结构的各个侧面上。
2. 根据权利要求1所述的方法,其中,所述金属栅极结构包括多个包含铜和钛的金属层。
3. 根据权利要求2所述的方法,其中,所述薄电介质膜与铜相结合形成了氮氧化铜并且与钛相结合形成了氮氧化钛。
4. 根据权利要求1所述的方法,其中,形成所述薄电介质膜包括:使用氧等离子体。
5. 根据权利要求4所述的方法,其中,形成所述薄电介质膜进一步包括:使用氮等离子体。
6. 根据权利要求4所述的方法,其中,形成所述薄电介质膜进一步包括:使用氮等离子体。
7. 根据权利要求1所述的方法,其中,所述薄电介质层的厚度小于10nm。
8. 一种集成电路,包括:
半导体衬底;
栅极电介质,位于所述衬底上方,其中,所述栅极电介质是高-k电介质;
金属栅极结构,位于所述半导体衬底和所述栅极电介质上方;
电介质膜,位于所述金属栅极结构上,所述电介质膜包含与所述金属栅极的金属相结合并反应的氮氧化物;以及
层间电介质(ILD),位于所述金属栅极结构的各个侧面上。
9. 根据权利要求8所述的集成电路,其中,所述电介质膜的厚度小于10nm。
10. 根据权利要求8所述的集成电路,其中,所述金属包括铜,所述电介质膜包含氮氧化铜。
11. 根据权利要求8所述的集成电路,其中,所述金属包括由铜、钛、钽、和铝所构成的组中的至少两种。
12. 根据权利要求11所述的集成电路,其中,所述电介质膜包含由氮氧化铜、氮氧化钛、氮氧化钽、氮氧化铝、和氮氧化钛铝所构成的组中的至少两种。
13. 一种制造集成电路的方法,包括:
提供带有高-k电介质的衬底;
在所述高-k电介质上方提供多晶硅栅极结构;
在所述多晶硅栅极结构的顶面上形成硬掩模,并且在所述多晶硅栅极结构的侧面上形成侧壁结构;
在形成所述硬掩模之后,对邻近所述多晶硅栅极结构的所述衬底实施掺杂工艺;
在所述掺杂工艺之后,去除所述硬掩模和所述多晶硅栅极结构,但是保留所述侧壁结构的至少一部分,以形成沟槽;

使用至少一种金属材料填充所述沟槽,以形成金属栅极;以及在所述金属栅极的顶面上形成薄电介质层,并且将所述薄电介质层与所述金属栅极的顶面自对准,所述薄电介质层包含与所述金属栅极的金属相结合并反应的氮氧化物。

14. 根据权利要求 13 所述的方法,其中,所述金属包括铜,所述电介质膜包含氮氧化铜。

15. 根据权利要求 13 所述的方法,其中,所述金属包括由铜、钛、钽、和铝所构成的组中的至少两种。

16. 根据权利要求 15 所述的方法,其中,所述电介质膜包含由氮氧化铜、氮氧化钛、氮氧化钽、氮氧化铝、和氮氧化钛铝所构成的组中的至少两种。

17. 根据权利要求 13 所述的方法,其中,所述电介质膜的厚度小于 10nm。

18. 根据权利要求 13 所述的方法,其中,形成所述薄电介质膜包括:使用氧等离子体和含氮等离子体。

用于高 -k 金属栅极器件的自对准绝缘膜

[0001] 本申请要求于 2011 年 9 月 2 日提交的美国临时专利申请第 61/530,845 号的优先权,其全部内容结合于此作为参考。

技术领域

[0002] 本发明涉及半导体领域,更具体地,本发明涉及一种用于高 -k 金属栅极器件的自对准绝缘膜。

背景技术

[0003] 半导体器件的制造包括许多不同的工艺,每个工艺都具有相关的周期时间和成本要求。降低成本和减少周期时间是对器件制造的持续要求。另外,在半导体制造中,减少次品的数量和提高产量是对半导体制造的持续要求。其中,有待改进的一个方面是制造具有高介电常数(高 -k)金属栅极的金属氧化物半导体场效应晶体管(MOSFET)器件。本发明提供了对此类器件制造的改进。

发明内容

[0004] 本发明提供了许多不同的制造集成电路器件的方法的实施例。在一个实施例中,一种制造集成电路的方法包括:提供半导体衬底和在该衬底上形成栅极电介质(如,高 -k 电介质)。将金属栅极结构形成在半导体衬底和栅极电介质上,将薄电介质膜形成在该金属栅极结构上。该薄电介质膜包含与金属栅极的金属相结合的氮氧化物。该方法还包括:在金属栅极结构的侧面上提供层间电介质(ILD)。

[0005] 在另一个实施例中,一种制造集成电路的方法包括:提供具有高 -k 电介质高的衬底和在高 -k 电介质的上方提供多晶硅栅极结构。在该多晶硅栅极结构的顶面上形成硬掩模并且在该多晶硅栅极结构的侧面上形成侧壁结构。在硬掩模形成之后,对邻近多晶硅栅极结构的衬底实施掺杂工艺。在该掺杂工艺之后,去除硬掩模和多晶硅栅极结构,保留至少部分侧壁结构,以形成沟槽。利用至少一种金属材料(例如,铜、铝、钛、和/或钽)填充该沟槽,以形成金属栅极。然后,在金属栅极的顶面上形成薄电介质层,并将该薄电介质层与金属栅极的顶面自对准,该薄电介质层包含金属材料。

[0006] 本发明还提供了许多不同的集成电路器件的实施例。在一个实施例中,一种集成电路包括:半导体衬底和该衬底上方的栅极电介质(如高 -k 电介质)。金属栅极结构形成在该半导体衬底和该栅极电介质的上方,并且电介质膜形成在该金属栅极结构上。该电介质膜包含与金属栅极的金属相结合的氮氧化物。层间电介质(ILD)形成在金属栅极结构的各个侧面上。

[0007] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种制造集成电路的方法,所述方法包括:提供半导体衬底;在所述衬底的上方形成栅极电介质;在所述半导体衬底和所述栅极电介质的上方形成金属栅极结构;在所述金属栅极结构上形成薄电介质膜,所述薄电介质膜包含与所述金属栅极的金属相结合的氮氧化物;以及提供层间

电介质 (ILD), 位于所述金属栅极结构的各个侧面上。

[0008] 在该方法中, 所述栅极电介质是高 $-k$ 电介质。

[0009] 在该方法中, 所述金属栅极结构包括多个包含铜和钛的金属层。

[0010] 在该方法中, 所述薄电介质膜与铜相结合形成了氮氧化铜并且与钛相结合形成了氮氧化钛。

[0011] 在该方法中, 形成所述薄电介质膜包括: 使用氧等离子体。

[0012] 在该方法中, 形成所述薄电介质膜进一步包括: 使用氨等离子体。

[0013] 在该方法中, 形成所述薄电介质膜进一步包括: 使用氮等离子体。

[0014] 在该方法中, 所述薄电介质层的厚度小于大约 10nm。

[0015] 根据本发明的另一方面, 提供了一种集成电路, 包括: 半导体衬底; 栅极电介质, 位于所述衬底上方; 金属栅极结构, 位于所述半导体衬底和所述栅极电介质上方; 电介质膜, 位于所述金属栅极结构上, 所述电介质膜包含与所述金属栅极的金属相结合的氮氧化物; 以及层间电介质 (ILD), 位于所述金属栅极结构的各个侧面上。

[0016] 在该集成电路中, 所述栅极电介质是高 $-k$ 电介质。

[0017] 在该集成电路中, 所述电介质膜的厚度小于大约 10nm。

[0018] 在该集成电路中, 所述金属包括铜, 所述电介质膜包含氮氧化铜。

[0019] 在该集成电路中, 所述金属包括由铜、钛、钽、和铝所构成的组中的至少两种。

[0020] 在该集成电路中, 所述电介质膜包含由氮氧化铜、氮氧化钛、氮氧化钽、氮氧化铝、和氮氧化钛铝所构成的组中的至少两种。

[0021] 根据本发明的又一方面, 提供了一种制造集成电路的方法, 包括: 提供带有高 $-k$ 电介质的衬底; 在所述高 $-k$ 电介质上方提供多晶硅栅极结构; 在所述多晶硅栅极结构的顶面上形成硬掩模, 并且在所述多晶硅栅极结构的侧面上形成侧壁结构; 在形成所述硬掩模之后, 对邻近所述多晶硅栅极结构的所述衬底实施掺杂工艺; 在所述掺杂工艺之后, 去除所述硬掩模和所述多晶硅栅极结构, 但是保留所述侧壁结构的至少一部分, 以形成沟槽; 使用至少一种金属材料填充所述沟槽, 以形成金属栅极; 以及在所述金属栅极的顶面上形成薄电介质层, 并且将所述薄电介质层与所述金属栅极的顶面自对准, 所述薄电介质层包含所述金属材料。

[0022] 在该方法中, 所述金属包括铜, 所述电介质膜包含氮氧化铜。

[0023] 在该方法中, 所述金属包括由铜、钛、钽、和铝所构成的组中的至少两种。

[0024] 在该方法中, 所述电介质膜包含由氮氧化铜、氮氧化钛、氮氧化钽、氮氧化铝、和氮氧化钛铝所构成的组中的至少两种。

[0025] 在该方法中, 所述电介质膜的厚度小于大约 10nm。

[0026] 在该方法中, 形成所述薄电介质膜包括: 使用氧等离子体和含氮等离子体。

附图说明

[0027] 当结合附图进行阅读时, 根据下面详细的描述可以更好地理解本发明。应该强调的是, 根据工业中的标准实践, 各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上, 为了清楚的讨论, 各种部件的尺寸可以被任意增加或减少。另外, 为清楚起见, 并不是所有的在图中显示的元件和部件都用数字标记出来。然而, 应该理解, 对称的部件和器件将置

于相似的位置。

[0028] 图 1 示出的是根据本发明的一个实施例的一种制造具有金属栅极堆叠件的半导体器件的方法的流程图；

[0029] 图 2- 图 15 是根据图 1 的方法的处于各个制造阶段的一种具有带有金属栅极堆叠件的 n 型 MOSFET 和 p 型 MOSFET (NFET 和 PFET) 的半导体器件的一个实施例的截面图。

具体实施方式

[0030] 应该理解,为了实施本公开的各个实施例的不同部件,以下描述提供了许多不同的实施例或实例。以下描述元件和布置的特定实例以简化本公开。当然这些仅仅是实例并不用于限定。另外,本公开可能在各个实施例中重复参考数字和 / 或字母。这种重复只是为了简明的目的且其本身并不表示各个实施例和 / 或所讨论的结构之间的关系。而且,本公开中第一部件形成在第二部件上方包括其中第一部件和第二部件以直接接触形成的实施例,并且还可是包括其中额外的部件可能形成在第一部件和第二部件之间,使得第一部件和第二部件可能不直接接触的实施例。

[0031] 图 1 是根据一个实施例的制造半导体器件的方法 100 的流程图。该半导体器件包括 n 型场效应晶体管 (NFET) 和 p 型场效应晶体管 (PFET),两者均具有根据本发明的各个方面构造而成的金属栅极堆叠电阻器。图 2 至图 15 是处于各个制造阶段的并且根据一个或多个实施例构造的半导体结构 200 的截面图。参考图 1 至图 16,集中描述了半导体结构 200 及其制造方法 100。

[0032] 参考图 1 和图 2,方法 100 从步骤 102 开始,该步骤提供了半导体衬底 201 并在该半导体衬底 201 上形成多晶硅栅极。半导体衬底 201 包含硅。可选地,该衬底包含锗、硅锗或其他适当的半导体材料。该半导体衬底还包括各种掺杂区域(如,n 阱和 p 阱)。半导体衬底 201 包括隔离部件,例如,在衬底上形成浅沟槽隔离 (STI) 202 以将 NFET 晶体管和 PFET 晶体管分隔开。STI 部件的形成包括在衬底中蚀刻沟槽和使用一种或多种绝缘材料填充该沟槽(例如,氧化硅、氮化硅或氮氧化硅)。被填充的沟槽可以具有多层结构(例如,填充了沟槽的带有氮化硅的热氧化物衬垫层)。在一个实施例中,STI 部件 202 经由一序列工艺制造而成,诸如:生长焊盘氧化物,形成低压化学汽相沉积 (LPCVD) 氮化物层,使用光刻胶和掩模图案化开口,在衬底中蚀刻出沟槽、选择性地生长热氧化物沟槽衬垫以改进沟槽界面,使用 CVD 氧化物填充沟槽,使用化学机械研磨 (CMP) 进行回蚀刻,使用氮化剥离以离开 STI 结构。半导体衬底 201 还包括在各个有源区域中形成的各种 n- 阱和 p- 阱。

[0033] 两个类似的多晶硅栅极堆叠件 204、206 形成在衬底 201 上,STI 结构 202 的侧面上。在本实施例中,多晶硅栅极堆叠 204、206 均包括(如图所示,从衬底 201 向上看去)硅氧化物界面层 (IL)、高 k 电介质层 (HK) 和保护层 (cap layer),一般用参考数字 214 表示。在各个实施例中,在界面层可以通过化学氧化技术、热氧化过程、原子层沉积 (ALD) 或化学汽相沉积 (CVD) 形成。高 k 电介质材料层可以通过 CVD、ALD、等离子增强 CVD (PECVD) 或等离子增强 ALD (PEALD) 形成。保护层可以利用前体硅烷 (SiH₄) 或与其他硅基前体通过使用 CVD 形成。

[0034] 继续论述本实施例,多晶硅 (polycrystalline silicon/polysilicon) 层 216 形成在 IL/HK/ 保护层 214 的上方。在本实施例中,多晶硅层 216 是未掺杂的。硅层 216 可选

地或额外地包含非晶硅。氧化物 218 形成在多晶硅层 216 的上方,并且氮化硅层 (SiN) 220 形成在氧化物 218 的上方,从而形成了硬掩模 (HM)。可以理解,上述层的形成(包括图案化)在本领域中属于公知工艺,为简明起见,将不再作进一步讨论。

[0035] 参考图 1 和图 3,方法 100 进行到步骤 103,其中 SiN 密封件 (SiN seal) 230 围绕着栅极堆叠件 204、206 形成。在本实施例中,通过将原子层沉积为大约 50Å 的厚度,从而形成 SiN 密封件 230。另外,衬底 201 被掺杂,从而形成源极和漏极 (S/D) 部件的卤素 (halogen) 区域和轻掺杂漏极 (LDD) 区域。使用适当的掺杂类型为 NFET 器件和 PFET 器件形成源极区域和漏极区域。

[0036] 参考图 1 和图 4,方法 100 进行到步骤 104,其中,形成了主侧壁 (MSW)。该 MSW 包括邻近 SiN 层 230 的外表面和衬底 201 的上表面的氧化物 (OX) 层 232。在本实施例中,通过 ALD 将 OX 层 232 的厚度形成为大约 30Å。MSW 还包括形成在 OX 层 232 的外表面上的 SiN 侧壁 234。所形成的该 SiN 层具有大约 250Å 的最大厚度。如图 4 所示,MSW 邻近多晶硅栅极堆叠件 204、206 的侧壁,但是并没有覆盖整个衬底。

[0037] 参考图 1 和图 5,方法 100 进行到步骤 105,其中,S/D 和静电放电区域 240 是被完全注入和激活。如上所述,在步骤 104 中形成 MSW 之前,在步骤 103 中,LDD 区域已经被首先提供在衬底 201 中。在步骤 105 中,完成了较深的注入工艺。利用 P 型掺杂剂(如,硼或 BF₂)掺杂了 NFET 的掺杂区域,利用 N 型掺杂剂(如,磷或砷)掺杂了 PFET 的掺杂区域。在 P-阱结构中、在 N 阱结构中、在双阱结构或使用凸起结构,可以将掺杂区域 240 直接形成在衬底 201 上。在本实施例中,通过大约 1150C(°C)的激光退火 (LSA) 以及大约 1010C 尖峰脉冲 (spike) 的快速热退火 (RTA) 实施 S/D 激活。

[0038] 参考图 1 和图 6,方法 100 进行到步骤 106,其中,形成硅化镍 (NiSi) 区域 242,用于将来与 S/D 区域 240 相接触。在本实施例中,在步骤 105 中形成的 MSW 的指导下,Ni 以大约 400Å 的厚度沉积在衬底 201 中。

[0039] 参考图 1 和图 7,方法 100 进行到步骤 107,其中,从两个栅极堆叠件上去除 MSW 的 SiN 层 234 的一部分。如图 7 所示, SiN 层的一部分(现标记为 244) 仍然在 MSW 上, OX 层 232 也是如此。在本实施例中,通过使用 H₃PO₄湿式蚀刻在大约 120C 实施该去除工艺。另外,从多晶硅栅 216 的顶部去除 HM 218、HM 220。在本实施例中,通过干式蚀刻工艺去除 SiN 和 OX。

[0040] 参考图 1 和图 8,方法 100 进行到步骤 108,其中,在两个栅极堆叠件 204、206 的上方形成层间电介质 (ILD) 250。在本实施例中,首先将可拉伸 SiN 接触蚀刻停止层 252 沉积为大约 200Å 的厚度。然后,使用等离子区 (ion plasma, IPM) 将 ILD 层 250(在本实施例中是磷硅酸盐玻璃 (PSG)),沉积为大约 2000Å 的厚度。

[0041] 参考图 1 和图 9,方法 100 进行到步骤 109,其中,将器件的上表面平坦化,以暴露出多晶硅栅 216。在本实施例中,实施化学机械抛光工艺。

[0042] 参考图 1 和图 10,方法 100 进行到步骤 110,其中,将两个多晶硅栅极堆叠件 204、206 之一掩盖 (mask)。在本实施例中,NFET 栅极堆叠件 204 的多晶硅掩模 216 被经过图案化的光刻胶 (PR) 层 260 掩盖。特别地,将 20Å 的 TiN 硬掩模 262 沉积在器件的顶面的上方,然后将 PR 层 260 沉积在 TiN 硬掩模 262 的上方。将 PR 层 260 图案化,以掩盖 NFET 栅极堆叠件 204。

[0043] 参考图 1 和图 11, 方法 100 进行到步骤 111, 去除了 PFET 栅极堆叠件 206 中的多晶硅 216。在本实施例中, 通过蚀刻, 将多晶硅 216 从 PFET 栅极堆叠件 206 (现在, 与栅极堆叠件相比, 被描述为沟槽更确切) 去除, 但是由于被图 10 中经过图案化的 PR 260 所覆盖, 因此 NFET 栅极堆叠件的多晶硅仍保持完整。然后, 将金属栅极 266 形成在去除了 PFET 栅极堆叠件 206 中多晶硅 216 所得到的沟槽中。该金属栅极可以由一个或多个层形成, 并且在本实施例中, 包括以下列顺序被沉积的金属: TaN、TiN、TaN、TiN 和 Al (含微量的 Cu)。沉积的金属层覆盖了器件 200 的整个表面, 但是随后被 CMP 工艺去除 (包括 PR 260 也被去除)。

[0044] 参考图 1 和图 12, 方法 100 进行到步骤 112, 其中, 在 NFET 栅极堆叠件 204 上重复进行类似的工艺。在本实施例中, 由于已经在 PFET 栅极堆叠 206 上去除和替换多晶硅, 因此不使用覆盖 PFET 栅极堆叠件的经过图案化的 PR 层。从 NFET 栅极堆叠件 204 去除了多晶硅 216 (例如, 通过蚀刻工艺去除)。然后, 在 NFET 栅极堆叠件 204 中去除多晶硅 216 之后保留下的沟槽中形成金属栅极 268。金属栅极 268 由一个或多个层形成, 并且在本实施例中, 包括以下列顺序被沉积的金属: TaN、TiAl、TiN 和 Al (含微量的 Cu)。沉积的金属层覆盖了器件 200 的整个表面, 但是随后通过 CMP 工艺去除该金属层 (包括 PR 260 也被去除)。因此, 现在两个多晶硅栅极堆叠件成了金属栅极堆叠件 204、206。

[0045] 参考图 1、图 13a、和图 13b, 方法 100 进行到步骤 113, 其中超薄金属氮氧化物膜 288、286 分别形成在金属栅极堆叠 204、206 的顶面上。在一个实施例中, 氧等离子体以 20C、900W、60 秒被轰击 (bombarded) 到该表面上。随后, 氨等离子体以 400C、75W、60 秒被 NH_3/N_2 轰击到该表面上。在可选实施例中, 可以使用氮等离子体 (不含 NH_3)。结果得到了厚度大约为 1nm 至 10nm 的超薄金属氮氧化物膜。该氮氧化物膜仅仅与栅极堆叠件 204、206 中的金属材料 (诸如, Ti、Ta、Cu、Al、TiAl) 反应, 从而使该工艺能够自对准。

[0046] 参考图 1 和图 14, 方法 100 进行到步骤 114, 其中, 在金属栅极堆叠件 204、206 上方形成 ILD 290 (包括超薄金属氮氧化物膜 288、286)。在本实施例中, ILD 290 是具有厚度大约为 1450Å 的未掺杂的硅酸盐玻璃 (USG)。通过沉积工艺在 400C 使用 $\text{SiH}_4/\text{N}_2\text{O}/\text{He}$ 形成 USG 290。USG 290 可以形成在 PSG 250 的顶面上, 或者可以去除 PSG 250, 和 / 或可以形成额外的电介质材料的组合。

[0047] 参考图 1 和图 15, 方法 100 进行到步骤 115, 形成接触件, 用于 NFET 和 PFET 晶体管的 S/D 区域的电连接。在本实施例中, 在 ILD 290 中, 将接触开口图案化和蚀刻, 并且随后被 W 塞 292 填充。通过 CMP 将该器件的上表面平坦化, 从而得到如图所示的器件。从此开始进行生产线后道工艺。

[0048] 以上所论述的实施例提供了许多优点, 应该理解, 其他实施例可以具有不同的优点。以上所论述的实施例的优点包括由于等离子体形成的超薄绝缘层使可靠性得以提高, 这与形成这种层的其他方法相反。而且, 芯片级的单元应力得到了改进。另外, 通过将任何金属残留物 (诸如, Al、Cu、Ti、或 Ta) 转化为金属氮氧化物从而提高了产量、减少了缺点。

[0049] 本发明并不限于半导体结构包括 FET (例如, MOS 晶体管) 的应用方式, 还可以扩展到其他具有金属栅极堆叠件的集成电路中。例如, 该半导体结构可以包括动态随机存取存储器 (DRAM) 单元、图像传感器、电容器和 / 或其他微电子器件 (在本文中统称为微电子器件)。在另一个实施例中, 半导体结构包括 FinFET 晶体管。当然, 本发明的各个方面也适用于和 / 或容易适用于其他类型的晶体管 (包括单栅极晶体管、双栅极晶体管和其他多个

栅极晶体管),也可以用于许多不同的应用中(包括传感器单元、存储器单元、逻辑单元和其他单元)。

[0050] 上面论述了若干实施例的特征。本领域普通技术人员应该理解,可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的和/或实现相同优点的处理和结构。本领域普通技术人员也应该意识到,这种等效构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,可以进行多种变化、替换以及改变。

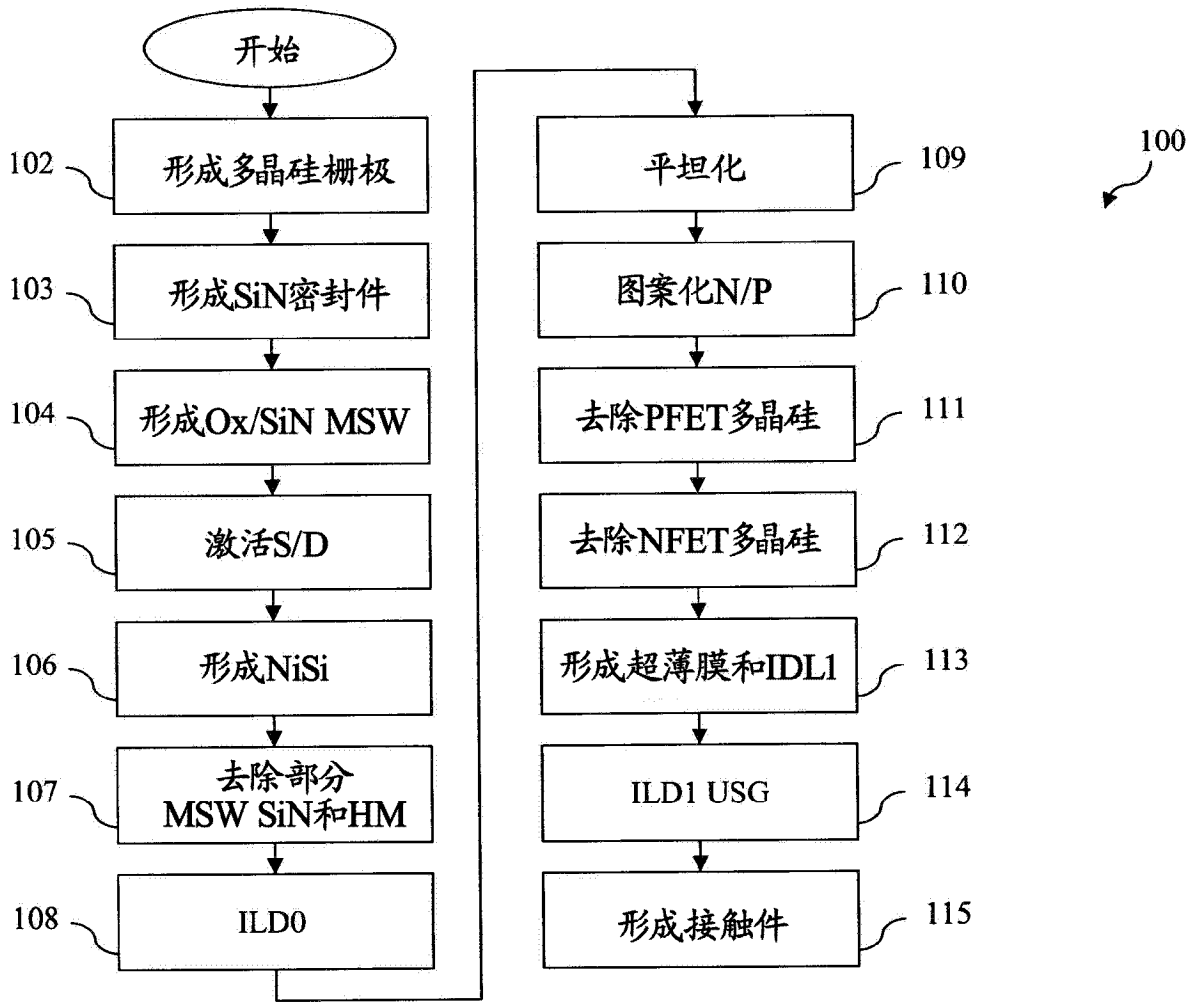


图 1

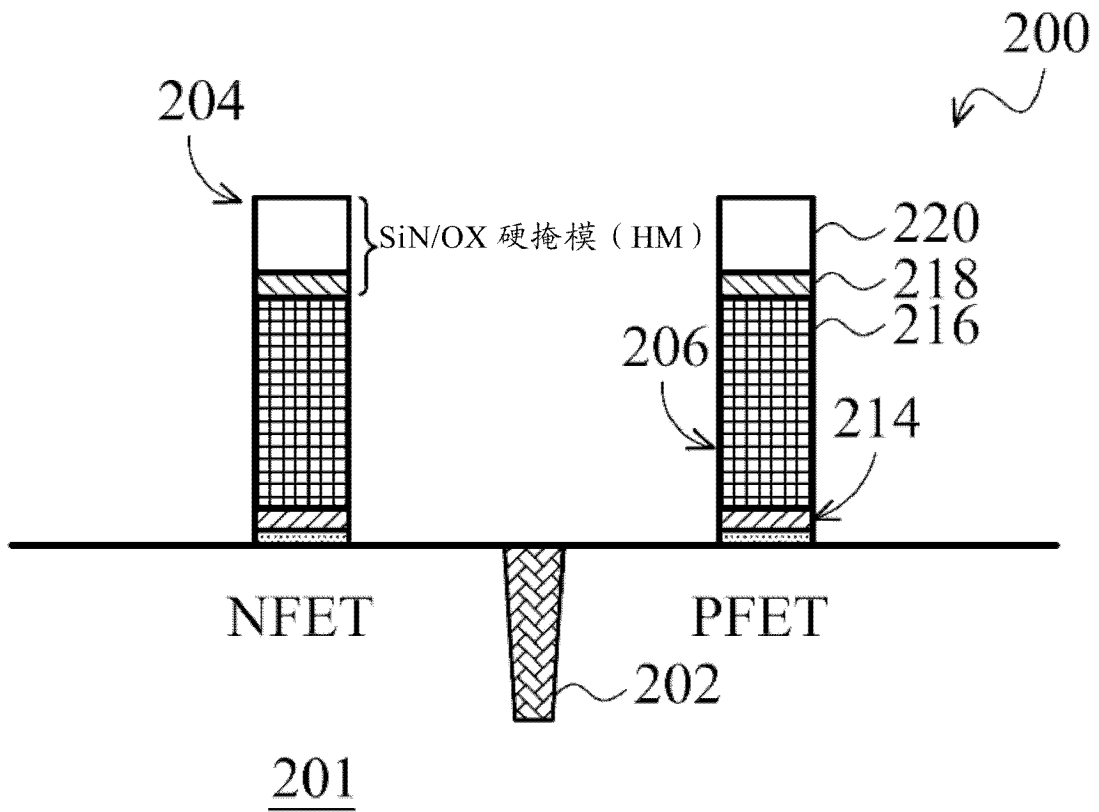


图 2

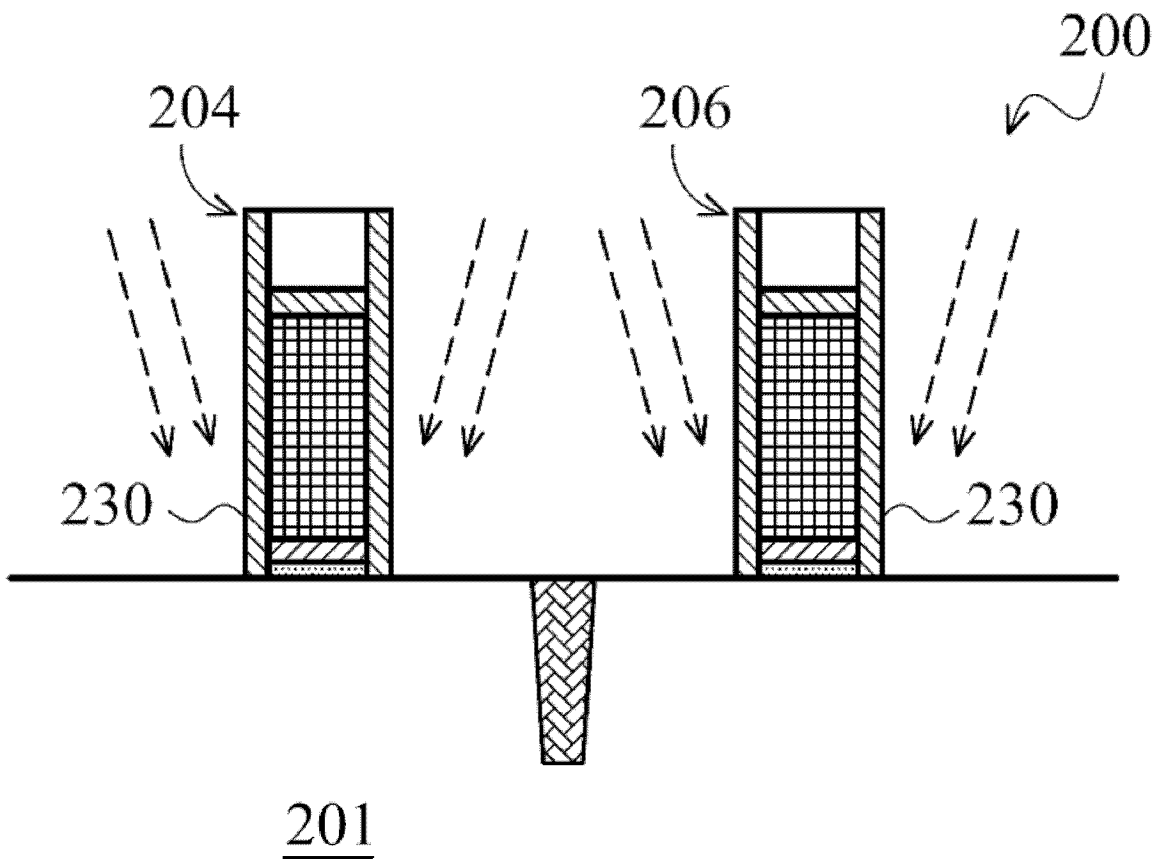


图 3

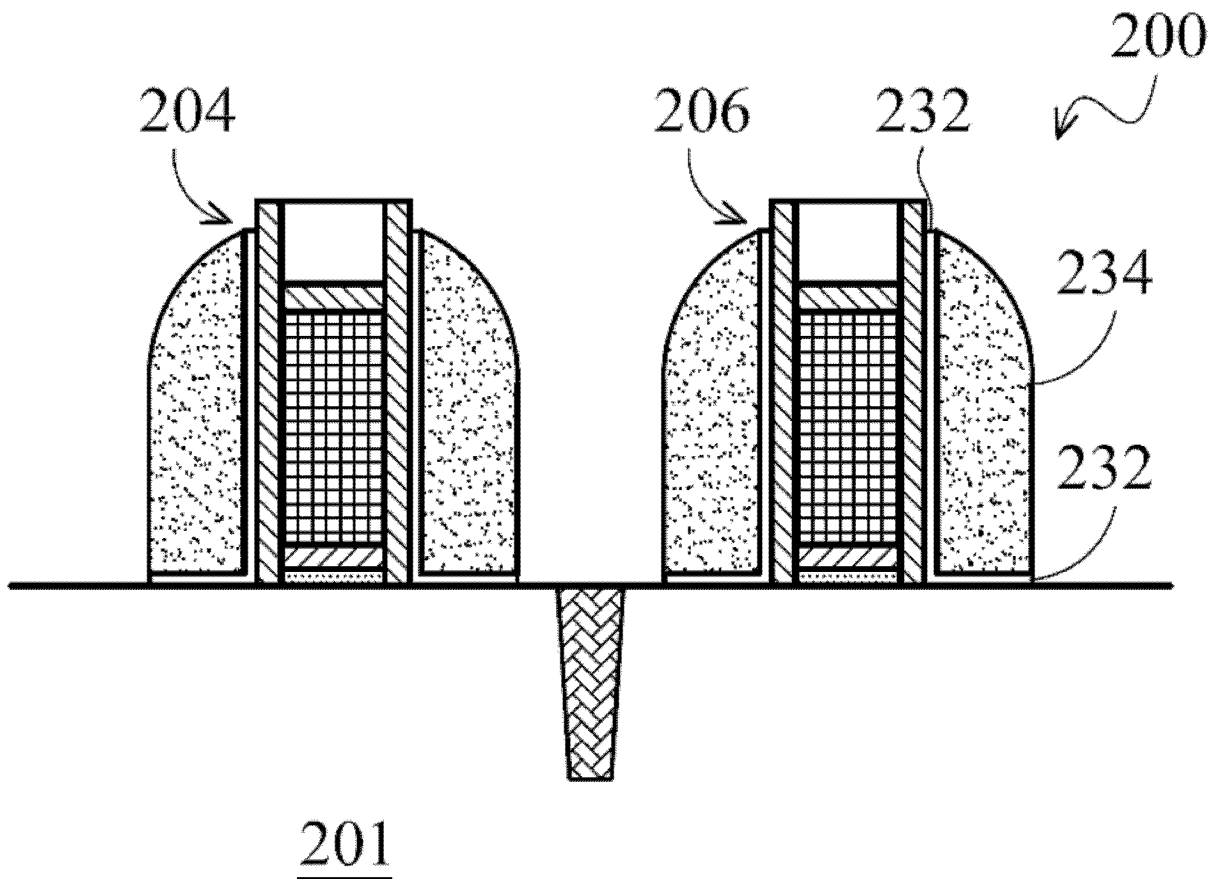


图 4

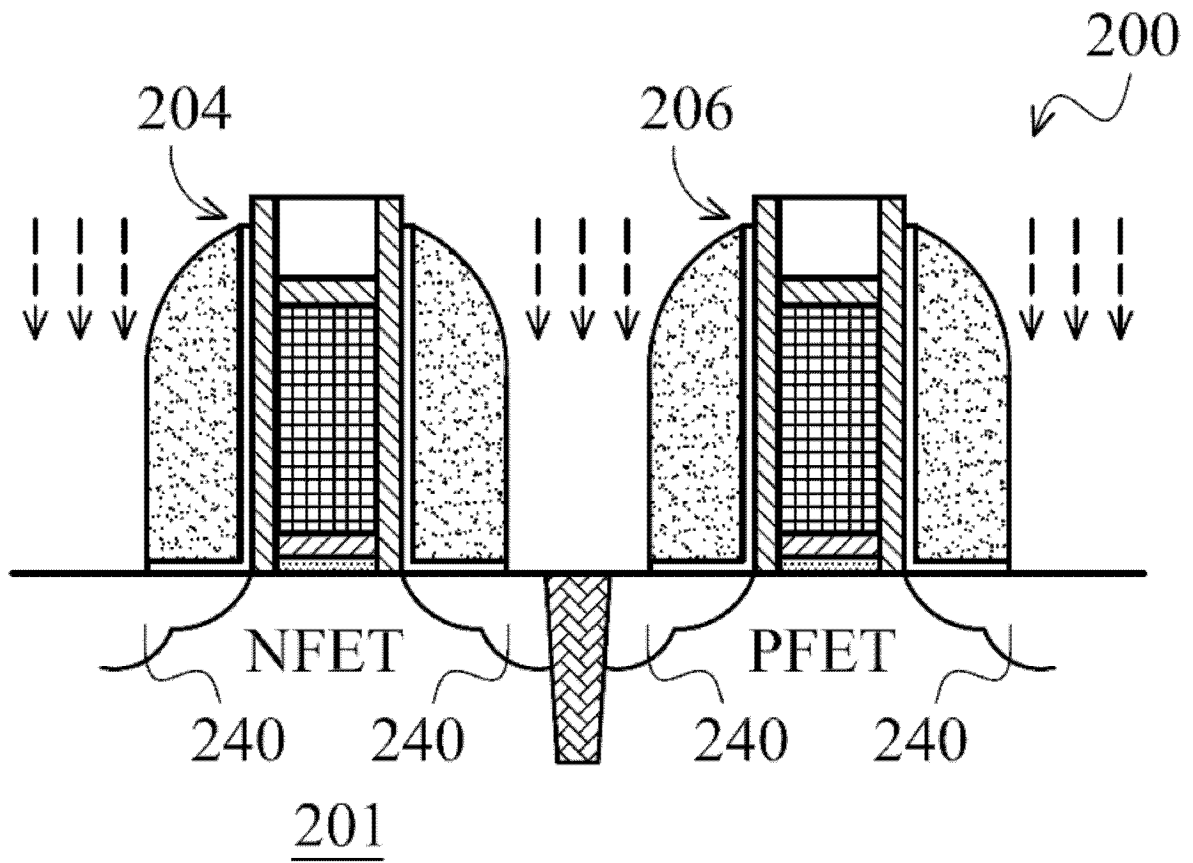


图 5

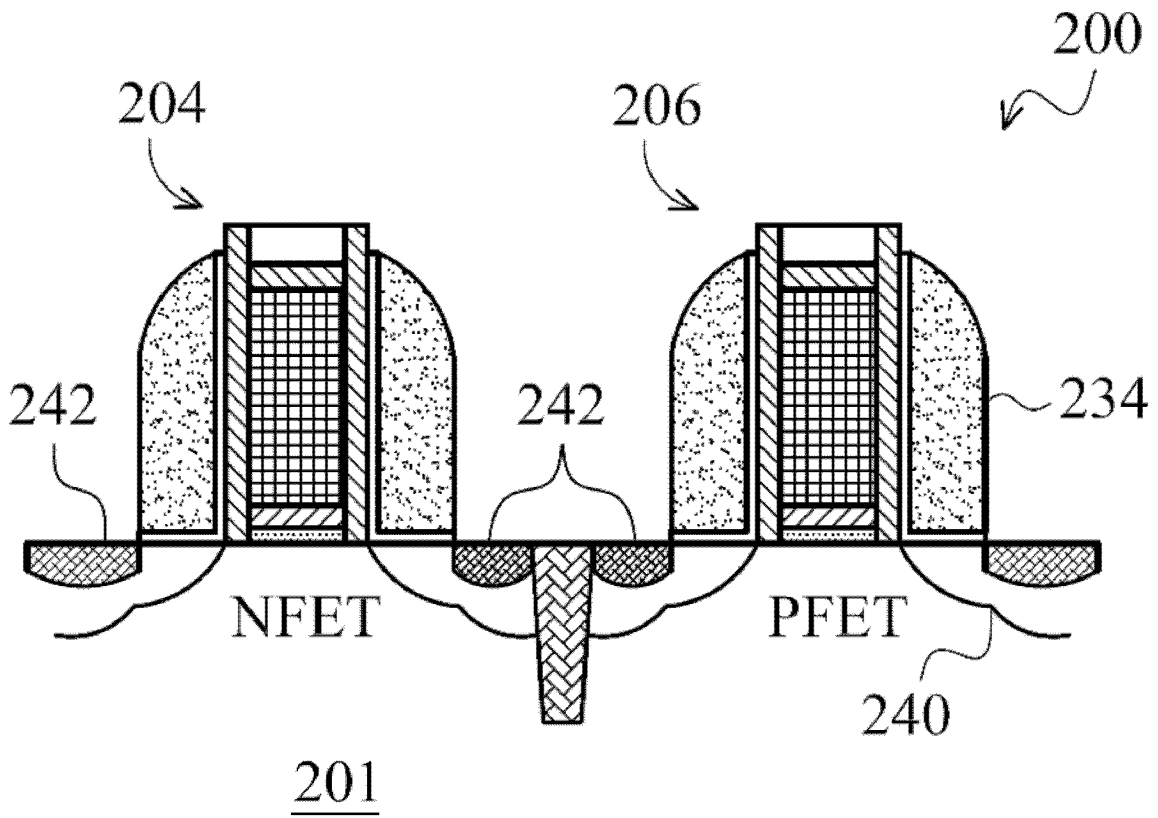


图 6

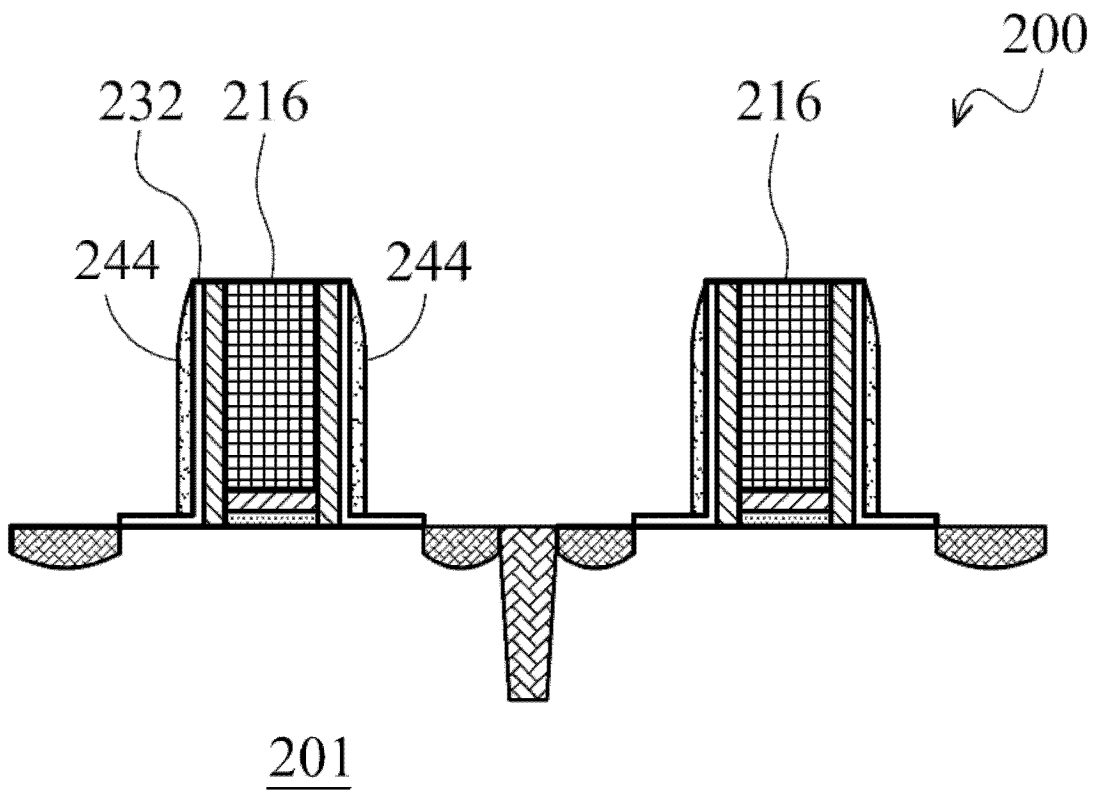


图 7

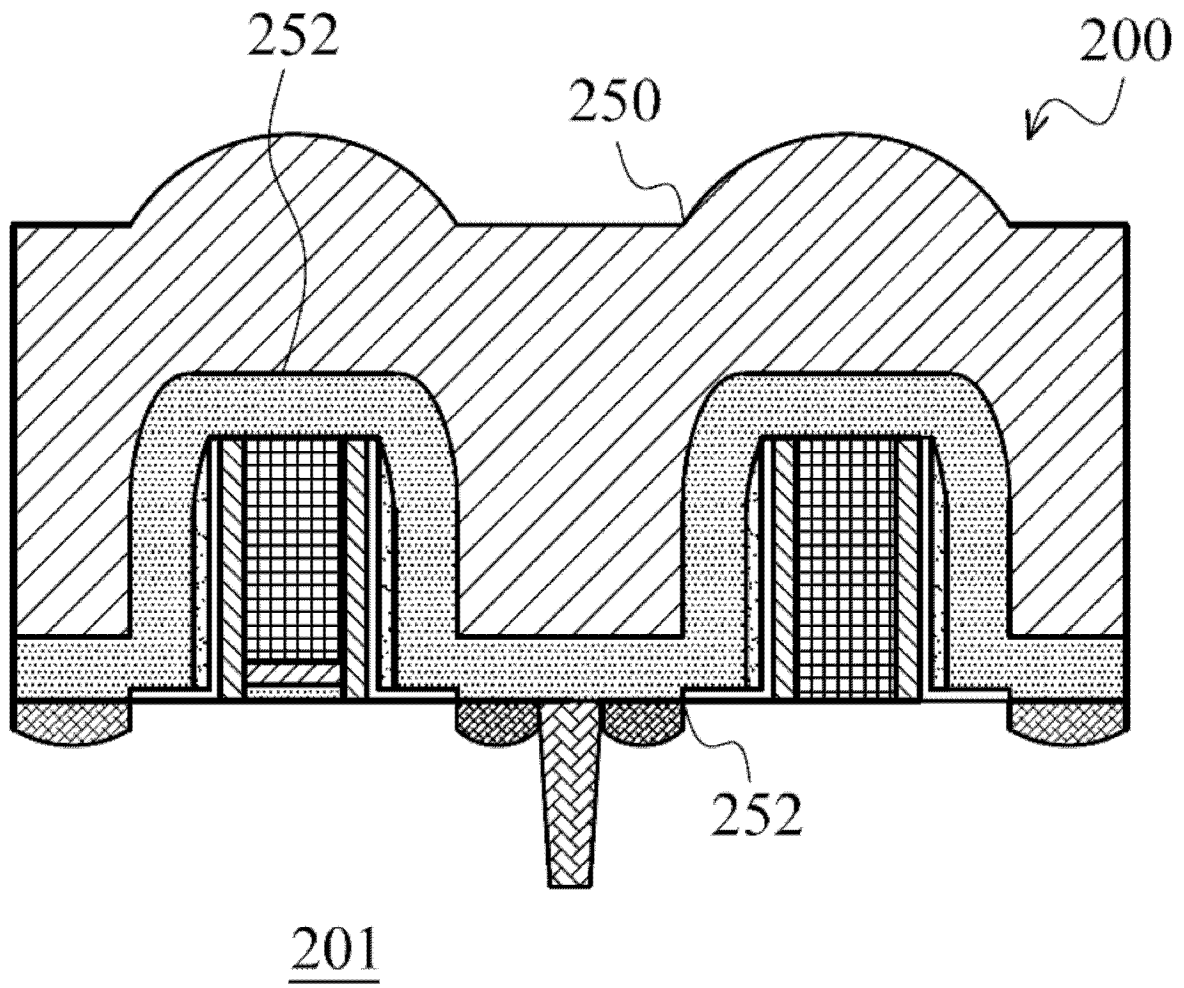


图 8

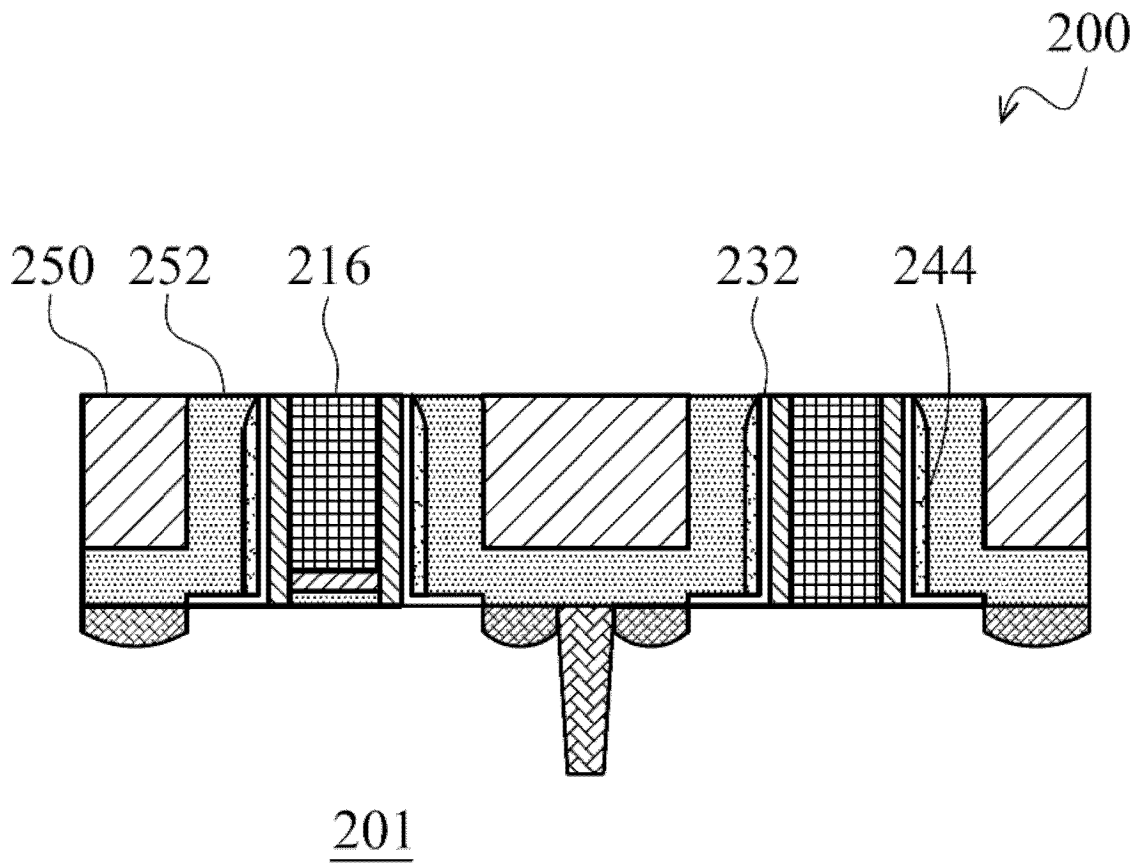


图 9

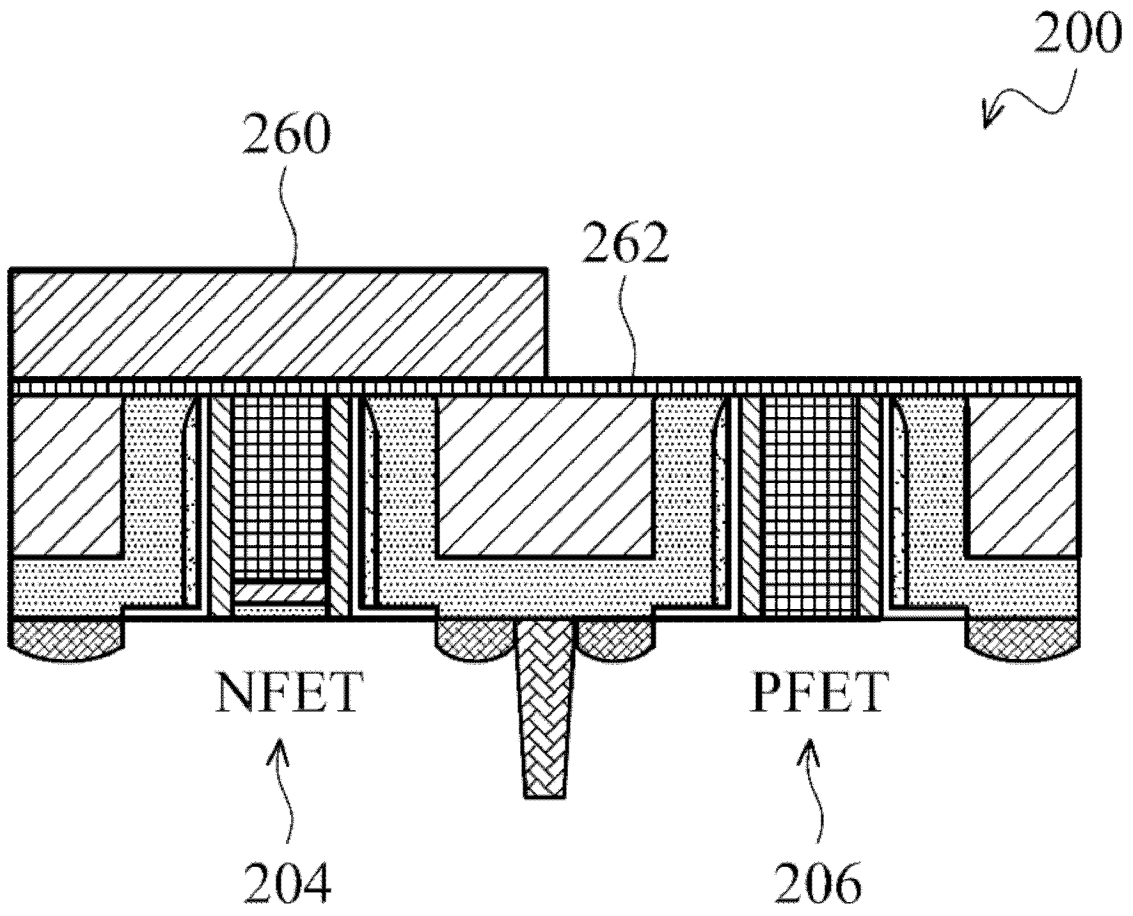


图 10

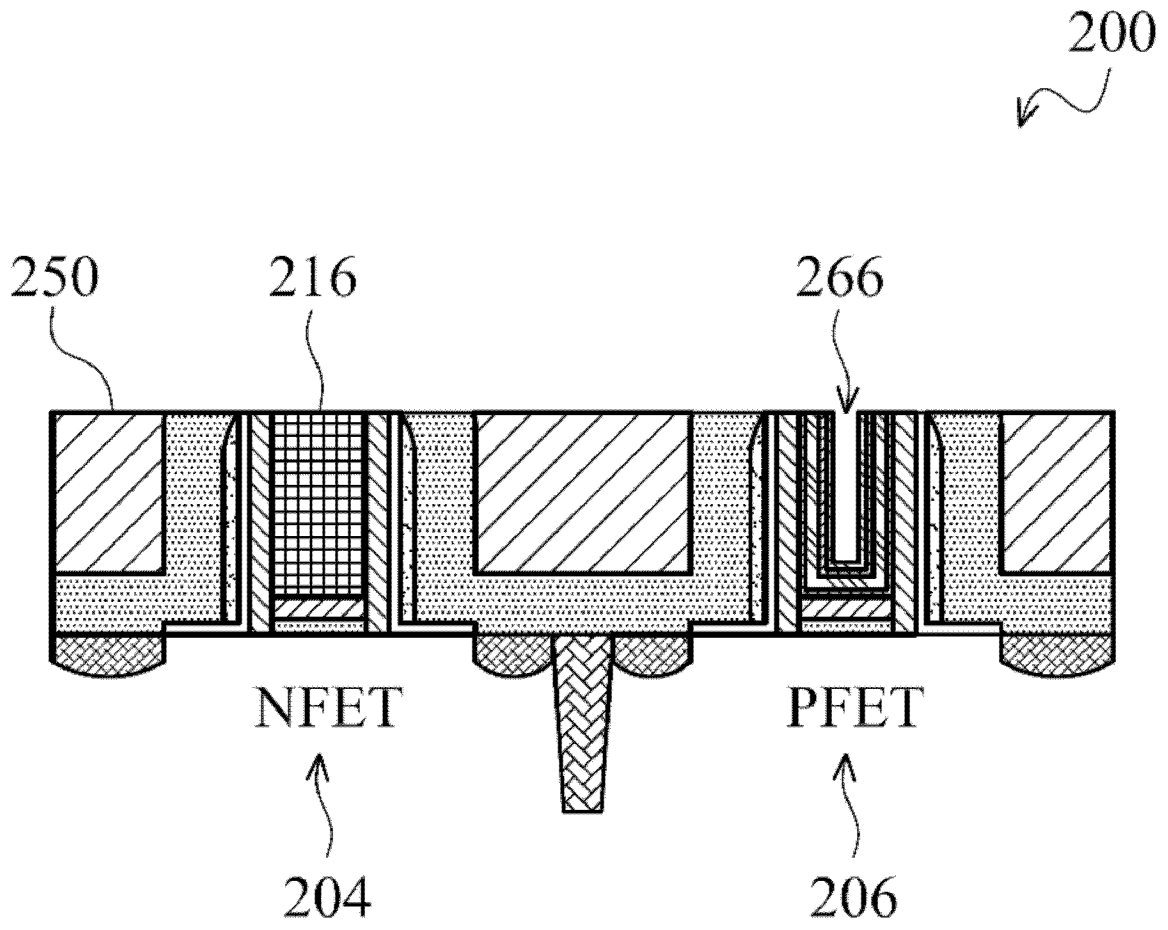


图 11

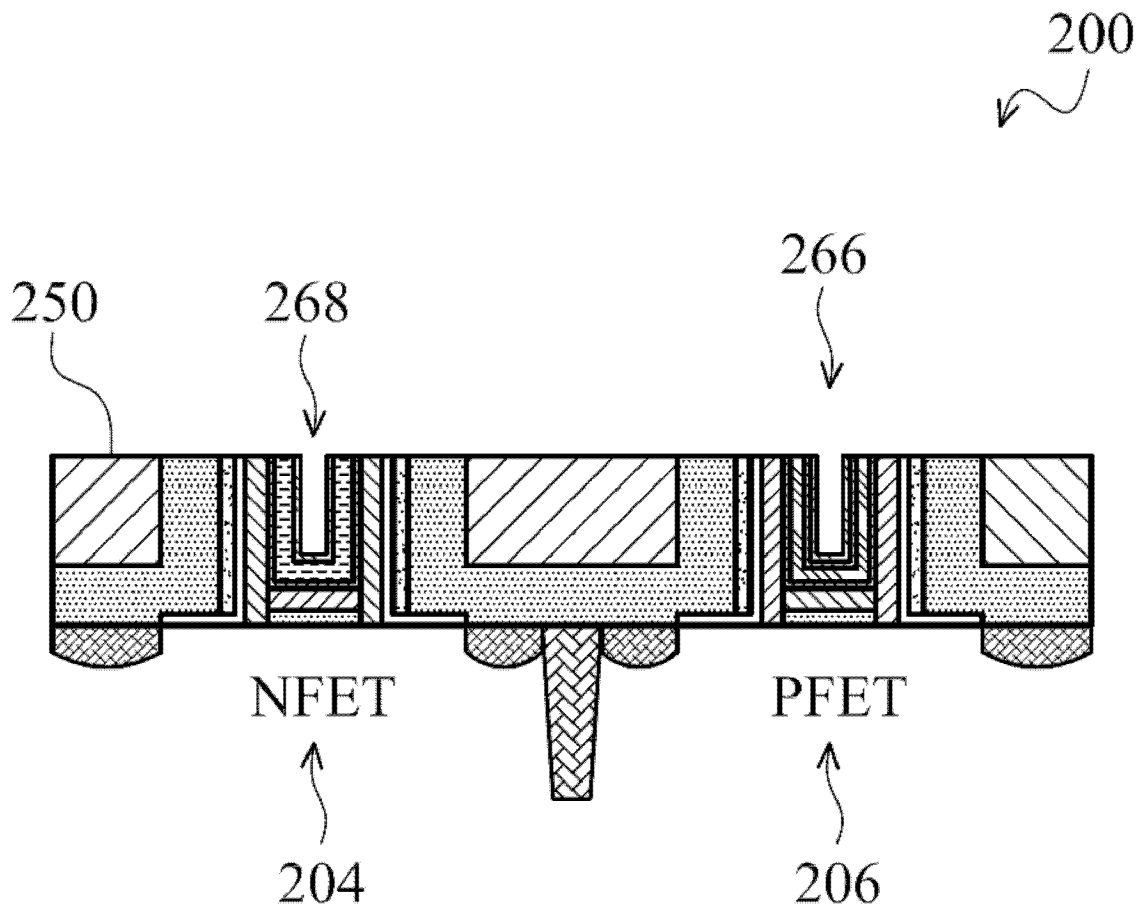


图 12

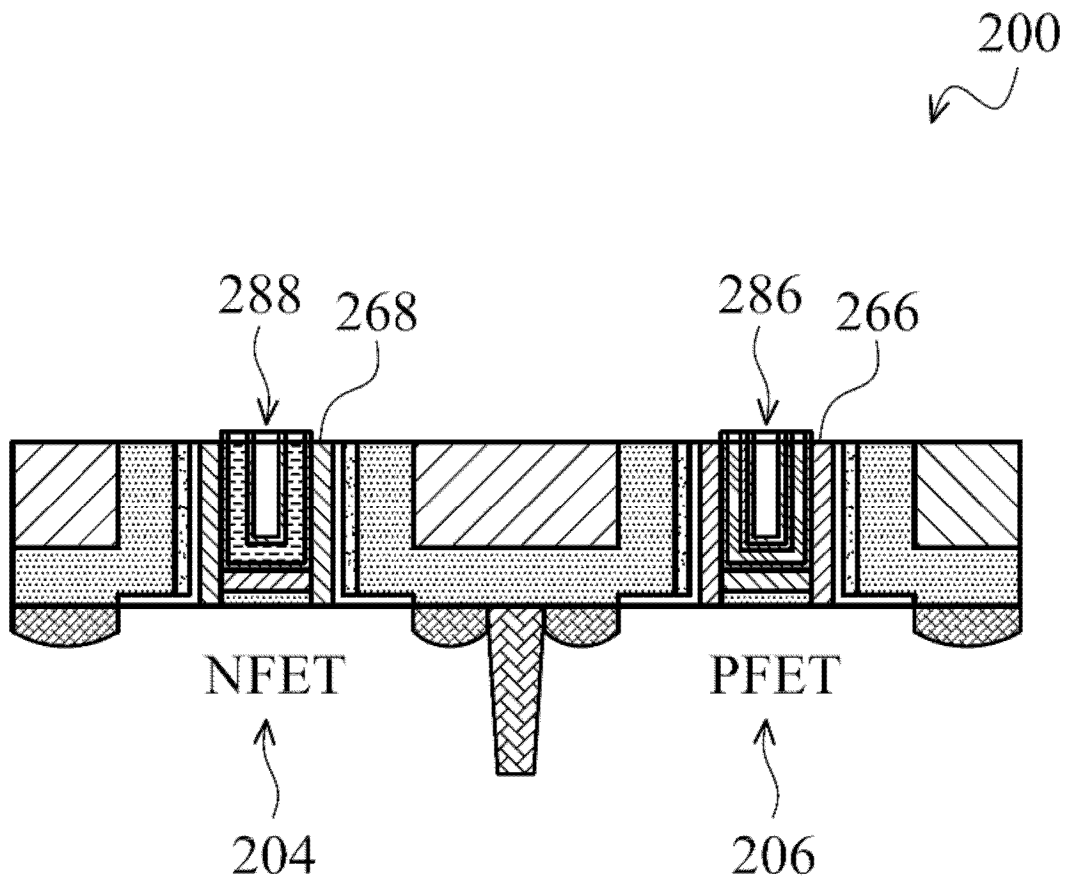


图 13a

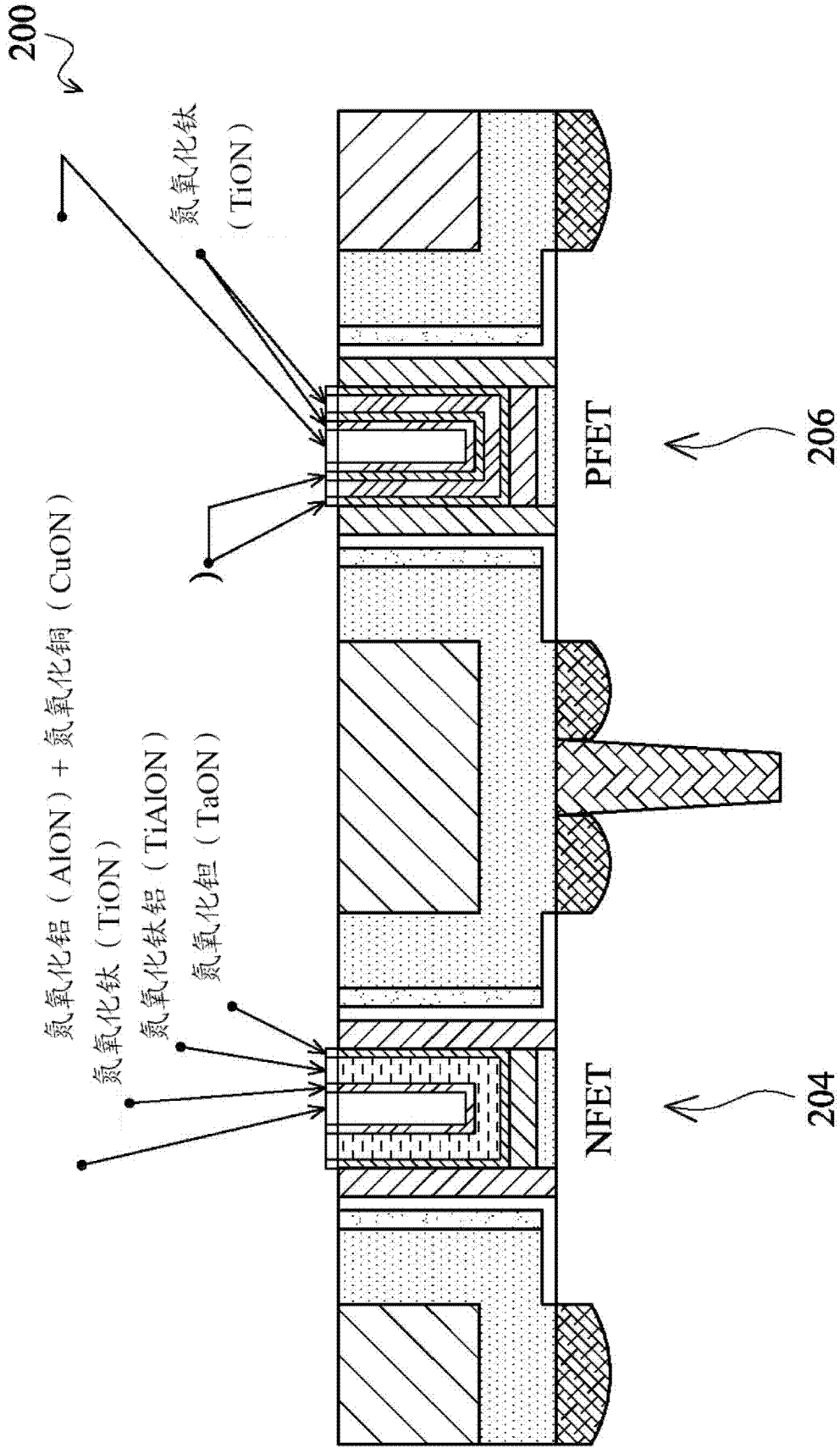


图 13b

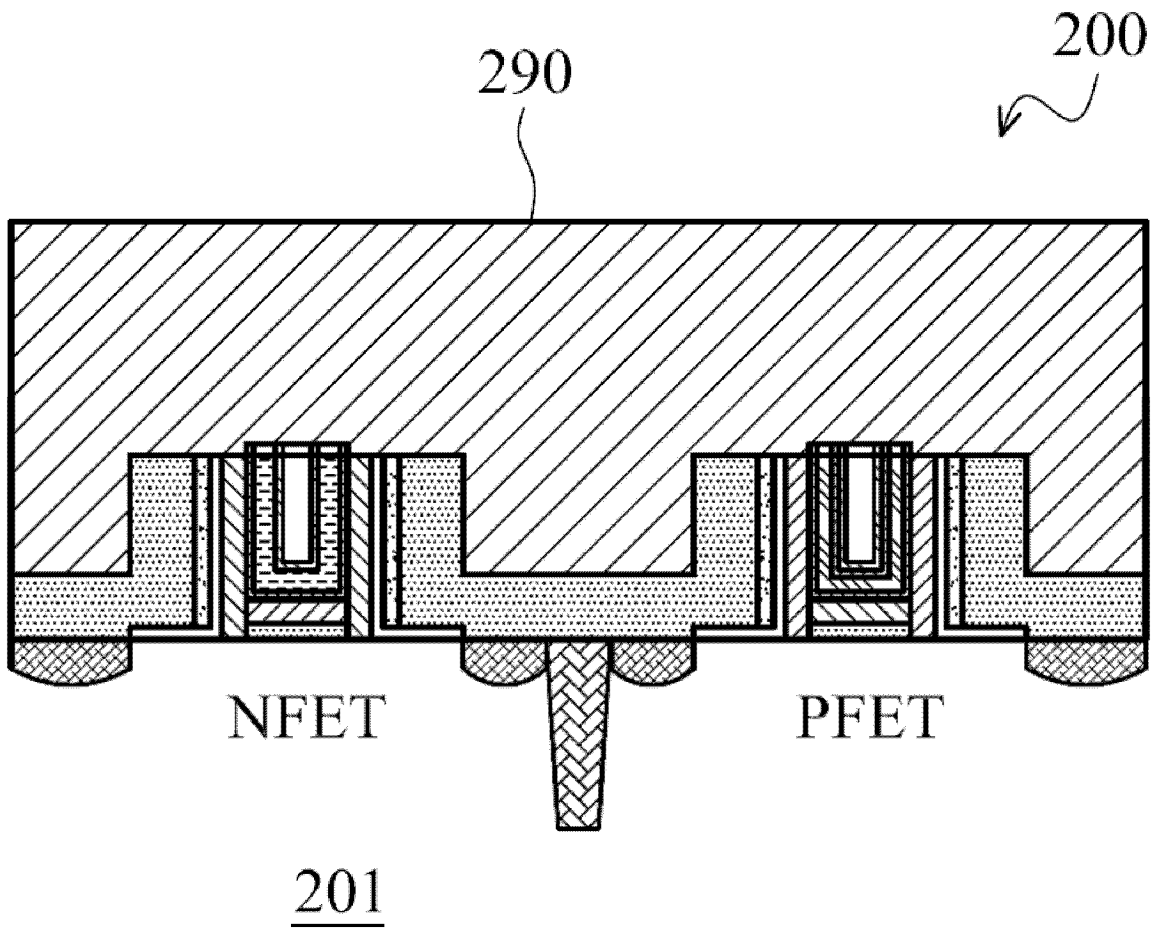


图 14

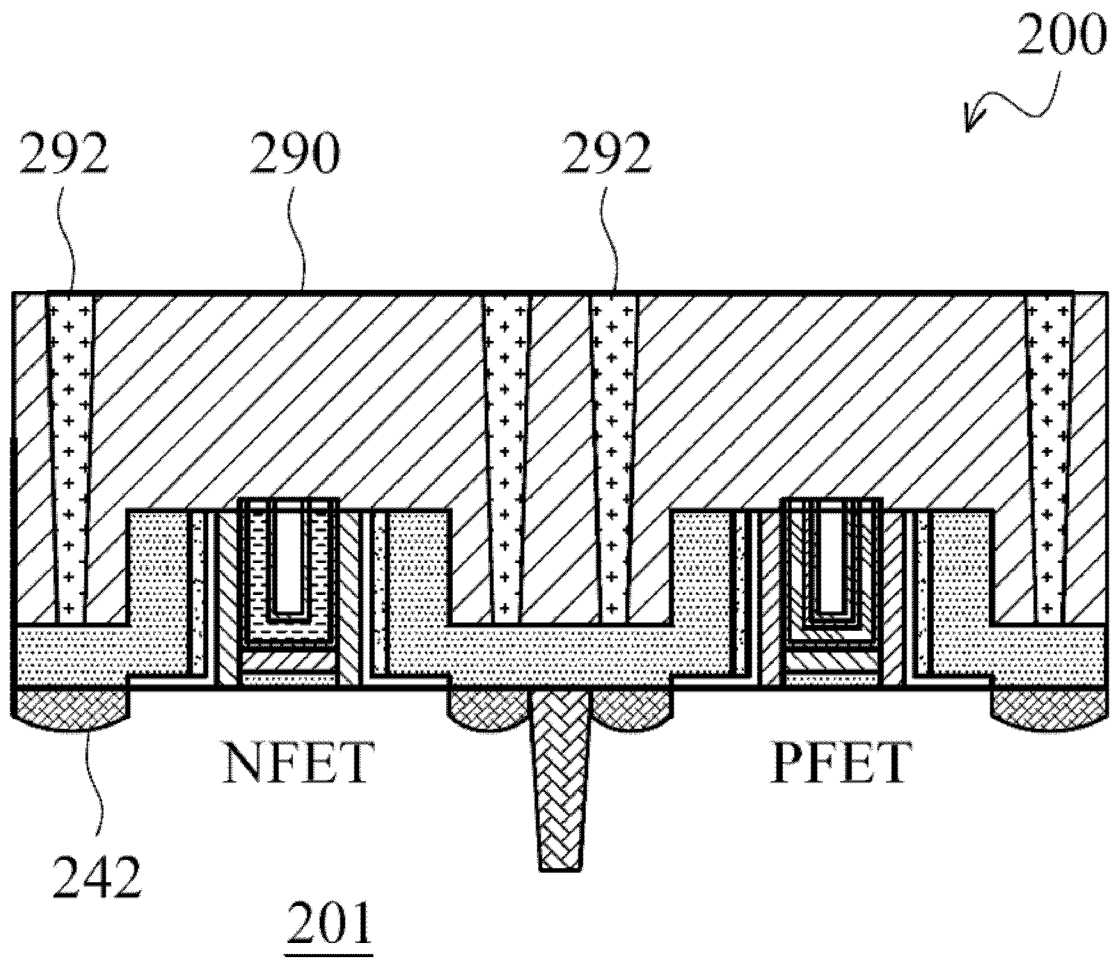


图 15