



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월27일
(11) 등록번호 10-2746292
(24) 등록일자 2024년12월19일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H10K 59/00 (2023.01)
(52) CPC특허분류
H01L 27/1218 (2013.01)
H01L 27/1222 (2013.01)
(21) 출원번호 10-2020-0058321
(22) 출원일자 2020년05월15일
심사청구일자 2023년04월24일
(65) 공개번호 10-2021-0142045
(43) 공개일자 2021년11월24일
(56) 선행기술조사문헌
KR1020190028594 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조윤중
경기도 성남시 분당구 불정로 397(서현동, 효자촌
임광아파트) 310동 1003호
다나카 테츠히로
경기도 화성시 동탄문화센터로 39-1 317동 1804호
황영인
경기도 수원시 권선구 동수원로145번길 73(
권선동, 수원아이파크시티3단지) 301동 305호
(74) 대리인
박영우

전체 청구항 수 : 총 19 항

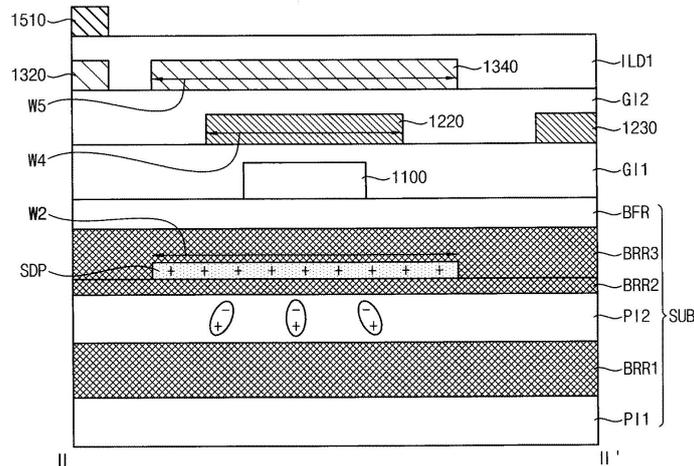
심사관 : 장영주

(54) 발명의 명칭 표시 패널 및 이를 포함하는 표시 장치

(57) 요약

표시 패널은 제1 유기 필름층, 제1 유기 필름층 상에 배치되는 제1 배리어층, 제1 배리어층 상에 배치되는 차폐 패턴, 차폐 패턴을 커버하며 제1 배리어층 상에 배치되는 제2 배리어층, 제2 배리어층 상에 배치되고 차폐 패턴과 중첩하는 제1 액티브 패턴, 제1 액티브 패턴 상에 배치되는 게이트 전극, 제1 액티브 패턴 상에 배치되고 평면 상에서 게이트 전극의 일 측과 인접하는 발광 제어 배선, 발광 제어 배선 상에 배치되고 평면 상에서 게이트 전극의 타 측과 인접하는 상부 보상 제어 배선, 및 발광 제어 배선 상에 배치되는 제2 액티브 패턴을 포함한다.

대표도



(52) CPC특허분류

H01L 27/124 (2013.01)

H10K 59/00 (2023.02)

H10K 59/1213 (2023.02)

H10K 59/126 (2023.02)

H10K 59/131 (2023.02)

명세서

청구범위

청구항 1

제1 유기 필름층;
 상기 제1 유기 필름층 상에 배치되는 제1 배리어층;
 상기 제1 배리어층 상에 배치되는 차폐 패턴;
 상기 차폐 패턴을 커버하며, 상기 제1 배리어층 상에 배치되는 제2 배리어층;
 상기 제2 배리어층 상에 배치되고, 상기 차폐 패턴과 중첩하는 제1 액티브 패턴;
 상기 제1 액티브 패턴 상에 배치되는 게이트 전극;
 상기 제1 액티브 패턴 상에 배치되고, 평면 상에서 상기 게이트 전극의 일 측과 인접하는 발광 제어 배선;
 상기 발광 제어 배선 상에 배치되고, 평면 상에서 상기 게이트 전극의 타 측과 인접하는 상부 보상 제어 배선;
 및
 상기 발광 제어 배선 상에 배치되는 제2 액티브 패턴을 포함하고,
 상기 차폐 패턴에는 정전압이 제공되는 것을 특징으로 하는 표시 패널.

청구항 2

제1 항에 있어서, 상기 차폐 패턴은 비정질 실리콘을 포함하는 것 특징으로 하는 표시 패널.

청구항 3

제1 항에 있어서, 상기 차폐 패턴 및 상기 제1 액티브 패턴은 상기 게이트 전극과 중첩하는 것을 특징으로 하는 표시 패널.

청구항 4

제1 항에 있어서, 상기 차폐 패턴의 평면 상 형상은 상기 게이트 전극의 평면 상 형상과 동일한 것을 특징으로 하는 표시 패널.

청구항 5

제1 항에 있어서, 상기 차폐 패턴의 크기는 상기 게이트 전극의 크기보다 크거나 같은 것을 특징으로 하는 표시 패널.

청구항 6

제5 항에 있어서, 상기 차폐 패턴의 제1 방향으로의 폭은 상기 게이트 전극의 상기 제1 방향으로의 폭보다 크고,

상기 차폐 패턴의 상기 제1 방향과 교차하는 제2 방향으로의 폭은 상기 게이트 전극의 상기 제2 방향으로의 폭보다 큰 것을 특징으로 하는 표시 패널.

청구항 7

제6 항에 있어서, 상기 차폐 패턴의 상기 제1 방향으로의 폭은 상기 게이트 전극의 상기 제1 방향으로의 폭보다 0.8um 내지 1.2um 만큼 큰 것을 특징으로 하는 표시 패널.

청구항 8

제6 항에 있어서, 상기 차폐 패턴의 상기 제2 방향으로의 폭은 상기 게이트 전극의 상기 제2 방향으로의 폭보다

0.8um 내지 1.2um 만큼 큰 것을 특징으로 하는 표시 패널.

청구항 9

제1 항에 있어서, 상기 차폐 패턴의 두께는 500um 내지 1500um 인 것을 특징으로 하는 표시 패널.

청구항 10

제1 항에 있어서,

상기 제1 유기 필름층의 하부에 배치되는 제3 배리어층; 및

상기 제3 배리어층의 하부에 배치되는 제2 유기 필름층을 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 11

제10 항에 있어서, 상기 제1 배리어층의 두께는 상기 제2 배리어층의 두께보다 작은 것을 특징으로 하는 표시 패널.

청구항 12

제10 항에 있어서, 상기 제3 배리어층의 두께는 상기 제1 배리어층의 두께 및 상기 제2 배리어층의 두께의 합과 동일한 것을 특징으로 하는 표시 패널.

청구항 13

제1 항에 있어서, 상기 제1 액티브 패턴은 다결정 실리콘을 포함하고, 상기 제2 액티브 패턴은 산화물 반도체를 포함하는 것을 특징으로 하는 표시 패널.

청구항 14

제13 항에 있어서, 상기 제1 액티브 패턴에는 양이온이 도핑되고,

상기 차폐 패턴에는 상기 양이온이 도핑되는 것을 특징으로 하는 표시 패널.

청구항 15

제13 항에 있어서, 상기 제1 액티브 패턴에는 양이온이 도핑되고,

상기 차폐 패턴에는 음이온이 도핑되는 것을 특징으로 하는 표시 패널.

청구항 16

삭제

청구항 17

제1 항에 있어서, 상기 게이트 전극 및 상기 제2 액티브 패턴 사이에 배치되는 하부 보상 제어 배선을 더 포함하고,

상기 상부 보상 제어 배선은 상기 제2 액티브 패턴 상에 배치되고, 상기 하부 보상 제어 배선과 중첩하는 것을 특징으로 하는 표시 패널.

청구항 18

표시 영역과 중첩하는 표시 패널을 포함하고,

상기 표시 패널은

제1 유기 필름층;

상기 제1 유기 필름층 상에 배치되는 제1 배리어층;

상기 제1 배리어층 상에 배치되는 차폐 패턴;

상기 차폐 패턴을 커버하며, 상기 제1 배리어층 상에 배치되는 제2 배리어층;
 상기 제2 배리어층 상에 배치되고, 상기 차폐 패턴과 중첩하는 제1 액티브 패턴;
 상기 제1 액티브 패턴 상에 배치되는 게이트 전극;
 상기 제1 액티브 패턴 상에 배치되고, 평면 상에서 상기 게이트 전극의 일 측과 인접하는 발광 제어 배선;
 상기 발광 제어 배선 상에 배치되고, 평면 상에서 상기 게이트 전극의 타 측과 인접하는 상부 보상 제어 배선;
 및
 상기 발광 제어 배선 상에 배치되는 제2 액티브 패턴을 포함하고,
 상기 차폐 패턴에는 정전압이 제공되는 것을 특징으로 하는 표시 장치.

청구항 19

제18 항에 있어서, 상기 표시 패널은
 상기 제1 유기 필름층의 하부에 배치되는 제3 배리어층;
 상기 제3 배리어층의 하부에 배치되는 제2 유기 필름층; 및
 상기 게이트 전극 및 상기 제2 액티브 패턴 사이에 배치되는 하부 보상 제어 배선을 더 포함하고,
 상기 상부 보상 제어 배선은 상기 제2 액티브 패턴 상에 배치되고, 상기 하부 보상 제어 배선과 중첩하며,
 상기 차폐 패턴은 상기 제2 배리어층 및 상기 제3 배리어층 사이에 배치되고, 비정질 실리콘을 포함하며, 상기 차폐 패턴에는 양이온이 도핑되고,
 상기 제1 액티브 패턴은 상기 제3 배리어층 상에 배치되고, 다결정 실리콘을 포함하며, 상기 제1 액티브 패턴에는 상기 양이온이 도핑되고,
 상기 제2 액티브 패턴은 산화물 반도체를 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

제18 항에 있어서, 상기 표시 패널의 하부에 배치되고, 지문 인식 영역과 중첩하는 광 센서 모듈; 및
 상기 표시 패널과 상기 광 센서 모듈 사이에 배치되고, 상기 지문 인식 영역과 중첩하는 공기층을 더 포함하고,
 상기 표시 패널은 상기 표시 영역 및 상기 지문 인식 영역과 중첩하며,
 상기 차폐 패턴은 상기 지문 인식 영역과 중첩하고, 상기 표시 영역과 중첩하지 않는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 패널 및 이를 포함하는 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 차폐 패턴을 포함하는 표시 패널 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 표시 패널은 회로 기관 및 상기 회로 기관 상에 배치되는 발광층을 포함한다. 상기 발광층이 상기 회로 기관으로부터 구동 전류를 제공받아 발광함에 따라, 상기 표시 패널은 영상을 표시할 수 있다. 상기 회로 기관은 베이스 기관 및 상기 베이스 기관 상에 배치되는 소자층을 포함할 수 있다. 그러나, 상기 소자층에 제공되는 신호 및/또는 전압에 의해 전기장이 발생할 수 있다. 상기 전기장에 의해, 상기 베이스 기관에 포함된 유기 물질들이 분극될 수 있다. 분극된 상기 유기 물질들은 상기 소자층에 전기적인 영향을 미칠 수 있고, 결국 상기 구동 전류를 변경시킬 수 있다. 그에 따라, 상기 표시 패널의 표시 품질이 저하될 수 있다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 일 목적은 표시 품질이 향상된 표시 패널을 제공하는 것이다.
- [0004] 본 발명의 다른 목적은 상기 표시 패널을 포함한 표시 장치를 제공하는 것이다.
- [0005] 다만, 본 발명의 목적은 상술한 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 표시 패널은 제1 유기 필름층, 상기 제1 유기 필름층 상에 배치되는 제1 배리어층, 상기 제1 배리어층 상에 배치되는 차폐 패턴, 상기 차폐 패턴을 커버하며, 상기 제1 배리어층 상에 배치되는 제2 배리어층, 상기 제2 배리어층 상에 배치되고, 상기 차폐 패턴과 중첩하는 제1 액티브 패턴, 상기 제1 액티브 패턴 상에 배치되는 게이트 전극, 상기 제1 액티브 패턴 상에 배치되고, 평면 상에서 상기 게이트 전극의 일 측과 인접하는 발광 제어 배선, 상기 발광 제어 배선 상에 배치되고, 평면 상에서 상기 게이트 전극의 타 측과 인접하는 상부 보상 제어 배선 및 상기 발광 제어 배선 상에 배치되는 제2 액티브 패턴을 포함할 수 있다.
- [0007] 일 실시예에 의하면, 상기 차폐 패턴은 비정질 실리콘을 포함할 수 있다.
- [0008] 일 실시예에 의하면, 상기 차폐 패턴 및 상기 제1 액티브 패턴은 상기 게이트 전극과 중첩할 수 있다.
- [0009] 일 실시예에 의하면, 상기 차폐 패턴의 평면 상 형상은 상기 게이트 전극의 평면 상 형상과 동일할 수 있다.
- [0010] 일 실시예에 의하면, 상기 차폐 패턴의 크기는 상기 게이트 전극의 크기보다 크거나 같을 수 있다.
- [0011] 일 실시예에 의하면, 상기 차폐 패턴의 제1 방향으로의 폭은 상기 게이트 전극의 상기 제1 방향으로의 폭보다 크고, 상기 차폐 패턴의 상기 제1 방향과 교차하는 제2 방향으로의 폭은 상기 게이트 전극의 상기 제2 방향으로의 폭보다 클 수 있다.
- [0012] 일 실시예에 의하면, 상기 차폐 패턴의 상기 제1 방향으로의 폭은 상기 게이트 전극의 상기 제1 방향으로의 폭보다 0.8um 내지 1.2um 만큼 클 수 있다.
- [0013] 일 실시예에 의하면, 상기 차폐 패턴의 상기 제2 방향으로의 폭은 상기 게이트 전극의 상기 제2 방향으로의 폭보다 0.8um 내지 1.2um 만큼 클 수 있다.
- [0014] 일 실시예에 의하면, 상기 차폐 패턴의 두께는 500um 내지 1500um 일 수 있다.
- [0015] 일 실시예에 의하면, 상기 표시 패널은 상기 제1 유기 필름층의 하부에 배치되는 제3 배리어층 및 상기 제3 배리어층의 하부에 배치되는 제2 유기 필름층을 더 포함할 수 있다.
- [0016] 일 실시예에 의하면, 상기 제1 배리어층의 두께는 상기 제2 배리어층의 두께보다 작을 수 있다.
- [0017] 일 실시예에 의하면, 상기 제3 배리어층의 두께는 상기 제1 배리어층의 두께 및 상기 제2 배리어층의 두께의 합과 동일할 수 있다.
- [0018] 일 실시예에 의하면, 상기 제1 액티브 패턴은 다결정 실리콘을 포함하고, 상기 제2 액티브 패턴은 산화물 반도체를 포함할 수 있다.
- [0019] 일 실시예에 의하면, 상기 제1 액티브 패턴에는 양이온이 도핑되고, 상기 차폐 패턴에는 상기 양이온이 도핑될 수 있다.
- [0020] 일 실시예에 의하면, 상기 제1 액티브 패턴에는 양이온이 도핑되고, 상기 차폐 패턴에는 음이온이 도핑될 수 있다.
- [0021] 일 실시예에 의하면, 상기 차폐 패턴에는 정전압이 제공될 수 있다.
- [0022] 일 실시예에 의하면, 상기 표시 패널은 상기 게이트 전극 및 상기 제2 액티브 패턴 사이에 배치되는 하부 보상 제어 배선을 더 포함하고, 상기 상부 보상 제어 배선은 상기 제2 액티브 패턴 상에 배치되고, 상기 하부 보상 제어 배선과 중첩할 수 있다.
- [0023] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 표시 장치는 표시 영역과 중첩하

는 표시 패널을 포함하고, 상기 표시 패널은 제1 유기 필름층, 상기 제1 유기 필름층 상에 배치되는 제1 배리어층, 상기 제1 배리어층 상에 배치되는 차폐 패턴, 상기 차폐 패턴을 커버하며, 상기 제1 배리어층 상에 배치되는 제2 배리어층, 상기 제2 배리어층 상에 배치되고, 상기 차폐 패턴과 중첩하는 제1 액티브 패턴, 상기 제1 액티브 패턴 상에 배치되는 게이트 전극, 상기 제1 액티브 패턴 상에 배치되고, 평면 상에서 상기 게이트 전극의 일 측과 인접하는 발광 제어 배선, 상기 발광 제어 배선 상에 배치되고, 평면 상에서 상기 게이트 전극의 타 측과 인접하는 상부 보상 제어 배선 및 상기 발광 제어 배선 상에 배치되는 제2 액티브 패턴을 포함할 수 있다.

[0024] 일 실시예에 의하면, 상기 표시 패널은 상기 제1 유기 필름층의 하부에 배치되는 제3 배리어층, 상기 제3 배리어층의 하부에 배치되는 제2 유기 필름층 및 상기 게이트 전극 및 상기 제2 액티브 패턴 사이에 배치되는 하부 보상 제어 배선을 더 포함하고, 상기 상부 보상 제어 배선은 상기 제2 액티브 패턴 상에 배치되고, 상기 하부 보상 제어 배선과 중첩하며, 상기 차폐 패턴은 상기 제2 배리어층 및 상기 제3 배리어층 사이에 배치되고, 비정질 실리콘을 포함하며, 상기 차폐 패턴에는 양이온이 도핑되고, 상기 제1 액티브 패턴은 상기 제3 배리어층 상에 배치되고, 다결정 실리콘을 포함하며, 상기 제1 액티브 패턴에는 상기 양이온이 도핑되고, 상기 제2 액티브 패턴은 산화물 반도체를 포함할 수 있다.

[0025] 일 실시예에 의하면, 상기 표시 장치는 상기 표시 패널의 하부에 배치되고, 지문 인식 영역과 중첩하는 광 센서 모듈 및 상기 표시 패널과 상기 광 센서 모듈 사이에 배치되고, 상기 지문 인식 영역과 중첩하는 공기층을 더 포함하고, 상기 표시 패널은 상기 표시 영역 및 상기 지문 인식 영역과 중첩하며, 상기 차폐 패턴은 상기 지문 인식 영역과 중첩하고, 상기 표시 영역과 중첩하지 않을 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 표시 패널은 베이스 기판, 상기 베이스 기판 상에 배치되는 소자층, 및 상기 베이스 기판의 내부에 배치되는 차폐 패턴을 포함할 수 있다. 예를 들어, 상기 베이스 기판은 적어도 하나의 유기 필름층 및 적어도 하나의 배리어층을 포함할 수 있다. 상기 차폐 패턴은 상기 베이스 기판에 포함된 제1 배리어층 및 제2 배리어층 사이에 배치됨으로써, 상기 베이스 기판의 내부에 배치될 수 있다. 상기 소자층에는 다양한 배선들이 형성되고, 상기 배선들은 트랜지스터를 구성할 수 있다.

[0027] 한편, 상기 배선들로 신호 및/또는 전압이 제공됨에 따라 상기 소자층의 하부에는 전기장이 발생할 수 있다. 상기 전기장이 발생함에 따라, 상기 유기 필름층의 유기 물질들이 분극될 수 있다. 그러나, 상기 차폐 패턴이 분극된 상기 유기 물질들과 상기 소자층 사이에 배치됨으로써, 상기 트랜지스터의 전기적 특성이 유지될 수 있다. 그에 따라, 상기 표시 패널의 표시 품질이 향상될 수 있다.

[0028] 다만, 본 발명의 효과는 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 평면도이다.
- 도 2는 도 1의 표시 장치를 나타내는 블록도이다.
- 도 3은 도 2의 표시 장치에 포함된 화소 회로 및 유기 발광 다이오드를 나타내는 회로도이다.
- 도 4는 도 1의 표시 장치를 I-I'선을 따라 절단한 단면도이다.
- 도 5는 도 4의 표시 장치에 포함된 표시 패널을 나타내는 단면도이다.
- 도 6 내지 도 20은 도 5의 표시 패널을 설명하기 위한 레이아웃 도면들이다.
- 도 21은 도 16의 표시 패널을 II-II'선을 따라 절단한 일 예를 나타내는 단면도이다.
- 도 22는 도 16의 표시 패널을 II-II'선을 따라 절단한 다른 예를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대하여는 동일한 참조 부호를 사용하고 동일한 구성 요소에 대한 중복된 설명은 생략하기로 한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 평면도이고, 도 2는 도 1의 표시 장치를 나타내는 블

록도이며, 도 3은 도 2의 표시 장치에 포함된 화소 회로 및 유기 발광 다이오드를 나타내는 회로도이고, 도 4는 도 1의 표시 장치를 I-I'선을 따라 절단한 단면도이며, 도 5는 도 4의 표시 장치에 포함된 표시 패널을 나타내는 단면도이다.

- [0032] 도 1 및 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치(10)는 표시 영역(DA), 비표시 영역(NDA), 및 지문 인식 영역(FA)으로 구분될 수 있다. 예를 들어, 상기 표시 영역(DA)은 제1 방향(D1)으로 연장하는 단면 및 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장하는 장변을 갖는 직사각형 형상일 수 있다. 상기 비표시 영역(NDA)은 상기 표시 영역(DA)을 둘러싸며 위치할 수 있으며, 상기 표시 영역(DA)은 지문 인식 영역(FA)을 둘러싸며 위치할 수 있다. 상기 표시 영역(DA) 및 상기 지문 인식 영역(FA)에는 표시 패널(100)이 배치되어 영상을 표시할 수 있다. 상기 비표시 영역(NDA)에는 데이터 구동부(200), 게이트 구동부(300), 발광 구동부(400), 및 타이밍 제어부(500)가 배치될 수 있다.
- [0033] 상기 표시 패널(100)에는 화소 구조물(PX), 상기 화소 구조물(PX)과 연결되는 데이터 배선(DL), 상기 화소 구조물(PX)과 연결되는 게이트 배선(GL), 및 상기 화소 구조물(PX)과 연결되는 발광 제어 배선(EML)이 배치될 수 있다.
- [0034] 상기 데이터 배선(DL)은 상기 데이터 구동부(DDV)에 전기적으로 연결되고, 상기 제2 방향(D2)을 따라 연장될 수 있다. 상기 데이터 배선(DL)은 상기 데이터 구동부(200)로부터 데이터 전압(예를 들어, 도 3의 DATA)을 제공받아, 화소 회로(예를 들어, 도 3의 PC)로 상기 데이터 전압(DATA)을 제공할 수 있다.
- [0035] 상기 게이트 배선(GL)은 상기 게이트 구동부(300)에 연결되고, 상기 제1 방향(D1)을 따라 연장될 수 있다. 상기 게이트 배선(GL)은 상기 게이트 구동부(300)로부터 게이트 신호(예를 들어, 도 3의 GW, GC, GI, GB)를 제공받아, 상기 화소 회로(PC)로 상기 게이트 신호를 제공할 수 있다.
- [0036] 상기 발광 제어 배선(EML)은 상기 발광 구동부(400)에 연결되고, 상기 제1 방향(D1)을 따라 연장될 수 있다. 상기 발광 제어 배선(EML)은 상기 발광 구동부(400)로부터 발광 제어 신호(예를 들어, 도 3의 EM)를 제공받아, 상기 화소 회로(PC)로 상기 발광 제어 신호(EM)를 제공할 수 있다. 예를 들어, 상기 발광 제어 신호(EM)의 활성화 구간은 상기 표시 장치(10)의 발광 구간일 수 있으며, 상기 발광 제어 신호(EM)의 비활성화 구간은 상기 표시 장치(10)의 비발광 구간일 수 있다.
- [0037] 상기 게이트 구동부(300)는 상기 타이밍 제어부(500)로부터 게이트 제어 신호(GCTRL)를 제공받아 상기 게이트 신호를 생성할 수 있다. 예를 들어, 상기 게이트 신호는 제1 게이트 신호(GW), 제2 게이트 신호(GC), 제3 게이트 신호(GI) 및 제4 게이트 신호(GB)를 포함할 수 있다.
- [0038] 상기 데이터 구동부(200)는 상기 타이밍 제어부(500)로부터 출력 영상 데이터(ODAT) 및 데이터 제어 신호(DCTRL)를 제공받아 상기 데이터 전압(DATA)을 생성할 수 있다. 상기 발광 구동부(400)는 상기 타이밍 제어부(500)로부터 발광 구동 제어 신호(ECTRL)를 제공받아 상기 발광 제어 신호(EM)를 생성할 수 있다. 상기 타이밍 제어부(500)는 외부로부터 제어 신호(CTRL) 및 입력 영상 데이터(IDAT)를 제공받아 상기 데이터 구동부(200), 상기 게이트 구동부(300), 및 상기 발광 구동부(400)를 제어할 수 있다.
- [0039] 예를 들어, 상기 데이터 구동부(200) 및 상기 타이밍 제어부(500)는 연성 인쇄 회로 기판(flexible printed circuit board) 상에 배치되고, 상기 게이트 구동부(300)는 상기 표시 영역(DA)의 좌측과 인접하는 상기 비표시 영역(NDA)에 실장되며, 상기 발광 구동부(400)는 상기 표시 영역(DA)의 우측과 인접하는 상기 비표시 영역(NDA)에 실장될 수 있다. 그러나, 상기 데이터 구동부(200), 게이트 구동부(300), 발광 구동부(400), 및 타이밍 제어부(500)가 배치되는 구조는 이에 한정되지 아니한다.
- [0040] 도 2 및 3을 참조하면, 상기 화소 구조물(PX)은 화소 회로(PC) 및 유기 발광 다이오드(OLED)를 포함할 수 있다.
- [0041] 상기 화소 회로(PC)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 스토리지 커패시터(CST) 및 부스팅 커패시터(CBS)를 포함할 수 있다. 상기 화소 회로(PC)는 상기 유기 발광 다이오드(OLED)와 전기적으로 연결되어, 상기 유기 발광 다이오드(OLED)로 구동 전류를 제공할 수 있다.
- [0042] 상기 유기 발광 다이오드(OLED)는 제1 단자(예를 들어, 애노드 단자) 및 제2 단자(예를 들어, 캐소드 단자)를 포함할 수 있으며, 상기 유기 발광 다이오드(OLED)의 상기 제1 단자는 상기 제6 트랜지스터(T6)를 매개로 상기 제1 트랜지스터(T1)에 연결되어 상기 구동 전류를 제공받고, 상기 제2 단자는 저전원 전압(ELVSS)을 제공받을 수 있다. 상기 유기 발광 다이오드(OLED)는 상기 구동 전류에 상응하는 휘도의 광을 생성할 수 있다.

- [0043] 상기 스토리지 커패시터(CST)는 제1 단자 및 제2 단자를 포함할 수 있다. 상기 스토리지 커패시터(CST)의 상기 제1 단자는 상기 제1 트랜지스터(T1)에 연결되고, 상기 스토리지 커패시터(CST)의 상기 제2 단자는 고전원 전압(ELVDD)을 제공받을 수 있다. 상기 스토리지 커패시터(CST)는 상기 제1 게이트 신호(GW)의 비활성화 구간 동안 상기 제1 트랜지스터(T1)의 게이트 단자의 전압 레벨을 유지할 수 있다.
- [0044] 제1 트랜지스터(T1)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제1 트랜지스터(T1)의 상기 게이트 단자는 상기 스토리지 커패시터(CST)의 제1 단자에 연결될 수 있다. 상기 제1 트랜지스터(T1)의 상기 제1 단자는 상기 제2 트랜지스터(T2)에 연결되어 상기 데이터 전압(DATA)을 제공받을 수 있다. 상기 제1 트랜지스터(T1)의 상기 제2 단자는 상기 제6 트랜지스터(T6)를 매개로 상기 유기 발광 다이오드(OLED)에 연결되어 상기 구동 전류를 제공할 수 있다. 상기 제1 트랜지스터(T1)는 상기 게이트 단자와 상기 제1 단자 사이의 전압차에 기초하여 상기 구동 전류를 생성할 수 있다. 예를 들어, 상기 제1 트랜지스터(T1)는 구동 트랜지스터로 지칭될 수 있다.
- [0045] 상기 제2 트랜지스터(T2)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제2 트랜지스터(T2)의 상기 게이트 단자는 상기 게이트 배선(GL)을 통해 상기 제1 게이트 신호(GW)를 제공받을 수 있다.
- [0046] 상기 제2 트랜지스터(T2)는 상기 제1 게이트 신호(GW)에 응답하여 턴온 또는 턴오프될 수 있다. 예를 들어, 상기 제2 트랜지스터(T2)가 피모스 트랜지스터인 경우, 상기 제2 트랜지스터(T2)는 상기 제1 게이트 신호(GW)가 양의 전압 레벨을 가질 때 턴오프되고, 상기 제1 게이트 신호(GW)가 음의 전압 레벨을 가질 때 턴온될 수 있다. 상기 제2 트랜지스터(T2)의 상기 제1 단자는 상기 데이터 배선(DL)을 통해 상기 데이터 전압(DATA)을 제공받을 수 있다. 상기 제2 트랜지스터(T2)의 상기 제2 단자는 상기 제2 트랜지스터(T2)가 턴온되는 구간 동안, 상기 제1 트랜지스터(T1)의 제1 단자로 상기 데이터 전압(DATA)을 제공할 수 있다. 예를 들어, 상기 제2 트랜지스터(T2)는 스위칭 트랜지스터로 지칭될 수 있다.
- [0047] 상기 제3 트랜지스터(T3)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제3 트랜지스터(T3)의 상기 게이트 단자는 상기 제2 게이트 신호(GC)를 제공받을 수 있다. 상기 제3 트랜지스터(T3)의 상기 제1 단자는 상기 제1 트랜지스터(T1)의 게이트 단자에 연결될 수 있다. 상기 제3 트랜지스터(T3)의 상기 제2 단자는 상기 제1 트랜지스터(T1)의 제2 단자에 연결될 수 있다.
- [0048] 상기 제3 트랜지스터(T3)는 상기 제2 게이트 신호(GC)에 응답하여 턴온 또는 턴오프될 수 있다. 예를 들어, 상기 제3 트랜지스터(T3)가 NMOS 트랜지스터인 경우, 상기 제3 트랜지스터(T3)는 상기 제2 게이트 신호(GC)가 양의 전압 레벨을 가질 때 턴온되고, 상기 제2 게이트 신호(GC)가 음의 전압 레벨을 가질 때 턴오프될 수 있다.
- [0049] 상기 제2 게이트 신호(GC)에 응답하여 상기 제3 트랜지스터(T3)가 턴온되는 구간 동안, 상기 제3 트랜지스터(T3)는 상기 제1 트랜지스터(T1)를 다이오드 연결시킬 수 있다. 상기 제1 트랜지스터(T1)가 다이오드 연결되므로, 상기 제1 트랜지스터(T1)의 게이트 단자와 상기 제1 트랜지스터(T1)의 제1 단자 사이에 상기 제1 트랜지스터(T1)의 문턱 전압만큼의 전압차가 발생할 수 있다. 이에 따라, 상기 제1 트랜지스터(T1)의 게이트 단자에는, 상기 제3 트랜지스터(T3)가 턴온되는 구간 동안 상기 제1 트랜지스터(T1)의 제1 단자에 제공된 상기 데이터 전압(DATA)에 상기 전압차만큼 합산된 전압이 상기 제1 트랜지스터(T1)의 게이트 단자에 제공될 수 있다. 따라서, 상기 제3 트랜지스터(T3)는 상기 제1 트랜지스터(T1)의 문턱 전압을 보상할 수 있다. 예를 들어, 상기 제3 트랜지스터(T3)는 보상 트랜지스터로 지칭될 수 있다.
- [0050] 상기 제4 트랜지스터(T4)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제4 트랜지스터(T4)의 상기 게이트 단자는 상기 제3 게이트 신호(GI)를 제공받을 수 있다. 상기 제4 트랜지스터(T4)의 상기 제1 단자는 게이트 초기화 전압(VINT)을 제공받을 수 있다. 상기 제4 트랜지스터(T4)의 상기 제2 단자는 상기 제1 트랜지스터(T1)의 게이트 단자에 연결될 수 있다.
- [0051] 상기 제4 트랜지스터(T4)는 상기 제3 게이트 신호(GI)에 응답하여 턴온 또는 턴오프될 수 있다. 예를 들어, 상기 제4 트랜지스터(T4)가 NMOS 트랜지스터인 경우, 상기 제4 트랜지스터(T4)는 상기 제3 게이트 신호(GI)가 양의 전압 레벨을 가질 때 턴온되고, 상기 제3 게이트 신호(GI)가 음의 전압 레벨을 가질 때 턴오프될 수 있다.
- [0052] 상기 제4 트랜지스터(T4)가 상기 제3 게이트 신호(GI)에 턴온되는 구간 동안, 상기 제1 트랜지스터(T1)의 게이트 단자에는 상기 게이트 초기화 전압(VINT)이 제공될 수 있다. 이에 따라, 상기 제4 트랜지스터(T4)는 상기 제1 트랜지스터(T1)의 게이트 단자를 상기 게이트 초기화 전압(VINT)으로 초기화시킬 수 있다. 예를 들어, 상기 제4 트랜지스터(T4)는 게이트 초기화 트랜지스터로 지칭될 수 있다.

- [0053] 상기 제5 트랜지스터(T5)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제5 트랜지스터(T5)의 상기 게이트 단자는 상기 발광 제어 신호(EM)를 제공받을 수 있다. 상기 제5 트랜지스터(T5)의 상기 제1 단자는 상기 고전원 전압(ELVDD)을 제공받을 수 있다. 상기 제5 트랜지스터(T5)의 상기 제2 단자는 상기 제1 트랜지스터(T1)의 제1 단자에 연결될 수 있다. 상기 발광 제어 신호(EM)에 응답하여 상기 제5 트랜지스터(T5)가 턴온되면, 상기 제5 트랜지스터(T5)는 상기 제1 트랜지스터(T1)에 상기 고전원 전압(ELVDD)을 제공할 수 있다.
- [0054] 상기 제6 트랜지스터(T6)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제6 트랜지스터(T6)의 상기 게이트 단자는 상기 발광 제어 신호(EM)를 제공받을 수 있다. 상기 제6 트랜지스터(T6)의 상기 제1 단자는 상기 제1 트랜지스터(T1)의 제2 단자에 연결될 수 있다. 상기 제6 트랜지스터(T6)의 상기 제2 단자는 상기 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 상기 발광 제어 신호(EM)에 응답하여 상기 제6 트랜지스터(T6)가 턴온되면, 상기 제6 트랜지스터(T6)는 상기 제1 트랜지스터(T1)가 생성한 상기 구동 전류를 상기 유기 발광 다이오드(OLED)에 제공할 수 있다.
- [0055] 상기 제7 트랜지스터(T7)는 게이트 단자, 제1 단자(예를 들어, 소스 단자) 및 제2 단자(예를 들어, 드레인 단자)를 포함할 수 있다. 상기 제7 트랜지스터(T7)의 상기 게이트 단자는 상기 제4 게이트 신호(GB)를 제공받을 수 있다. 상기 제7 트랜지스터(T7)의 상기 제1 단자는 애노드 초기화 전압(AINT)을 제공받을 수 있다. 상기 제7 트랜지스터(T7)의 상기 제2 단자는 상기 유기 발광 다이오드(OLED)의 제1 단자에 연결될 수 있다. 상기 제4 게이트 신호(GB)에 응답하여 상기 제7 트랜지스터(T7)가 턴온되면, 상기 제7 트랜지스터(T7)는 상기 유기 발광 다이오드(OLED)에 상기 애노드 초기화 전압(AINT)을 제공할 수 있다. 그에 따라, 상기 제7 트랜지스터(T7)는 상기 유기 발광 다이오드(OLED)의 제1 단자를 상기 애노드 초기화 전압(AINT)으로 초기화시킬 수 있다. 예를 들어, 상기 제7 트랜지스터(T7)는 초기화 트랜지스터로 지칭될 수 있다.
- [0056] 일 실시예에서, 상기 제1, 제2, 제5, 제6, 및 제7 트랜지스터들(T1, T2, T5, T6, T7)은 피모스(PMOS) 트랜지스터들이고, 상기 제3 및 제4 트랜지스터들(T3, T4)은 엔모스(NMOS) 트랜지스터들일 수 있다. 그에 따라, 상기 피모스 트랜지스터들의 액티브 패턴들은 양이온이 도핑된 실리콘 박막을 포함할 수 있고, 상기 엔모스 트랜지스터들의 액티브 패턴들은 산화물 반도체를 포함할 수 있다. 또한, 상기 제2, 제5, 제6, 및 제7 트랜지스터들(T2, T5, T6, T7)을 각각 턴온시키기 위한 상기 제1 게이트 신호(GW), 상기 발광 제어 신호(EM), 및 상기 제4 게이트 신호(GB)는 음의 전압 레벨을 가질 수 있고, 상기 제3 및 제4 트랜지스터들(T3, T4)을 각각 턴온시키기 위한 제2 게이트 신호(GC) 및 제3 게이트 신호(GI)는 양의 전압 레벨을 가질 수 있다.
- [0057] 한편, 도 3에 도시된 상기 화소 회로(PC)의 연결 구조는 예시적인 것으로서 다양하게 변경될 수 있다. 예를 들어, 상기 화소 회로(PC)가 제3 내지 제7 트랜지스터들(T3, T4, T5, T6, T7) 및 부스팅 커패시터(CBS)를 포함하지 않는 경우, 상기 화소 회로(PC) 내 구성 요소들 간의 연결 구조는 상기 화소 회로(PC)가 포함하는 구성 요소들(예를 들어, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 스토리지 커패시터(CST) 및 유기 발광 다이오드(OLED)) 간의 연결 구조를 형성하기 위해 변경될 수 있다.
- [0058] 도 1, 4 및 5를 참조하면, 상기 표시 장치(10)는 상기 표시 패널(100), 광 센서 모듈(LSM), 및 상기 표시 패널의 상부 또는 하부에 배치되는 다양한 기능층들을 포함할 수 있다. 예를 들어, 상기 기능층들은 쿠션층(CSL), 보호 필름(PFL), 공기층(ARL), 편광판(POL), 및 윈도우(WIN)를 포함할 수 있다. 또한, 상기 기능층들 사이에는 접착층이 배치될 수 있으며, 상기 접착층은 광학용 투명 접착 필름(optically clear adhesive OCA)일 수 있다.
- [0059] 상기 표시 패널(100)은 상기 표시 영역(DA) 및 상기 지문 인식 영역(FA)과 중첩할 수 있다. 도 5에 도시된 바와 같이, 상기 표시 패널(100)은 회로 기관(110), 상기 회로 기관(110) 상에 배치되는 발광층(120), 및 상기 발광층(120) 상에 배치되는 박막 봉지층(TFE)을 포함할 수 있다. 상기 회로 기관(110)은 베이스 기관(SUB) 및 소자층(TRL)을 포함할 수 있고, 상기 발광층(120)은 제1 전극(ADE), 화소 정의막(PDL), 유기 발광층(EL) 및 제2 전극(CTE)을 포함할 수 있다. 상기 발광층(120)은 상기 회로 기관(110)으로부터 상기 구동 전류를 제공받아 광을 방출할 수 있다.
- [0060] 상기 보호 필름(PFL)은 상기 표시 패널(100)의 하부에 배치될 수 있다. 상기 보호 필름(PFL)은 상기 표시 영역(DA)과 중첩할 수 있으며, 상기 지문 인식 영역(FA)과 중첩하지 않을 수 있다. 다시 말하면, 상기 보호 필름(PFL)에는 상기 지문 인식 영역(FA)과 중첩하는 개구가 형성될 수 있다. 상기 보호 필름(PFL)은 플라스틱 물질을 포함할 수 있으며, 상기 표시 패널(100)을 지지할 수 있다.

- [0061] 상기 공기층(ARL)은 상기 표시 패널(100)의 하부에 배치될 수 있다. 상기 공기층(ARL)은 상기 지문 인식 영역(FA)과 중첩할 수 있으며, 상기 표시 영역(DA)과 중첩하지 않을 수 있다. 다시 말하면, 상기 공기층(ARL)은 상기 개구에 형성될 수 있다. 상기 공기층(ARL)에 의해 상기 광 센서 모듈(LSM)으로 광이 원활하게 투과될 수 있다.
- [0062] 상기 쿠션층(CSL)은 상기 보호 필름(PFL)의 하부에 배치될 수 있다. 상기 쿠션층(CSL)은 상기 표시 영역(DA)과 중첩할 수 있으며, 상기 지문 인식 영역(FA)과 중첩하지 않을 수 있다. 다시 말하면, 상기 쿠션층(CSL)에는 상기 지문 인식 영역(FA)과 중첩하는 개구가 형성될 수 있다. 상기 쿠션층(CSL)은 탄성체를 포함할 수 있으며, 외부 충격으로부터 상기 표시 패널(100)을 보호할 수 있다.
- [0063] 상기 광 센서 모듈(LSM)은 상기 보호 필름(PFL)의 하부에 배치될 수 있다. 상기 광 센서 모듈(LSM)은 상기 지문 인식 영역(FA)과 중첩할 수 있다. 다시 말하면, 상기 광 센서 모듈(LSM)은 상기 쿠션층(CSL)에 형성되는 상기 개구에 배치될 수 있다. 상기 광 센서 모듈(LSM)은 사용자의 지문을 인식할 수 있다. 예를 들어, 상기 표시 패널(100)에서 방출된 광이 상기 사용자의 손가락에서 반사될 수 있고, 상기 광 센서 모듈(LSM)은 상기 손가락에서 반사된 광을 감지할 수 있다. 상기 광 센서 모듈(LSM)이 광을 감지하기 위해, 상기 광 센서 모듈(LSM)은 상기 공기층(ARL)에 의해 노출될 수 있다.
- [0064] 상기 편광층(POL)은 상기 표시 패널(100)의 상부에 배치될 수 있다. 상기 편광층(POL)이 외광을 편광시킴에 따라, 상기 표시 패널(100)에서 방출되는 광이 사용자에게 명확하게 시인될 수 있다.
- [0065] 상기 윈도우(WIN)는 상기 편광층(POL)의 상부에 배치될 수 있다. 상기 윈도우(WIN)는 유리, 플라스틱 등으로 이루어질 수 있으며, 외부 충격으로부터 상기 표시 패널(100)을 보호할 수 있다.
- [0066] 한편, 상기 공기층(ARL)이 상기 표시 패널(100)의 하부에 배치됨에 따라, 상기 지문 인식 영역(FA)과 중첩하는 상기 표시 패널(100)로 광이 입사될 수 있다. 예를 들어, 외부로부터 입사되어 상기 광 센서 모듈(LSM)에서 반사된 광(11) 및/또는 상기 표시 패널(100)에서 방출되어 상기 광 센서 모듈(LSM)에서 반사된 광(12)이 상기 표시 패널(100)로 입사될 수 있다.
- [0067] 상기 소자층(TRL)에는 상술한 트랜지스터들이 배치될 수 있고, 상기 소자층에 제공되는 신호 및 전압에 의해 상기 소자층(TRL)에서는 전기장이 발생할 수 있다. 상기 베이스 기관(SUB)은 유기 물질 등의 유전체를 포함할 수 있고, 상기 전기장에 의해 상기 유기 물질들이 분극될 수 있다. 상기 분극된 유기 물질들은 상기 소자층에 전기적인 영향을 미칠 수 있으며, 이는 표시 장치의 표시 품질을 저하시킬 수 있다. 또한, 상기 분극 현상은 상기 표시 패널(100)로 입사되는 광에 의해 더욱 가속화될 수 있다. 상기 표시 장치(10)는 상기 베이스 기관(SUB)의 내부에 차폐 패턴(예를 들어, 도 8, 21 및 22의 SDP)을 포함함으로써, 상기 분극 현상이 상기 소자층에 전기적인 영향을 미치지 않도록 할 수 있다. 그에 따라, 상기 표시 장치(10)는 표시 품질이 향상될 수 있다. 이에 대한 자세한 설명은 도 21 및 22를 참조하여 하기로 한다.
- [0068] 도 6 내지 도 20은 도 5의 표시 패널을 설명하기 위한 레이아웃 도면들이다.
- [0069] 도 6을 참조하면, 상기 표시 패널(100)은 상기 화소 구조물(PX) 및 상기 화소 구조물(PX)과 인접하는 대칭 화소 구조물(PX1)을 포함할 수 있다. 예를 들어, 상기 대칭 화소 구조물(PX1)의 구조는 상기 화소 구조물(PX)의 구조를 가상의 대칭 라인(SL)을 기준으로 대칭시킨 구조와 실질적으로 동일할 수 있다. 이하에서는, 설명의 편의를 위해 상기 화소 구조물(PX)에 대하여 설명하기로 한다.
- [0070] 도 3, 4, 5, 6 및 7을 참조하면, 상기 화소 구조물(PX)은 상기 베이스 기관(SUB) 및 상기 베이스 기관(SUB) 상에 배치되는 차폐 패턴(SDP)을 포함할 수 있다.
- [0071] 상기 베이스 기관(SUB)은 유리 기관, 석영 기관, 플라스틱 기관 등을 포함할 수 있다. 일 실시예에서, 상기 베이스 기관(SUB)은 플라스틱 기관을 포함할 수 있고, 이에 따라 상기 표시 장치(10)는 플렉서블한 특성을 가질 수 있다. 이 경우, 상기 베이스 기관(SUB)은 적어도 하나의 유기 필름층 및 적어도 하나의 배리어층이 번갈아가며 적층된 구조를 가질 수 있다. 예를 들면, 상기 유기 필름층은 폴리이미드와 같은 유기 물질을 사용하여 형성될 수 있고, 상기 배리어층은 무기 물질을 사용하여 형성될 수 있다.
- [0072] 상기 차폐 패턴(SDP)은 상기 베이스 기관(SUB)의 내부에 배치될 수 있다. 예를 들어, 상기 베이스 기관(SUB)은 상기 배리어층을 포함할 수 있고, 상기 차폐 패턴(SDP)은 상기 배리어층의 내부에 배치될 수 있다. 예를 들어, 상기 유기 필름층 상에 제1 배리어층을 형성한 후, 상기 제1 배리어층 상에 상기 차폐 패턴(SDP)을 형성하고, 상기 제1 배리어층 상에 상기 차폐 패턴(SDP)을 커버하도록 제2 배리어층을 형성할 수 있다. 상기 차폐 패턴

(SDP)은 상기 제1 및 제2 배리어층들 사이에 배치됨으로써, 상기 베이스 기판(SUB)의 내부에 배치될 수 있다.

- [0073] 일 실시예에서, 상기 차폐 패턴(SDP)은 실리콘 반도체를 포함할 수 있다. 예를 들어, 상기 차폐 패턴(SDP)은 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 포함할 수 있다. 또한, 상기 차폐 패턴(SDP)에는 양이온 또는 음이온이 도핑될 수 있다. 예를 들어, 상기 양이온은 III족 원소일 수 있으며, 붕소(boron) 등일 수 있다. 상기 음이온은 V족 원소일 수 있으며, 인(phosphorus) 등일 수 있다.
- [0074] 일 실시예에서, 상기 차폐 패턴(SDP)은 후술할 게이트 전극(예를 들어, 도 9의 1220)과 완전히 중첩할 수 있다. 다시 말하면, 상기 차폐 패턴(SDP)의 형상은 상기 게이트 전극(1220)의 형상과 실질적으로 동일할 수 있고, 상기 차폐 패턴(SDP)의 크기는 상기 게이트 전극(1220)의 크기보다 크거나 같을 수 있다.
- [0075] 일 실시예에서, 도 7에 도시된 바와 같이, 상기 차폐 패턴(SDP)은 오각형 형상일 수 있고, 상기 제1 방향(D1)으로의 제1 폭(W1) 및 상기 제2 방향(D2)으로의 제2 폭(W2)을 가질 수 있다. 또한, 상기 게이트 전극(1220)은 상기 오각형 형상일 수 있고, 상기 제1 방향(D1)으로의 제3 폭(W3) 및 상기 제2 방향(D2)으로의 제4 폭(W4)을 가질 수 있다. 상기 제1 폭(W1)은 상기 제3 폭(W3)보다 대략 0.8um 내지 대략 1.2um 만큼 클 수 있고, 상기 제2 폭(W2)은 상기 제4 폭(W4)보다 대략 0.8um 내지 대략 1.2um 만큼 클 수 있다.
- [0076] 일 실시예에서, 상기 차폐 패턴(SDP)의 두께는 상기 차폐 패턴(SDP)에 도핑되는 상기 양이온 또는 상기 음이온의 도핑 농도에 따라 설정될 수 있다. 예를 들어, 상기 도핑 농도에 비해 상기 차폐 패턴(SDP)의 두께가 얇은 경우, 상기 양이온 또는 상기 음이온이 상기 베이스 기판(SUB)에도 도핑될 수 있다. 또는, 상기 도핑 농도에 비해 상기 차폐 패턴(SDP)의 두께가 두꺼운 경우, 상기 양이온 또는 상기 음이온이 상기 차폐 패턴(SDP)에 불충분하게 도핑될 수 있다. 일 실시예에서, 상기 차폐 패턴(SDP)에 대략 10¹²농도의 붕소가 도핑되는 경우, 상기 차폐 패턴(SDP)의 두께는 대략 500um 내지 대략 1500um 일 수 있다.
- [0077] 상기 베이스 기판(SUB) 상에는 버퍼층이 배치될 수 있다. 상기 버퍼층은 상기 베이스 기판(SUB)으로부터 금속 원자들이나 불순물들이 제1 액티브 패턴(예를 들어, 도 8의 1100)으로 확산되는 현상을 방지할 수 있다. 또한, 상기 버퍼층은 상기 제1 액티브 패턴(1100)을 형성하기 위한 결정화 공정 동안 열의 제공 속도를 조절하여 상기 제1 액티브 패턴(1100)을 균일하게 형성할 수 있다.
- [0078] 도 8을 참조하면, 상기 제1 액티브 패턴(1100)은 상기 버퍼층 상에 배치될 수 있다. 일 실시예에서, 상기 제1 액티브 패턴(1100)은 실리콘 반도체를 포함할 수 있다. 예를 들어, 상기 제1 액티브 패턴(1100)은 비정질 실리콘, 다결정 실리콘 등을 포함할 수 있다.
- [0079] 일 실시예에서, 상기 제1 액티브 패턴(1100)에는 양이온 또는 음이온이 선택적으로 주입될 수 있다. 예를 들어, 상기 제1, 제2, 제5, 제6, 및 제7 트랜지스터들(T1, T2, T5, T6, T7)이 상기 피모스 트랜지스터들인 경우, 상기 제1 액티브 패턴(1100)은 상기 양이온이 주입되는 소스 영역, 상기 양이온이 주입되는 드레인 영역, 및 상기 양이온이 주입되지 않는 채널 영역을 포함할 수 있다.
- [0080] 제1 게이트 절연층(예를 들어, 도 21의 G11)은 상기 제1 액티브 패턴(1100)을 덮으며, 상기 버퍼층 상에 배치될 수 있다. 상기 제1 게이트 절연층은 절연 물질을 포함할 수 있다. 예를 들어, 상기 제1 게이트 절연층은 실리콘 산화물, 실리콘 질화물, 티타늄 산화물, 탄탈륨 산화물 등을 포함할 수 있다.
- [0081] 도 9 및 10을 참조하면, 제1 도전 패턴(1200)은 상기 제1 게이트 절연층 상에 배치될 수 있다. 상기 제1 도전 패턴(1200)은 제1 게이트 배선(1210), 게이트 전극(1220), 제2 게이트 배선(1230)을 포함할 수 있다.
- [0082] 상기 제1 게이트 배선(1210)은 상기 제1 액티브 패턴(1100) 상에 배치되고, 상기 제1 방향(D1)으로 연장될 수 있다. 예를 들어, 상기 제1 게이트 배선(1210)은 상기 제1 액티브 패턴(1100)의 일부와 함께 상기 제2 트랜지스터(T2)를 구성할 수 있다. 상기 제1 게이트 배선(1210)에는 상기 제1 게이트 신호(GW)가 제공될 수 있다.
- [0083] 예를 들어, 상기 제1 게이트 배선(1210)은 상기 제1 액티브 패턴(1100)의 다른 일부와 함께 상기 제7 트랜지스터(T7)를 구성할 수 있다. 이를 위해, 상기 제1 게이트 배선(1210)에는 상기 제4 게이트 신호(GB)가 제공될 수 있다. 예를 들어, 상기 제1 게이트 신호(GW)와 상기 제4 게이트 신호(GB)는 시간차를 두고 실질적으로 동일한 파형을 가질 수 있다.
- [0084] 상기 게이트 전극(1220)은 상기 제1 액티브 패턴(1100)의 일부와 함께 상기 제1 트랜지스터(T1)를 구성할 수 있다.
- [0085] 상기 제2 게이트 배선(1230)은 상기 제1 액티브 패턴(1100) 상에 배치되고, 상기 제1 방향(D1)으로 연장될 수

있다. 일 실시예에서, 상기 제2 게이트 배선(1230)은 평면 상에서 상기 게이트 전극의 일 측과 인접할 수 있다. 예를 들어, 상기 제2 게이트 배선(1230)은 상기 제1 액티브 패턴(1100)의 일부와 함께 상기 제5 및 제6 트랜지스터들(T5, T6)을 구성할 수 있다. 상기 제2 게이트 배선(1230)에는 상기 발광 제어 신호(EM)가 제공될 수 있다. 예를 들어, 상기 제2 게이트 배선(1230)은 발광 제어 배선으로 지칭될 수 있다.

[0086] 예를 들어, 상기 제1 도전 패턴(1200)은 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다. 예를 들어, 상기 제1 도전 패턴(1200)은 은(Ag), 은을 함유하는 합금, 몰리브덴(Mo), 몰리브덴을 함유하는 합금, 알루미늄(Al), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN), 텅스텐(W), 텅스텐 질화물(WN), 구리(Cu), 니켈(Ni), 크롬(Cr), 크롬 질화물(CrN), 티타늄(Ti), 탄탈륨(Ta), 백금(Pt), 스칸듐(Sc), 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO) 등을 포함할 수 있다.

[0087] 제2 게이트 절연층(예를 들어, 도 21의 GI2)은 상기 제1 도전 패턴(1200)을 덮으며, 상기 제1 게이트 절연층 상에 배치될 수 있다. 상기 제2 게이트 절연층은 절연 물질을 포함할 수 있다.

[0088] 한편, 상기 제1, 제2, 제5, 제6, 제7 트랜지스터들(T1, T2, T5, T6, T7)은 도 3을 참조하여 설명한 제1, 제2, 제5, 제6, 제7 트랜지스터들(T1, T2, T5, T6, T7)과 실질적으로 동일할 수 있다. 예를 들어, 상기 게이트 전극(1220)은 도 3을 참조하여 설명한 제1 트랜지스터(T1)의 게이트 단자에 대응할 수 있다. 다만 이러한 대응 관계에 대하여는 상세히 설명하지 않기로 하며, 상기 대응 관계는 본 발명이 속하는 기술분야의 통상의 기술자에게 자명할 것이다.

[0089] 도 11 및 12를 참조하면, 제2 도전 패턴(1300)은 상기 제2 게이트 절연층 상에 배치될 수 있다. 상기 제2 도전 패턴(1300)은 게이트 초기화 전압 배선(1310), 제3 게이트 배선(1320), 제4 게이트 배선(1330) 및 스토리지 커패시터 전극(1340)을 포함할 수 있다.

[0090] 상기 게이트 초기화 전압 배선(1310)은 상기 제1 방향(D1)으로 연장될 수 있다. 일 실시예에서, 상기 게이트 초기화 전압 배선(1310)은 상기 제4 트랜지스터(T4)로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다. 예를 들어, 상기 게이트 초기화 전압 배선(1310)은 후술할 제2 액티브 패턴(예를 들어, 도 13의 1400)으로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다.

[0091] 상기 제3 게이트 배선(1320)은 상기 제1 방향(D1)으로 연장될 수 있다. 일 실시예에서, 상기 제3 게이트 배선(1320)은 평면 상에서 상기 게이트 전극(1220)의 상기 일 측과 반대되는 타 측에 인접할 수 있다. 일 실시예에서, 상기 제3 게이트 배선(1320)은 상기 제3 트랜지스터(T3)로 상기 제2 게이트 신호(GC)를 제공할 수 있다. 예를 들어, 상기 제3 게이트 배선(1320)은 상기 제3 트랜지스터(T3)의 상기 하부 게이트 단자로 기능할 수 있다. 예를 들어, 상기 제3 게이트 배선(1320)은 하부 보상 제어 배선으로 지칭될 수 있다.

[0092] 상기 제4 게이트 배선(1330)은 상기 제1 방향(D1)으로 연장될 수 있다. 일 실시예에서, 상기 제4 게이트 배선(1330)은 상기 제4 트랜지스터(T4)로 상기 제3 게이트 신호(GI)를 제공할 수 있다. 예를 들어, 상기 제4 게이트 배선(1330)은 상기 제4 트랜지스터(T4)의 상기 하부 게이트 단자로 기능할 수 있다.

[0093] 상기 스토리지 커패시터 전극(1340)은 상기 제1 방향(D1)으로 연장될 수 있다. 일 실시예에서, 상기 스토리지 커패시터 전극(1340)은 상기 게이트 전극(1220)과 함께 상기 스토리지 커패시터(CST)를 구성할 수 있다. 예를 들어, 상기 스토리지 커패시터 전극(1340)은 상기 게이트 전극(1220)과 중첩할 수 있으며, 상기 스토리지 커패시터 전극(1340)에는 상기 고전원 전압(ELVDD)이 제공될 수 있다.

[0094] 일 실시예에서, 상기 스토리지 커패시터 전극(1340)은 상기 게이트 전극(1220)의 상면을 노출시키는 개구(H)를 포함할 수 있다. 예를 들어, 상기 개구(H)를 통해, 상기 제1 트랜지스터(T1)의 게이트 단자는 상기 제3 트랜지스터(T3)의 제1 단자와 전기적으로 연결될 수 있다.

[0095] 일 실시예에서, 상기 스토리지 커패시터 전극(1340)은 상기 제2 방향(D2)으로의 제5 폭(W5)을 가질 수 있다. 상기 제5 폭(W5)은 상기 차폐 패턴(SDP)의 상기 제2 폭(W2)과 동일할 수 있다.

[0096] 예를 들어, 상기 제2 도전 패턴(1300)은 금속, 합금, 도전 금속 산화물, 투명 도전 물질 등을 포함할 수 있다.

[0097] 제1 층간 절연층(예를 들어, 도 21의 ILD1)은 상기 제2 도전 패턴(1300)을 덮으며, 상기 제2 게이트 절연층 상에 배치될 수 있다. 상기 제1 층간 절연층은 절연 물질을 포함할 수 있다.

[0098] 도 13 및 14를 참조하면, 제2 액티브 패턴(1400)은 상기 제1 층간 절연층 상에 배치될 수 있다. 예를 들어, 상기 제2 액티브 패턴(1400)은 상기 제3 게이트 배선(1320) 및 상기 제4 게이트 배선(1340)과 중첩할 수 있다.

- [0099] 일 실시예에서, 상기 제2 액티브 패턴(1400)은 상기 제1 액티브 패턴(1100)과 서로 다른 층에 배치되고, 상기 제1 액티브 패턴(1100)과 중첩하지 않을 수 있다. 다시 말하면, 상기 제2 액티브 패턴(1400)은 상기 제1 액티브 패턴(1100)과 별도로 형성될 수 있다. 예를 들어, 상기 제1 액티브 패턴(1100)은 상기 실리콘 반도체를 포함하고, 상기 제2 액티브 패턴(1400)은 산화물 반도체를 포함할 수 있다.
- [0100] 일 실시예에서, 상기 화소 구조물(PX)은 실리콘계 반도체 소자인 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들(T1, T2, T5, T6, T7) 및 산화물계 반도체 소자인 상기 제3 및 제4 트랜지스터들(T3, T4)을 포함할 수 있다. 예를 들어, 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들(T1, T2, T5, T6, T7)은 상기 피모스 트랜지스터들이고, 상기 제3 및 제4 트랜지스터들(T3, T4)은 상기 엔모스 트랜지스터들일 수 있다.
- [0101] 제3 게이트 절연층은 상기 제2 액티브 패턴(1400)을 덮으며, 상기 제1 층간 절연층 상에 배치될 수 있다. 상기 제3 게이트 절연층은 절연 물질을 포함할 수 있다.
- [0102] 도 15 및 16을 참조하면, 제3 도전 패턴(1500)은 상기 제3 게이트 절연층 상에 배치될 수 있다. 상기 제3 도전 패턴(1500)은 제5 게이트 배선(1510) 및 제6 게이트 배선(1520)을 포함할 수 있다.
- [0103] 상기 제5 게이트 배선(1510)은 상기 제1 방향(D1)으로 연장될 수 있다. 일 실시예에서, 상기 제5 게이트 배선(1510)은 상기 제3 게이트 배선(1320)과 중첩할 수 있다. 일 실시예에서, 상기 제5 게이트 배선(1510)은 상기 제3 트랜지스터(T3)로 상기 제2 게이트 신호(GC)를 제공할 수 있다. 예를 들어, 상기 제5 게이트 배선(1510)은 상기 제3 트랜지스터(T3)의 상기 상부 게이트 단자로 기능할 수 있다. 예를 들어, 상기 제5 게이트 배선(1510)은 상부 보상 제어 배선으로 지칭될 수 있다.
- [0104] 상기 제6 게이트 배선(1520)은 상기 제1 방향(D1)으로 연장될 수 있다. 일 실시예에서, 상기 제6 게이트 배선(1520)은 상기 제4 게이트 배선(1330)과 중첩할 수 있다. 일 실시예에서, 상기 제6 게이트 배선(1520)은 상기 제4 트랜지스터(T3)로 상기 제3 게이트 신호(GI)를 제공할 수 있다. 예를 들어, 상기 제6 게이트 배선(1520)은 상기 제4 트랜지스터(T3)의 상기 상부 게이트 단자로 기능할 수 있다.
- [0105] 제2 층간 절연층은 상기 제3 도전 패턴(1500)을 덮으며, 상기 제3 게이트 절연층 상에 배치될 수 있다. 상기 제2 층간 절연층은 절연 물질을 포함할 수 있다.
- [0106] 도 17 및 18을 참조하면, 제4 도전 패턴(1600)은 상기 제2 층간 절연층 상에 배치될 수 있다. 상기 제4 도전 패턴(1600)은 데이터 패드(1610), 애노드 초기화 전압 배선(1620), 게이트 초기화 전압 연결 패턴(1630), 고전원 전압 연결 패턴(1640), 제1 보상 연결 패턴(1650), 제1 애노드 패드(1660), 및 제2 보상 연결 패턴(1670)을 포함할 수 있다.
- [0107] 상기 데이터 패드(1610)는 상기 데이터 전압(DATA)을 상기 제1 액티브 패턴(1100)으로 제공할 수 있다. 이를 위해, 상기 데이터 패드(1610)는 상기 제1 액티브 패턴(1100) 및 후술할 데이터 배선과 접촉할 수 있다. 예를 들어, 상기 데이터 패드(1610)는 상기 제1 액티브 패턴(1100) 및 상기 데이터 배선과 중첩할 수 있다.
- [0108] 상기 애노드 초기화 전압 배선(1620)은 상기 제7 트랜지스터(T7)로 상기 애노드 초기화 전압(AINT)을 제공할 수 있다. 예를 들어, 상기 애노드 초기화 전압 배선(1620)은 상기 제1 액티브 패턴(1100)으로 상기 애노드 초기화 전압(AINT)을 제공할 수 있다. 이를 위해, 상기 애노드 초기화 전압 배선(1620)은 상기 제1 액티브 패턴(1100)과 접촉할 수 있다.
- [0109] 상기 게이트 초기화 전압 연결 패턴(1630)은 상기 제4 트랜지스터(T4)로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다. 예를 들어, 상기 게이트 초기화 전압 연결 패턴(1630)은 상기 제2 액티브 패턴(1400)으로 상기 게이트 초기화 전압(VINT)을 제공할 수 있다. 이를 위해, 상기 게이트 초기화 전압 연결 패턴(1630)은 상기 게이트 초기화 전압 배선(1310) 및 상기 제2 액티브 패턴(1400)과 접촉할 수 있다.
- [0110] 상기 고전원 전압 연결 패턴(1640)은 상기 고전원 전압(EVLDD)을 상기 제1 액티브 패턴(1100)에 제공할 수 있다. 일 실시예에서, 상기 고전원 전압 연결 패턴(1640)은 후술할 고전원 전압 배선과 상기 제1 액티브 패턴(1100)을 전기적으로 연결시킬 수 있다. 예를 들어, 상기 고전원 전압 연결 패턴(1640)은 상기 고전원 전압 배선 및 상기 제1 액티브 패턴(1100)과 접촉할 수 있다.
- [0111] 상기 제1 보상 연결 패턴(1650)은 상기 제1 트랜지스터(T1)의 게이트 단자와 상기 제3 트랜지스터(T3)의 제1 단자를 전기적으로 연결시킬 수 있다. 예를 들어, 상기 제1 보상 연결 패턴(1660)은 상기 제2 액티브 패턴(1400) 및 상기 게이트 전극(1220)과 접촉할 수 있다.

- [0112] 상기 제1 애노드 패드(1660)는 상기 유기 발광 다이오드의 상기 제1 단자로 상기 애노드 초기화 전압(AINT) 또는 상기 구동 전류를 제공할 수 있다. 예를 들어, 상기 제1 애노드 패드(1660)는 상기 제1 액티브 패턴(1100) 및 제2 애노드 패드(예를 들어, 도 19의 1730)와 접촉할 수 있다.
- [0113] 제1 비아 절연층은 상기 제4 도전 패턴(1600)을 덮으며, 상기 제2 층간 절연층 상에 배치될 수 있다. 상기 제1 비아 절연층은 유기 절연 물질을 포함할 수 있다. 예를 들어, 상기 제1 비아 절연층은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 아크릴계 수지 등을 포함할 수 있다.
- [0114] 도 19 및 20을 참조하면, 제5 도전 패턴(1700)은 상기 제1 비아 절연층 상에 배치될 수 있다. 상기 제5 도전 패턴(1700)은 데이터 배선(1710), 고전원 전압 배선(1720), 및 제2 애노드 패드(1730)를 포함할 수 있다.
- [0115] 상기 데이터 배선(1710)은 상기 제2 방향(D2)으로 연장할 수 있다. 일 실시예에서, 상기 데이터 배선(1710)은 상기 데이터 전압(DATA)을 상기 제2 트랜지스터(T2)로 제공할 수 있다. 이를 위해, 상기 데이터 배선(1710)은 상기 데이터 패드(1610)와 접촉할 수 있다.
- [0116] 상기 고전원 전압 배선(1720)은 상기 제2 방향(D2)으로 연장할 수 있다. 일 실시예에서, 상기 고전원 전압 배선(1720)은 상기 고전원 전압 연결 패턴(1640)으로 상기 고전원 전압(ELVDD)을 제공할 수 있다. 예를 들어, 상기 고전원 전압 배선(1720)은 상기 고전원 전압 연결 패턴(1640)과 접촉할 수 있다.
- [0117] 일 실시예에서, 상기 고전원 전압 배선(1720)은 상기 제2 액티브 패턴(1400)과 중첩할 수 있다. 예를 들어, 상기 제2 액티브 패턴(1400)은 산화물 반도체를 포함할 수 있다. 상기 산화물 반도체가 광에 노출되면, 상기 산화물 반도체를 포함하는 상기 제3 및 제4 트랜지스터들(T3, T4)을 통해 누설 전류가 발생할 수 있다. 예를 들어, 상기 광은 외광 또는 상기 유기 발광 다이오드(OLED)가 생성하는 광일 수 있다. 그러나, 상기 고전원 전압 배선(1720)이 상기 제2 액티브 패턴(1400)과 중첩함으로써, 상기 제2 액티브 패턴(1400)은 상기 광에 노출되지 않을 수 있다.
- [0118] 상기 제2 애노드 패드(1730)는 상기 유기 발광 다이오드의 상기 제1 단자로 상기 애노드 초기화 전압(AINT) 또는 상기 구동 전류를 제공할 수 있다. 예를 들어, 상기 제2 애노드 패드(1730)는 상기 제1 애노드 패드(1660) 및 상기 제1 전극(예를 들어, 도 5의 ADE)과 접촉할 수 있다.
- [0119] 제2 비아 절연층은 상기 제5 도전 패턴(1700)을 덮으며, 상기 제1 비아 절연층 상에 배치될 수 있다. 상기 제2 비아 절연층은 유기 절연 물질을 포함할 수 있다. 예를 들어, 상기 제2 비아 절연층은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 아크릴계 수지 등을 포함할 수 있다.
- [0120] 도 5를 참조하여 설명한 상기 발광층(120)은 상기 제2 비아 절연층 상에 배치될 수 있다.
- [0121] 도 21은 도 16의 표시 패널을 II-II'선을 따라 절단한 일 예를 나타내는 단면도이다.
- [0122] 도 16 및 21을 참조하면, 상기 표시 패널(100)은 상기 베이스 기판(SUB), 상기 차폐 패턴(SDP), 상기 버퍼층(BFR), 상기 제1 액티브 패턴(1100), 상기 제1 게이트 절연층(GI1), 상기 게이트 전극(1220), 상기 제2 게이트 배선(1230), 상기 제2 게이트 절연층(GI2), 상기 제3 게이트 배선(1320), 상기 스토리지 커패시터 전극(1340), 상기 제1 층간 절연층(ILD1), 및 상기 제5 게이트 배선(1510)을 포함할 수 있다.
- [0123] 상기 베이스 기판(SUB)은 제1 유기 필름층(PI1), 제1 배리어층(BRR1), 제2 유기 필름층(PI2), 제2 배리어층(BRR2), 및 제3 배리어층(BRR3)을 포함할 수 있다.
- [0124] 상기 제1 및 제2 유기 필름층들(PI1, PI2)은 유기 물질을 포함할 수 있다. 예를 들어, 상기 제1 및 제2 유기 필름층들(PI1, PI2)은 폴리이미드를 포함할 수 있다. 상기 제1, 제2 및 제3 배리어층들(BRR1, BRR2, BRR3)은 무기 물질을 포함할 수 있다. 예를 들어, 상기 제1, 제2 및 제3 배리어층들(BRR1, BRR2, BRR3)은 실리콘 산화물을 포함할 수 있다.
- [0125] 일 실시예에서, 상기 제2 배리어층(BRR2)의 두께는 상기 제3 배리어층(BRR3)의 두께보다 작을 수 있다. 예를 들어, 상기 제2 배리어층(BRR2)의 두께는 대략 500um 이고, 상기 제3 배리어층(BRR3)의 두께는 대략 4500um 일 수 있다.
- [0126] 상기 차폐 패턴(SDP)은 상기 제2 배리어층(BRR2) 상에 배치될 수 있다. 상기 제3 배리어층(BRR3)은 상기 차폐 패턴(SDP)을 커버하며 상기 제2 배리어층(BRR2) 상에 배치될 수 있다. 상기 제2 배리어층(BRR2)의 두께가 상기 제3 배리어층(BRR3)의 두께보다 작으므로, 상기 차폐 패턴(SDP)은 상기 게이트 전극(1220)과 상대적으로 멀어질 수 있다. 그에 따라, 상기 차폐 패턴(SDP)과 상기 게이트 전극(1220) 사이의 커플링 현상을 방지할 수 있다. 또

한, 상기 제2 배리어층(BRR2)이 일정한 두께를 가짐으로써, 상기 제2 배리어층(BRR2)은 상기 차폐 패턴(SDP)을 형성하는 과정에서 손상될 수 있는 상기 제2 유기 필름층(PI2)을 보호할 수 있다.

[0127] 상기 차폐 패턴(SDP)은 비정질 실리콘을 포함할 수 있다. 일 실시예에서, 상기 차폐 패턴(SDP)에는 양이온이 도핑될 수 있다. 다른 실시예에서, 상기 차폐 패턴(SDP)에는 정전압이 제공될 수 있다. 또 다른 실시예에서, 상기 차폐 패턴(SDP)에는 상기 발광 제어 신호(EM) 또는 상기 제2 게이트 신호(GC)가 제공될 수 있다.

[0128] 상술한 바와 같이, 상기 제2 게이트 배선(1230)에는 상기 발광 제어 신호(EM)가 제공될 수 있고, 상기 제3 게이트 배선(1320) 및 상기 제5 게이트 배선(1510)에는 상기 제2 게이트 신호(GC)가 제공될 수 있다. 상기 제5 및 제6 트랜지스터들(T5, T6)을 턴온시키기 위해, 상기 발광 제어 신호(EM)는 음의 전압 레벨을 가질 수 있다. 이와 동시에, 상기 제3 트랜지스터(T3)를 턴오프시키기 위해, 상기 제2 게이트 신호(GC)는 음의 전압 레벨을 가질 수 있다. 상기 발광 제어 신호(EM)와 상기 제2 게이트 신호(GC)가 동일한 음의 전압 레벨을 가짐으로써, 상기 제2 유기 필름층(PI2)에는 전기장이 형성될 수 있다. 그에 따라, 상기 제2 유기 필름층(PI2)의 유기 물질들이 분극될 수 있다. 분극된 상기 유기 물질들에 의해, 상기 제1 액티브 패턴(1100)에는 백채널(back channel)이 형성될 수 있다. 상기 백채널에 의해, 상기 제1 트랜지스터(T1)의 전기적 특성(예를 들어, 문턱 전압, 전자 이동도 등)이 변경될 수 있다. 그에 따라, 전기적 특성이 변경된 상기 제1 트랜지스터(T1)를 포함하는 상기 화소 구조물(PX)은 상기 데이터 전압(DATA)에 상응하지 않는 휘도를 발광할 수 있고, 표시 장치의 표시 품질이 저하될 수 있다.

[0129] 그러나, 본 발명의 일 실시예에 따른 상기 표시 장치(10)는 상기 베이스 기판(SUB)의 내부에 배치되는 상기 차폐 패턴(SDP)을 포함할 수 있다. 상기 차폐 패턴(SDP)은 분극된 상기 유기 물질들과 상기 제1 액티브 패턴(1100)을 차폐할 수 있다. 그에 따라, 상기 제1 액티브 패턴(1100)에는 상기 백채널이 형성되지 않을 수 있고, 상기 제1 트랜지스터(T1)의 전기적 특성이 변경되지 않을 수 있다. 따라서, 상기 표시 장치(10)의 표시 품질이 향상될 수 있다.

[0130] 특히, 상기 유기 물질들의 분극 현상은 도 4를 참조하여 설명한 상기 표시 패널(100)로 입사되는 광(예를 들어, 도 4의 11 또는 12)에 의해 더욱 가속화될 수 있다. 그에 따라, 일 실시예에서, 상기 차폐 패턴(SDP)은 상기 지문 인식 영역(FA)과 중첩하고, 상기 표시 영역(DA)과 중첩하지 않을 수 있다. 다시 말하면, 상기 차폐 패턴(SDP)은 상기 지문 인식 영역(FA)과 중첩하는 상기 표시 패널(100)에만 형성되고, 상기 표시 영역(DA)과 중첩하는 상기 표시 패널(100)에는 형성되지 않을 수 있다. 물론, 다른 실시예에서, 상기 차폐 패턴(SDP)은 상기 지문 인식 영역(FA) 및 상기 표시 영역(DA)과 중첩하는 상기 표시 패널(100)에 형성될 수 있다.

[0131] 도 22는 도 16의 표시 패널을 II-II'선을 따라 절단한 다른 예를 나타내는 단면도이다.

[0132] 도 16 및 22를 참조하면, 상기 표시 패널(100)은 상기 베이스 기판(SUB), 상기 차폐 패턴(SDP'), 상기 버퍼층(BFR), 상기 제1 액티브 패턴(1100), 상기 제1 게이트 절연층(GI1), 상기 게이트 전극(1220), 상기 제2 게이트 배선(1230), 상기 제2 게이트 절연층(GI2), 상기 제3 게이트 배선(1320), 상기 스토리지 커패시터 전극(1340), 상기 제1 층간 절연층(ILD1), 및 상기 제5 게이트 배선(1510)을 포함할 수 있다. 다만, 상기 차폐 패턴(SDP')을 제외한 나머지 구성들은 도 21을 참조하여 설명하였으므로, 이하에서는 상기 차폐 패턴(SDP')에 대하여만 설명하기로 한다.

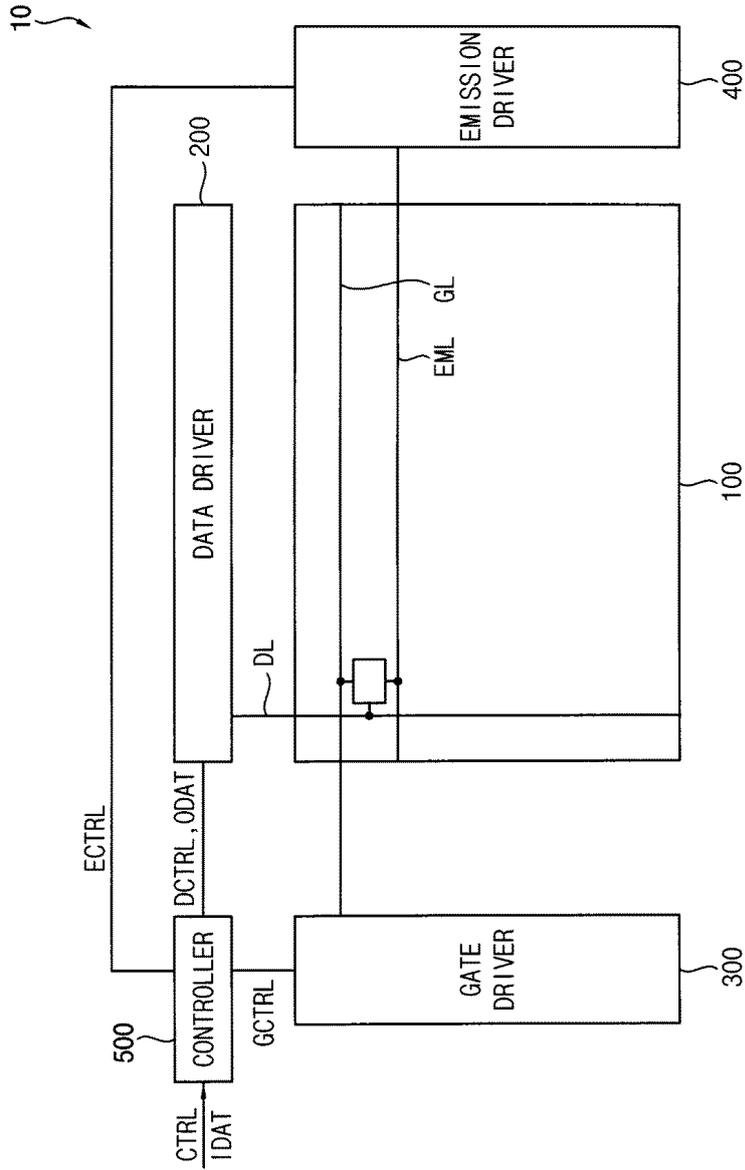
[0133] 상기 차폐 패턴(SDP')은 비정질 실리콘을 포함할 수 있다. 일 실시예에서, 상기 차폐 패턴(SDP')에는 음이온이 도핑될 수 있다. 다른 실시예에서, 상기 차폐 패턴(SDP')에는 정전압이 제공될 수 있다. 또 다른 실시예에서, 상기 차폐 패턴(SDP')에는 상기 발광 제어 신호(EM) 또는 상기 제2 게이트 신호(GC)가 제공될 수 있다.

[0134] 본 발명의 일 실시예에 따른 상기 표시 장치(10)는 상기 베이스 기판(SUB)의 내부에 배치되는 상기 차폐 패턴(SDP')을 포함할 수 있다. 상기 차폐 패턴(SDP')은 분극된 상기 유기 물질들과 상기 제1 액티브 패턴(1100)을 차폐할 수 있다. 그에 따라, 상기 제1 액티브 패턴(1100)에는 상기 백채널이 형성되지 않을 수 있고, 상기 제1 트랜지스터(T1)의 전기적 특성이 변경되지 않을 수 있다. 따라서, 상기 표시 장치(10)의 표시 품질이 향상될 수 있다.

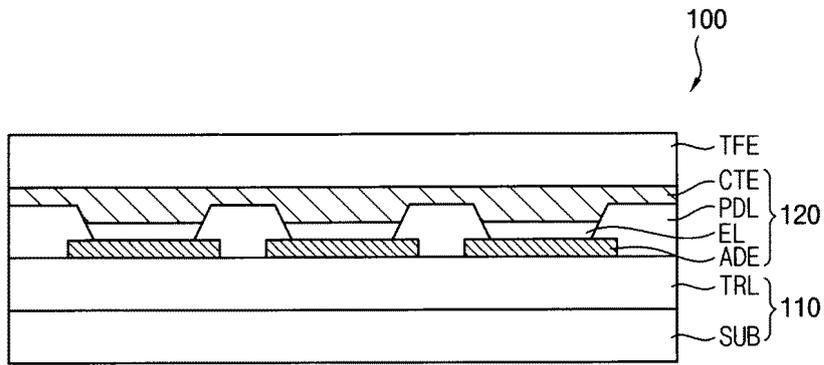
[0135] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

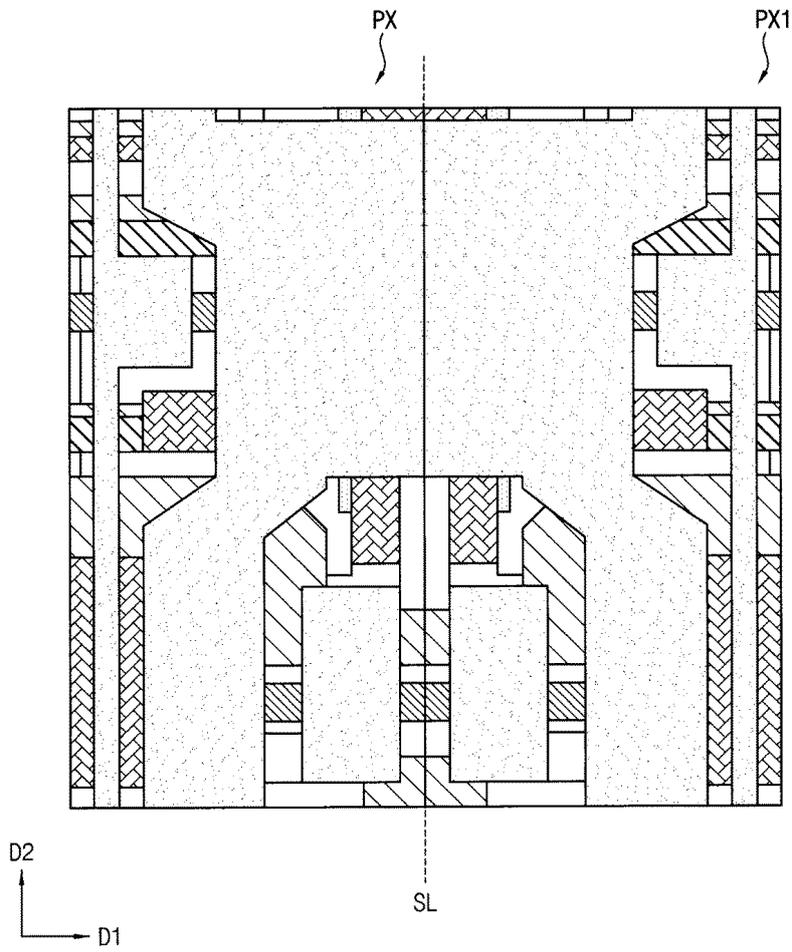
도면2



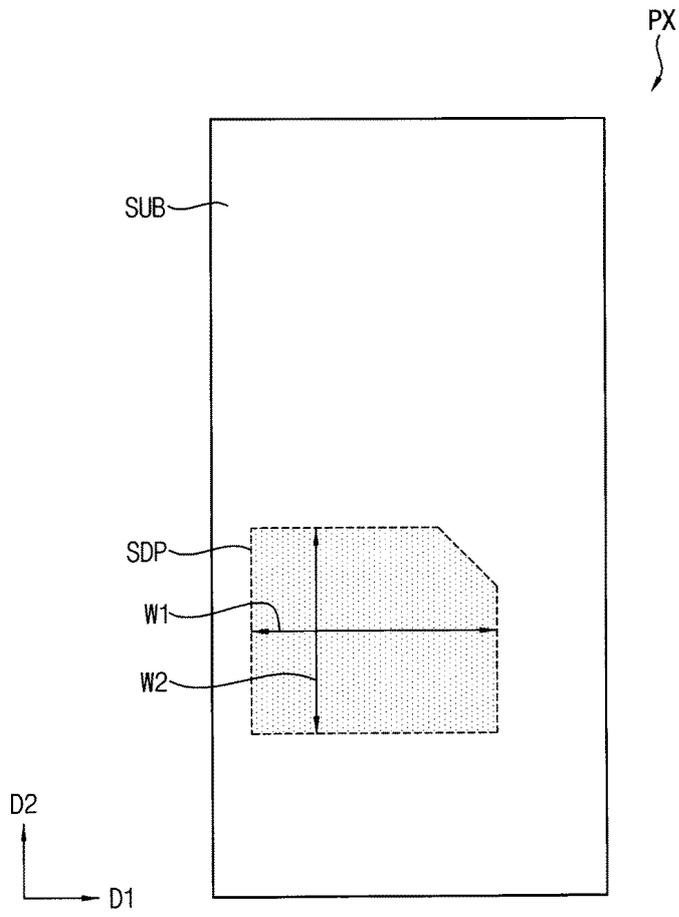
도면5



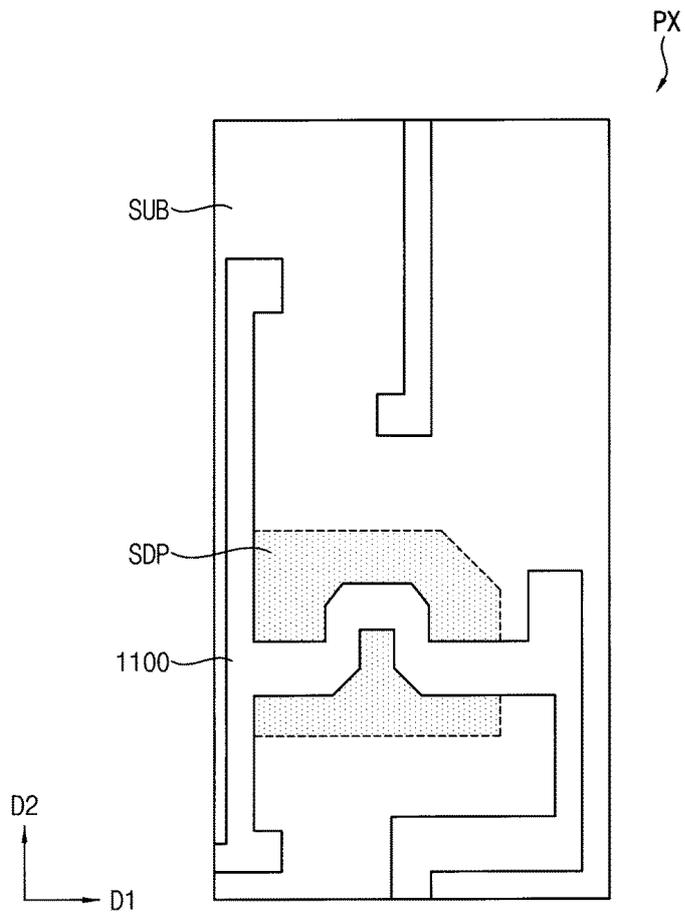
도면6



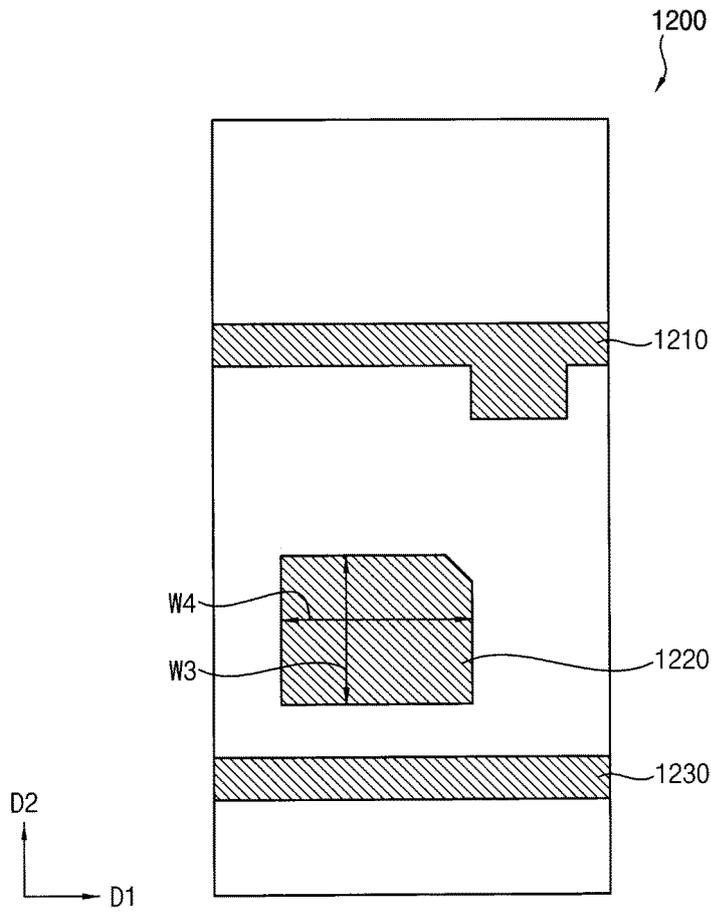
도면7



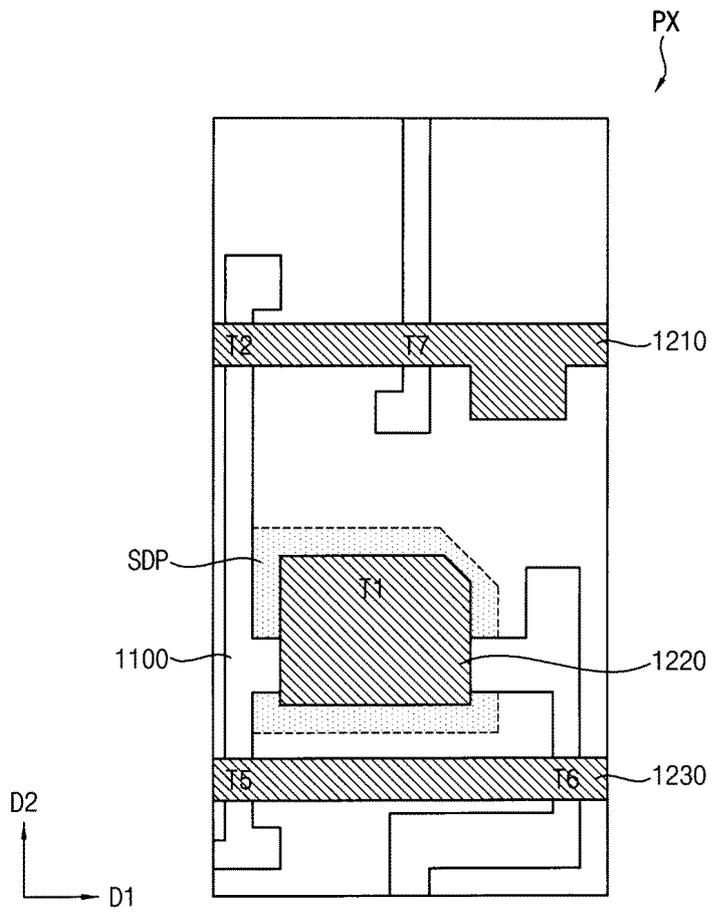
도면8



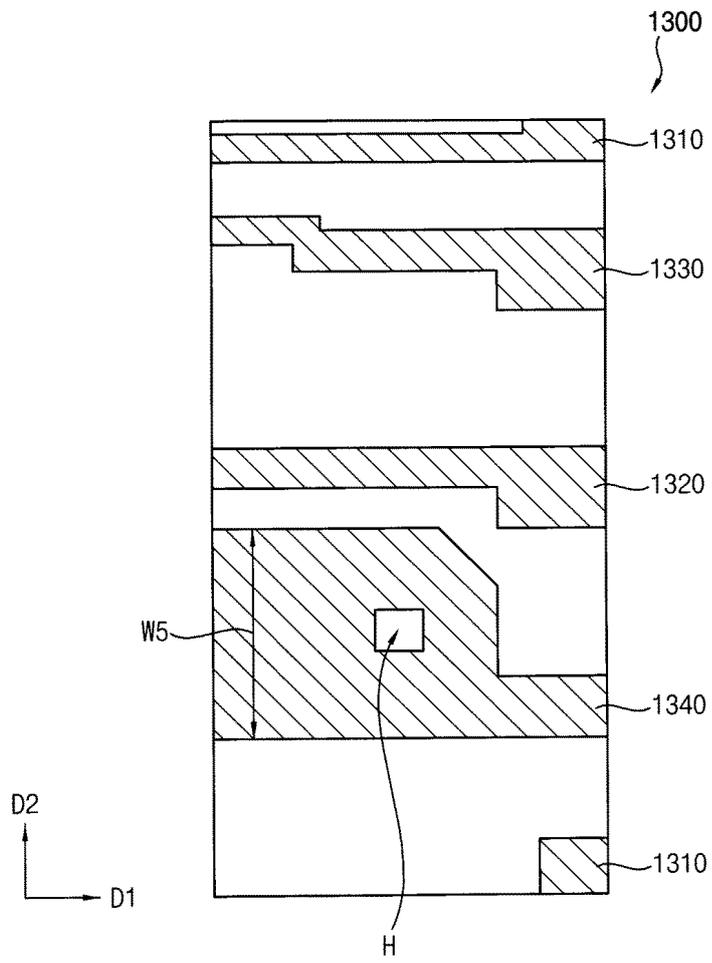
도면9



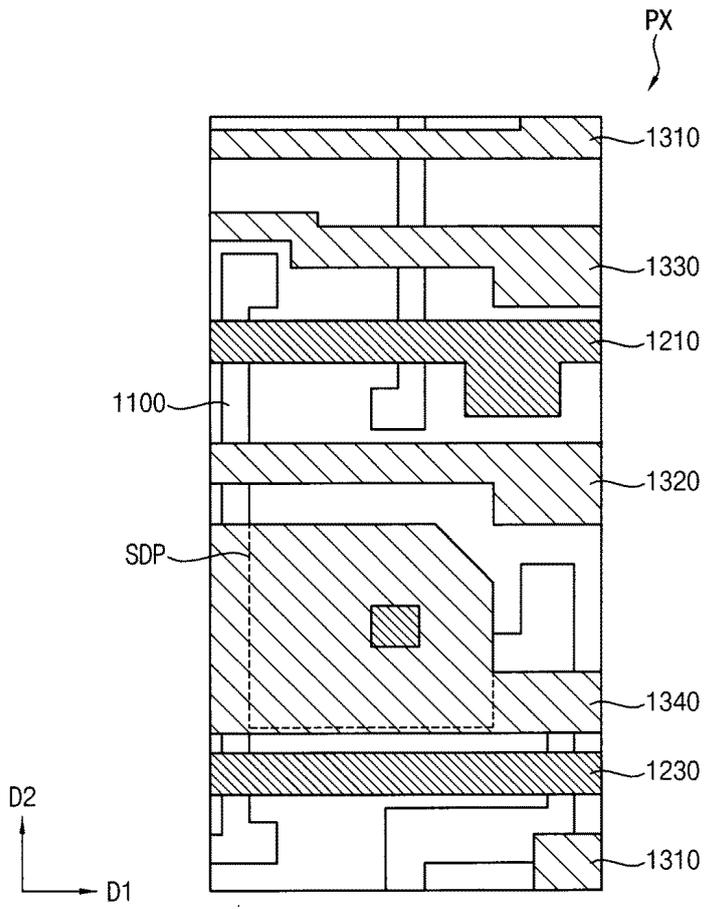
도면10



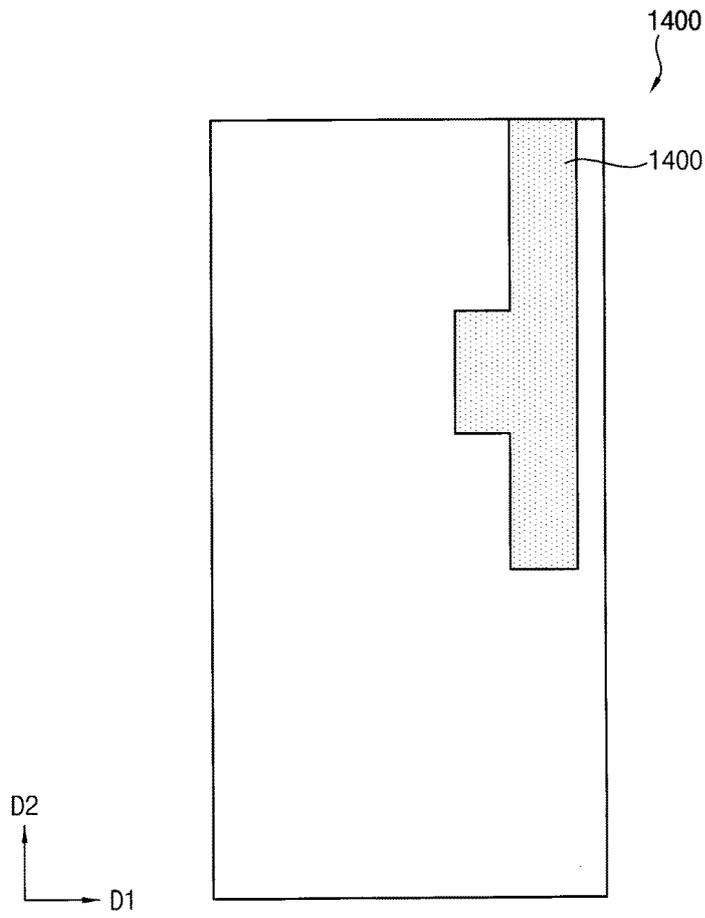
도면11



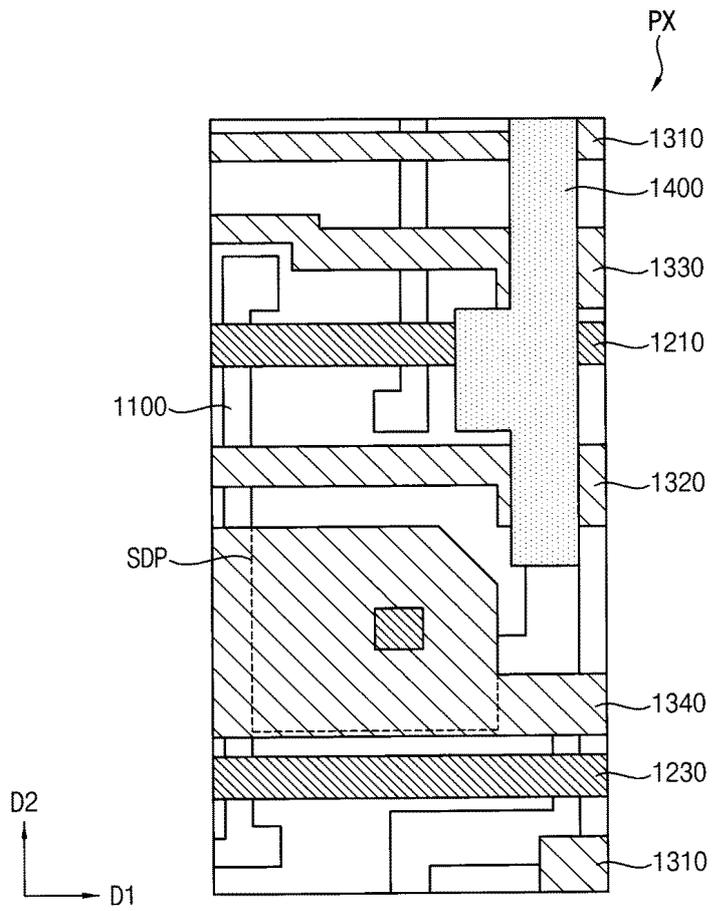
도면12



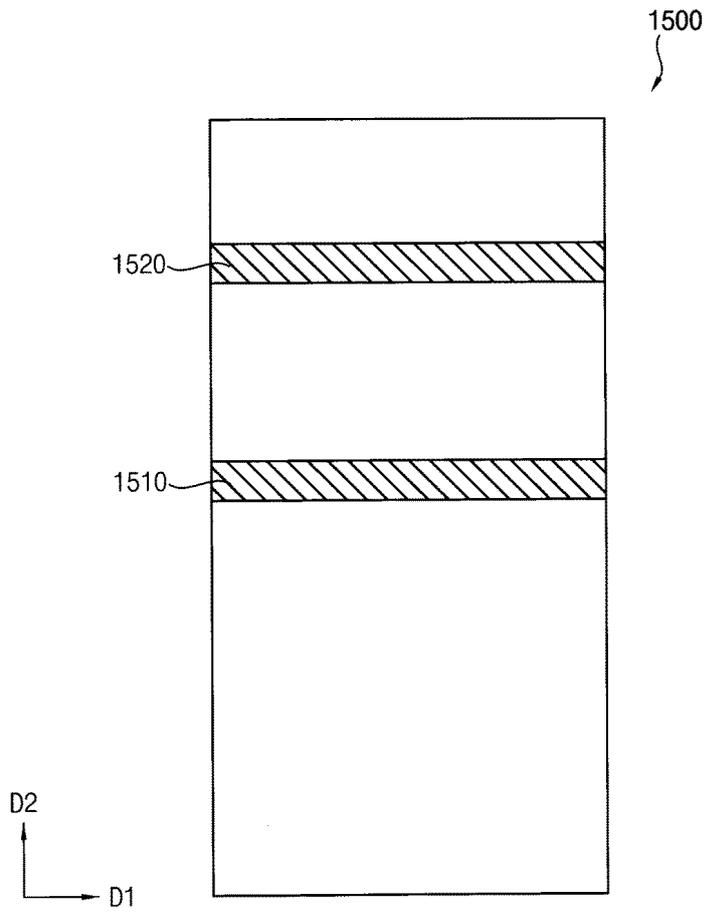
도면13



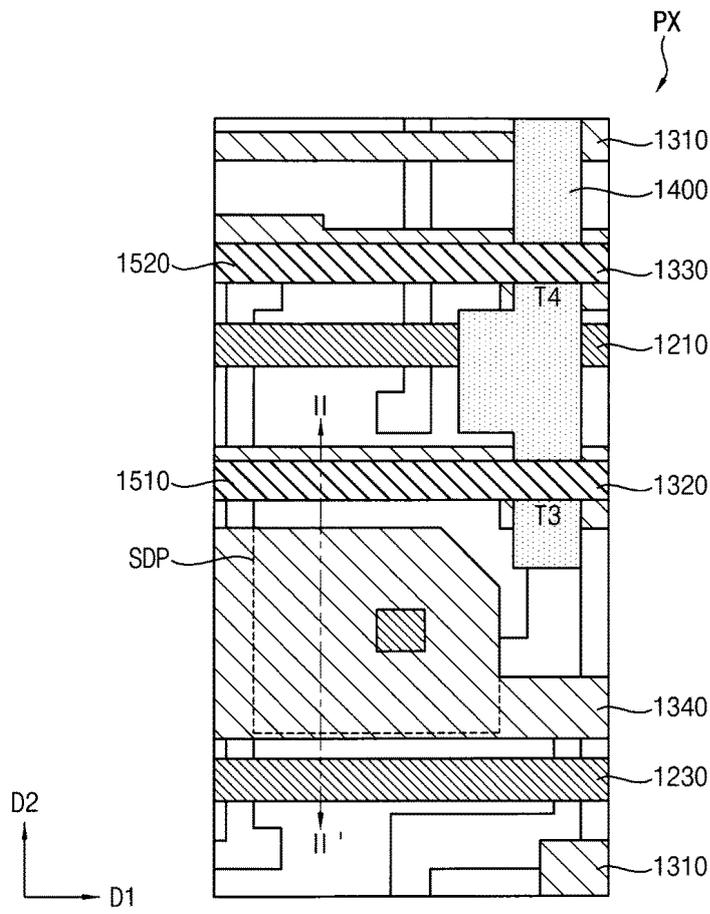
도면14



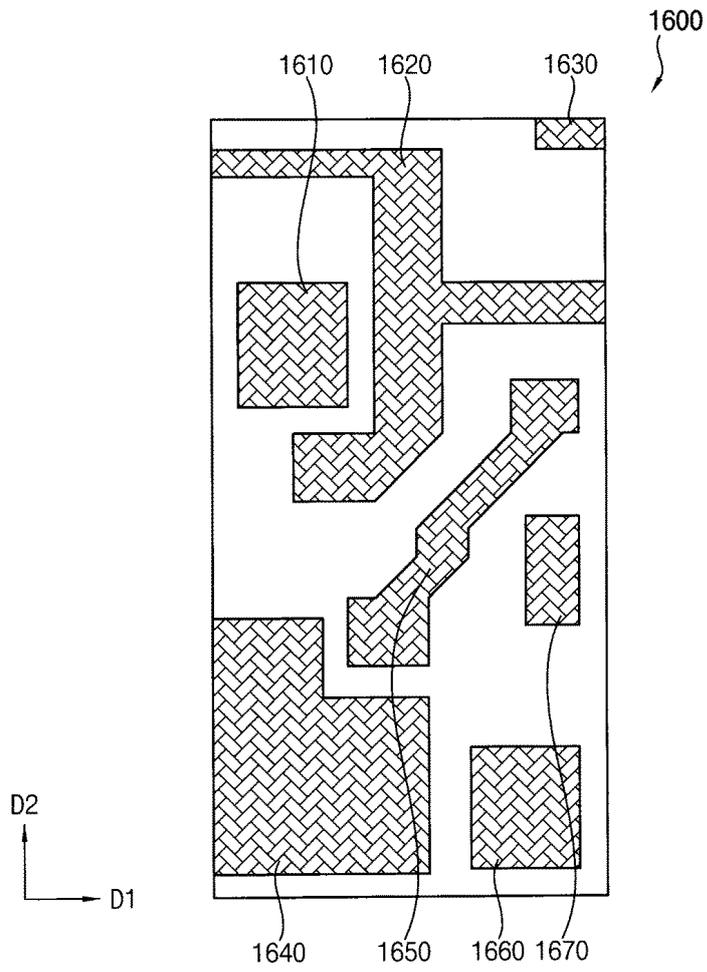
도면15



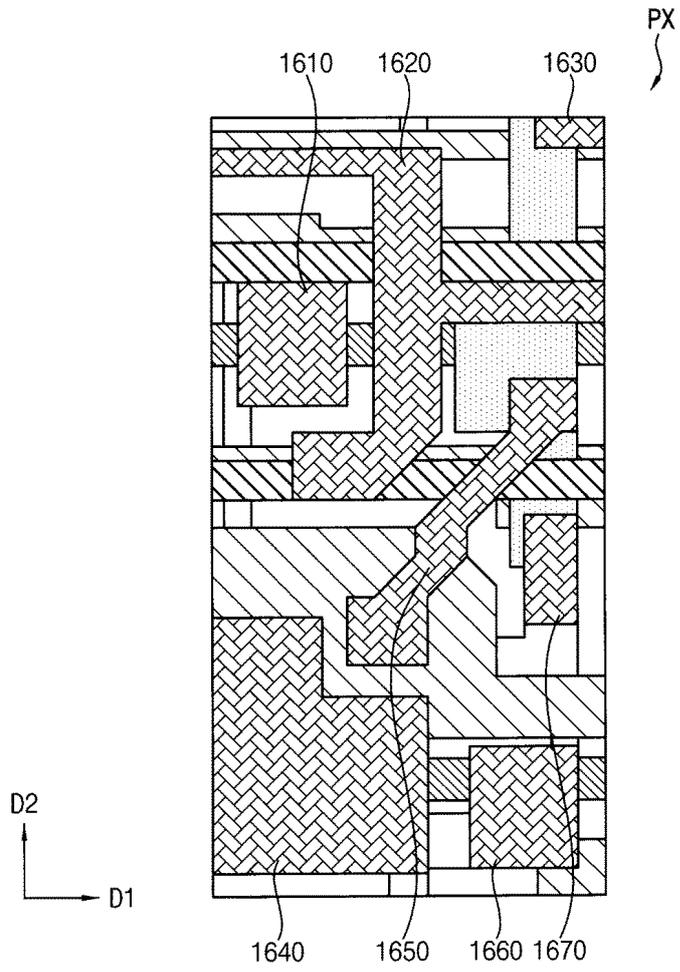
도면16



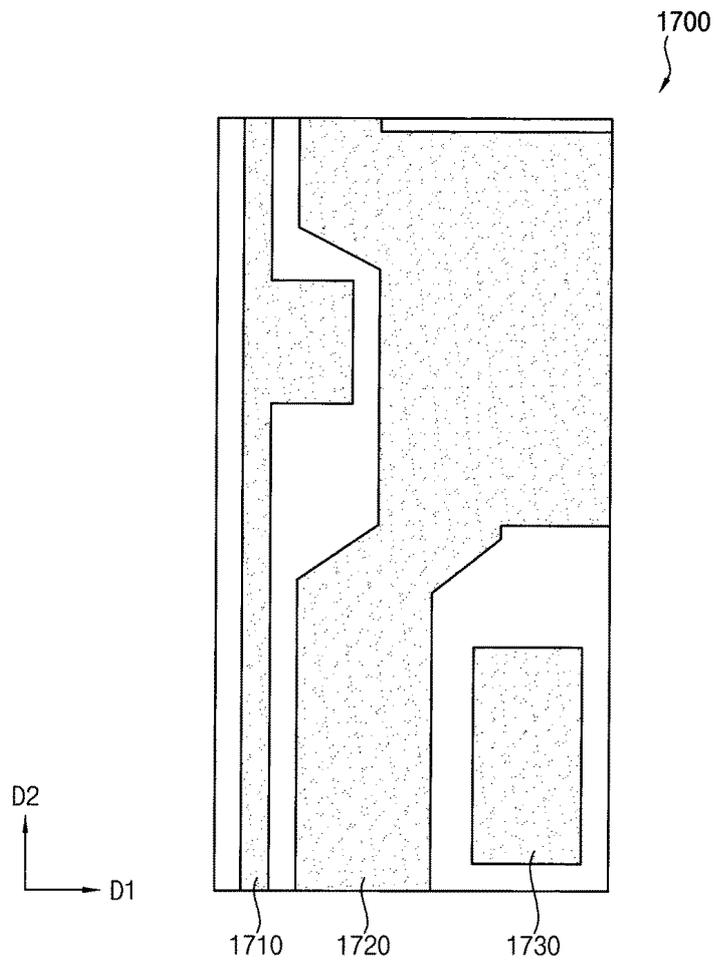
도면17



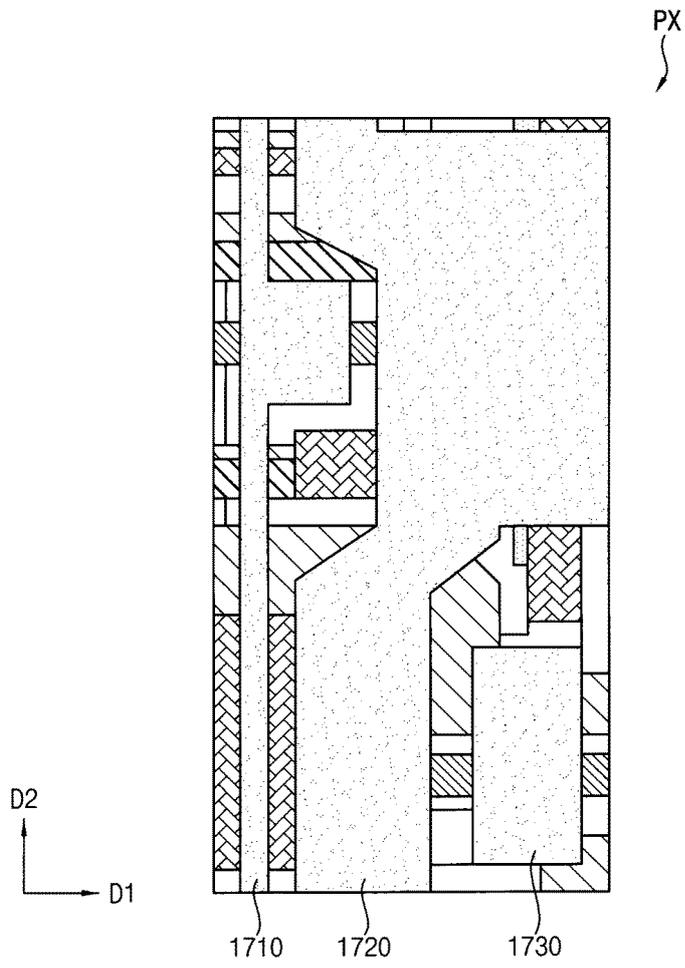
도면18



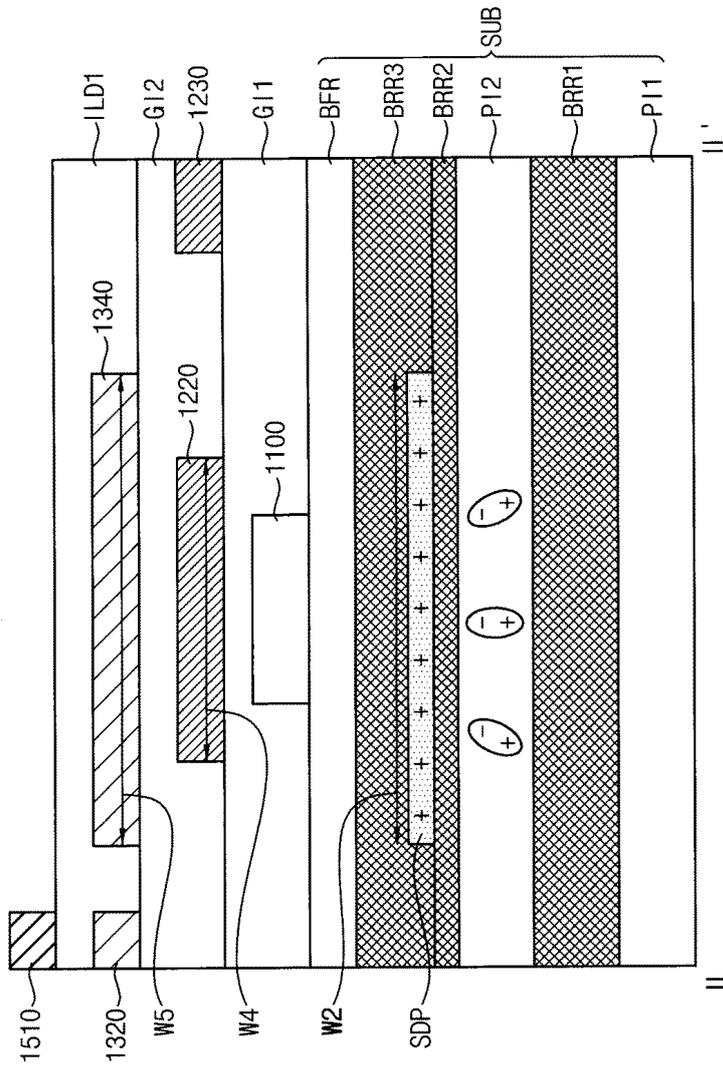
도면19



도면20



도면21



도면22

