

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) . Int. Cl.<sup>6</sup>  
 G11C 29/00

(45) 공고일자 2005년09월22일  
 (11) 등록번호 10-0516428  
 (24) 등록일자 2005년09월14일

|             |                   |             |                 |
|-------------|-------------------|-------------|-----------------|
| (21) 출원번호   | 10-1999-7004393   | (65) 공개번호   | 10-2000-0053363 |
| (22) 출원일자   | 1999년05월18일       | (43) 공개일자   | 2000년08월25일     |
| 번역문 제출일자    | 1999년05월18일       |             |                 |
| (86) 국제출원번호 | PCT/US1997/020997 | (87) 국제공개번호 | WO 1998/22951   |
| 국제출원일자      | 1997년11월18일       | 국제공개일자      | 1998년05월28일     |

(81) 지정국

국내특허 : 일본, 대한민국, 싱가포르,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드,

(30) 우선권주장 08/752,414 1996년11월19일 미국(US)

(73) 특허권자 테라다인 인코퍼레이티드  
미국 매사추세츠 02118 보스톤 해리슨 애비뉴 321

(72) 발명자 브라운벤자민제이.  
미국오리건97034레이크오스웨고틴들코트1159

가게로버트비.  
미국오리건97008비버튼사우스웨스트타파데라스트리트13475

도널드슨존에프.  
미국캘리포니아91360다우전드오크스롱펠로우스트리트121

조프알렉산더  
미국캘리포니아91360다우전드오크스시어스타애비뉴245

(74) 대리인 장용식  
박종혁  
정진상

심사관 : 김세영

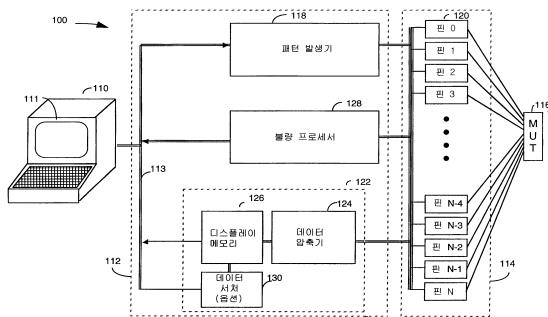
(54) 데이터 압축에 대한 메모리 테스터

**요약**

개량된 불량 데이터 처리 방법과 디스플레이 능력을 가진 반도체 메모리 테스트 시스템. 메모리 테스터는 불량 데이터에 대하여 무손실 데이터 압축기를 포함하고 있다. 압축으로, 메모리 테스터를 제어하는 워크 스테이션의 부품인 디스플레이

디바이스에 불량 데이터를 보다 고속으로 전송할 수 있다. 디스플레이 메모리에 저장되어야 하는 데이터의 양을 줄임으로써, 다중 테스트로부터의 데이터를 저장하기 위해 저비용의 방법을 제공할 수 있다. 다중 테스트용 데이터를 저장함으로써, 앞선 테스트의 데이터는 다음 테스트용 데이터의 포맷을 제어하는데 사용될 수 있다. 이러한 포맷은 퍼시픽 반도체 메모리의 동작 온도 또는 속도와 같은 불량 메카니즘을 관측하는 것에 유용하다.

## 대표도



## 색인어

반도체 메모리, 데이터, 프로세서, 디스플레이, 컴퓨터, MUT, 압축기, 압축해제기, 메모리 테스터

## 명세서

### 기술분야

본 발명은 일반적으로 자동 테스트 장비에 관한 것이고, 더 상세하게는 반도체 메모리의 제조에서 사용되는 자동 테스트 장비에 관한 것이다.

### 배경기술

반도체 메모리는 제조시에 자동 테스트 장비로 테스트된다. 메모리내의 어떤 셀이 불량인지를 테스트한다. 메모리를 매우 빠르게 테스트하기 위해, 각각의 셀의 테스트 결과는 캐치 RAM이라 불리우는 테스터내부의 초고속 메모리에 저장된다. 그 다음, 이러한 정보는 나중에 또는 다른 회로에 의해 액세스된다.

불량 셀에 대한 정보는 여러 상이한 방법으로 사용된다. 예를 들어, 프로세스 제어에 사용될 수 있다. 메모리내의 불량 수 또는 위치는 제조 프로세스로 인한 문제점을 나타낼 수 있다. 불량 정보는 추후 프로세싱을 위해 비휘발성 메모리에 저장될 수 있거나, 조작자를 위해 그래픽으로 디스플레이될 수 있다. 일반적으로, 불량 정보는 디스플레이내의 불량 셀의 위치가 메모리 칩의 표면상의 셀의 물리적인 위치와 관련되어 있는 상태에서, 2 차원 어레이로 디스플레이된다. 불량의 클러스터 또는 패턴은 인지되어 제조 프로세스의 문제점을 확인하는데 사용될 수 있다. 이러한 방식으로, 생산성을 향상시키기 위해 메모리 제조 프로세스를 조정할 수 있다.

불량 정보를 그래픽으로 디스플레이하는 것에 있어서 어려운 것은 디스플레이 디바이스에 전송되어야 하는 정보의 양이 매우 많다는 것이다. 그러므로, 전송 프로세스는 매우 느린다. 예를 들어, 전형적인 메모리 크기는 64 메가비트이다. 1 비트의 데이터가 2마이크로초마다 패스될 수 있더라도, 모든 정보를 디스플레이 디바이스에 전송하는 총 시간은 2분정도이다.

2분은 반도체 제조시에 매우 긴 시간이다. 메모리 제조에 있어서 처리량 목표를 충족시키기 위해, 메모리는 초 단위로 테스트되어야 한다. 데이터 전송 시간이 감소되는 한가지 방법은 다손실 압축을 이용하는 것이다. 인접한 셀 그룹을 1 비트의 데이터로 조합함으로써 다손실 압축이 수행된다. 그룹내의 셀이 불량이면, 전체 그룹은 불량으로서 표시된다. 전형적인 그룹화는 16개의 셀을 하나의 그룹으로 조합하는 것이다. 그러나, 이러한 양의 그룹화에서 조차도, 캐치 RAM에서 디스플레이로의 전송 시간은 여전히 긴 시간인 대략 8초이다. 추가로, 메모리내의 불량에 대한 보다 상세한 분석이 필요하면, 분석에 필요한 데이터는 이용불가능하다.

현 메모리 테스터내의 정보의 디스플레이에 있어서의 추가 문제점은 데이터가 쉽게 이해할 수 있는 형태로 항상 있지 않는 것이다. 메모리 테스터내의 불량 정보를 그래픽으로 디스플레이하는 주된 이유중 하나는 메모리 제조 프로세스에서의 문제점을 빠르게 확인할 수 있다는 것이다.

테스트된 메모리에 정보를 보내는데 필요한 시간을 매우 짧게 하기 위해, 메모리 테스터내의 디스플레이 프로세서에 데이터를 전송하는 속도를 증가시키는 것이 매우 바람직할 수 있다. 문제점을 보다 쉽게 확인할 수 있는 방식으로 데이터를 보낼 수 있는 것이 또한 바람직하다.

### 발명의 상세한 설명

상기 사항을 감안하여, 본 발명의 목적은 메모리 테스터내의 데이터를 무손실 압축하는 것이다.

또한 본 발명의 목적은 메모리 테스터에 다중 디스플레이 형태의 데이터를 제공하는 것이다.

상기 목적 등은 무손실 압축기를 가진 디스플레이에 데이터 전송 회로가 연결된 반도체 메모리 테스터에서 얻어진다. 바람직한 실시예에서, 무손실 압축기는 런길이 인코더이다.

대체 실시예에서, 데이터 압축 회로는 복수의 디스플레이 메모리와 게이팅 회로를 포함하고 있다. 하나의 메모리의 내용은 다른 메모리내의 정보 저장을 제어하기 위해 게이팅 회로에서의 입력으로서 사용될 수 있다. 일실시예에서, 게이팅 회로는 여러 부품의 테스트동안에 검출되는 불량을 메모리중 하나에 누산하도록 제어될 수 있다. 다른 실시예에서, 게이팅 회로는 동일 부품이 상이한 조건에서 테스트될 때 나타나는 불량을 메모리중 하나에 저장하도록 제어된다.

### 도면의 간단한 설명

본 발명은 다음의 상세한 설명 및 첨부한 도면을 참조하여 보다 이해할 수 있을 것이다.

도 1은 본 발명에 따른 메모리 테스터의 간단한 블록도;

도 2는 도 1의 데이터 압축기의 보다 상세한 블록도.

### 실시예

도 1은 반도체 메모리 테스터(100)의 간단한 블록도를 도시하고 있다. 테스터(100)는 사용자 인터페이스로서 작용하는 워크 스테이션(110)을 포함하고 있다. 워크 스테이션(110)는 예를 들어, 디스플레이 스크린(111)을 포함한 SUN<sup>R</sup> 워크 스테이션일 수 있다.

테스터(100)는 또한 테스터 메인 프레임(112)과 테스트 헤드(114)를 포함하고 있다. 테스트 헤드(114)는 피시험 메모리(MUT)(116)에 다중 접속한다. 이러한 방식으로, 다중 신호가 MUT(116)에 인가되어 측정되고, 결함이 검출될 수 있다.

MUT(116)에 인가된 테스트 패턴은 패턴 발생기(118)에 의해 발생된다. 패턴 발생기(118)는 메모리에 저장된 패턴을 재발생할 수 있다. 대안으로, 패턴 발생기 (118)는 프로그램 알고리즘에 따라 패턴을 발생하는 알고리즘 패턴 발생기일 수 있다.

패턴 발생기(118)는 테스트 헤드(114)내의 다수의 핀 전자 회로(120)에 패턴 입력을 제공한다. 패턴 데이터는 테스터 동작의 각각의 사이클동안에 피시험 메모리(116)상의 하나의 테스트 포인트로부터 인가되거나 판독될 데이터 값을 나타낸다. 핀 전자 회로(120)는 적정한 시간에 적당한 전압을 구동하거나 측정한다. 핀 전자 회로(120)는 그 테스트 결과를 저장하는 고속 캐치 RAM(부호 생략)을 포함하고 있다.

핀 전자 회로(120)는 또한 불량 프로세서(128)에 연결되어 있다. 불량 프로세서(128)는 핀 전자 회로(120)내의 캐치 RAM으로부터 값을 수신한다. 이러한 데이터를 분석하여, MUT(116)가 완전히 작용하도록, 레이저 수리 스테이션에서와 같이, MUT(116)에서 물리적인 변화가 일어나는지를 결정한다. 메모리 수리는 반도체 메모리의 제조에서 잘 알려진 단계이다.

편 전자 회로(120)내의 캐치 RAM은 또한 디스플레이 프로세서(122)에 연결되어 있다. 디스플레이 프로세서(122)는 캐치 RAM으로부터 데이터를 수신하고, 원하면, 데이터의 총량을 줄이기 위해 종래 기술에서와 같이 다손실 압축을 수행할 수 있다. 필요하다면, 종래 기술에서와 같이, 캐치 RAM으로부터 데이터를 "언스크램블"한다. 일부 예에서, MUT(116)내의 위치 어드레스는 서로 물리적으로 인접하는 일부 메모리 위치가 연속 어드레스를 가지지 않을 정도로 할당되어 있다. MUT(116)의 물리적인 레이아웃을 도시하는 디스플레이를 만들기 위해, 어드레스를 "언스크램블"하는 것이 가끔 필요하다.

디스플레이 프로세서(122)내의 데이터 압축기(124)는 무손실 데이터 압축 및 이미지 비교를 포함한 새로운 데이터 처리 기능을 수행한다. 데이터 압축기(124)는 도 2와 연결시켜 아래에 설명되어 있다. 데이터 압축기(124)의 출력은 디스플레이 메모리(126)에 패스된다. 디스플레이 메모리(126)는 워크 스테이션(110)의 디스플레이(111)상에 디스플레이되는 압축 데이터를 저장하고 있다.

디스플레이 프로세서(122)는 또한 옵션 데이터 서처(130)를 포함하는 것으로 도시되어 있다. 아래에 설명되는 바와 같이, 데이터 서처(130)는 매우 간단하고 저가로 무손실 데이터 압축을 제공하는데 사용될 수 있다. 옵션적으로, 이미지 비교가 필요하지 않은 데이터 압축기(124)에서 무손실 데이터 압축 회로대신에 사용될 수 있다.

워크 스테이션(110)과 테스트 헤드(114)는 미국 특허 제5,317,573호에 설명된 바와 같다. 테스터 메인 프레임(112)은 아래에 보다 상세히 설명되는 데이터 프로세서(122)를 포함하고 있는 것을 제외하고 종래 기술과 유사하다. 당업자는 메모리 테스터(100)가 특별히 도시되어 있지 않은 제어 회로를 포함하고 있다는 것을 알 것이다. 테스터의 동작은 제어기에 의해 실행되는 소프트웨어 또는 펌웨어에 의해 표시되어 있다. 하드웨어에서의 차이점외에, 소프트웨어 및 펌웨어는 종래의 기술과 다르다. 그러나, 당업자는 아래에 설명되는 기능을 제어하기 위해 제어 소프트웨어 또는 펌웨어를 쉽게 기록할 수 있다.

여기서 도 2를 참조하면, 데이터 압축기(124)와 디스플레이 메모리(126)는 보다 상세히 도시되어 있다. 먼저 입력 데이터는 다손실 압축기(210)에 인가된다. 입력 데이터는 각각의 비트가 MUT(116)의 하나의 위치에 대응하는 비트 스트림을 나타내고 있다. 바람직한 실시예에서 논리 1의 값을 가진 비트는 MUT(116)가 테스트되었을 때 그 위치에서 불량이 검출되었음을 나타낸다. 논리 0은 불량이 검출되지 않았음을 나타낸다. 다손실 압축기(210)는 종래 기술과 같은 다손실 압축기이고, 몇몇 기능중 하나를 수행하도록 프로그램될 수 있다.

다손실 압축기(210)는 어떠한 기능도 수행하지 않도록 프로그래밍을 통해 디스에이블될 수 있다. 대안으로, 데이터의 행의 인접하는 비트를 압축하도록 프로그래밍될 수 있다. MUT(116)는 각각의 열이 복수의 행을 포함하는 셀의 다수의 행으로서 조직화되어 있다. 데이터 압축기(124)에서의 입력 데이터 스트림은 다음의 완전한 행에 대한 불량 정보에 의해 수반되는 하나의 완전한 행에 대한 불량 정보를 포함하고 있다. 행으로 압축하기 위해, 인접한 비트의 몇몇은 서로 논리합된다. 서로 논리합된 비트의 정확한 수는 압축비를 나타낸다. 정확한 수는 본 발명에서는 절대적이지 않고 바람직하게 프로그래밍 할 수 있다.

다손실 압축기(210)는 데이터의 열에서의 인접한 비트를 압축하도록 또한 프로그래밍될 수 있다. 열로 압축하기 위해, 일행의 비트는 판독될 때 저장되어야 한다. 다음 행의 비트가 판독될 때, 비트별로 이미 저장된 비트와 논리합된다. 논리합된 결과는 앞서 저장된 값을 대신한다. 적당한 수의 행이 판독되어 서로 논리합되면, 최종 비트는 비트의 출력 행으로서 제공된다. 서로 논리합된 적당한 수의 행은 본 발명에서 절대적인 것은 아니며 바람직하게 프로그래밍될 수 있다.

다손실 압축기(210)의 출력은 제 2 데이터 스트림을 나타내고 있다. 데이터 스트림의 비트는 MUT(116)내의 대응하는 비트에 불량이 있었는지를 나타낸다. 다손실 압축기(210)는 압축하기 위해 프로그램되었던 곳에서, 스트림은 비트의 대응하는 그룹의 비트중 하나에 불량이 있었는지를 나타낸다.

제 2 데이터 스트림은 프로그램가능 게이트(212)에 인가된다. 프로그램가능 게이트(212)는 바람직한 실시예에서 ASIC 또는 ASIC상의 게이트 세트이다. 프로그램가능 게이트(212)는 몇몇 기능중 하나를 수행하도록 제어될 수 있다. 이러한 기능은 아래에 보다 상세히 설명되어 있다. 그러나, 모두 불량을 쉽게 분석할 수 있는 형태로 데이터를 디스플레이(111)상에 표현하도록 되어 있다. 프로그램가능 게이트(212)의 이러한 기능중 하나는 출력을 통해 제 2 데이터 스트림을 변화없이 패스하는 것이다.

프로그램가능 게이트(212)가 수행하는 것을 제어할 수 있는 제 2 기능은 다손실 압축기의 출력에서의 제 2 데이터 스트림을 RLE 압축 해제기(224)의 출력에 조합하는 것이다. 이러한 두 개의 데이터 스트림은 비트당 비트를 근거로 조합된다.

비트를 서로 논리곱하거나 논리합함으로써 조합될 수 있다. "새로운 폐일" 기능이 또한 구현될 수 있다. "새로운 폐일" 기능은 다손실 압축기(210)로부터의 값을 RLE 압축 해제기(224)로부터의 값과 비교한다. RLE 압축해제기(224)로부터의 값이 논리 1이고, 다손실 압축기(210)로부터의 대응하는 값이 논리 0일 때 논리 1 출력을 생성한다. 이러한 기능은 여러 유용한 형태로 테스트 데이터를 나타내는데 사용될 수 있고, 아래에 보다 상세히 설명된다.

프로그램가능 게이트(212)가 수행하는 것을 제어할 수 있는 다른 기능은 데이터 스트림의 역변환이다. 상술된 바와 같이, 논리 1은 바람직한 실시예에서 불량 셀을 표시하는데 사용된다. 설명될 대부분의 처리 방법은 논리 1에 의해 표현되는 셀을 처리하는 방법과 관련되어 있다. 이러한 처리 방법은 MUT(116)내의 불량 셀에 정보를 포맷하는 것과 관련되어 있다. 일반적으로, 제조 동작에서의 촛점은 불량에 있고 제거될 수 있다. 그러나, 일부 상황에서는 셀을 패스하는 것에 촛점을 두는 것이 바람직할 수 있다. 예를 들어, MUT(116)에서 변화가 일어나면, 얼마나 많은 셀이 테스트에 패스했는지를 나타내는 것이 바람직할 수 있다. 논리 1을 논리 0으로 변환하여 데이터 스트림을 인버터하면, 불량 처리 회로는 패스 셀상의 정보를 처리하는데 사용될 수 있다.

프로그램가능 게이트(212)의 출력은 다손실 압축기(214)에 입력 스트림으로서 인가된다. 다손실 압축기(214)는 다손실 압축기(210)와 동일하다. 다손실 압축기(214)는 압축하지 않도록 제어될 수 있고, 행 또는 열로 압축할 수 있다. 다손실 압축기(210)와 연결시켜, 행과 열 양 방향으로 압축하는데 또는 행 또는 열 방향중 한 방향으로 두 배 압축하는데 사용될 수 있다.

다손실 압축기(210,214)는 입력 데이터 스트림이 프로그램가능 게이트(212)에 의해 처리되기 전 또는 후에 개별적으로 압축하는데 또한 사용될 수 있다.

다손실 압축기(214)의 출력은 RLE 압축기(216)에 제공된다. RLE 압축기(216)는 무손실 압축기이다. 바람직한 실시예에서, RLE 압축기(216)는 런길이 인코딩이다. 런길이 인코딩은 데이터를 압축하는 알려진 기술이다. 발생하는 연속의 논리 1 또는 논리 0의 수를 카운트함으로써 압축된다. RLE 압축기(216)의 출력은 일련의 멀티비트 워드이다. 일련의 멀티비트 워드내의 제 1 워드는 제 1 데이터 값으로 시작하는 연속적인 0의 수를 나타낸다. 다음 워드는 연속적인 0의 제 1 스트링을 수반하는 연속적인 1의 수를 나타낸다. 워드는 연속적인 0과 1의 수를 교대로 나타내는 방식으로 바뀐다.

런길이 인코딩은 반도체 메모리 테스터에서 테스트 데이터를 압축하는데 특히 적합하다. 메모리의 대부분의 셀이 일반적으로 작용할 것이다. 불량이 발생할 때, 불량은 클러스터에서 발생할 것 같다. 데이터는 1의 스트림에 삽입된 0의 여러 긴 스트림을 포함할 것이다. 메모리내의 불량을 모두 표현하는데 필요한 디지털 워드의 총 수는 불량 셀의 클러스터 수이상이다. 따라서, 전체 스트림은 상대적으로 적은 디지털 워드로 표현된다.

RLE 압축기(216)에 의해 생성된 디지털 워드는 디스플레이 메모리(126)에 저장된다. 디스플레이 메모리(126)는 두 개의 개별 메모리(218,220)를 포함하고 있다. RLE 압축기(216)로부터의 디지털 워드의 출력 스트림은 메모리(218) 또는 메모리(220)에 저장되도록 제어될 수 있다. 디스플레이 메모리(218,220)는 압축 형태로 데이터를 저장하고 있기 때문에, 각각은 종래의 디스플레이 프로세서 메모리보다 상당히 적을 수 있다. 그러므로, 다중 디스플레이 메모리는 저가로 사용될 수 있다. 다중 디스플레이 메모리는 아래에 설명되는 불량 데이터를 포맷할 때 사용된다.

디스플레이 메모리에 저장된 정보는 MUT(116)에서 테스트하는 과정에서, 디스플레이(111)상의 그래픽 디스플레이에 이용가능할 것이다. 디스플레이 메모리(218) 또는 디스플레이 메모리(220)내의 정보는 워크 스테이션(110)에 의해 선택될 수 있다. 정보는 버스(113)(도 1)를 통해 판독될 것이다. 워크 스테이션(110)는 보통의 컴퓨터를 포함하고, 디스플레이 스크린(111)상에 디스플레이하기 전에 버스(113)를 통해 판독되는 데이터를 압축 해제하도록 쉽게 프로그램될 수 있다.

디스플레이 메모리(218,220)의 정보는 프로그램가능 게이트(212)에 또한 패스될 수 있다. 멀티플렉서(222)는 RLE 압축 해제기(224)에 인가하기 위해 메모리(218) 또는 메모리(220)의 출력을 선택한다. RLE 압축 해제기(224)는 RLE 압축기(216)에 의해 형성된 일련의 디지털 워드를, 1 비트가 MUT(116)의 하나의 셀, 또는 압축기(210 또는 214)가 인에이블되는 곳에서, 셀 그룹을 나타내는 비트 스트림으로 역으로 확장한다. RLE 압축 해제는 디지털 신호 처리 분야에서 잘 알려진 것이다.

데이터 압축기(124)는 카운터(226,228)를 더 포함하고 있다. 일부 예에서, MUT(116)에 각각의 셀에 대한 불량 데이터를 저장하는 것은 불필요하다. 종종, 메모리내의 얼마나 많은 셀이 불량인지를 아는 것이 충분하다.

카운터(226)는 입력 데이터 스트림내의 불량 셀의 수를 카운트한다. 카운터(228)는 프로그램가능 게이트(212)에 의해 포맷한 후 데이터 스트림내의 불량 셀의 수를 카운트한다. 아래에 설명되는 바와 같이, 데이터 압축기(124)는 이전 테스트와 비교하여 테스트하여 패스 또는 불량인 셀만을 확인하는데 사용될 수 있다. 그러므로, 카운터(228)는 상이한 테스트로 상이한 결과를 가져오는 셀의 수를 카운트하는데 사용될 수 있다.

멀티플렉서(230)는 카운터(226,228)의 출력사이에서 선택한다. 선택된 출력은 에러 스택(232)에 저장된다. 에러 스택(232)은 테스트되는 다중 메모리에 대하여 에러 카운트를 유지한다.

### 동작

데이터 압축기(124)는 다중 기능을 수행하도록 프로그램될 수 있다. 다손실 압축기(210,214) 모두를 인에이블함으로써 그리고, 데이터를 간단히 패스하기 위해 프로그램가능 게이트(212)를 설정함으로써 종래의 행과 열 압축을 수행하도록 프로그램될 수 있다.

데이터 압축기(126)는 또한 디스플레이를 위해 워크 스테이션(110)에 패스되는 데이터를 압축하도록 프로그램될 수 있다. 디스플레이 메모리(218 또는 220)는 버스(113)(도 1)를 통해 판독될 수 있다. 버스를 통해 메모리를 판독하면 상당 양의 정보를 디스플레이할 때 병목 현상이 일어난다. 압축된 형태로 정보를 패스함으로써, 그 병목 현상은 제거되거나 최소한 실질적으로 제거된다. 완전한 불량 데이터를 디스플레이하기 위해, 워크 스테이션(110)은 압축된 데이터를 압축 해제하여 디스플레이할 수 있다.

원하면, 디스플레이 메모리(218)는 메모리 테스트 시스템(100)이 제 1 피시험 메모리를 테스트할 때 발생되는 불량 데이터를 저장할 수 있다. 메모리(220)는 메모리 테스트 시스템(100)이 제 2 피시험 메모리를 테스트할 때 발생되는 불량 데이터를 저장할 수 있다. 두 부분의 불량 데이터는 동시에 디스플레이될 수 있다.

대안으로, 디스플레이 메모리(218,220)는 두 개의 상이한 조건으로 동일 피시험 메모리(116)에서 취출된 불량 데이터로 로드될 수 있다. 반도체 디바이스는 상이한 속도 또는 상이한 동작 온도에서 종종 테스트된다. 속도 또는 온도가 감소함에 따라 얼마나 메모리가 불량인지를 아는 것이 중요하다. 두 개의 디스플레이 메모리를 가지면, 동일 메모리에 대한 불량 데이터는 비교를 위해 동시에 디스플레이될 수 있다.

그러나, 자동적으로 비교되면, 일부 상황에서는 매우 바람직 할 것이다. 디스플레이 프로세서(124)의 유동적인 구성으로 자동적으로 비교할 수 있다. 제 1 패스동안에 디스플레이 메모리(218 또는 220)의 테스트 결과를 저장하여, 두 개의 패스 모드로 동작될 수 있다. 제 2 패스동안에, 제 1 패스동안에 저장된 테스트 결과는 멀티플렉서(222)를 통해 프로그램가능 게이트(212)의 제어 입력부에 인가되고, 제 2 패스에서 취해진 데이터를 필터링하는데 사용될 수 있다.

예를 들어, 디스플레이 프로세서(124)는 제 1 속도로 MUT(116)상의 테스트로부터의 테스트 결과를 디스플레이 메모리(218)에 저장하도록 동작될 수 있다. 동일 MUT는 제 2 속도에서 재테스트될 수 있다. 제 2 테스트 동안에, 디스플레이 메모리(218)내의 데이터는 디스플레이 메모리(218)로부터 판독될 수 있고, 멀티플렉서(222)와 RLE 압축해제기를 통해 프로그램가능 게이트(212)에 인가될 수 있다. 프로그램가능 게이트(212)가 "새로운 페일" 기능에 설정되어 있으면, 그 효과는 양 상황에서 불량인 셀을 스크린하는 것과, 동작 조건이 변경되었을 때 불량인 셀을 하이라이트하는 것이다. 예를 들어, 이러한 디스플레이가 동작 속도가 증가함에 따라 불량인 MUT(116)의 영역을 하이라이팅하는데 유용할 수 있다. 그 다음, 포맷 결과는 디스플레이 메모리(220)에 저장될 수 있다.

다른 예로서, 프로그램가능 게이트(212)는 AND 기능으로 설정될 수 있다. 이러한 상황에서, 제 2 패스에서 필터링된 데이터는 양 테스트에서 불량인 테스트를 하이라이트할 수 있다. 동일 테스트가 양 패스에서 수행되었다면, 이 동작은 의사 불량을 필터링 할 수 있다.

도 1은 본 발명에 따라서 무손실 데이터 압축을 제공하는데 사용될 수 있는 옵션 데이터 서처(130)를 도시하고 있다. 데이터 서처(130)가 사용되었다면, 데이터 압축기(124)는 종래의 데이터 압축기일 수 있다. 디스플레이 메모리(126)는 종래 기술에서와 같이 단일 디스플레이 메모리일 수 있다. 디스플레이 메모리(126)에 저장되기 전에 데이터를 압축하는 것보다, 데이터 서처(130)는 디스플레이 메모리(126)로부터 판독될 때 데이터를 압축한다. 동작중에, 데이터 서처(130)는 불량이 발견될 때까지 디스플레이 메모리(126)로부터 비트를 판독한다. 이러한 불량의 어드레스는 패스 셀의 스트링을 정의 한다. 그 다음, 데이터 서처는 패스 셀이 발견될 때까지 디스플레이 메모리(126)를 조사한다. 패스 셀의 어드레스는 불량 셀의 스트링을 정의한다. 이러한 방식으로 조사함으로써, 데이터 서처(130)는 RLE 압축기(216)에 의해 발생된 정보와 등

가인 정보를 발생시킨다. 정보는 이러한 각각의 스트링의 시작과 끝의 어드레스를 명시함으로써, 또는 그 길이와 각각의 스트링의 시작 어드레스를 명시함으로써 제공될 수 있다. 대안으로, 0과 1의 스트링 길이를 명시함으로써 제공될 수 있다. 데이터가 표현되는 정확한 방식과 무관하게, 디스플레이 메모리(126)내의 패스 셀과 폐일 셀 모두를 나타내는데 필요한 데이터의 총 양은 감소될 것이다.

데이터 서처(130)는 시스템 버스를 통해 연결되기 보다는 디스플레이 메모리(126)에 직접 연결되어 있기 때문에, 워크 스테이션(110)에 패스될 수 있는 것보다 더 빠르게 디스플레이 메모리(126)로부터 값을 판독할 수 있고, 그 결과 상당히 시간을 절약할 수 있다.

데이터 서처(130)는 워크 스테이션(110)의 일부인 일반적인 컴퓨터에 의해 대개 제어되는 매우 간단한 회로일 수 있다. 예를 들어, 버스(113)를 통한 명령에 응답하여 메모리(126)를 조사하기 시작할 수 있다. 그 다음, 버스(113)를 통해 역으로 제 1 스트링상의 정보를 제공할 수 있다. 이러한 값이 워크 스테이션(110)에 의해 판독되었으면, 데이터 서처(130)는 다음 값을 조사할 수 있다. 대안으로, 데이터 서처(130)는 회로의 한 부분이 메모리내의 정보를 베퍼팅하고 스트링상의 정보를 조사하는 두 개의 부분을 가질 수 있다. 회로의 다른 부분은 워크 스테이션(110)이 판독할 수 있는 것만큼 빠르게 버스(113)를 통해 정보를 제공할 수 있다. 데이터 전송 기능의 정확한 구현은 본 발명에서 절대적인 것은 아니다.

데이터 압축기(124)는 여러 상이한 기능을 수행하도록 프로그램 설계되어 있다는 것을 또한 알 수 있다. 디스플레이 프로세서(124)의 유동적인 예로서, 프로그램가능 게이트(212)는 OR 기능으로 설정될 수 있다. 이 경우에, 디스플레이 메모리(220)의 데이터는 양 테스트로부터의 불량의 누산을 나타낼 수 있다.

데이터의 필터링은 동작의 두 개의 패스 모드로 제한될 필요는 없다. 제 3 패스가 사용되면, 디스플레이(220)의 값은 프로그램가능 게이트(212)의 제어 입력부로 패스되고, 제 3 패스의 결과는 디스플레이 메모리(218)에 저장될 수 있다.

예를 들어, 다중 메모리는 순서대로 테스트될 수 있고, 불량 셀 모두는 프로그램가능 게이트(212)를 OR 기능에 설정함으로써 누산될 수 있다. 대안으로, 프로그램가능 게이트(212)는 AND 모드에 설정될 수 있고, 그 결과 데이터는 테스트되는 모든 메모리에서 일반적인 불량을 표시할 수 있다. 이러한 방식의 동작은 페시험 메모리의 특정 영역에서 불량 셀을 항상 생성하는 메모리의 제조시의 프로세스 문제점을 하이라이트할 때 유용할 수 있다.

디스플레이 프로세서는 다중 경로 모드에 사용될 필요는 없다. 단일 패스 모드에서, 프로그램가능 게이트(212)는 필터링 없이 데이터를 패스하도록 설정되어 있다. 단일 패스 모드에서 조차도, 실질적인 장점이 얻어진다. 연속 테스트는 단일 런 길이 인코더가 원래의 1 퍼센트의 절반에서 메모리내의 불량 셀을 나타낼 필요가 있는 비트수를 감소시킴을 나타내는 대략 1000개의 메모리를 동작시킨다.

일실시예를 예시하면, 다수의 대체 실시에 또는 변경이 가능하다. 예를 들어, 본 발명은 메모리 테스터와 연결시켜 설명되었다. 메모리 회로를 테스트하는 논리 테스터 또는 복합 신호 테스터내에서 동등하게 사용될 수 있다. 예를 들어, 다수의 마이크로프로세서는 메모리를 포함하고 있다. 마이크로프로세서가 논리 테스터상에서 테스트되지만, 그 논리 테스터의 일부는 메모리 테스터로서 동작하고 있다.

다른 예로서, 도 2는 두 개의 디스플레이 메모리(218, 220)가 사용되는 것을 도시하고 있다. 두 개의 메모리를 구비하는 중요한 잇점은 하나의 테스트 결과가 하나의 메모리에 저장될 수 있다는 것이다. 제 2 테스트동안에, 이러한 결과는 제 1 메모리로부터 판독될 수 있고, 제 2 메모리에 패스됨에 따라서 제 2 테스트의 결과를 게이트하는데 사용될 수 있다. 이러한 방식으로, 제 2 메모리에 저장된 데이터는 일부 매우 유용한 포맷 중 하나로 주어질 수 있다. 그러나, 두 개의 개별 메모리가 이러한 잇점을 얻기 위해 사용될 필요는 없다. 메모리는 정보가 동시에 판독되고 기록되도록 파이프라인될 수 있다. 정보는 데이터가 그 위치로 기록되기 전에 특정 위치에서 판독될 필요가 있다. 런길이 인코딩이 사용되는 곳에서, 이러한 결과를 보장하는 것은 어려울 수 있다. 이러한 이유로, 다중 메모리가 바람직하다.

본 발명은 메모리용 불량 데이터를 그래픽으로 디스플레이하는데 사용되는 것으로 위에서 설명되었다. 데이터를 디지털 형태로 분석하는 디지털 신호 프로세서로 데이터를 전송하는데 또한 사용될 수 있다. 런길이 인코딩을 사용하면, 데이터 전송속도를 높일 때 매우 유용하다. 압축된 데이터가 압축해제된 데이터 크기의 분수인 곳에서, 데이터 전송 시간은 비례적으로 감소된다.

본 발명은 다른 데이터 출력 디바이스와 함께 사용될 수 있다. 예를 들어, 디스크 드라이브와 같은 대용량 기억 시스템에 데이터를 저장하기 전에 데이터를 압축하기 위해 디스플레이 프로세서(124)를 이용하는 것이 종종 바람직할 수 있다. 제조 환경에서, 제조 과정동안에 취해진 데이터를 저장하고, 그 제조 과정에서 문제점이 검출되면 데이터를 추후에 분석하는 것이 바람직하다.

다른 예로서, 런길이 인코딩이 사용되는 것은 불필요하다. 상기된 바와 같이, 이러한 특정 인코딩은 불량을 클러스터하고자 하는 여러 유형의 메모리에 유용하다. 그러나, 다른 압축 기술이 사용될 수 있다.

그러므로, 본 발명은 첨부된 청구 범위와 사상에 의해서만 제한될 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

테스트 헤드(114)에 연결되고 시스템 버스(113)를 통해 워크 스테이션(110)에 연결된 테스터 메인 프레임(112)을 포함하며, 상기 테스트 헤드는 피시험 메모리(116)에 연결되기에 적합하고, 상기 테스터 메인 프레임은 데이터 패턴을 상기 테스트 헤드에 제공하는 패턴 발생기(118)를 포함하고, 상기 테스트 헤드는 데이터 패턴에 의해 지정된 전압 레벨을 피시험 메모리에서 구동하여 측정하고 테스트 결과를 상기 테스터 메인 프레임(112)에 제공하는 편 전자 회로(120)를 포함하고, 상기 테스트 결과는 상기 피시험 메모리내의 불량 셀을 나타내는 데이터 스트리밍이고, 상기 테스터 메인 프레임은 상기 테스트 결과를 표현하는 데이터를 저장하는 디스플레이 메모리(126)를 구비한 디스플레이 프로세서(122)를 더 포함하고, 상기 워크 스테이션은 저장된 상기 데이터의 표현을 디스플레이 스크린(111)을 포함하는 메모리 테스트 시스템에 있어서,

상기 디스플레이 프로세서는 상기 테스트 결과를 수신하는 편 전자 회로에 연결되어 그 테스트 결과에 대해 무손실 데이터 압축을 수행하는 데이터 압축기(124)를 더 포함하며, 상기 디스플레이 메모리는 압축된 상기 테스트 결과를 수신하고 저장하기 위해 상기 데이터 압축기에 연결되어 있으며, 상기 디스플레이 메모리는 압축된 상기 테스트 결과를 상기 디스플레이 스크린에 디스플레이하기 위해 상기 워크 스테이션에 제공하는 상기 시스템 버스에 연결되어 있는 것을 특징으로 하는 메모리 테스트 시스템.

##### 청구항 2.

제 1 항에 있어서, 상기 데이터 압축기는 런길이 인코더(216)를 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

##### 청구항 3.

제 1 항에 있어서, 상기 디스플레이 프로세서는, 상기 디스플레이 메모리와 상기 시스템 버스 사이에 연결되어 상기 저장된 테스트 결과에 대해 추가 데이터 압축을 수행하는 데이터 서처(130)를 더 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

##### 청구항 4.

제 1 항에 있어서, 상기 데이터 압축기는 상기 시스템 버스를 통해 상기 워크 스테이션에 의해 전송된 명령에 의해 제어되는 것을 특징으로 하는 메모리 테스트 시스템.

##### 청구항 5.

제 1 항에 있어서, 상기 디스플레이 프로세서는 적어도 하나의 테스트용 압축 데이터를 각각 저장하고 있는 복수의 디스플레이 메모리(218,220)를 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 6.

제 5 항에 있어서, 상기 복수의 디스플레이 메모리에 연결되어 제 1 테스트로부터의 데이터를 제 2 테스트로부터의 데이터와 조합하고 그 조합된 데이터를 상기 복수의 디스플레이 메모리 중 하나에 저장하는 수단(212,222,224)을 더 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 7.

제 6 항에 있어서, 제 1 테스트로부터의 상기 데이터와 제 2 테스트로부터의 상기 데이터는 상기 제 1 테스트에서 발생하지 않은 제 2 테스트의 새로운 불량을 지시하도록 조합되는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 8.

테스트 헤드(114)에 연결되고 시스템 버스(113)를 통해 워크 스테이션(110)에 연결된 테스터 메인 프레임(112)을 포함하며, 상기 테스트 헤드는 피시험 메모리(116)에 연결되고, 상기 테스터 메인 프레임은 데이터 패턴을 상기 테스트 헤드에 제공하는 패턴 발생기(118)를 포함하고, 상기 테스트 헤드는 데이터 패턴에 의해 지정된 전압 레벨을 피시험 메모리에서 구동하여 측정하고 테스트 결과를 상기 테스터 메인 프레임(112)에 제공하는 편 전자 회로(120)를 포함하고, 상기 테스트 결과는 상기 피시험 메모리내의 불량 셀을 나타내는 데이터 스트림이고, 상기 테스터 메인 프레임은 상기 테스트 결과를 표현하는 데이터를 저장하는 디스플레이 메모리(126)를 구비한 디스플레이 프로세서(122)를 더 포함하고, 상기 워크 스테이션은 저장된 상기 데이터의 표현을 디스플레이하는 디스플레이 스크린(111)을 포함하는 메모리 테스트 시스템에 있어서,

상기 디스플레이 프로세서는 제 1 데이터 입력부와 제 2 데이터 입력부를 구비한 게이팅 회로(212)를 더 포함하며, 상기 제 1 데이터 입력부는 입력부로서 상기 데이터 스트림에 연결되어 있으며, 상기 게이팅 회로는 처리된 데이터 스트림을 제공하기 위해 프로그램 가능 기능에 따라서 상기 제 1 데이터 입력부에서의 값을 상기 제 2 데이터 입력부에서의 값과 조합하는 수단을 포함하며,

상기 디스플레이 메모리는, 입력부와 출력부를 구비하고 상기 처리된 데이터 스트림을 입력부에서 선택적으로 수신하도록 그리고 출력부에서 상기 게이팅 회로의 제 2 데이터 입력부로 데이터를 제공하도록 연결된 적어도 하나의 디스플레이 메모리(220)를 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 9.

제 8 항에 있어서, 상기 게이팅 회로는 상기 제 1 데이터 입력부에서의 비트가 논리 1이고 상기 제 2 데이터 입력부에서의 대응하는 비트가 논리 0일 때 논리 1 출력을 발생시키는 수단을 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 10.

제 8 항에 있어서, 상기 게이팅 회로는 상기 제 1 데이터 입력부에서의 상기 데이터 스트림을 선택적으로 인버터하는 수단을 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 11.

제 8 항에 있어서, 상기 제 1 데이터 입력부와 상기 제 2 데이터 입력부에서의 값을 조합하는 수단은 상기 제 1 데이터 입력부와 상기 제 2 데이터 입력부에서의 값을 논리곱하는 수단을 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 12.

제 11 항에 있어서, 상기 제 1 데이터 입력부와 상기 제 2 데이터 입력부에서의 값을 조합하는 수단은 상기 제 1 데이터 입력부와 상기 제 2 데이터 입력부에서의 값을 논리합하는 수단을 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 13.

제 8 항에 있어서,

상기 디스플레이 프로세서내에 있으며 상기 처리된 데이터 스트림을 압축하는 수단(216); 및

적어도 하나의 디스플레이 메모리의 출력부와 상기 게이팅 회로의 상기 제 2 데이터 입력부 사이에 연결되어 있으며 데이터를 압축 해제하는 수단(224)을 더 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 14.

제 8 항에 있어서,

상기 게이팅 회로의 상기 출력부에 연결된 카운터(228); 및

상기 디스플레이 프로세서가 테스트용 데이터를 처리한 후 상기 카운터의 출력을 수신하는 에러 스택(232)을 더 포함하는 것을 특징으로 하는 메모리 테스트 시스템.

### 청구항 15.

삭제

### 청구항 16.

삭제

### 청구항 17.

삭제

### 청구항 18.

삭제

### 청구항 19.

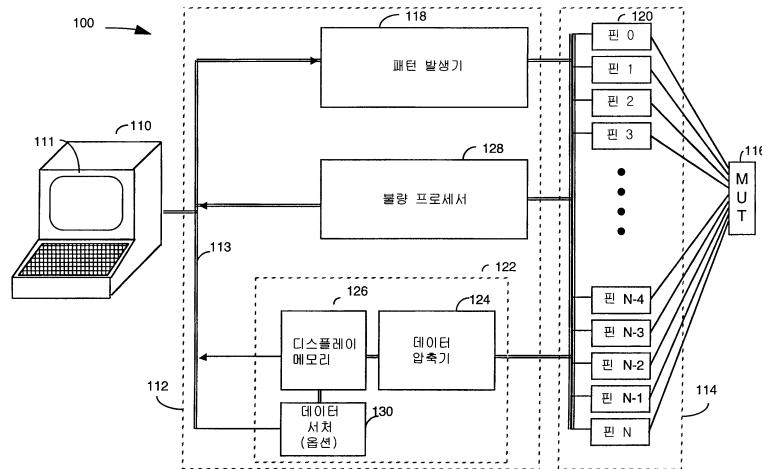
삭제

### 청구항 20.

삭제

도면

도면1



도면2

