

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6077806号
(P6077806)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 T			
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B			
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 1 9 A			
HO 1 L 27/115 (2017.01)	HO 1 L 29/78	6 1 6 K			
HO 1 L 29/788 (2006.01)	HO 1 L 29/78	6 2 7 A			
請求項の数 4 (全 54 頁) 最終頁に続く					

(21) 出願番号	特願2012-202541 (P2012-202541)	(73) 特許権者	000153878
(22) 出願日	平成24年9月14日(2012.9.14)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-102131 (P2013-102131A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年5月23日(2013.5.23)	(72) 発明者	齋藤 利彦
審査請求日	平成27年9月8日(2015.9.8)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-208229 (P2011-208229)		半導体エネルギー研究所内
(32) 優先日	平成23年9月23日(2011.9.23)	(72) 発明者	磯部 敦生
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-225519 (P2011-225519)		半導体エネルギー研究所内
(32) 優先日	平成23年10月13日(2011.10.13)	(72) 発明者	花岡 一哉
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	半導体エネルギー研究所内
		(72) 発明者	肥塚 純一
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

酸化物絶縁膜を形成し、
 前記酸化物絶縁膜上に酸化物半導体膜を形成し、
 前記酸化物半導体膜上にゲート絶縁膜を形成し、
 前記ゲート絶縁膜上に前記酸化物半導体膜と重なる領域を有するゲート電極層と、前記ゲート電極層上に絶縁膜と、を形成し、
 前記ゲート電極層及び前記絶縁膜をマスクとして前記酸化物半導体膜にドーパントを選択的に導入し、
 前記ゲート絶縁膜上に、前記ゲート電極層の側面を覆う領域及び前記絶縁膜の側面を覆う領域を有する側壁絶縁層を形成し、
 前記酸化物半導体膜上、前記ゲート絶縁膜上、前記ゲート電極層上、前記絶縁膜上、及び前記側壁絶縁層上に島状の導電膜を形成し、
 前記島状の導電膜上に層間絶縁膜を形成し、
 前記層間絶縁膜及び前記島状の導電膜を、前記ゲート電極層上の前記絶縁膜が露出するまで化学的機械研磨法により除去し、前記島状の導電膜を分断して、ソース電極層及びドレイン電極層を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 において、
 前記絶縁膜、前記ソース電極層、前記ドレイン電極層、前記側壁絶縁層、及び前記層間

10

20

絶縁膜上に酸化アルミニウム膜を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 又は 2 において、

前記酸化物半導体膜を形成する前に、前記酸化物絶縁膜の表面に平坦化処理を行うことを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記側壁絶縁層を形成する前に、前記酸化物半導体膜に酸素を導入することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

半導体装置及び半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

20

【0004】

例えば、トランジスタの活性層として、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0005】

30

【特許文献 1】特開 2006 - 165528 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化等を達成するためにはトランジスタの微細化が必須である。

【0007】

より高性能な半導体装置を実現するため、微細化されたトランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することを目的の一とする。

40

【0008】

また、トランジスタの微細化に伴って作製工程における歩留まりの低下が懸念される。

【0009】

微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することを目的の一とする。

【0010】

また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、及び高生産化を達成することを目的の一とする。

【課題を解決するための手段】

【0011】

50

酸化物半導体膜、ゲート絶縁膜、及び側面に側壁絶縁層が設けられたゲート電極層が順に積層されたトランジスタを有する半導体装置において、ソース電極層及びドレイン電極層は、酸化物半導体膜及び側壁絶縁層に接して設けられる。該半導体装置の作製工程において、酸化物半導体膜、側壁絶縁層、及びゲート電極層上を覆うように導電膜及び層間絶縁膜を積層し、層間絶縁膜及び導電膜を切削（研削、研磨）することによりゲート電極層上の導電膜を除去してソース電極層及びドレイン電極層を形成する。切削（研削、研磨）方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）法を好適に用いることができる。

【0012】

ソース電極層及びドレイン電極層の形成工程におけるゲート電極層上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

10

【0013】

また、ゲート電極層上に絶縁膜を設けることが好ましい。該絶縁膜は、絶縁膜上に設けられるソース電極層及びドレイン電極層となる導電膜を除去する工程において、一部、又は全部除去してもよい。

【0014】

ゲート電極層をマスクとして酸化物半導体膜に自己整合的にドーパントを導入し、酸化物半導体膜においてチャンネル形成領域を挟んでチャンネル形成領域より抵抗が低く、ドーパントを含む低抵抗領域を形成する。ドーパントは、酸化物半導体膜の導電率を変化させる不純物である。ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

20

【0015】

チャンネル長方向にチャンネル形成領域を挟んで低抵抗領域を含む酸化物半導体膜を有することにより、該トランジスタはオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0016】

本明細書で開示する発明の構成の一形態は、酸化物絶縁膜上に設けられたチャンネル形成領域を含む酸化物半導体膜と、酸化物半導体膜上にゲート絶縁膜と、ゲート絶縁膜上にゲート電極層及び絶縁膜の積層と、ゲート電極層の側面及び絶縁膜の側面を覆う側壁絶縁層と、酸化物半導体膜、ゲート絶縁膜の側面及び側壁絶縁層の側面に接するソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上に層間絶縁膜とを有し、ソース電極層及びドレイン電極層の上面の高さは絶縁膜、側壁絶縁層、及び層間絶縁膜の上面の高さより低く、かつゲート電極層の上面の高さより高く、酸化物半導体膜において、ゲート絶縁膜と重なる領域を含むゲート電極層と重ならない領域は、ドーパントを含む半導体装置である。

30

【0017】

上記構成において、本明細書で開示する発明の構成の一形態は、絶縁膜、側壁絶縁層、及び層間絶縁膜の上面の高さが一致する半導体装置である。

40

【0018】

また、酸化物半導体膜において、ソース電極層又はドレイン電極層と重畳しない領域は、ソース電極層又はドレイン電極層と重畳する領域よりも高い酸素濃度を有する構成としてもよい。

【0019】

本明細書で開示する発明の構成の一形態は、酸化物絶縁膜を形成し、酸化物絶縁膜上に酸化物半導体膜を形成し、酸化物半導体膜上にゲート絶縁膜を形成し、ゲート絶縁膜上に酸化物半導体膜と重なるゲート電極層及び絶縁膜を積層し、ゲート電極層及び絶縁膜をマスクとして酸化物半導体膜にドーパントを選択的に導入し、ゲート絶縁膜上にゲート電極層の側面及び絶縁膜の側面を覆う側壁絶縁層を形成し、酸化物半導体膜、ゲート絶縁膜、ゲ

50

ート電極層、絶縁膜、及び側壁絶縁層上に導電膜を形成し、導電膜上に層間絶縁膜を形成し、層間絶縁膜及び導電膜をゲート電極層上の絶縁膜を露出させるまで化学的機械研磨法により除去して導電膜を分断しソース電極層及びドレイン電極層を形成する半導体装置の作製方法である。

【0020】

上記構成において、絶縁膜、ソース電極層、ドレイン電極層、側壁絶縁層、及び層間絶縁膜上に保護絶縁膜となる緻密性の高い無機絶縁膜（代表的には酸化アルミニウム膜）を設けてもよい。

【0021】

上記構成において、ソース電極層及びドレイン電極層と層間絶縁膜との間に保護絶縁膜となる緻密性の高い無機絶縁膜（代表的には酸化アルミニウム膜）を設けてもよい。

10

【0022】

なお、ゲート電極層上の導電膜を除去する工程において、化学的機械研磨法などの切削（研削、研磨）法その他、エッチング（ドライエッチング、ウェットエッチング）法や、プラズマ処理などを組み合わせてもよい。例えば、化学的機械研磨法による除去工程後、ドライエッチング法やプラズマ処理を行い、処理表面の平坦性向上を図ってもよい。

【0023】

上記構成において、酸化物半導体膜の形成される酸化物絶縁膜表面を平坦化処理により平坦化してもよい。膜厚の薄い酸化物半導体膜を被覆性よく設けることができる。平坦化処理としては、化学的機械研磨法、エッチング法、プラズマ処理などを単独、又は組み合わせて用いることができる。

20

【0024】

また、酸化物半導体膜に水素若しくは水分を放出させる加熱処理（脱水化又は脱水素化処理）を行ってもよい。また、酸化物半導体膜として結晶性酸化物半導体膜を用いる場合、結晶化のための加熱処理を行ってもよい。

【0025】

また、酸化物半導体膜に酸素の供給を行ってもよい。特に、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素が同時に脱離して減少してしまうおそれがある。酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。

30

【0026】

よって、脱水化又は脱水素化処理を行った酸化物半導体膜に、酸素を供給することが好ましい。酸化物半導体膜へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

【0027】

例えば、酸素の供給源となる酸素を多く（過剰に）含む酸化物絶縁膜を酸化物半導体膜と接して設けることによって、該酸化物絶縁膜から酸化物半導体膜へ酸素を供給することができる。上記構成において、脱水化又は脱水素化処理として加熱処理を行った酸化物半導体膜及び酸化物絶縁膜を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体膜への酸素の供給を行ってもよい。

40

【0028】

また、脱水化又は脱水素化処理を行った酸化物半導体膜に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

【0029】

さらに、好ましくはトランジスタに設けられる酸化物半導体膜は、酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている膜とする。この場合、酸素の含有量は、酸化物半導体の化学量論組成を超える程度とする。あるいは、酸素の含有量は、単結晶の場合の酸素の量を超える程度とする。酸化物半導体の

50

格子間に酸素が存在する場合もある。

【 0 0 3 0 】

水素若しくは水分を酸化物半導体から除去し、不純物が極力含まれないように高純度化し、酸素を供給して酸素欠損を補填することによりⅠ型（真性）の酸化物半導体、又はⅠ型（真性）に限りなく近い酸化物半導体とすることができる。そうすることにより、酸化物半導体のフェルミ準位（ E_f ）を真性フェルミ準位（ E_i ）と同じレベルにまですることができる。よって、該酸化物半導体膜をトランジスタに用いることで、酸素欠損に起因するトランジスタのしきい値電圧 V_{th} のばらつき、しきい値電圧のシフト V_{th} を低減することができる。

【 0 0 3 1 】

本発明の一形態は、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、酸化物半導体でチャネル形成領域が形成される、トランジスタ若しくはトランジスタを含んで構成される回路を有する半導体装置に関する。例えば、LSIや、CPUや、電源回路に搭載されるパワーデバイスや、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示パネルに代表される電気光学装置や発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【発明の効果】

【 0 0 3 2 】

微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することができる。

【 0 0 3 3 】

また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、及び高生産化を達成することができる。

【図面の簡単な説明】

【 0 0 3 4 】

【図 1】半導体装置の一形態を説明する平面図及び断面図。

【図 2】半導体装置の作製方法の一形態を説明する断面図。

【図 3】半導体装置の作製方法の一形態を説明する断面図。

【図 4】半導体装置の一形態を説明する断面図。

【図 5】半導体装置の一形態を示す断面図、平面図及び回路図。

【図 6】半導体装置の一形態を示す回路図及び斜視図。

【図 7】半導体装置の一形態を示す断面図及び平面図。

【図 8】半導体装置の一形態を示す回路図。

【図 9】半導体装置の一形態を示すブロック図。

【図 10】半導体装置の一形態を示すブロック図。

【図 11】半導体装置の一形態を示すブロック図。

【図 12】半導体装置の一形態を説明する平面図。

【図 13】半導体装置の一形態を説明する断面図。

【図 14】半導体装置の一形態を説明する回路図及び断面図。

【図 15】電子機器を示す図。

【図 16】実施例トランジスタ 1 の断面 S T E M 像を示す図。

【図 17】実施例トランジスタ 2 の構造を示す図。

【図 18】実施例トランジスタ 2 の電気特性を示す図。

【図 19】半導体装置の一形態を説明する平面図及び断面図。

【図 20】半導体装置の一形態を説明する平面図及び断面図。

【図 21】実施例トランジスタ 2 におけるオン電流の正規確率グラフを示す図。

【図 22】実施例トランジスタ 2 におけるしきい値電圧の正規確率グラフを示す図。

【発明を実施するための形態】

【 0 0 3 5 】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。

10

20

30

40

50

ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0036】

(実施の形態1)

本実施の形態では、半導体装置及び半導体装置の作製方法の一形態を、図1等を用いて説明する。本実施の形態では、半導体装置の一例として酸化物半導体膜を有するトランジスタを示す。

10

【0037】

トランジスタはチャネル形成領域が1つ形成されるシングルゲート構造でも、2つ形成されるダブルゲート構造もしくは3つ形成されるトリプルゲート構造であってもよい。また、チャネル形成領域の上下にゲート絶縁膜を介して配置された2つのゲート電極層を有する、デュアルゲート型でもよい。

【0038】

図1(A)及び(B)に示すトランジスタ440aは、トップゲート構造のトランジスタの一例である。図1(A)は平面図であり、図1(A)中の一点鎖線X-Yで切断した断面が図1(B)に相当する。

20

【0039】

チャネル長方向の断面図である図1(B)に示すように、トランジスタ440aを含む半導体装置は、酸化物絶縁膜436が設けられた絶縁表面を有する基板400上に、チャネル形成領域409、低抵抗領域404a、404bを含む酸化物半導体膜403、ソース電極層405a、ドレイン電極層405b、ゲート絶縁膜402、ゲート電極層401、ゲート電極層401の側面に設けられた側壁絶縁層412a、412b、ゲート電極層401上に設けられた絶縁膜413、ソース電極層405a及びドレイン電極層405b上に設けられた層間絶縁膜415、トランジスタ440aを覆う絶縁膜407を有する。

【0040】

層間絶縁膜415はトランジスタ440aによる凹凸を平坦化するように設けられており、該上面の高さは側壁絶縁層412a、412b、及び絶縁膜413と概略同じである。また、ソース電極層405a及びドレイン電極層405bの上面の高さは、層間絶縁膜415、側壁絶縁層412a、412b、及び絶縁膜413の上面の高さより低く、ゲート電極層401の上面の高さより高い。なお、ここでの高さとは、基板400上面からの高さである。

30

【0041】

また、図1において、絶縁膜407は、層間絶縁膜415、ソース電極層405a、ドレイン電極層405b、側壁絶縁層412a、412b、絶縁膜413と接して設けられている。

【0042】

なお、ゲート電極層401をマスクとして酸化物半導体膜403に自己整合的にドーパントを導入し、酸化物半導体膜403においてチャネル形成領域409を挟んでチャネル形成領域409より抵抗が低く、ドーパントを含む低抵抗領域404a、404bを形成する。ドーパントは、酸化物半導体膜403の導電率を変化させる不純物である。ドーパントの導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

40

【0043】

チャネル長方向にチャネル形成領域409を挟んで低抵抗領域404a、404bを含む酸化物半導体膜403を有することにより、該トランジスタ440aはオン特性(例えば、オン電流及び電界効果移動度)が高く、高速動作、高速応答が可能となる。

50

【0044】

酸化物半導体膜403に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

【0045】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0046】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0047】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0048】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0049】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In}:\text{Ga}:\text{Zn}=2:2:1(=2/5:2/5:1/5)$ 、あるいは $\text{In}:\text{Ga}:\text{Zn}=3:1:2(=1/2:1/6:1/3)$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3(=1/3:1/6:1/2)$ あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5(=1/4:1/8:5/8)$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0050】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キ

10

20

30

40

50

キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0051】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0052】

なお、例えば、In、Ga、Znの原子数比が $\text{In}:\text{Ga}:\text{Zn} = a:b:c$ ($a+b+c=1$)である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn} = A:B:C$ ($A+B+C=1$)の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、0.05とすればよい。他の酸化物でも同様である。

10

【0053】

酸化物半導体膜403は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0054】

好ましくは、酸化物半導体膜は、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0055】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

20

【0056】

CAAC-OS膜に含まれる結晶部は、 c 軸がCAAC-OS膜の被形成面または表面に垂直な方向に揃い、かつ ab 面に垂直な方向から見て三角形または六角形の原子配列を有し、金属原子および酸素原子を有する層が重なる。なお、層の法線ベクトルが c 軸方向である。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。

30

【0057】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

40

【0058】

CAAC-OS膜に含まれる結晶部の c 軸は、CAAC-OS膜の被形成面または表面に垂直な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、CAAC-OS膜が形成されたときの被形成面または表面に垂直な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0059】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

50

【 0 0 6 0 】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【 0 0 6 1 】

また、C A A C - O S のように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (R a) が 1 n m 以下、好ましくは 0 . 3 n m 以下、より好ましくは 0 . 1 n m 以下の表面上に形成するとよい。

【 0 0 6 2 】

R a とは、J I S B 0 6 0 1 : 2 0 0 1 (I S O 4 2 8 7 : 1 9 9 7) で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【 0 0 6 3 】

【数 1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【 0 0 6 4 】

ここで、指定面とは、粗さ計測の対象となる面であり、座標 ((x₁ , y₁ , f (x₁ , y₁)) (x₁ , y₂ , f (x₁ , y₂)) (x₂ , y₁ , f (x₂ , y₁)) (x₂ , y₂ , f (x₂ , y₂)) の 4 点で表される四角形の領域とし、指定面を x y 平面に投影した長方形の面積を S₀、基準面の高さ (指定面の平均の高さ) を Z₀ とする。R a は原子間力顕微鏡 (A F M : A t o m i c F o r c e M i c r o s c o p e) にて測定可能である。

【 0 0 6 5 】

酸化物半導体膜 4 0 3 の膜厚は、1 n m 以上 3 0 n m 以下 (好ましくは 5 n m 以上 1 0 n m 以下) とし、スパッタリング法、M B E (M o l e c u l a r B e a m E p i t a x y) 法、C V D 法、パルスレーザ堆積法、A L D (A t o m i c L a y e r D e p o s i t i o n) 法等を適宜用いることができる。また、酸化物半導体膜 4 0 3 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

【 0 0 6 6 】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【 0 0 6 7 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 0 6 8 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度 (水素、水、二酸化炭素および窒素など) を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

【 0 0 6 9 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、

10

20

30

40

50

スパッタリング粒子の平らな面が基板に付着する。

【0070】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0071】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0072】

InO_x粉末、GaO_y粉末およびZnO_z粉末を所定のmol数比で混合し、加圧処理後、1000以上1500以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn-O化合物ターゲットとする。なお、X、YおよびZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末およびZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3または3:1:2である。なお、粉末の種類、およびその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0073】

図2(A)乃至(D)及び図3(A)乃至(D)にトランジスタ440aを有する半導体装置の作製方法の一例を示す。

【0074】

20

まず、絶縁表面を有する基板400上に酸化物絶縁膜436を形成する。

【0075】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板400として用いてもよい。

【0076】

30

また、基板400として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上に酸化物半導体膜403を含むトランジスタ440aを直接作製してもよいし、他の作製基板上に酸化物半導体膜403を含むトランジスタ440aを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体膜を含むトランジスタ440aとの間に剥離層を設けるとよい。

【0077】

酸化物絶縁膜436としては、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成することができる。

40

【0078】

酸化物絶縁膜436は、単層でも積層でもよい。例えば、基板400上に酸化シリコン膜、In-Hf-Zn系酸化物膜、酸化物半導体膜403を順に積層してもよいし、基板400上に酸化シリコン膜、In:Zr:Zn=1:1:1の原子数比のIn-Zr-Zn系酸化物膜、酸化物半導体膜403を順に積層してもよいし、基板400上に酸化シリコン膜、In:Gd:Zn=1:1:1の原子数比のIn-Gd-Zn系酸化物膜、酸化物半導体膜403を順に積層してもよい。

【0079】

本実施の形態では酸化物絶縁膜436としてスパッタリング法を用いて形成する酸化シリコン膜を用いる。

50

【0080】

また、酸化物絶縁膜436と基板400との間に窒化物絶縁膜を設けてもよい。窒化物絶縁膜は、プラズマCVD法又はスパッタリング法等により、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。

【0081】

次に、酸化物絶縁膜436上に酸化物半導体膜403を形成する(図2(A)参照)。

【0082】

酸化物絶縁膜436は、酸化物半導体膜403と接するため、膜中(バルク中)に少なくとも化学量論組成を超える量の酸素が存在することが好ましい。例えば、酸化物絶縁膜436として、酸化シリコン膜を用いる場合には、 $\text{SiO}_2 +$ (ただし、 >0)とする。このような酸化物絶縁膜436を用いることで、酸化物半導体膜403に酸素を供給することができ、特性を良好にすることができる。酸化物半導体膜403へ酸素を供給することにより、膜中の酸素欠損を補填することができる。

10

【0083】

例えば、酸素の供給源となる酸素を多く(過剰に)含む酸化物絶縁膜436を酸化物半導体膜403と接して設けることによって、該酸化物絶縁膜436から酸化物半導体膜403へ酸素を供給することができる。酸化物半導体膜403及び酸化物絶縁膜436を少なくとも一部が接した状態で加熱処理を行うことによって酸化物半導体膜403への酸素の供給を行ってもよい。

20

【0084】

酸化物半導体膜403の形成工程において、酸化物半導体膜403に水素、又は水がなるべく含まれないようにするために、酸化物半導体膜403の成膜の前処理として、スパッタリング装置の予備加熱室で酸化物絶縁膜436が形成された基板を予備加熱し、基板及び酸化物絶縁膜436に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。

【0085】

酸化物絶縁膜436において酸化物半導体膜403が接して形成される領域に、平坦化処理を行ってもよい。平坦化処理としては、特に限定されないが、研磨処理(例えば、化学的機械研磨法)、ドライエッチング処理、プラズマ処理を用いることができる。

30

【0086】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、酸化物絶縁膜436の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

【0087】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、酸化物絶縁膜436表面の凹凸状態に合わせて適宜設定すればよい。

40

【0088】

平坦化処理は、例えば、酸化物絶縁膜436として用いる酸化シリコン膜表面に化学的機械研磨法により研磨処理(研磨条件: ポリウレタン系研磨布、シリカ系スラリー、スラリー温度室温、研磨圧0.001MPa、研磨時回転数(テーブル/スピンドル)60rpm/56rpm、研磨時間0.5分)を行い、酸化シリコン膜表面における平均面粗さ(Ra)を約0.15nmとすればよい。

【0089】

なお、酸化物半導体膜403は、成膜時に酸素が多く含まれるような条件(例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く

50

含む（好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている）膜とすることが好ましい。

【0090】

なお、本実施の形態において、酸化物半導体膜403を、スパッタリング法で作製するためのターゲットとしては、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ [原子数比] の酸化物ターゲットを用い、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物膜（IGZO膜）を成膜する。

【0091】

また、金属酸化物ターゲットの相対密度（充填率）は90%以上100%以下、好ましくは95%以上99.9%以下である。相対密度の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜とすることができる。

10

【0092】

酸化物半導体膜403を、成膜する際に用いるスパッタリングガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0093】

減圧状態に保持された成膜室内に基板を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に酸化物半導体膜403を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜403に含まれる不純物の濃度を低減できる。

20

【0094】

また、酸化物絶縁膜436と酸化物半導体膜403とを大気に解放せずに連続的に形成することが好ましい。酸化物絶縁膜436と酸化物半導体膜403とを大気に曝露せずに連続して形成すると、酸化物絶縁膜436表面に水素や水分などの不純物が吸着することを防止することができる。

【0095】

酸化物半導体膜403は、膜状の酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体膜に加工して形成することができる。

30

【0096】

また、島状の酸化物半導体膜403を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0097】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。また、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法によるドライエッチングによってエッチング加工してもよい。例えば、IGZO膜をICPエッチング法により、エッチング（エッチング条件：エッチングガス（ $\text{BCl}_3:\text{Cl}_2=60\text{ sccm}:20\text{ sccm}$ ）、電源電力450W、バイアス電力100W、圧力1.9Pa）し、島状に加工することができる。

40

【0098】

また、酸化物半導体膜403に、過剰な水素（水や水酸基を含む）を除去（脱水化または脱水素化）するための加熱処理を行ってもよい。加熱処理の温度は、300以上700以下、または基板の歪み点未満とする。加熱処理は減圧下又は窒素雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体

50

膜403に対して窒素雰囲気下450 において1時間の加熱処理を行う。

【0099】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0100】

例えば、加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0101】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上好ましくは7N(99.99999%)以上(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0102】

また、加熱処理で酸化物半導体膜403を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気)を導入してもよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上(即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体膜403を高純度化及びI型(真性)化することができる。

30

【0103】

なお、脱水化又は脱水素化のための加熱処理を行うタイミングは、膜状の酸化物半導体膜形成後でも、島状の酸化物半導体膜403形成後でもよい。

【0104】

また、脱水化又は脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【0105】

脱水化又は脱水素化のための加熱処理を、酸化物半導体膜403として島状に加工される前、膜状の酸化物半導体膜が酸化物絶縁膜436を覆った状態で行うと、酸化物絶縁膜436に含まれる酸素が加熱処理によって放出されるのを防止することができるため好ましい。

40

【0106】

また、脱水化又は脱水素化処理を行った酸化物半導体膜403に、酸素(少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む)を導入して膜中に酸素を供給してもよい。

【0107】

また、脱水化又は脱水素化処理によって、酸化物半導体を構成する主成分材料である酸素

50

が同時に脱離して減少してしまうおそれがある。酸化物半導体膜において、酸素が脱離した箇所では酸素欠損が存在し、該酸素欠損に起因してトランジスタの電気的特性変動を招くドナー準位が生じてしまう。

【0108】

脱水化又は脱水素化処理を行った酸化物半導体膜403に、酸素を導入して膜中に酸素を供給することによって、酸化物半導体膜403を高純度化、及びI型（真性）化することができる。高純度化し、I型（真性）化した酸化物半導体膜403を有するトランジスタは、電気的特性変動が抑制されており、電氣的に安定である。

【0109】

酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

10

【0110】

酸素の導入工程は、酸化物半導体膜403に酸素導入する場合、酸化物半導体膜403に直接導入してもよいし、ゲート絶縁膜402や絶縁膜407などの他の膜を通過して酸化物半導体膜403へ導入してもよい。酸素を他の膜を通過して導入する場合は、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いればよいが、酸素を露出された酸化物半導体膜403へ直接導入する場合は、プラズマ処理なども用いることができる。

【0111】

酸化物半導体膜403への酸素の導入は、脱水化又は脱水素化処理を行った後が好ましいが、特に限定されない。また、上記脱水化又は脱水素化処理を行った酸化物半導体膜403への酸素の導入は複数回行ってもよい。

20

【0112】

次いで、酸化物半導体膜403を覆うゲート絶縁膜442を形成する（図2（B）参照）。

【0113】

なお、ゲート絶縁膜442の被覆性を向上させるために、酸化物半導体膜403表面にも上記平坦化処理を行ってもよい。特にゲート絶縁膜442として膜厚の薄い絶縁膜を用いる場合、酸化物半導体膜403表面の平坦性が良好であることが好ましい。

【0114】

ゲート絶縁膜442の膜厚は、1nm以上20nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁膜442は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

30

【0115】

ゲート絶縁膜442の材料としては、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜を用いて形成することができる。ゲート絶縁膜442は、酸化物半導体膜403と接する部分において酸素を含むことが好ましい。特に、ゲート絶縁膜442は、膜中（バルク中）に少なくとも化学量論組成を超える量の酸素が存在することが好ましく、例えば、ゲート絶縁膜442として、酸化シリコン膜を用いる場合には、 SiO_{2+x} （ただし、 $x > 0$ ）とする。本実施の形態では、ゲート絶縁膜442として、 SiO_{2+x} （ただし、 $x > 0$ ）である酸化シリコン膜を用いる。この酸化シリコン膜をゲート絶縁膜442として用いることで、酸化物半導体膜403に酸素を供給することができ、特性を良好にすることができる。さらに、ゲート絶縁膜442は、作製するトランジスタのサイズやゲート絶縁膜442の段差被覆性を考慮して形成することが好ましい。

40

【0116】

また、ゲート絶縁膜442の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSiO_xN_y （ $x > 0$ 、 $y > 0$ ））、ハフニウムアルミネート（ HfAl_xO

50

y ($x > 0$ 、 $y > 0$))、酸化ランタンなどの high- k 材料を用いることでゲートリーク電流を低減できる。さらに、ゲート絶縁膜 442 は、単層構造としても良いし、積層構造としても良い。

【0117】

次にゲート絶縁膜 442 上に導電膜及び絶縁膜の積層を形成し、該導電膜及び該絶縁膜をエッチングして、ゲート電極層 401 及び絶縁膜 413 の積層を形成する(図 2 (C) 参照)。

【0118】

ゲート電極層 401 の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極層 401 としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極層 401 は、単層構造としてもよいし、積層構造としてもよい。

【0119】

また、ゲート電極層 401 の材料は、酸化インジウム酸化スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0120】

また、ゲート絶縁膜 442 と接するゲート電極層 401 の一層として、窒素を含む金属酸化物膜、具体的には、窒素を含む In-Ga-Zn-O 膜や、窒素を含む In-Sn-O 膜や、窒素を含む In-Ga-O 膜や、窒素を含む In-Zn-O 膜や、窒素を含む Sn-O 膜や、窒素を含む In-O 膜や、金属窒化膜(InN、SnN など)を用いることができる。これらの膜は 5 eV (電子ボルト) 以上、好ましくは 5.5 eV (電子ボルト) 以上の仕事関数を有し、ゲート電極層として用いた場合、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0121】

絶縁膜 413 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜 413 は、プラズマ CVD 法又はスパッタリング法等を用いて形成することができる。

【0122】

次に、ゲート電極層 401 及び絶縁膜 413 をマスクとして酸化物半導体膜 403 にドーパント 421 を導入し、低抵抗領域 404a、404b を形成する(図 2 (D) 参照)。

【0123】

ドーパント 421 は、酸化物半導体膜 403 の導電率を変化させる不純物である。ドーパント 421 としては、15 族元素(代表的にはリン(P)、砒素(As)、およびアンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。

【0124】

ドーパント 421 は、注入法により、他の膜(例えばゲート絶縁膜 442)を通過して、酸化物半導体膜 403 に導入することもできる。ドーパント 421 の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。その際には、ドーパント 421 の単体のイオンあるいはフッ化物、塩化物のイオンを用いると好ましい。

10

20

30

40

50

【0125】

ドーパント421の導入工程は、加速電圧、ドーズ量などの注入条件、また通過させる膜の膜厚を適宜設定して制御すればよい。本実施の形態では、ドーパント421としてリンを用いて、イオン注入法でリンイオンの注入を行う。なお、ドーパント421のドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0126】

低抵抗領域におけるドーパント421の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

【0127】

ドーパント421を導入する際に、基板400を加熱しながら行ってもよい。

10

【0128】

なお、酸化物半導体膜403にドーパント421を導入する処理は、複数回行ってもよく、ドーパントの種類も複数種用いてもよい。

【0129】

また、ドーパント421の導入処理後、加熱処理を行ってもよい。加熱条件としては、温度300 以上700 以下、好ましくは300 以上450 以下で1時間、酸素雰囲気下で行うことが好ましい。また、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0130】

本実施の形態では、イオン注入法により酸化物半導体膜403に、リン（P）イオンを注入する。なお、リン（P）イオンの注入条件は加速電圧30kV、ドーズ量を $1.0 \times 10^{15} \text{ ions/cm}^2$ とする。

20

【0131】

酸化物半導体膜403をCAAC-OS膜とした場合、ドーパント421の導入により、一部非晶質化する場合がある。この場合、ドーパント421の導入後に加熱処理を行うことによって、酸化物半導体膜403の結晶性を回復することができる。

【0132】

よって、チャネル形成領域409を挟んで低抵抗領域404a、404bが設けられた酸化物半導体膜403が形成される。

【0133】

30

次に、ゲート電極層401及び絶縁膜413上に絶縁膜を形成し、該絶縁膜をエッチングして側壁絶縁層412a、412bを形成する。さらに、ゲート電極層401及び側壁絶縁層412a、412bをマスクとして、ゲート絶縁膜442をエッチングし、ゲート絶縁膜402を形成する（図3（A）参照）。

【0134】

側壁絶縁層412a、412bは、絶縁膜413と同様な材料及び方法を用いて形成することができる。本実施の形態では、CVD法により形成した酸化窒化シリコン膜を用いる。

【0135】

次いで、酸化物半導体膜403、ゲート絶縁膜402、ゲート電極層401、側壁絶縁層412a、412b、及び絶縁膜413上に、ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）となる導電膜を形成する。

40

【0136】

導電膜は後の加熱処理に耐えられる材料を用いる。ソース電極層、及びドレイン電極層に用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）等を用いることができる。また、Al、Cuなどの金属膜の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タンゲステン膜）を積層させた構成としても良い。また、ソース電極層、及びドレイン電極層に用いる導電膜としては

50

、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ (In_2O_3 SnO_2)、酸化インジウム酸化亜鉛 (In_2O_3 ZnO) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0137】

フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行って島状の導電膜445を形成した後、レジストマスクを除去する。なお、該エッチング工程では、ゲート電極層401上の導電膜445の除去は行わない。

【0138】

導電膜として膜厚30nmのタングステン膜を用いる場合、該導電膜のエッチングは、例えばドライエッチング法により、タングステン膜をエッチング(エッチング条件:エッチングガス(CF_4 : Cl_2 : O_2)=55sccm:45sccm:55sccm)、電源電力3000W、バイアス電力140W、圧力0.67Pa)して、島状のタングステン膜を形成すればよい。

【0139】

島状の導電膜445上に層間絶縁膜415となる絶縁膜446を積層する(図3(B)参照)。

【0140】

絶縁膜446は、絶縁膜413と同様の材料及び方法を用いて形成することができる。絶縁膜446はトランジスタ440aにより生じる凹凸を平坦化できる膜厚で形成する。本実施の形態では、CVD法により形成した酸化窒化シリコン膜を300nm形成する。

【0141】

次に絶縁膜446及び導電膜445に化学的機械研磨法により研磨処理を行い、絶縁膜413が露出するよう絶縁膜446及び導電膜445の一部を除去する。

【0142】

該研磨処理によって、絶縁膜446を層間絶縁膜415に加工し、ゲート電極層401上の導電膜445を除去し、ソース電極層405a及びドレイン電極層405bを形成した。

【0143】

本実施の形態では、絶縁膜446及び導電膜445の除去に化学的機械研磨法を用いたが、他の切削(研削、研磨)方法を用いてもよい。また、ゲート電極層401上の導電膜445を除去する工程において、化学的機械研磨法などの切削(研削、研磨)法その他、エッチング(ドライエッチング、ウェットエッチング)法や、プラズマ処理などを組み合わせてもよい。例えば、化学的機械研磨法による除去工程後、ドライエッチング法やプラズマ処理(逆スパッタリングなど)を行い、処理表面の平坦性向上を図ってもよい。切削(研削、研磨)方法に、エッチング法、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、絶縁膜446及び導電膜445の材料、膜厚、及び表面の凹凸状態に合わせて適宜設定すればよい。

【0144】

なお、本実施の形態においては、ソース電極層405a、ドレイン電極層405bはゲート電極層401側面に設けられた側壁絶縁層412a、412bの側面に接するように設けられており、側壁絶縁層412a、412bの側面を上端部よりやや低い位置まで覆っている。ソース電極層405a、ドレイン電極層405bの形状は導電膜445を除去する研磨処理の条件によって異なり、本実施の形態に示すように、側壁絶縁層412a、412b、絶縁膜413の研磨処理された表面より膜厚方向に後退した形状となる場合がある。しかし、研磨処理の条件によっては、ソース電極層405a、ドレイン電極層405bの上端部の高さ、側壁絶縁層412a、412bの上端部の高さとは概略一致する場合もある。

【0145】

以上の工程で、本実施の形態のトランジスタ440aが作製される(図3(C)参照)。

10

20

30

40

50

【0146】

トランジスタ440aは作製工程において、ゲート電極層401、絶縁膜413、及び側壁絶縁層412a、412b上に設けられた導電膜445を化学的機械研磨処理することによって除去し導電膜445を分断することによって、ソース電極層405a及びドレイン電極層405bを形成する。

【0147】

また、ソース電極層405a、及びドレイン電極層405bは、露出した酸化物半導体膜403上面、及び側壁絶縁層412a、又は側壁絶縁層412bと接して設けられている。よって、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域（コンタクト領域）と、ゲート電極層401との距離（最短距離）は、側壁絶縁層412a、412bのチャネル長方向の幅となり、より微細化が達成できる他、作製工程においてよりばらつきなく制御することができる。

10

【0148】

このように、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域（コンタクト領域）と、ゲート電極層401との距離を短くすることができるため、ソース電極層405a又はドレイン電極層405bと酸化物半導体膜403とが接する領域（コンタクト領域）、及びゲート電極層401間の抵抗が減少し、トランジスタ440aのオン特性を向上させることが可能となる。

【0149】

また、ソース電極層405a及びドレイン電極層405bの形成工程におけるゲート電極層401上の導電膜445を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタ440aを歩留まりよく作製することができる。

20

【0150】

なお、ソース電極層405a及びドレイン電極層405bの形成工程におけるゲート電極層401上の導電膜445を除去する工程において、絶縁膜413の一部、又は絶縁膜413全部を除去してもよい。図4(C)に、絶縁膜413を全部除去し、ゲート電極層401が露出しているトランジスタ440cの例を示す。また、ゲート電極層401も上方の一部が除去されてもよい。トランジスタ440cのようにゲート電極層401を露出する構造は、トランジスタ440c上に他の配線や半導体素子を積層する集積回路において用いることができる。

30

【0151】

トランジスタ440a上に保護絶縁膜となる緻密性の高い無機絶縁膜（代表的には酸化アルミニウム膜）を設けてもよい。

【0152】

本実施の形態では、絶縁膜413、ソース電極層405a、ドレイン電極層405b、側壁絶縁層412a、412b、及び層間絶縁膜415上に接して絶縁膜407を形成する（図3(D)参照）。

【0153】

また、ソース電極層405a及びドレイン電極層405bと層間絶縁膜415との間に保護絶縁膜となる緻密性の高い無機絶縁膜（代表的には酸化アルミニウム膜）を設けてもよい。

40

【0154】

図4(B)にソース電極層405a及びドレイン電極層405bと層間絶縁膜415との間に絶縁膜410を設けたトランジスタ440bの例を示す。トランジスタ440bにおいては、絶縁膜410も、ソース電極層405a及びドレイン電極層405bの形成工程において用いる切削（研削、研磨）工程により上面が平坦化処理されている。

【0155】

絶縁膜407、410は、単層でも積層でもよく、少なくとも酸化アルミニウム膜を含む

50

ことが好ましい。

【0156】

絶縁膜407、410は、プラズマCVD法、スパッタリング法、又は蒸着法等により成膜することができる。

【0157】

酸化アルミニウム膜以外に、絶縁膜407、410としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、又は酸化ガリウム膜などの無機絶縁膜などを用いることができる。また、酸化ハフニウム膜、酸化マグネシウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化バリウム膜、又は金属窒化物膜（例えば、窒化アルミニウム膜）も用いることができる。

10

【0158】

本実施の形態では、絶縁膜407、410としてスパッタリング法により酸化アルミニウム膜を形成する。酸化アルミニウム膜を高密度（膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上）とすることによって、トランジスタ440a、440bに安定な電気特性を付与することができる。膜密度はラザフォード後方散乱法（RBS: Rutherford Backscattering Spectrometry）や、X線反射率測定法（XRR: X-Ray Reflectometry）によって測定することができる。

【0159】

酸化物半導体膜403上に設けられる絶縁膜407、410として用いることのできる酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果（ブロック効果）が高い。

20

【0160】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜403への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜403からの放出を防止する保護膜として機能する。

【0161】

絶縁膜407、410は、絶縁膜407、410に水、水素等の不純物を混入させない方法（好適にはスパッタリング法など）を適宜用いて形成することが好ましい。

【0162】

酸化物半導体膜の成膜時と同様に、絶縁膜407、410の成膜室内の残留水分を除去するために、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁膜407、410に含まれる不純物の濃度を低減できる。また、絶縁膜407、410の成膜室内の残留水分を除去するための排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。

30

【0163】

絶縁膜407、410を、成膜する際に用いるスパッタガスとしては、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0164】

また、トランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド樹脂、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

40

【0165】

また、図4（A）に、層間絶縁膜415及び絶縁膜407にソース電極層405a、及びドレイン電極層405bに達する開口を形成し、開口に配線層435a、435bを形成する例を示す。配線層435a、435bを用いて他のトランジスタや素子と接続させ、様々な回路を構成することができる。

【0166】

50

配線層 435a、配線層 435b はゲート電極層 401、ソース電極層 405a、又はドレイン電極層 405b と同様の材料及び方法を用いて形成することができ、例えば、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。また、Al、Cu などの金属膜の下側又は上側の一方または双方に Ti、Mo、W などの高融点金属膜またはそれらの金属窒化物膜（窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）を積層させた構成としても良い。また、配線層 435a、配線層 435b に用いる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ (In_2O_3 SnO_2)、酸化インジウム酸化亜鉛 (In_2O_3 ZnO) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

10

【0167】

例えば、配線層 435a、配線層 435b として、モリブデン膜の単層、窒化タンタル膜と銅膜との積層、又は窒化タンタル膜とタングステン膜との積層などを用いることができる。

【0168】

以上のように、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するオン特性の高いトランジスタ 440a、440b、440c を歩留まりよく提供することができる。

20

【0169】

従って、微細化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0170】

（実施の形態 2）

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。

【0171】

図 5 は、半導体装置の構成の一例である。図 5 (A) に、半導体装置の断面図を、図 5 (B) に半導体装置の平面図を、図 5 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 5 (A) は、図 5 (B) の C1 - C2、及び D1 - D2 における断面に相当する。

30

【0172】

図 5 (A) 及び図 5 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 としては、実施の形態 1 で示すトランジスタ 440a の構造を適用する例である。

【0173】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

40

【0174】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を実施の形態 1 に示すようなトランジスタ 162 に用いる他、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0175】

50

図5(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板185に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属間化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【0176】

10

基板185上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160を覆うように絶縁層128、及び絶縁層130が設けられている。なお、トランジスタ160において、ゲート電極110の側面に側壁絶縁層(サイドウォール絶縁層)を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

【0177】

単結晶半導体基板を用いたトランジスタ160は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ160を覆うように絶縁膜を2層形成する。トランジスタ162および容量素子164の形成前の処理として、該絶縁膜2層にCMP処理を施して、平坦化した絶縁層128、絶縁層130を形成し、同時にゲート電極110の上面を露出させる。

20

【0178】

絶縁層128、絶縁層130は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁層128、絶縁層130は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。

【0179】

また、ポリイミド樹脂、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁層128、絶縁層130を形成してもよい。

30

【0180】

なお、本実施の形態において、絶縁層128として窒化シリコン膜、絶縁層130として酸化シリコン膜を用いる。

【0181】

絶縁層130表面において、酸化物半導体膜144形成領域に、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理(例えばCMP処理)により十分に平坦化した(好ましくは絶縁層130表面の平均面粗さは0.15nm以下)絶縁層130上に酸化物半導体膜144を形成する。

40

【0182】

図5(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトランジスタである。ここで、トランジスタ162に含まれる酸化物半導体膜144は、高純度化されたものであることが望ましい。高純度化された酸化物半導体を用いることで、極めて優れたオフ特性のトランジスタ162を得ることができる。

【0183】

トランジスタ162は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

50

【0184】

トランジスタ162は作製工程において、ゲート電極148、絶縁膜137、及び側壁絶縁層136a、136b上に設けられた導電膜を化学的機械研磨処理により除去する工程を用いて、ソース電極層及びドレイン電極層として機能する電極層142a、142bを形成する。

【0185】

よって、トランジスタ162は、ソース電極層又はドレイン電極層として機能する電極層142a、142bと酸化物半導体膜144が接する領域（コンタクト領域）と、ゲート電極148との距離を短くすることができるため、電極層142a、142bと酸化物半導体膜144とが接する領域（コンタクト領域）、及びゲート電極148間の抵抗が減少し、トランジスタ162のオン特性を向上させることが可能となる。

10

【0186】

電極層142a、142bの形成工程におけるゲート電極148上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

【0187】

トランジスタ162上には、層間絶縁膜135、絶縁膜150が単層または積層で設けられている。本実施の形態では、絶縁膜150として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上）とすることによって、トランジスタ162に安定な電気特性を付与することができる。

20

【0188】

また、層間絶縁膜135及び絶縁膜150を介して、トランジスタ162の電極層142aと重畳する領域には、導電層153が設けられており、電極層142aと、層間絶縁膜135と、絶縁膜150と、導電層153とによって、容量素子164が構成される。すなわち、トランジスタ162の電極層142aは、容量素子164の一方の電極として機能し、導電層153は、容量素子164の他方の電極として機能する。なお、容量が不要の場合には、容量素子164を設けない構成とすることもできる。また、容量素子164は、別途、トランジスタ162の上方に設けてもよい。

30

【0189】

トランジスタ162および容量素子164の上には絶縁膜152が設けられている。そして、絶縁膜152上にはトランジスタ162と、他のトランジスタを接続するための配線156が設けられている。図5(A)には図示しないが、配線156は、絶縁膜150、絶縁膜152及びゲート絶縁膜146などに形成された開口に形成された電極を介して電極層142bと電氣的に接続される。ここで、該電極は、少なくともトランジスタ162の酸化物半導体膜144の一部と重畳するように設けられることが好ましい。

【0190】

図5(A)及び図5(B)において、トランジスタ160と、トランジスタ162とは、少なくとも一部が重畳するように設けられており、トランジスタ160のソース領域またはドレイン領域と酸化物半導体膜144の一部が重畳するように設けられているのが好ましい。また、トランジスタ162及び容量素子164が、トランジスタ160の少なくとも一部と重畳するように設けられている。例えば、容量素子164の導電層153は、トランジスタ160のゲート電極110と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

40

【0191】

なお、電極層142b及び配線156の電氣的接続は、電極層142b及び配線156を直接接触させて行ってもよいし、電極層142b及び配線156の間の絶縁膜に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

50

【0192】

次に、図5(A)及び図5(B)に対応する回路構成の一例を図5(C)に示す。

【0193】

図5(C)において、第1の配線(1st Line)とトランジスタ160のソース電極とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ160のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ162のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の他方は、容量素子164の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子164の電極の他方は電氣的に接続されている。

10

【0194】

図5(C)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0195】

情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

20

【0196】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0197】

次に情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(>V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0(<V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

30

40

【0198】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。情報を読み出さないメモリセルの場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位

50

を第 5 の配線に与えればよい。

【 0 1 9 9 】

また、図 1 9 に、半導体装置の構成の他の一例を示す。図 1 9 (A) は、半導体装置の平面図、図 1 9 (B) は半導体装置の断面図である。ここで、図 1 9 (B) は、図 1 9 (A) の D 3 - D 4 における断面に相当する。なお、図 1 9 (A) においては、図の明瞭化のため、図 1 9 (B) に示す半導体装置の一部の構成要素を省略している。

【 0 2 0 0 】

図 1 9 において容量素子 1 6 4 は、ゲート電極 1 1 0、酸化物半導体膜 1 4 4、絶縁膜 1 7 3、及び導電層 1 7 4 で構成されている。導電層 1 7 4 はゲート電極 1 4 8 と同工程で作製され、上面を絶縁膜 1 7 6、側面を側壁絶縁層 1 7 5 a、1 7 5 b で覆われている。

10

【 0 2 0 1 】

トランジスタ 1 6 2 の電極層 1 4 2 b は層間絶縁膜 1 3 5、絶縁膜 1 5 0 に形成された電極層 1 4 2 b に達する開口において、配線 1 5 6 と電氣的に接続する。また、酸化物半導体膜 1 4 4 の下に接して、導電層 1 7 2 が設けられており、トランジスタ 1 6 0 とトランジスタ 1 6 2 とを電氣的に接続している。

【 0 2 0 2 】

図 1 9 で示すように、トランジスタ 1 6 0、トランジスタ 1 6 2、容量素子 1 6 4 を重畳するように密に積層して設けることで、より半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 2 0 3 】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

20

【 0 2 0 4 】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

30

【 0 2 0 5 】

以上のように、微細化及び高集積化を実現し、かつ高い電氣的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【 0 2 0 6 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

【 0 2 0 7 】

（実施の形態 3）

本実施の形態においては、実施の形態 1 又は実施の形態 2 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態 2 に示した構成と異なる構成について、図 6 及び図 7 を用いて説明を行う。

【 0 2 0 8 】

図 6 (A) は、半導体装置の回路構成の一例を示し、図 6 (B) は半導体装置の一例を示す概念図である。まず、図 6 (A) に示す半導体装置について説明を行い、続けて図 6 (B) に示す半導体装置について、以下説明を行う。

50

【0209】

図6(A)に示す半導体装置において、ビット線BLとトランジスタ162のソース電極又はドレイン電極の一方とは電氣的に接続され、ワード線WLとトランジスタ162のゲート電極とは電氣的に接続され、トランジスタ162のソース電極又はドレイン電極の他方と容量素子254の第1の端子とは電氣的に接続されている。

【0210】

次に、図6(A)に示す半導体装置(メモリセル250)に、情報の書き込みおよび保持を行う場合について説明する。

【0211】

まず、ワード線WLの電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される(保持)。

10

【0212】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位(あるいは、容量素子254に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0213】

20

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254の第1端子とが導通し、ビット線BLと容量素子254の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位(あるいは容量素子254に蓄積された電荷)によって、異なる値をとる。

【0214】

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB * VB0 + C * V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB * VB0 + C * V1) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB * VB0 + C * V0) / (CB + C)$)よりも高くなることわかる。

30

【0215】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0216】

このように、図6(A)に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

40

【0217】

次に、図6(B)に示す半導体装置について、説明を行う。

【0218】

図6(B)に示す半導体装置は、上部に記憶回路として図6(A)に示したメモリセル250を複数有するメモリセルアレイ251a及び251bを有し、下部に、メモリセルアレイ251(メモリセルアレイ251a及び251b)を動作させるために必要な周辺回

50

路 2 5 3 を有する。なお、周辺回路 2 5 3 は、メモリセルアレイ 2 5 1 と電氣的に接続されている。

【 0 2 1 9 】

図 6 (B) に示した構成とすることにより、周辺回路 2 5 3 をメモリセルアレイ 2 5 1 (メモリセルアレイ 2 5 1 a 及び 2 5 1 b) の直下に設けることができるため半導体装置の小型化を図ることができる。

【 0 2 2 0 】

周辺回路 2 5 3 に設けられるトランジスタは、トランジスタ 1 6 2 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路 (論理回路、駆動回路など) を好適に実現することが可能である。

【 0 2 2 1 】

なお、図 6 (B) に示した半導体装置では、2つのメモリセルアレイ 2 5 1 (メモリセルアレイ 2 5 1 a と、メモリセルアレイ 2 5 1 b) が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としても良い。

【 0 2 2 2 】

次に、図 6 (A) に示したメモリセル 2 5 0 の具体的な構成について図 7 を用いて説明を行う。

【 0 2 2 3 】

図 7 は、メモリセル 2 5 0 の構成の一例である。図 7 (A) に、メモリセル 2 5 0 の断面図を、図 7 (B) にメモリセル 2 5 0 の平面図をそれぞれ示す。ここで、図 7 (A) は、図 7 (B) の F 1 - F 2、及び G 1 - G 2 における断面に相当する。

【 0 2 2 4 】

図 7 (A) 及び図 7 (B) に示すトランジスタ 1 6 2 は、実施の形態 1 又は実施の形態 2 で示した構成と同一の構成とすることができる。

【 0 2 2 5 】

絶縁層 1 8 0 上に設けられたトランジスタ 1 6 2 上には、絶縁膜 2 5 6 が単層または積層で設けられている。また、絶縁膜 2 5 6 を介して、トランジスタ 1 6 2 の電極層 1 4 2 a と重畳する領域には、導電層 2 6 2 が設けられており、電極層 1 4 2 a と、層間絶縁膜 1 3 5 と、絶縁膜 2 5 6 と、導電層 2 6 2 とによって、容量素子 2 5 4 が構成される。すなわち、トランジスタ 1 6 2 の電極層 1 4 2 a は、容量素子 2 5 4 の一方の電極として機能し、導電層 2 6 2 は、容量素子 2 5 4 の他方の電極として機能する。

【 0 2 2 6 】

トランジスタ 1 6 2 および容量素子 2 5 4 の上には絶縁膜 2 5 8 が設けられている。そして、絶縁膜 2 5 8 上にはメモリセル 2 5 0 と、隣接するメモリセル 2 5 0 を接続するための配線 2 6 0 が設けられている。図示しないが、配線 2 6 0 は、絶縁膜 2 5 6 及び絶縁膜 2 5 8 などに形成された開口を介してトランジスタ 1 6 2 の電極層 1 4 2 b と電氣的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線 2 6 0 と電極層 1 4 2 b とを電氣的に接続してもよい。なお、配線 2 6 0 は、図 6 (A) の回路図におけるビット線 B L に相当する。

【 0 2 2 7 】

図 7 (A) 及び図 7 (B) において、トランジスタ 1 6 2 の電極層 1 4 2 b は、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 2 2 8 】

図 7 (A) に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 2 2 9 】

また、図 2 0 に、半導体装置の構成の他の一例を示す。

【 0 2 3 0 】

図 2 0 (A) は、半導体装置の平面図、図 2 0 (B) は半導体装置の断面図である。ここで、図 2 0 (B) は、図 2 0 (A) の F 5 - F 6 における断面に相当する。なお、図 2 0 (A) においては、図の明瞭化のため、図 2 0 (B) に示す半導体装置の一部の構成要素を省略している。

【 0 2 3 1 】

図 2 0 (A) (B) において、容量素子 2 5 4 は、導電層 1 9 2、絶縁膜 1 9 3、導電層 1 9 4 で構成され、絶縁膜 1 9 6 中に形成されている。なお、絶縁膜 1 9 3 は誘電率の高い絶縁材料を用いることが好ましい。容量素子 2 5 4 とトランジスタ 1 6 2 とは、層間絶縁膜 1 3 5、絶縁膜 1 5 0、及び絶縁膜 1 9 5 に形成されたトランジスタ 1 6 2 の電極層 1 4 2 a に達する開口に設けられた導電層 1 9 1 を介して電氣的に接続されている。

【 0 2 3 2 】

図 2 0 で示すように、トランジスタ 1 6 2、容量素子 2 5 4 を重畳するように密に積層して設けることで、より半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【 0 2 3 3 】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【 0 2 3 4 】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【 0 2 3 5 】

以上のように、微細化及び高集積化を実現し、かつ高い電氣的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【 0 2 3 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 3 7 】

(実施の形態 4)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図 8 乃至図 1 1 を用いて説明する。

【 0 2 3 8 】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などに S R A M または D R A M が使用されている。S R A M または D R A M が使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、S R A M または D R A M を画像データの一時記憶に用いた場合、以下の特徴がある。

【 0 2 3 9 】

通常の S R A M は、図 8 (A) に示すように 1 つのメモリセルがトランジスタ 8 0 1 ~ 8 0 6 の 6 個のトランジスタで構成されており、それを X デコーダー 8 0 7、Y デコーダー

10

20

30

40

50

808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常 $100 \sim 150F^2$ である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

【0240】

それに対して、DRAMはメモリセルが図8(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常 $10F^2$ 以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

10

【0241】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、 $10F^2$ 前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力を低減することができる。

【0242】

図9に携帯機器のブロック図を示す。図9に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906はCPU907、DSP908、インターフェイス909(IF909)を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

20

【0243】

図10に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図10に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955およびメモリコントローラ951により構成されている。また、メモリ回路950は、信号線から入力された画像データ(入力画像データ)、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

30

【0244】

まず、ある画像データがアプリケーションプロセッサ(図示しない)によって、形成される(入力画像データA)。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ(記憶画像データA)は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

40

【0245】

入力画像データAに変更が無い場合、記憶画像データAは、通常 $30 \sim 60\text{Hz}$ 程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

【0246】

次に、例えばユーザーが画面を書き換える操作をしたとき(すなわち、入力画像データAに変更が有る場合)、アプリケーションプロセッサは新たな画像データ(入力画像データB)を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される

50

。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ（記憶画像データ B）を記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0247】

このようにメモリ 952 及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952 及びメモリ 953 はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 及びメモリ 953 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

10

【0248】

図 11 に電子書籍のブロック図を示す。図 11 はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0249】

ここでは、図 11 のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1007 の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ 1004 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

20

【0250】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

30

【0251】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0252】

（実施の形態 5）

上記実施の形態で一例を示したトランジスタを用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、トランジスタを含む駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

40

【0253】

図 12（A）において、第 1 の基板 4001 上に設けられた画素部 4002 を囲むようにして、シール材 4005 が設けられ、第 2 の基板 4006 によって封止されている。図 12（A）においては、第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された走査線駆動回路 4004、信号線駆動回路 4003 が実装されている。また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号及び電位は、FPC（Flexible printed circu

50

it) 4018a、4018bから供給されている。

【0254】

図12(B)(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。図12(B)(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。図12(B)(C)においては、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

10

【0255】

また図12(B)(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装してもよい。

【0256】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図12(A)は、COG方法により信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図12(B)は、COG方法により信号線駆動回路4003を実装する例であり、図12(C)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0257】

また、表示装置は、表示素子が封止された状態にあるパネル(表示パネル、発光パネル)と、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0258】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPCもしくはTABテープもしくはTCPが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

30

【0259】

また第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、上記実施の形態で一例を示したトランジスタを適用することができる。

【0260】

表示装置に設けられる表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)、を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

40

【0261】

半導体装置の一形態について、図12及び図13を用いて説明する。図13は、図12(B)のM-Nにおける断面図に相当する。

【0262】

図12及び図13で示すように、半導体装置は接続端子電極4015及び端子電極4016を有しており、接続端子電極4015及び端子電極4016はFPC4018が有する端子と異方性導電膜4019を介して、電氣的に接続されている。

【0263】

50

接続端子電極 4 0 1 5 は、第 1 の電極層 4 0 3 0 と同じ導電膜から形成され、端子電極 4 0 1 6 は、トランジスタ 4 0 1 0、4 0 1 1 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【 0 2 6 4 】

また第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 は、トランジスタを複数有しており、図 1 2 及び図 1 3 では、画素部 4 0 0 2 に含まれるトランジスタ 4 0 1 0 と、走査線駆動回路 4 0 0 4 に含まれるトランジスタ 4 0 1 1 とを例示している。図 1 3 (A) では、トランジスタ 4 0 1 0、4 0 1 1 上には層間絶縁膜 4 0 2 0、絶縁膜 4 0 2 4 が設けられ、絶縁膜 4 0 2 1 が設けられている。なお、絶縁膜 4 0 2 3 は下地膜として機能する絶縁膜である。また、トランジスタ 4 0 1 0、4 0 1 1 と重畳する領域には遮光膜 4 0 5 0 が設けられている。

10

【 0 2 6 5 】

トランジスタ 4 0 1 0、4 0 1 1 としては、上記実施の形態で示したトランジスタを適用することができる。本実施の形態では、実施の形態 1 で示したトランジスタ 4 4 0 a と同様な構造を有するトランジスタを適用する例を示す。

【 0 2 6 6 】

トランジスタ 4 0 1 0、4 0 1 1 は作製工程において、ゲート電極層、絶縁膜、及び側壁絶縁層上に設けられた導電膜を化学的機械研磨処理することによって除去し導電膜を分断することによって、ソース電極層及びドレイン電極層を形成する。

【 0 2 6 7 】

従って、ソース電極層又はドレイン電極層と酸化物半導体膜とが接する領域（コンタクト領域）と、ゲート電極層との距離を短くすることができるため、ソース電極層又はドレイン電極層と酸化物半導体膜とが接する領域（コンタクト領域）、及びゲート電極層間の抵抗が減少し、トランジスタ 4 0 1 0、4 0 1 1 のオン特性を向上させることが可能となる。

20

【 0 2 6 8 】

ソース電極層及びドレイン電極層の形成工程におけるゲート電極層上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタ 4 0 1 0、4 0 1 1 を歩留まりよく作製することができる。

30

【 0 2 6 9 】

よって、図 1 2 及び図 1 3 で示す本実施の形態の半導体装置として信頼性の高い半導体装置を提供することができる。

【 0 2 7 0 】

また、駆動回路用のトランジスタ 4 0 1 1 の酸化物半導体膜のチャネル形成領域と重なる位置にさらに導電層を設けてもよい。導電層を酸化物半導体膜のチャネル形成領域と重なる位置に設けることによって、バイアス - 熱ストレス試験（B T 試験）前後におけるトランジスタ 4 0 1 1 のしきい値電圧の変化量をさらに低減することができる。また、導電層は、電位がトランジスタ 4 0 1 1 のゲート電極層と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層の電位が G N D、0 V、或いはフローティング状態であってもよい。

40

【 0 2 7 1 】

また、該導電層は外部の電場を遮蔽する、すなわち外部の電場が内部（トランジスタを含む回路部）に作用しないようにする機能（特に静電気に対する静電遮蔽機能）も有する。導電層の遮蔽機能により、静電気などの外部の電場の影響によりトランジスタの電気的な特性が変動することを防止することができる。

【 0 2 7 2 】

画素部 4 0 0 2 に設けられたトランジスタ 4 0 1 0 は表示素子と電気的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子

50

を用いることができる。

【0273】

図13(A)に表示素子として液晶素子を用いた液晶表示装置の例を示す。図13(A)において、表示素子である液晶素子4013は、第1の電極層4030、第2の電極層4031、及び液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁膜4032、4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031とは液晶層4008を介して積層する構成となっている。

【0274】

またスペーサ4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、液晶層4008の膜厚(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていてもよい。

【0275】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料(液晶組成物)は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0276】

また、液晶層4008に、配向膜を用いないブルー相を発現する液晶組成物を用いてもよい。この場合、液晶層4008と、第1の電極層4030及び第2の電極層4031とは接する構造となる。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、液晶及びカイラル剤を混合させた液晶組成物を用いて発現させることができる。また、ブルー相が発現する温度範囲を広げるために、ブルー相を発現する液晶組成物に重合性モノマー及び重合開始剤などを添加し、高分子安定化させる処理を行って液晶層を形成することもできる。ブルー相を発現する液晶組成物は、応答速度が短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。酸化物半導体膜を用いるトランジスタは、静電気の影響によりトランジスタの電気的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体膜を用いるトランジスタを有する液晶表示装置にブルー相を発現する液晶組成物を用いることはより効果的である。

【0277】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \text{ } \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \text{ } \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \text{ } \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0278】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。

【0279】

本実施の形態で用いる酸化物半導体膜を用いたトランジスタは、オフ状態における電流値(オフ電流値)を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。

【0280】

また、本実施の形態で用いる酸化物半導体膜を用いたトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを液晶表示装置に用いることで、画素部のスイッチングトランジスタと、駆

10

20

30

40

50

動回路部に使用するドライバートランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供することができる。

【0281】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In - Plane - Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro - cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

10

【0282】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi - Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素 (ピクセル) をいくつかの領域 (サブピクセル) に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

20

【0283】

また、表示装置において、ブラックマトリクス (遮光層)、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0284】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB (Rは赤、Gは緑、Bは青を表す) の三色に限定されない。例えば、RGBW (Wは白を表す)、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。ただし、開示する発明はカラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

30

【0285】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

40

【0286】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア (電子および正孔) が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0287】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分

50

類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0288】

発光素子は発光を取り出すために少なくとも一対の電極の一方が透光性であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、どの射出構造の発光素子も適用することができる。

10

【0289】

図13(B)に表示素子として発光素子を用いた発光装置(発光パネル)の例を示す。表示素子である発光素子4513は、画素部4002に設けられたトランジスタ4010と電気的に接続している。なお発光素子4513の構成は、第1の電極層4030、電界発光層4511、第2の電極層4031の積層構造であるが、示した構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

【0290】

隔壁4510は、有機絶縁材料、又は無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

20

【0291】

電界発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

【0292】

発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031及び隔壁4510上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。また、第1の基板4001、第2の基板4006、及びシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)やカバー材でパッケージング(封入)することが好ましい。

30

【0293】

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリルじゅし、ポリイミド樹脂、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば充填材として窒素を用いればよい。

40

【0294】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板(/ 4板、 / 2板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0295】

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

50

【0296】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

【0297】

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動の効果を利用したディスプレイである。

10

【0298】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0299】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

20

【0300】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を、表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0301】

なお、図12及び図13において、第1の基板4001、第2の基板4006としては、ガラス基板の他、可撓性を有する基板も用いることができ、例えば透光性を有するプラスチック基板などを用いることができる。プラスチックとしては、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、透光性が必要でなければ、アルミニウムやステンレスなどの金属基板(金属フィルム)を用いてもよい。例えば、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

30

【0302】

層間絶縁膜4020、絶縁膜4024は酸化物絶縁膜を用いることができ、プラズマCVD法又はスパッタリング法等により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウム、又はこれらの混合材料を用いて形成することができる。また、上記酸化物絶縁膜上に窒化物絶縁膜を積層してもよく、窒化物絶縁膜は窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、又はこれらの混合材料を用いて形成することができる。

40

【0303】

本実施の形態では、絶縁膜4024として酸化アルミニウム膜を用いる。絶縁膜4024はスパッタリング法やプラズマCVD法によって形成することができる。

【0304】

酸化物半導体膜上に絶縁膜4024として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果(ブロック効果)が高い。

【0305】

50

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

【0306】

また、平坦化絶縁膜として機能する絶縁膜4021は、アクリル樹脂、ポリアミド樹脂、ベンゾシクロブテン系樹脂、ポリアミド樹脂、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜を形成してもよい。

10

【0307】

絶縁膜4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

【0308】

表示装置は光源又は表示素子からの光を透過させて表示を行う。よって光が透過する画素部に設けられる基板、絶縁膜、導電膜などの薄膜はすべて可視光の波長領域の光に対して透光性とする。

【0309】

20

表示素子に電圧を印加する第1の電極層及び第2の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、及び電極層のパターン構造によって透光性、反射性を選択すればよい。

【0310】

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物、グラフェンなどの透光性を有する導電性材料を用いることができる。

【0311】

30

また、第1の電極層4030、第2の電極層4031はタングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0312】

また、第1の電極層4030、第2の電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはアニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

40

【0313】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0314】

以上のように上記実施の形態で示したトランジスタを適用することで、様々な機能を有する半導体装置を提供することができる。

【0315】

50

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0316】

(実施の形態6)

実施の形態1で一例を示したトランジスタを用いて、対象物の情報を読み取るイメージセンサ機能を有する半導体装置を作製することができる。

【0317】

図14(A)に、イメージセンサ機能を有する半導体装置の一例を示す。図14(A)はフォトセンサの等価回路であり、図14(B)はフォトセンサの一部を示す断面図である。

10

【0318】

フォトダイオード602は、一方の電極がフォトダイオードリセット信号線658に、他方の電極がトランジスタ640のゲートに電氣的に接続されている。トランジスタ640は、ソース又はドレインの一方がフォトセンサ基準信号線672に、ソース又はドレインの他方がトランジスタ656のソース又はドレインの一方に電氣的に接続されている。トランジスタ656は、ゲートがゲート信号線659に、ソース又はドレインの他方がフォトセンサ出力信号線671に電氣的に接続されている。

【0319】

なお、本明細書における回路図において、酸化物半導体膜を用いるトランジスタと明確に判明できるように、酸化物半導体膜を用いるトランジスタの記号には「OS」と記載している。図14(A)において、トランジスタ640、トランジスタ656は上記実施の形態に示したトランジスタが適用でき、酸化物半導体膜を用いるトランジスタである。本実施の形態では、実施の形態1で示したトランジスタ440aと同様な構造を有するトランジスタを適用する例を示す。

20

【0320】

図14(B)は、フォトセンサにおけるフォトダイオード602及びトランジスタ640に示す断面図であり、絶縁表面を有する基板601(TFT基板)上に、センサとして機能するフォトダイオード602及びトランジスタ640が設けられている。フォトダイオード602、トランジスタ640の上には接着層608を用いて基板613が設けられている。

30

【0321】

絶縁膜631上に設けられたトランジスタ640上には層間絶縁膜632、絶縁膜633、層間絶縁膜634が設けられている。フォトダイオード602は、絶縁膜633上に設けられ、絶縁膜633上に形成した電極層641a、641bと、層間絶縁膜634上に設けられた電極層642との間に、絶縁膜633側から順に第1半導体膜606a、第2半導体膜606b、及び第3半導体膜606cを積層した構造を有している。

【0322】

なお、トランジスタ640と重畳する領域に遮光膜650が設けられている。

【0323】

電極層641bは、層間絶縁膜634に形成された導電層643と電氣的に接続し、電極層642は電極層641aを介して導電層645と電氣的に接続している。導電層645は、トランジスタ640のゲート電極層と電氣的に接続しており、フォトダイオード602はトランジスタ640と電氣的に接続している。

40

【0324】

ここでは、第1半導体膜606aとしてp型の導電性を有する半導体膜と、第2半導体膜606bとして高抵抗な半導体膜(I型半導体膜)、第3半導体膜606cとしてn型の導電性を有する半導体膜を積層するpin型のフォトダイオードを例示している。

【0325】

第1半導体膜606aはp型半導体膜であり、p型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第1半導体膜606aの形成には13族の

50

不純物元素（例えばボロン（B））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第1半導体膜606aの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

【0326】

10

第2半導体膜606bは、I型半導体膜（真性半導体膜）であり、アモルファスシリコン膜により形成する。第2半導体膜606bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第2半導体膜606bの形成は、LPCVD法、気相成長法、スパッタリング法等により行ってもよい。第2半導体膜606bの膜厚は200nm以上1000nm以下となるように形成することが好ましい。

【0327】

第3半導体膜606cは、n型半導体膜であり、n型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第3半導体膜606cの形成には、15族の不純物元素（例えばリン（P））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体膜606cの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

20

【0328】

30

また、第1半導体膜606a、第2半導体膜606b、及び第3半導体膜606cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶半導体（セミアモルファス半導体（Semi Amorphous Semiconductor：SAS））を用いて形成してもよい。

【0329】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520cm^{-1} とアモルファスシリコンを示す 480cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

40

【0330】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、S

50

i F₄などの珪素を含む化合物を水素で希釈して形成することができる。また、珪素を含む化合物（例えば水素化珪素）及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの珪素を含む化合物（例えば水素化珪素）に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、CH₄、C₂H₆等の炭化水素気体、GeH₄、GeF₄等のゲルマニウム化気体、F₂等を混入させてもよい。

【0331】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体膜側を受光面とする方がよい特性を示す。ここでは、pin型のフォトダイオードが形成されている基板601の面からフォトダイオード602が受ける光を電気信号に変換する例を示す。また、受光面とした半導体膜側とは逆の導電型を有する半導体膜側からの光は外乱光となるため、電極層は遮光性を有する導電膜を用いるとよい。また、n型の半導体膜側を受光面として用いることもできる。

【0332】

絶縁膜631、層間絶縁膜632、絶縁膜633としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、プラズマCVD法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法等）、印刷法（スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いて形成することができる。

【0333】

本実施の形態では、絶縁膜633として酸化アルミニウム膜を用いる。絶縁膜633はスパッタリング法やプラズマCVD法によって形成することができる。

【0334】

酸化物半導体膜上に絶縁膜633として設けられた酸化アルミニウム膜は、水素、水分などの不純物、及び酸素の両方に対して膜を透過させない遮断効果（ブロック効果）が高い。

【0335】

従って、酸化アルミニウム膜は、作製工程中及び作製後において、変動要因となる水素、水分などの不純物の酸化物半導体膜への混入、及び酸化物半導体を構成する主成分材料である酸素の酸化物半導体膜からの放出を防止する保護膜として機能する。

【0336】

本実施の形態において、トランジスタ640は、作製工程において、ゲート電極層、絶縁膜、及び側壁絶縁層上に設けられた導電膜を化学機械研磨処理することによって除去し導電膜を分断することによって、ソース電極層及びドレイン電極層を形成する。

【0337】

従って、ソース電極層又はドレイン電極層と酸化物半導体膜とが接する領域（コンタクト領域）と、ゲート電極層との距離を短くすることができるため、ソース電極層又はドレイン電極層と酸化物半導体膜とが接する領域（コンタクト領域）、及びゲート電極層間の抵抗が減少し、トランジスタ640のオン特性を向上させることが可能となる。

【0338】

ソース電極層及びドレイン電極層の形成工程におけるゲート電極層上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきが少ない微細な構造を有するトランジスタ640を歩留まりよく作製することができる。

【0339】

絶縁膜631、層間絶縁膜632、絶縁膜633としては、無機絶縁材料を用いることができる。例えば、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、又は酸化窒化アルミニウム膜などの酸化物絶縁膜、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などの窒化物絶縁膜の単層、又は積層を用い

ることができる。

【0340】

また、層間絶縁膜634としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁膜が好ましい。層間絶縁膜634としては、例えばポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

【0341】

フォトダイオード602に入射する光622を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

10

【0342】

以上のように、微細化及び高集積化を実現し、かつ高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0343】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0344】

（実施の形態7）

20

本実施の形態では、本発明の一態様の電子機器について説明する。具体的には、上記実施の形態で示すトランジスタを有する表示パネル、又は発光パネルを搭載した電子機器について図15を用いて説明する。

【0345】

半導体装置を適用した電子機器として、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。これらの電子機器の具体例を図15に示す。

【0346】

30

図15（A）は、テレビジョン装置の一例を示している。テレビジョン装置7100は、筐体7101に表示部7103が組み込まれている。表示部7103により、映像を表示することが可能であり、表示パネルを表示部7103に用いることができる。また、ここでは、スタンド7105により筐体7101を支持した構成を示している。

【0347】

テレビジョン装置7100の操作は、筐体7101が備える操作スイッチや、別体のリモコン操作機7110により行うことができる。リモコン操作機7110が備える操作キー7109により、チャンネルや音量の操作を行うことができ、表示部7103に表示される映像を操作することができる。また、リモコン操作機7110に、当該リモコン操作機7110から出力する情報を表示する表示部7107を設ける構成としてもよい。

40

【0348】

なお、テレビジョン装置7100は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0349】

図15（B）はコンピュータであり、本体7201、筐体7202、表示部7203、キーボード7204、外部接続ポート7205、ポインティングデバイス7206等を含む。なお、コンピュータは、表示パネルをその表示部7203に用いることにより作製される。

50

【0350】

図15(C)は携帯型遊技機であり、筐体7301と筐体7302の2つの筐体で構成されており、連結部7303により、開閉可能に連結されている。筐体7301には表示部7304が組み込まれ、筐体7302には表示部7305が組み込まれている。また、図15(C)に示す携帯型遊技機は、その他、スピーカ部7306、記録媒体挿入部7307、LEDランプ7308、入力手段(操作キー7309、接続端子7310、センサ7311(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの)、マイクロフォン7312)等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも表示部7304および表示部7305の両方、または一方に表示パネルを用いていればよく、その他付属設備が適宜設けられた構成とすることができる。図15(C)に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図15(C)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0351】

図15(D)は、携帯電話機の一例を示している。携帯電話機7400は、筐体7401に組み込まれた表示部7402の他、操作ボタン7403、外部接続ポート7404、スピーカ7405、マイク7406などを備えている。なお、携帯電話機7400は、表示

20

【0352】

図15(D)に示す携帯電話機7400は、表示部7402を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを作成するなどの操作は、表示部7402を指などで触れることにより行うことができる。

【0353】

表示部7402の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0354】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部7402を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部7402の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

30

【0355】

また、携帯電話機7400内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機7400の向き(縦か横か)を判断して、表示部7402の画面表示を自動的に切り替えるようにすることができる。

【0356】

また、画面モードの切り替えは、表示部7402を触れること、または筐体7401の操作ボタン7403の操作により行われる。また、表示部7402に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

40

【0357】

また、入力モードにおいて、表示部7402の光センサで検出される信号を検知し、表示部7402のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0358】

表示部7402は、イメージセンサとして機能させることもできる。例えば、表示部7402に掌や指で触れ、掌紋、指紋等を撮像することで、本人認証を行うことができる。ま

50

た、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0359】

図15(E)は、平板状のコンピュータの一例を示している。平板状のコンピュータ7450は、ヒンジ7454で接続された筐体7451Lと筐体7451Rを備えている。また、操作ボタン7453、左側スピーカ7455Lおよび右側スピーカ7455Rの他、コンピュータ7450の側面には図示されていない外部接続ポート7456を備える。なお、筐体7451Lに設けられた表示部7452Lと、筐体7451Rに設けられた表示部7452Rが互いに対峙するようにヒンジ7454を折り畳むと、表示部を筐体で保護することができる。

10

【0360】

表示部7452Lと表示部7452Rは、画像を表示する他、指などで触れると情報を入力できる。例えば、インストール済みのプログラムを示すアイコンを指でふれて選択し、プログラムを起動できる。または、表示された画像の二箇所に触れた指の間隔を変えて、画像を拡大または縮小できる。または、表示された画像の一箇所に触れた指を移動して画像を移動できる。また、キーボードの画像を表示して、表示された文字や記号を指で触れて選択し、情報を入力することもできる。

【0361】

また、コンピュータ7450に、ジャイロ、加速度センサ、GPS(Global Positioning System)受信機、指紋センサ、ビデオカメラを搭載することもできる。例えば、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、コンピュータ7450の向き(縦か横か)を判断して、表示する画面の向きを自動的に切り替えるようにすることができる。

20

【0362】

また、コンピュータ7450はネットワークに接続できる。コンピュータ7450はインターネット上の情報を表示できる他、ネットワークに接続された他の機器を遠隔から操作する端末として用いることができる。

【0363】

図15(F)は、照明装置の一例を示している。照明装置7500は、筐体7501に光源として本発明の一態様の発光パネル7503a~7503dが組み込まれている。照明装置7500は、天井や壁等に取り付けることが可能である。

30

【0364】

また、本発明の一態様の発光パネルは、発光パネルが薄膜状であるため、曲面を有する基体に貼り付けることで、曲面を有する半導体装置とすることができる。また、その発光パネルを、曲面を有する筐体に配置することで、曲面を有する電子機器または照明装置を実現することができる。

【0365】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【実施例1】

40

【0366】

本実施例では、実施の形態1で示すトランジスタを作製し、該トランジスタの断面観察を行った。

【0367】

トランジスタとして、図1に示すトランジスタ440aと同様の構造の実施例トランジスタ1を作製した。以下に実施例トランジスタ1の作製方法を示す。

【0368】

シリコン基板10上に絶縁膜11としてスパッタリング法を用いて、膜厚100nmの酸化シリコン膜を形成した(成膜条件:酸素(酸素50sccm)雰囲気下、圧力0.4Pa、電源電力(電源出力)5.0kW、シリコン基板とターゲットとの間の距離を60m

50

m、基板温度100)。

【0369】

酸化シリコン膜上に酸化物半導体膜12としてIn:Ga:Zn=3:1:2[原子数比]の酸化物ターゲットを用いたスパッタリング法により、膜厚20nmのIGZO膜を形成した。成膜条件は、アルゴン及び酸素(アルゴン:酸素=30sccm:15sccm)雰囲気下、圧力0.4Pa、電源電力0.5kW、基板温度200)とした。

【0370】

次にCVD法によりIGZO膜上にゲート絶縁膜として酸化窒化シリコン膜を20nm成膜した(成膜条件:SiH₄:N₂O=1sccm:800sccm、圧力40Pa、RF電源電力(電源出力)150W、電源周波数60MHz、基板温度400)。

10

【0371】

ゲート絶縁膜上に、スパッタリング法により膜厚100nmのタングステン膜(成膜条件:アルゴン(100sccm)雰囲気下、圧力0.2Pa、電源電力1kW)を成膜し、タングステン膜上にCVD法により酸化窒化シリコン膜(成膜条件:SiH₄:N₂O=27sccm:1000sccm、圧力133.3Pa、RF電源電力60W、電源周波数13.56MHz、基板温度325)を200nm積層した。

【0372】

ドライエッチング法により、酸化窒化シリコン膜をエッチング(エッチング条件:エッチングガス(CHF₃:He:CH₄=22.5sccm:127.5sccm:5sccm)、ICP電源電力475W、バイアス電力300W、圧力3.5Pa)して絶縁膜15を形成した。

20

【0373】

次に、ドライエッチング法により、タングステン膜をエッチング(エッチング条件:エッチングガス(CF₄:Cl₂:O₂=25sccm:25sccm:10sccm)、ICP電源電力500W、バイアス電力100W、圧力1.0Pa、基板温度70)してゲート電極層14を形成した。

【0374】

ゲート電極層14及び絶縁膜15上に絶縁膜として、CVD法により酸化窒化シリコン膜を70nm成膜し(成膜条件:SiH₄:N₂O=1sccm:800sccm、圧力40Pa、RF電源電力(電源出力)150W、電源周波数60MHz、基板温度400)、該酸化窒化シリコン膜をドライエッチング法により、エッチング(エッチング条件:エッチングガス(CHF₃:He=56sccm:144sccm)、ICP電源電力25W、バイアス電力425W、圧力7.5Pa、基板温度70)して側壁絶縁層16a、16bを形成した。ゲート電極層14、及び側壁絶縁層16a、16bをマスクとして、ゲート絶縁膜をエッチングし、ゲート絶縁膜13を形成した。

30

【0375】

酸化物半導体膜12、ゲート絶縁膜13、側壁絶縁層16a、16b、絶縁膜15上に、スパッタリング法により膜厚30nmのタングステン膜(成膜条件:アルゴン(80sccm)雰囲気下、圧力0.8Pa、電源電力1kW、基板温度230)を成膜した。

【0376】

さらに、タングステン膜上に、CVD法により酸化窒化シリコン膜を500nm成膜した(成膜条件:SiH₄:N₂O=27sccm:1000sccm、圧力133.3Pa、RF電源電力60W、電源周波数13.56MHz、基板温度325)。

40

【0377】

次に酸化窒化シリコン膜及びタングステン膜に化学的機械研磨法により研磨処理(研磨条件:硬質ポリウレタン系研磨布、アルカリ性シリカ系スラリー、スラリー温度室温、研磨(ロード)圧0.08MPa、研磨時回転数(テーブル/スピンドル)50rpm/50rpm、研磨時間2分)を行い、絶縁膜15が露出するようにゲート電極層14上の酸化窒化シリコン膜を及びタングステン膜を除去した。

【0378】

50

該研磨処理によって、酸化窒化シリコン膜を絶縁膜 18 に加工し、タングステン膜を分断し、ソース電極層 17a 及びドレイン電極層 17b を形成した。

【0379】

以上の工程で実施例トランジスタ 1 を作製した。

【0380】

実施例トランジスタ 1 の端面を切り出し、走査型透過電子顕微鏡 (STEM: Scanning Transmission Electron Microscopy) により、実施例トランジスタ 1 の断面観察を行った。本実施例では STEM は「日立超薄膜評価装置 HD-2300」(株式会社日立ハイテクノロジーズ製)を用いた。図 16 にトランジスタの断面 STEM 像を示す。

10

【0381】

図 16 は、実施例トランジスタ 1 のチャネル長方向の断面 STEM 像であり、ソース電極層 17a、ドレイン電極層 17b が研磨処理によって分断されていることが確認できる。ソース電極層 17a、ドレイン電極層 17b はゲート電極層 14 側面に設けられた側壁絶縁層 16a、16b の側面に接するように設けられており、本実施例では側壁絶縁層 16a、16b の側面を上端部よりやや低い位置まで覆っている。ソース電極層 17a、ドレイン電極層 17b の形状は導電膜を分断する研磨処理の条件によって異なり、本実施例に示すように、側壁絶縁層 16a、16b、絶縁膜 15 の研磨処理された表面より膜厚方向に後退した形状となる場合がある。

【0382】

20

なお、図 16 において、台形を示すゲート電極層 14 の下底の幅は約 382 nm、上底の幅は約 364 nm であり、側壁絶縁層 16a、16b のチャネル長方向の幅は約 51.6 nm、ゲート電極層 14 上に設けられた絶縁膜 15 の膜厚は約 44.1 nm、絶縁膜 18 における酸化物半導体膜 12 と接するソース電極層 17a、ドレイン電極層 17b から表面までの膜厚は約 139.8 nm であった。

【0383】

本実施例トランジスタ 1 は、ソース電極層 17a、ドレイン電極層 17b をゲート電極層 14、絶縁膜 15、及び側壁絶縁層 16a、16b 上に設けられた導電膜を化学機械研磨処理することによって除去し、導電膜を分断して形成する。

【0384】

30

従って、ソース電極層 17a 又はドレイン電極層 17b と酸化物半導体膜 12 とが接する領域 (コンタクト領域) と、ゲート電極層 14 との距離を短くすることができるため、ソース電極層 17a 又はドレイン電極層 17b と酸化物半導体膜 12 とが接する領域 (コンタクト領域)、及びゲート電極層 14 間の抵抗が減少し、トランジスタのオン特性を向上させることが可能となる。

【0385】

ソース電極層 17a 及びドレイン電極層 17b の形成工程におけるゲート電極層 14 上の導電膜を除去する工程において、レジストマスクを用いたエッチング工程を用いないため、精密な加工を正確に行うことができる。よって、半導体装置の作製工程において、形状や特性のばらつきの少ない微細な構造を有するトランジスタを歩留まりよく作製することができる。

40

【0386】

以上、本実施例で示すように、微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することができる。また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、及び高生産化を達成することができる。

【実施例 2】

【0387】

本実施例では、本明細書に開示する半導体装置の一形態であるトランジスタを作製し、電気特性の評価を行った。

【0388】

50

トランジスタとして、図 17 に示すトランジスタ 340 と同様の構造の実施例トランジスタ 2 を作製した。以下に実施例トランジスタ 2 の作製方法を示す。

【0389】

シリコン基板 300 上に絶縁膜 336 としてスパッタリング法を用いて、膜厚 300 nm の酸化シリコン膜を形成した（成膜条件：酸素（酸素 50 sccm）雰囲気下、圧力 0.4 Pa、電源電力（電源出力）1.5 kW、シリコン基板とターゲットとの間の距離を 60 mm、基板温度 100 ）。

【0390】

絶縁膜 336 表面に化学的機械研磨法により研磨処理（研磨圧 0.08 MPa、研磨時間 0.5 分）を行った。

10

【0391】

研磨処理された絶縁膜 336 上に酸化物半導体膜として In : Ga : Zn = 3 : 1 : 2 [原子数比] の酸化物ターゲットを用いたスパッタリング法により、膜厚 10 nm の IGZO 膜を形成した。成膜条件は、アルゴン及び酸素（アルゴン：酸素 = 30 sccm : 15 sccm）雰囲気下、圧力 0.4 Pa、電源電力 0.5 kW、基板温度 200 とした。

【0392】

ドライエッチング法により、酸化物半導体膜をエッチング（エッチング条件：エッチングガス（BCl₃ : Cl₂ = 60 sccm : 20 sccm）、ICP 電源電力 450 W、バイアス電力 100 W、圧力 1.9 Pa）して島状の酸化物半導体膜 303 を形成した。

20

【0393】

次に CVD 法により島状の酸化物半導体膜 303 上にゲート絶縁膜として酸化窒化シリコン膜を 20 nm 成膜した（成膜条件：SiH₄ : N₂O = 1 sccm : 800 sccm、圧力 40 Pa、RF 電源電力（電源出力）150 W、電源周波数 60 MHz、基板温度 400 ）。

【0394】

ゲート絶縁膜上に、スパッタリング法により膜厚 30 nm の窒化タンタル膜（成膜条件：アルゴン及び窒素（アルゴン：窒素 = 50 sccm : 10 sccm）雰囲気下、圧力 0.6 Pa、電源電力 1 kW）及び膜厚 135 nm のタングステン膜（成膜条件：アルゴン（100 sccm）雰囲気下、圧力 2.0 Pa、電源電力 4 kW）の積層を成膜した。

【0395】

次に、タングステン膜上に、CVD 法により酸化窒化シリコン膜（成膜条件：SiH₄ : N₂O = 27 sccm : 1000 sccm、圧力 133.3 Pa、RF 電源電力 60 W、電源周波数 13.56 MHz、基板温度 325 ）を 200 nm 積層した。

30

【0396】

ドライエッチング法により、酸化窒化シリコン膜をエッチング（（エッチング条件：エッチングガス（CHF₃ : He : CH₄ = 22.5 sccm : 127.5 sccm : 5 sccm）、ICP 電源電力 475 W、バイアス電力 300 W、圧力 3.5 Pa）して絶縁膜 313 を形成した。

【0397】

ドライエッチング法により、窒化タンタル膜及びタングステン膜をエッチング（第 1 エッチング条件：エッチングガス（CF₄ : Cl₂ : O₂ = 25 sccm : 25 sccm : 10 sccm）、ICP 電源電力 500 W、バイアス電力 100 W、圧力 1.0 Pa）、（第 2 エッチング条件：エッチングガス（Cl₂ = 100 sccm）、電源電力 2 kW、バイアス電力 50 W、圧力 1.0 Pa）、（第 3 エッチング条件：エッチングガス（Cl₂ = 100 sccm）、電源電力 1 kW、バイアス電力 25 W 圧力、2.0 Pa））して、ゲート電極層 301 を形成した。

40

【0398】

ゲート電極層 301 をマスクとしてイオン注入法により酸化物半導体膜 303 に、リン（P）イオンを注入し、低抵抗領域 304 a、低抵抗領域 304 b を形成した。なお、リン（P）イオンの注入条件は加速電圧 25 kV、ドーズ量を 1.0×10^{15} ions / cm²

50

m²とした。

【0399】

ゲート電極層301及び絶縁膜313上に絶縁膜として、CVD法により酸化窒化シリコン膜を90nm成膜し(成膜条件:SiH₄:N₂O=1sccm:800sccm、圧力40Pa、RF電源電力(電源出力)150W、電源周波数60MHz、基板温度400)、該酸化窒化シリコン膜をドライエッチング法により、エッチングして側壁絶縁層312a、312bを形成した。ゲート電極層301、及び側壁絶縁層312a、312bをマスクとして、ゲート絶縁膜をエッチングし、ゲート絶縁膜302を形成した。なお、側壁絶縁層312a、312b、及びゲート絶縁膜302の形成に用いたエッチング条件は、エッチングガス(CHF₃:He=30sccm:120sccm)、電源電力3kW、バイアス電力200W、圧力2.0Pa、基板温度-10とした。

10

【0400】

酸化半導体膜303、ゲート電極層301、側壁絶縁層312a、312b、絶縁膜313上に、スパッタリング法により膜厚30nmのタングステン膜(成膜条件:アルゴン(80sccm)雰囲気下、圧力0.8Pa、電源電力1kW、基板温度230)を成膜した。

【0401】

次に、ドライエッチング法により、タングステン膜をエッチング((エッチング条件:エッチングガス(CF₄:Cl₂:O₂=55sccm:45sccm:55sccm)、電源電力3kW、バイアス電力140W、圧力0.67Pa)して島状のタングステン膜を形成した。

20

【0402】

次に、絶縁膜として酸化半導体膜303、ゲート電極層301、側壁絶縁層312a、312b、絶縁膜313、タングステン膜上に、スパッタリング法により酸化アルミニウム膜(成膜条件:アルゴン及び酸素(アルゴン:酸素=25sccm:25sccm)雰囲気下、圧力0.4Pa、電源電力2.5kW、シリコン基板とターゲットとの間の距離を60mm、基板温度250)を70nm成膜した。

【0403】

さらに、酸化アルミニウム膜上に、CVD法により酸化窒化シリコン膜を430nm成膜した(成膜条件:SiH₄:N₂O=27sccm:1000sccm、圧力133.3Pa、RF電源電力60W、電源周波数13.56MHz、基板温度325)。

30

【0404】

次に酸化窒化シリコン膜、酸化アルミニウム膜、及びタングステン膜に化学的機械研磨法により研磨処理(研磨条件:硬質ポリウレタン系研磨布、アルカリ性シリカ系スラリー、スラリー温度室温、研磨圧0.08MPa、研磨時回転数(テーブル/スピンドル)51rpm/50rpm)を行い、絶縁膜313が露出するようにゲート電極層301上の酸化窒化シリコン膜、酸化アルミニウム膜、及びタングステン膜を除去した。

【0405】

該研磨処理によって、酸化窒化シリコン膜を絶縁膜315と加工し、酸化アルミニウム膜を絶縁膜310と加工し、タングステン膜を分断してソース電極層305a及びドレイン電極層305bを形成した。

40

【0406】

ゲート電極層301、絶縁膜313、ソース電極層305a、ドレイン電極層305b、絶縁膜310、絶縁膜315上に絶縁膜307として、CVD法により酸化窒化シリコン膜を400nm成膜した(成膜条件:SiH₄:N₂O=27sccm:1000sccm、圧力133.3Pa、RF電源電力60W、電源周波数13.56MHz、基板温度325)。

【0407】

絶縁膜307、絶縁膜315、及び絶縁膜310にソース電極層305a、ドレイン電極層305bに達する開口を形成(第1エッチング条件:エッチングガス(CHF₃:He

50

= 7.5 sccm : 142.5 sccm)、ICP電源電力475W、バイアス電力300W、圧力5.5Pa、時間192秒、第2エッチング条件：エッチングガス(CHF_3 : He = 7.5 sccm : 142.5 sccm)、ICP電源電力475W、バイアス電力150W、圧力5.5Pa、時間78秒)した。

【0408】

開口に、スパッタリング法により膜厚50nmのチタン膜(成膜条件：アルゴン(20 sccm)雰囲気下、圧力0.1Pa、電源電力12kW)、膜厚100nmのアルミニウム膜(成膜条件：アルゴン(50 sccm)雰囲気下、圧力0.4Pa、電源電力1kW)、膜厚50nmのチタン膜(成膜条件：アルゴン(20 sccm)雰囲気下、圧力0.1Pa、電源電力12kW)を積層した。

10

【0409】

チタン膜、アルミニウム膜、及びチタン膜の積層を、エッチング(エッチング条件：エッチングガス(BCl_3 : Cl_2 = 60 sccm : 20 sccm)、ICP電源電力450W、バイアス電力100W、圧力1.9Pa)し、配線層335a、335bを形成した。

【0410】

以上の工程で実施例トランジスタ2としてトランジスタ340を作製した。

【0411】

なお、実施例トランジスタ2においては、チャネル幅(W)は10 μm 、ゲート電極層301と、ソース電極層305a、又はドレイン電極層305bが酸化物半導体膜303と接する開口との距離は0.07 μm とした。

20

【0412】

実施例トランジスタ2の電気特性の評価を行った。

【0413】

図18に、実施例トランジスタ2のドレイン電圧(V_d)が1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)特性、及びドレイン電圧(V_d)が0.1Vにおけるゲート電圧(V_g) - ドレイン電流(I_d)特性を示す。なお、図18の電気特性は、実施例トランジスタ2においてチャネル長(L)が0.35 μm の場合であり、測定範囲はゲート電圧 - 4V ~ +4Vである。

【0414】

30

図18に示すように実施例トランジスタ2においては、スイッチング素子としての電気特性を示し、ドレイン電圧(V_d)が1V、ゲート電圧が2.7Vにおいて、実施例トランジスタ2のオン電流値は、45.1 μA 、しきい値電圧(V_{th})は-0.27V、サブスレッショルド係数(S値)は73.8mV/déc.であり、また、ドレイン電圧(V_d)が0.1Vにおいて、実施例トランジスタ2の電界効果移動度は3.0 cm^2/Vs であった。なお、上記オン電流値、しきい値電圧(V_{th})、サブスレッショルド係数(S値)、電界効果移動度は測定データにおける中央値である。

【0415】

また、実施例トランジスタ2の電気特性について、100点測定したときの面内ばらつきを評価した。

40

【0416】

図21に、ドレイン電圧が1V、ゲート電圧が2.7Vのときのオン電流の正規確率グラフを示す。オン電流のばらつきを3 σ で表すと、チャネル長0.35 μm の場合、3 σ は16.5 μA であり、3 σ を中央値で割った百分率は36.3%であり、チャネル長0.55 μm の場合、3 σ は11.8 μA であり、3 σ を中央値で割った百分率は36.0%であり、チャネル長1 μm の場合、3 σ は6.4 μA であり、3 σ を中央値で割った百分率は30.0%であった。

【0417】

図22に、ドレイン電圧が1Vのときのしきい値電圧の正規確率グラフを示す。しきい値電圧のばらつきを3 σ で表すと、チャネル長0.35 μm の場合、3 σ は0.22Vであ

50

り、チャネル長 $0.55 \mu\text{m}$ の場合、 V_{th} は 0.26 V であり、チャネル長 $1 \mu\text{m}$ の場合、 V_{th} は 0.12 V であった。

【0418】

図21及び図22の結果から、オン電流及びしきい値電圧の両方において、グラフの傾きは大きく、ばらつきが小さいことが確認できた。

【0419】

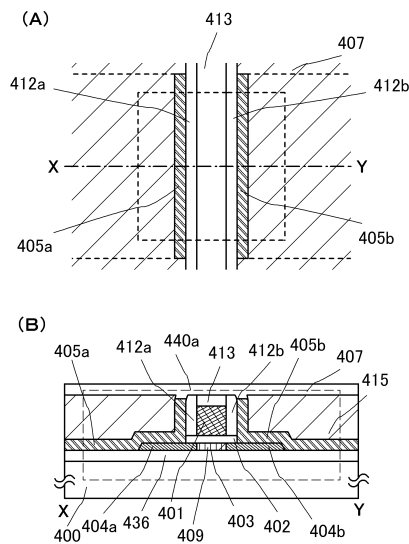
以上より、本実施例のトランジスタは、チャネル長 $0.35 \mu\text{m}$ という微細な構造であっても、スイッチング素子としての十分な電気特性を示し、電気特性のばらつきも小さいことが確認できた。

【0420】

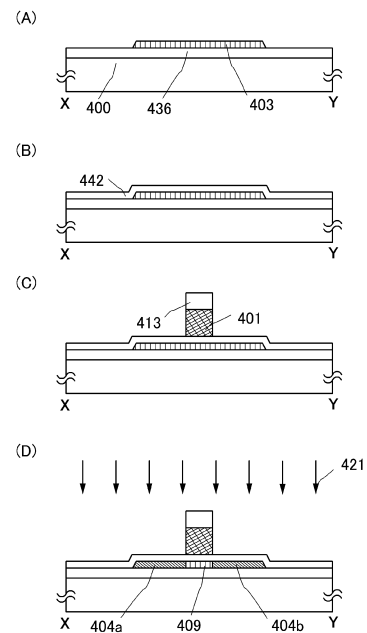
以上、本実施例で示すように、微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することができる。また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、及び高生産化を達成することができる。

10

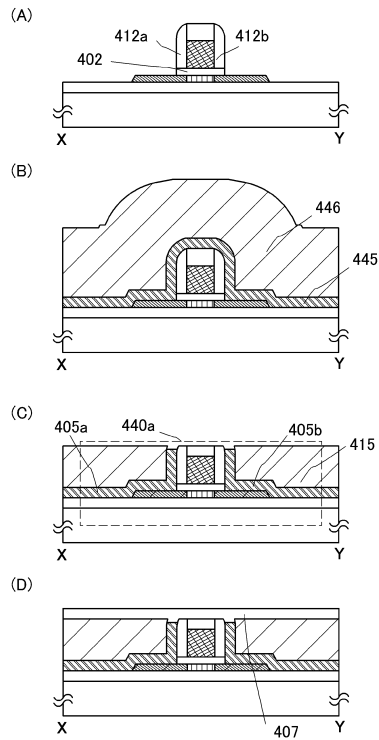
【図1】



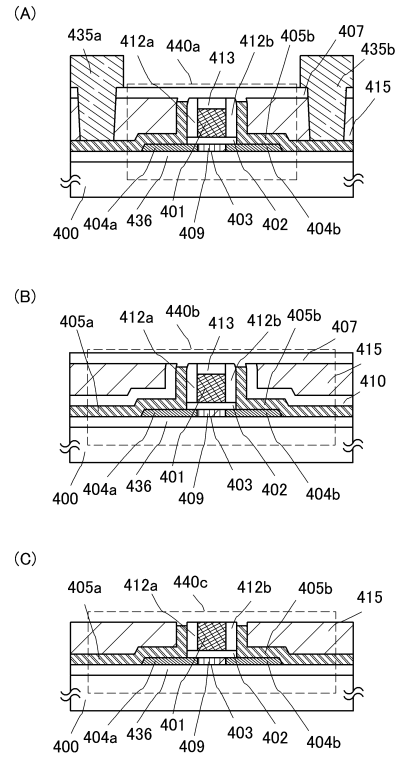
【図2】



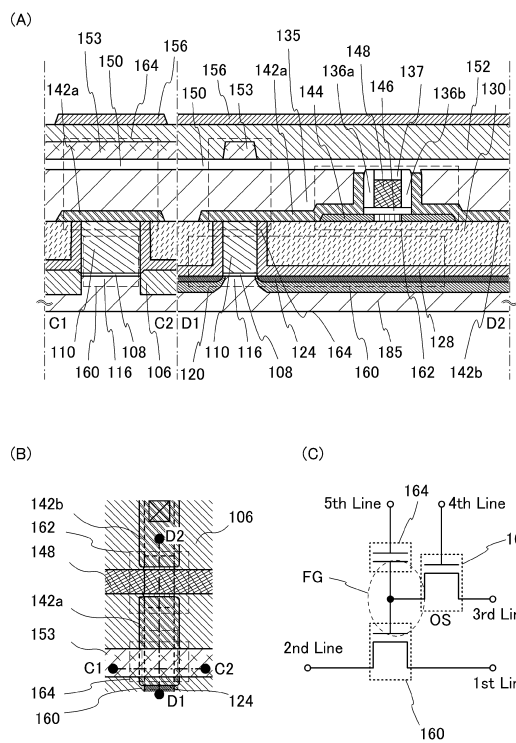
【図 3】



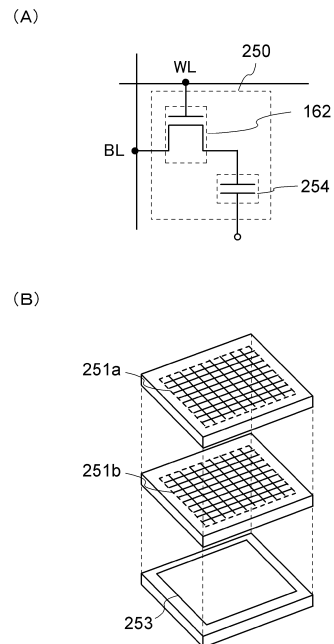
【図 4】



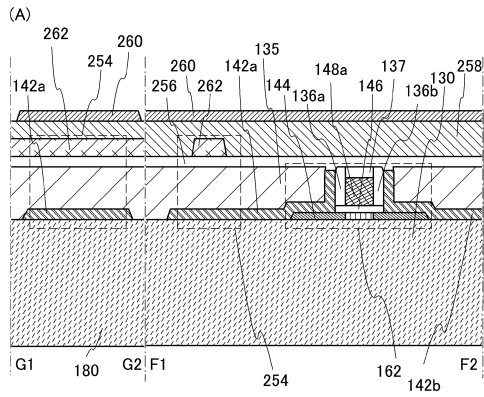
【図 5】



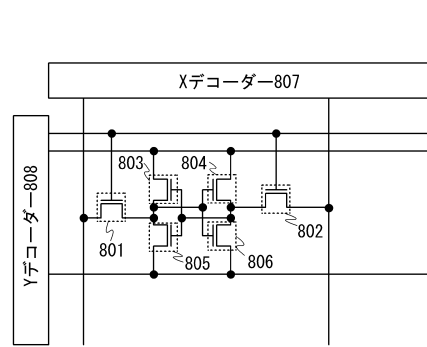
【図 6】



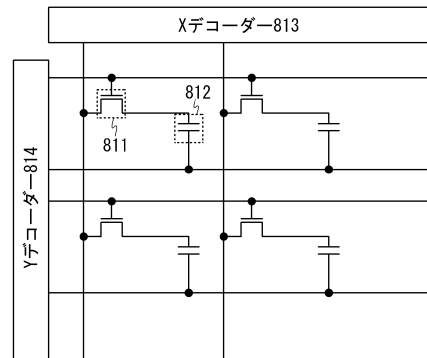
【図 7】



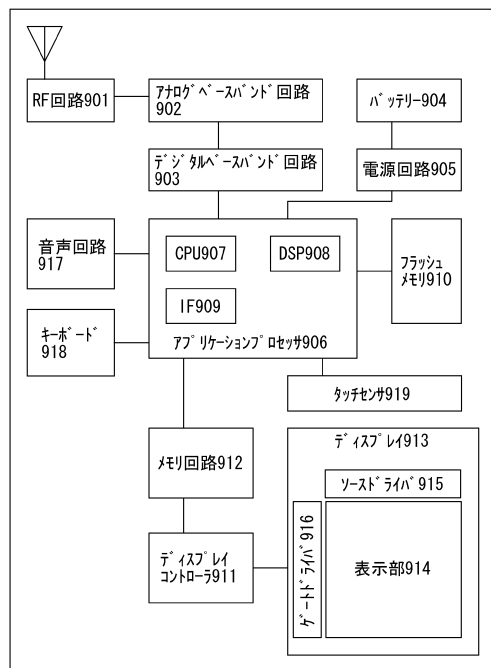
【図 8】



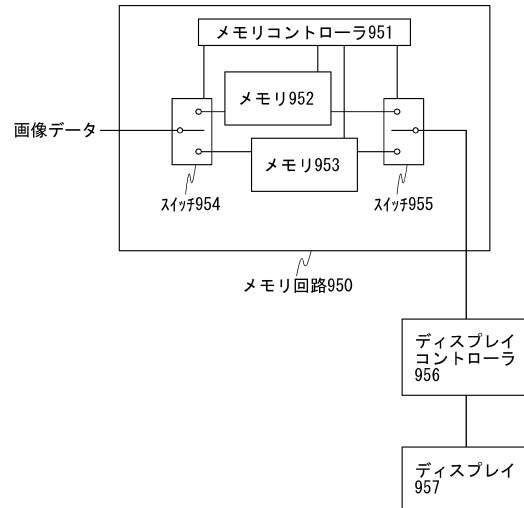
(B)



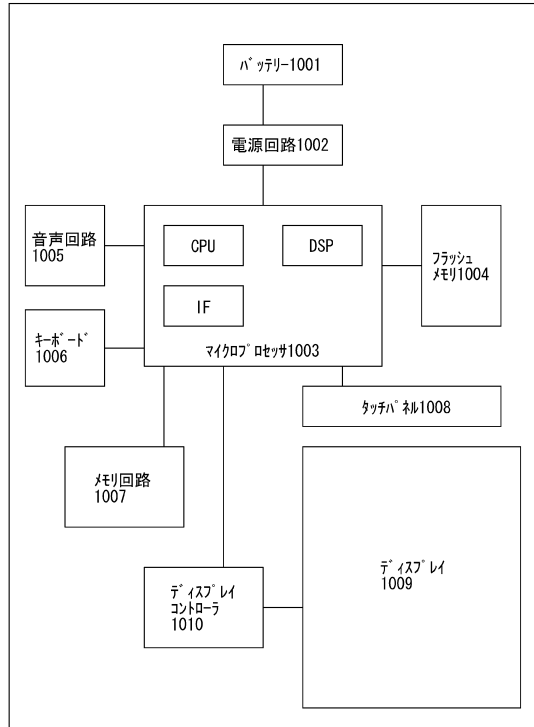
【図 9】



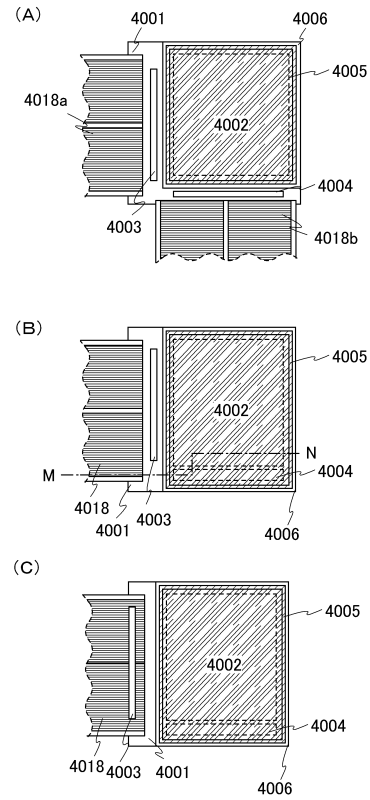
【図 10】



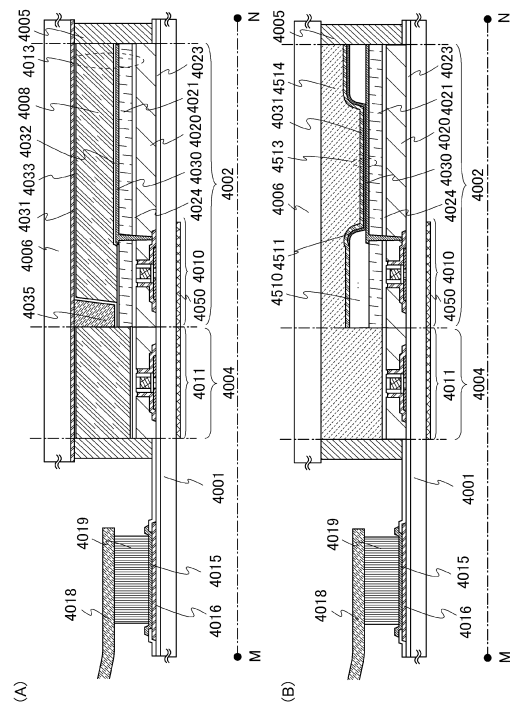
【図 1 1】



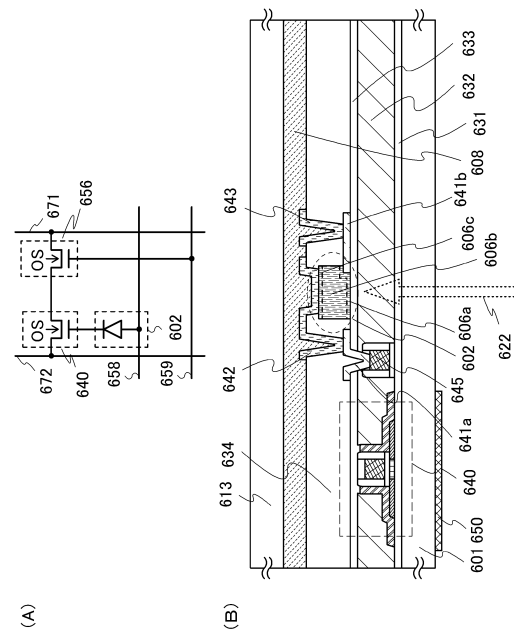
【図 1 2】



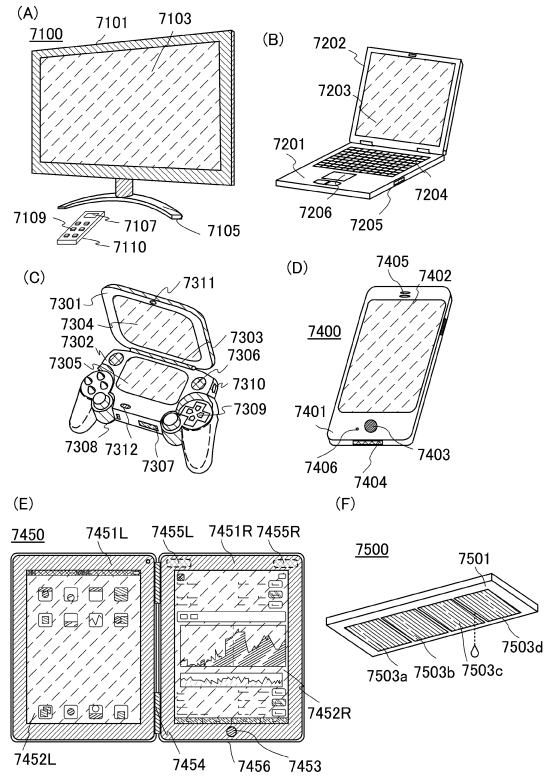
【図 1 3】



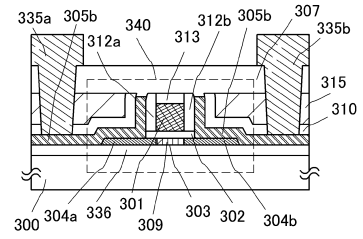
【図 1 4】



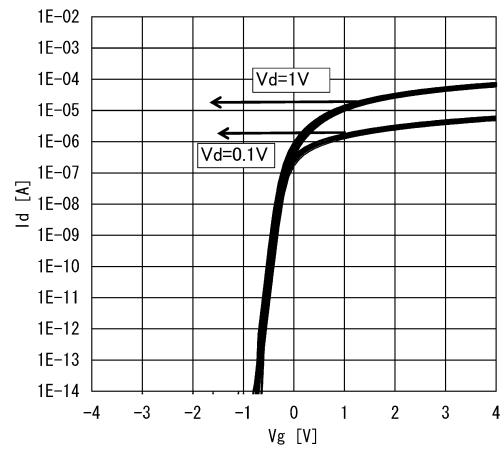
【図 15】



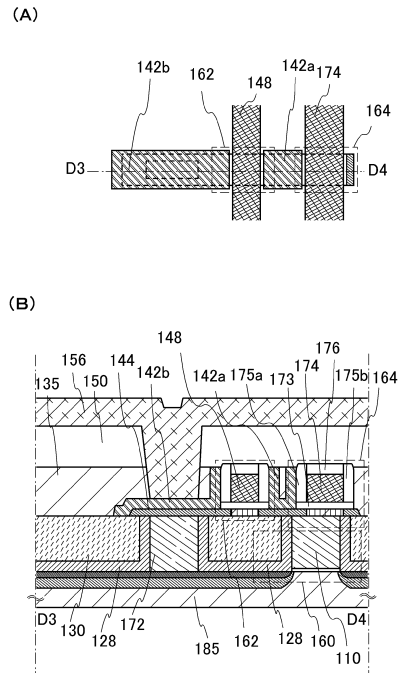
【図 17】



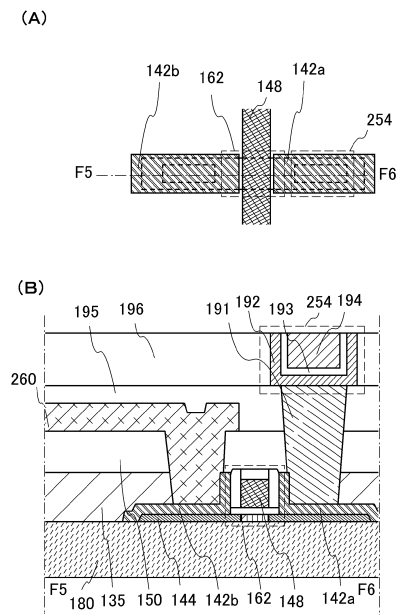
【図 18】



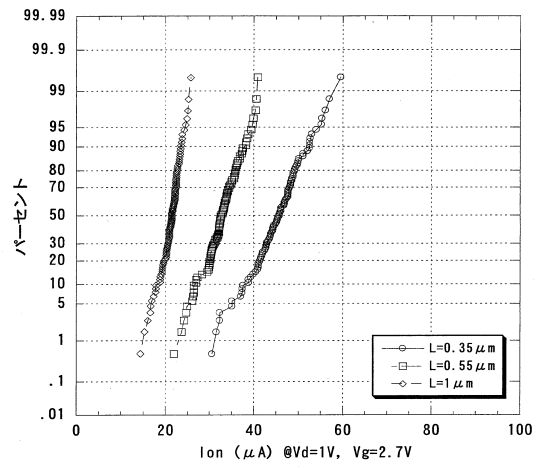
【図 19】



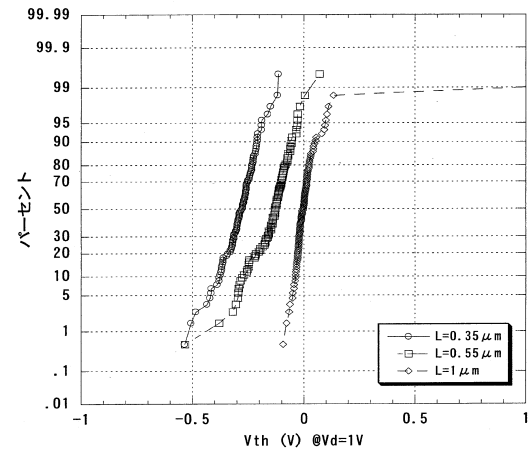
【図 20】



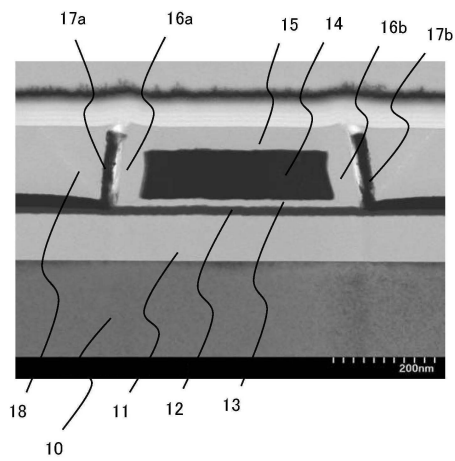
【図 2 1】



【図 2 2】



【図 1 6】



フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	29/792	(2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	21/8242	(2006.01)	H 0 1 L	21/28	B
H 0 1 L	27/108	(2006.01)	H 0 1 L	27/10	4 3 4
H 0 1 L	27/146	(2006.01)	H 0 1 L	29/78	3 7 1
G 0 2 F	1/1368	(2006.01)	H 0 1 L	27/10	6 2 1 Z
H 0 1 L	51/50	(2006.01)	H 0 1 L	27/10	6 7 1 C
H 0 5 B	33/14	(2006.01)	H 0 1 L	27/10	6 7 1 Z
			H 0 1 L	27/10	3 2 1
			H 0 1 L	27/14	C
			G 0 2 F	1/1368	
			H 0 5 B	33/14	A
			H 0 5 B	33/14	Z

- (72)発明者 笹川 慎也
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 倉田 求
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 石塚 章広
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 小堺 行彦

- (56)参考文献 特開 2 0 0 6 - 3 4 4 8 0 4 (J P , A)
特開 2 0 0 8 - 3 1 1 6 7 5 (J P , A)
特開 2 0 0 6 - 0 6 0 2 0 9 (J P , A)
特開 2 0 1 1 - 0 9 7 0 0 7 (J P , A)
特開 2 0 1 0 - 0 1 6 3 6 2 (J P , A)
特開 2 0 1 1 - 1 5 1 3 8 4 (J P , A)
特開 2 0 0 7 - 0 7 3 5 6 0 (J P , A)
特開平 0 6 - 0 8 5 2 5 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8 6
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 7 / 1 4 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 4