



## 【特許請求の範囲】

## 【請求項 1】

電源入力部に供給される電源電圧から第 1 の電位と負の第 2 の電位とを生成する電圧生成回路と、

入力信号が入力される信号入力部と、前記入力信号のハイレベルを前記第 1 の電位に変換する第 1 のレベルシフト回路と、前記入力信号のローレベルを前記第 2 の電位に変換する第 2 のレベルシフト回路と、を有する駆動回路と、

前記駆動回路の出力により端子間の接続を切り替えるスイッチ部と、  
を備え、

前記第 1 のレベルシフト回路は、

ソースがグランドに接続され、ゲートが一对の入力端子にそれぞれ接続された一对の第 1 の N チャンネル型 F E T (Field Effect Transistor) と、

前記一对の第 1 の N チャンネル型 F E T のドレインにそれぞれドレインが接続され、ソースに前記第 1 の電位が供給され、ゲートが互いに相手のドレインと接続された一对の第 1 の P チャンネル型 F E T と、

を有し、

前記第 2 のレベルシフト回路は、

ソースに前記第 1 の電位が供給され、ゲートが前記一对の第 1 の P チャンネル型 F E T のドレインとそれぞれ接続された一对の第 2 の P チャンネル型 F E T と、

ソースが前記一对の第 2 の P チャンネル型 F E T のドレインとそれぞれ接続され、ゲートに第 1 のバイアス電位  $V_{b1}$  が供給される一对の第 3 の P チャンネル型 F E T と、

ドレインが前記一对の第 3 の P チャンネル型 F E T のドレインおよび一对の制御信号出力端子とそれぞれ接続され、ゲートに第 2 のバイアス電位  $V_{b2}$  が供給される一对の第 2 の N チャンネル型 F E T と、

ソースに前記第 2 の電位が供給され、ゲートが互いに相手のドレインと接続されると共に前記一对の第 2 の N チャンネル型 F E T のソースとそれぞれ接続された一对の第 3 の N チャンネル型 F E T と、

を有し、

$0 < V_{b1} < V_{b2}$ であることを特徴とする半導体スイッチ。

## 【請求項 2】

前記駆動回路は、

前記一对の制御信号出力端子にそれぞれアノードが接続された一对のダイオードと、

ドレイン・ソース間が前記一对のダイオードのそれぞれのカソードとグランドとの間に接続され、前記制御信号出力端子の電位がハイレベルからローレベルに切り替わる前に、前記ドレイン・ソース間が遮断状態から導通状態に切り替わる一对の F E T と、

をさらに有することを特徴とする請求項 1 記載の半導体スイッチ。

## 【請求項 3】

S O I (Silicon On Insulator) 基板をさらに備え、

前記電圧生成回路と前記駆動回路と前記スイッチ部とは、前記 S O I 基板に設けられる請求項 1 または 2 に記載の半導体スイッチ。

## 【請求項 4】

前記駆動回路は、前記第 1 の電位が供給される高電位入力部を有し、

前記電源入力部に電源電圧が供給された後の第 1 の期間は前記高電位入力部を前記電源入力部に接続し、前記第 1 の期間の経過後は前記高電位入力部を前記電源入力部から切り離すように制御する電源制御回路をさらに備えたことを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の半導体スイッチ。

## 【請求項 5】

前記電源入力部に接続され、前記電源電圧よりも低電位となる電圧を生成する内部レギュレータをさらに備え、

前記電源制御回路は、前記第 1 の期間においては前記高電位入力部を前記内部レギュレ

10

20

30

40

50

ータの出力に接続し、前記第 1 の期間の経過後は前記高電位入力部を前記内部レギュレータの出力から切り離すように制御することを特徴とする請求項 4 記載の半導体スイッチ。

【請求項 6】

前記電源制御回路は、

ソースが前記高電位入力部に接続され、ドレインが前記電源入力部に接続された第 1 のトランジスタと、

前記第 1 のトランジスタのゲートと前記高電位入力部との間に接続された第 1 の抵抗と、

ドレインが前記第 1 のトランジスタのゲートに接続され、ソースが接地に接続された第 2 のトランジスタと、

前記第 2 のトランジスタのゲートに接続され、前記第 1 の期間はハイレベルを出力し、前記第 1 の期間の経過後はローレベルを出力するパルス発生回路と、

を有することを特徴とする請求項 4 または 5 に記載の半導体スイッチ。

【請求項 7】

前記電圧生成回路の出力の電流供給能力は、前記第 1 の期間において前記駆動回路を介して前記高電位入力部から前記低電位入力部へ流れる貫通電流よりも小さいことを特徴とする請求項 4 ~ 6 のいずれか 1 つに記載の半導体スイッチ。

【請求項 8】

前記パルス発生回路は、前記電源入力部に電源電圧が供給されたときに、前記パルス発生回路を初期化するパワーオンリセット回路をさらに有することを特徴とする請求項 6 記載の半導体スイッチ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体スイッチに関する。

【背景技術】

【0002】

携帯電話機の高周波回路部においては、送信回路および受信回路が高周波信号用スイッチ回路を介して共通のアンテナに選択的に接続されるようになっている。従来、このような高周波信号用スイッチ回路のスイッチ素子には、化合物半導体を用いた H E M T (High Electron Mobility Transistor: 高電子移動度トランジスタ) が用いられてきたが、近年、低コスト、小型化の要求から、シリコン基板上に形成された M O S F E T (Metal Oxide Semiconductor Field Effect Transistor: 金属酸化物半導体電界効果トランジスタ) に置き換えることが検討されている。

【0003】

ただし、通常のシリコン基板上に形成された M O S F E T では、ソースあるいはドレイン電極とシリコン基板との間の寄生容量が大きい。また、シリコンは半導体であることから、高周波信号の電力損失が大きいといった問題がある。そこで、高周波信号用スイッチ回路を S O I (Silicon On Insulator) 基板上に形成する技術が提案されている(例えば、特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特表 2 0 0 9 - 2 7 4 8 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、F E T の端子間にかかる電圧を抑えつつ、高周波特性を向上できる半導体スイッチを提供する。

【課題を解決するための手段】

10

20

30

40

50

## 【 0 0 0 6 】

本発明の一態様によれば、電源入力部に供給される電源電圧よりも高電位な第 1 の電位と負の第 2 の電位とを生成する電圧生成回路と、入力信号が入力される信号入力部と、前記入力信号のハイレベルを前記第 1 の電位に変換する第 1 のレベルシフト回路と、前記入力信号のローレベルを前記第 2 の電位に変換する第 2 のレベルシフト回路と、を有する駆動回路と、前記駆動回路の出力により端子間の接続を切り替えるスイッチ部と、を備えたことを特徴とする半導体スイッチが提供される。前記第 1 のレベルシフト回路は、ソースがグランドに接続され、ゲートが一对の入力端子にそれぞれ接続された一对の第 1 の N チャンネル型 F E T (Field Effect Transistor) と、前記一对の第 1 の N チャンネル型 F E T のドレインにそれぞれドレインが接続され、ソースに前記第 1 の電位が供給され、ゲートが互いに相手のドレインと接続された一对の第 1 の P チャンネル型 F E T と、を有する。前記第 2 のレベルシフト回路は、ソースに前記第 1 の電位が供給され、ゲートが前記一对の第 1 の P チャンネル型 F E T のドレインとそれぞれ接続された一对の第 2 の P チャンネル型 F E T と、ソースが前記一对の第 2 の P チャンネル型 F E T のドレインとそれぞれ接続され、ゲートに前記第 1 のバイアス電位  $V_{b1}$  が供給される一对の第 3 の P チャンネル型 F E T と、ドレインが前記一对の第 3 の P チャンネル型 F E T のドレインおよび一对の制御信号出力端子とそれぞれ接続され、ゲートに第 2 のバイアス電位  $V_{b2}$  が供給される一对の第 2 の N チャンネル型 F E T と、ソースに前記第 2 の電位が供給され、ゲートが互いに相手のドレインと接続されると共に前記一对の第 2 の N チャンネル型 F E T のソースとそれぞれ接続された一对の第 3 の N チャンネル型 F E T と、を有する。前記第 1 のバイアス電位  $V_{b1}$  及び前記第 2 のバイアス電位  $V_{b2}$  は、 $0 < V_{b1} < V_{b2}$  の関係を満たす。

## 【 発明の 効果 】

## 【 0 0 0 7 】

本発明の実施形態によれば、F E T の端子間にかかる電圧を抑えつつ、高周波特性を向上させた半導体スイッチが提供される。

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】 本発明の実施形態に係る半導体スイッチの構成を例示するブロック図である。

【 図 2 】 図 1 に表した半導体スイッチ 1 のスイッチ部 2 の構成を例示する回路図である。

【 図 3 】 図 1 に表した半導体スイッチ 1 のデコーダ回路 5 および駆動回路 4 の構成を例示する回路図である。

【 図 4 】 レベルシフト回路の構成を例示する回路図である。

【 図 5 】 図 1 に表した半導体スイッチ 1 の電圧生成回路 7 の構成を例示する回路図である。

。

【 図 6 】 図 1 に表した半導体スイッチ 1 の電源制御回路 6 の構成を例示する回路図である。

。

【 図 7 】 電圧生成回路の出力電位の時間変化を表すグラフ図である。

【 図 8 】 レベルシフト回路のシミュレーションに用いる電圧生成回路の出力電位の時間変化を表すグラフ図である。

【 図 9 】 貫通電流の時間変化を表すグラフ図である。

【 図 1 0 】 第 1 のレベルシフト回路の出力  $O U T 1 A$ 、 $O U T 1 B$  の時間変化を表すグラフ図である。

【 図 1 1 】 第 2 のレベルシフト回路の出力  $O U T 2 A$ 、 $O U T 2 B$  の時間変化を表すグラフ図である。

【 図 1 2 】 P M O S P 2 1 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。

【 図 1 3 】 P M O S P 2 2 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。

【 図 1 4 】 N M O S N 2 3 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。

10

20

30

40

50

【図15】NMOS N24のゲート・ソース間電圧 $V_{gs}$ 、ドレイン・ソース間電圧 $V_{ds}$ の時間変化を表すグラフ図である。

【図16】レベルシフト回路の他の構成を例示する回路図である。

【図17】電圧生成回路の出力電位の軌跡を例示する模式図である。

【図18】電源制御回路の他の構成を例示する回路図である。

【図19】電源制御回路の他の構成を例示する回路図である。

【図20】図19に表した電源制御回路6bのパワーオンリセット回路35の構成を例示する回路図である。

【図21】図19に表した電源制御回路6bのパワーオンリセット回路35の動作を表す模式図である。

10

【図22】電源制御回路の他の構成を例示する回路図である。

【図23】電源制御回路の他の構成を例示する回路図である。

【図24】電源制御回路の他の構成を例示する回路図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について図面を参照して詳細に説明する。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

【0010】

図1は、本発明の実施形態に係る半導体スイッチの構成を例示するブロック図である。

20

図1に表したように、半導体スイッチ1は、スイッチ部2、駆動回路4、デコーダ回路5、電源制御回路6、電圧生成回路7、及び電源端子8を備える。そして、これらを同一基板に形成して、1チップ化した構造を備える。例えば、SOI基板に形成する。

【0011】

マルチモード・マルチバンド無線機器などには、例えばSP8T (Single-Pole 8-Throw) のような多ポートのスイッチ部が用いられる。

半導体スイッチ1は、マルチモード・マルチバンド無線機器などに用いることのできる多ポートの半導体スイッチである。

【0012】

スイッチ部2は、端子間の接続を切り替える。図1においては、スイッチ部2は、SP8Tであり、アンテナ端子ANTと、8つの高周波端子RF1~RF8との間の接続を切り替える。なお、スイッチ部2は、例えばMOSFETにより構成することができる。

30

【0013】

図2は、図1に表した半導体スイッチ1のスイッチ部2の構成を例示する回路図である。

図2に表したように、アンテナ端子ANTと、各高周波端子RF1~RF8との間には、スイッチ回路10a~10hがそれぞれ接続されている。

スイッチ回路10a~10hのそれぞれは、n段(nは自然数)のスルーFET(Field Effect Transistor)、m段(mは自然数)のシャントFET、及び高周波漏洩防止用の抵抗を有する。

40

【0014】

アンテナ端子ANTと高周波端子RF1との間には、スイッチ回路10aのスルーFET T11、T12、・・・、T1nが直列に接続されている。高周波端子RF1と接地との間には、スイッチ回路10aのシャントFET S11、S12、・・・、S1mが直列に接続されている。

【0015】

高周波端子RF1に接続されたスイッチ回路10aのスルーFET T11、T12、・・・、T1nのゲートは、それぞれ高周波漏洩防止用の抵抗RT11、RT12、・・・、RT1nを介して、制御端子Con1aと接続されている。制御端子Con1aは、駆動回路4と接続されている。抵抗RT11、RT12、・・・、RT1nは、それぞれ

50

高周波信号が駆動回路4に漏洩しない程度の高い抵抗値を有する。

【0016】

高周波端子RF1に接続されたスイッチ回路10aのシャントFET S11、S12、・・・、S1mのゲートは、それぞれ、高周波漏洩防止用の抵抗RS11、RS12、・・・、RS1mを介して、制御端子Con1bと接続されている。制御端子Con1bは、駆動回路4と接続されている。抵抗RS11、RS12、・・・、RS1mは、それぞれ高周波信号が駆動回路4に漏洩しない程度の高い抵抗値を有する。

【0017】

アンテナ端子ANTと各高周波端子RF2～RF8との間には、同様にスイッチ回路10b～10hのスルーFETがそれぞれ接続されている。各高周波端子RF2～RF8と接地との間には、スイッチ回路10b～10hのシャントFETがそれぞれ接続されている。

10

【0018】

各高周波端子RF2～RF8に接続されたスイッチ回路10b～10hのスルーFETのゲートは、高周波漏洩防止用の抵抗を介して、制御端子Con2a～Con8aと接続されている。制御端子Con2a～Con8aは、それぞれ駆動回路4と接続されている。

【0019】

各高周波端子RF2～RF8に接続されたスイッチ回路10b～10hのシャントFETのゲートは、高周波漏洩防止用の抵抗を介して、制御端子Con2b～Con8bと接続されている。制御端子Con2b～Con8bは、それぞれ駆動回路4と接続されている。

20

【0020】

例えば、高周波端子RF1とアンテナ端子ANTとの間を導通するためには、高周波端子RF1とアンテナ端子ANTとの間のn段直列接続スルーFET T11～T1nをオンとし、高周波端子RF1と接地との間のm段直列接続シャントFET S11～S1mをオフとする。同時に他の各高周波端子RF2～RF8とアンテナ端子ANTとの間のスルーFETをすべてオフとし、他の各高周波端子RF2～RF8と接地との間のシャントFETをすべてオンとすればよい。

【0021】

すなわち、上記の場合、制御端子Con1aにはオン電位Von、制御端子Con2b～Con8bにはオン電位Von、制御端子Con1bにはオフ電位Voff、制御端子Con2a～Con8aにはオフ電位Voffの電位が与えられる。オン電位Vonは、各FETが導通状態となりそのオン抵抗が十分小さい値になるゲート電位であり、オフ電位Voffは各FETが遮断状態となり高周波信号が重畳しても遮断状態を十分維持できるゲート電位である。各FETの閾値電圧Vthは例えば0Vである。

30

【0022】

オン電位Vonが所望の電位（例えば3.5V）よりも低いと導通状態のFETのオン抵抗が高くなり、挿入損失が劣化すると共に、導通状態のFETで発生する歪（オン歪）が増大する。また、オフ電位Voffが所望の電位（例えば-1.5V）よりも高いと、最大許容入力電力が下がると共に、規定入力時に遮断状態のFETで発生する歪（オフ歪）が増大する。

40

ただし、オン電位Vonが高すぎたり、オフ電位Voffが低すぎるとFETの耐圧を超えてしまうので、オン電位Vonおよびオフ電位Voffには最適な範囲がある。

【0023】

スイッチ部2の各FETのゲート電位を制御する制御信号は、図1に表した制御回路部3で生成される。

制御回路部3は、端子INに入力される端子切替信号をデコードするデコーダ回路5、スイッチ部2を駆動するための駆動回路4、電圧生成回路7などから構成されている。

【0024】

50

図3は、図1に表した半導体スイッチ1のデコーダ回路5および駆動回路4の構成を例示する回路図である。

図3に表したように、端子切替信号は、デコーダ回路5aによりデコードされ、反転・非反転信号生成回路5bを介して、駆動回路4を制御する。なお、半導体スイッチ1においては、SP8Tのスイッチ部2を備えている。そのため、デコーダ回路5aは、3ビットの端子切替信号をデコードしている。

【0025】

駆動回路4は、8つのレベルシフト回路20a~20hが並置された構成である。駆動回路4は、高電位端子9、低電位端子9aを有する。高電位端子9には、電源端子8に供給される電源電圧V<sub>dd</sub>よりも高い第1の電位V<sub>p</sub>が供給される。低電位端子9aには、負の第2の電位V<sub>n</sub>が供給される。

10

【0026】

なお、レベルシフト回路20a~20hは差動回路であるため、デコーダ回路5aと駆動回路4との間に、反転・非反転信号生成回路5bが設けられている。また、他の回路部、例えば駆動回路4の前段のデコーダ回路5aなどには電位V<sub>dd1</sub>の電源が供給される。ここで、電位V<sub>dd1</sub>は、例えば1.8Vであり、図示しないレギュレータにより供給される。また、電位V<sub>dd1</sub>は電源電圧V<sub>dd</sub>と同じでもよい。

【0027】

図4は、レベルシフト回路の構成を例示する回路図である。

図4においては、駆動回路4を構成するレベルシフト回路20の回路図を表わしている。

20

駆動回路4は、レベルシフト回路20と同一構成のレベルシフト回路20a~20hにより構成される。

【0028】

レベルシフト回路20は、第1のレベルシフト回路21と第2のレベルシフト回路22とを有する。第1のレベルシフト回路21は、一对のNチャンネル型MOSFET(以下、NMOS)N11、N12と、一对のPチャンネル型MOSFET(以下、PMOS)P11、P12とを有する。第2のレベルシフト回路22は、一对のPMOSP21、P22と、一对のNMOSN23、N24とを有する。

【0029】

NMOSN11、N12のソースは、それぞれ接地に接続されている。NMOSN11、N12のゲートはそれぞれ入力端子INA、INBを介して図示されない前段のデコーダ回路に接続されている。

30

【0030】

NMOSN11、N12のドレインは、それぞれPMOSP11、P12のドレインと接続されている。PMOSP11、P12のそれぞれのソースには、高電位端子9を介して、電圧生成回路7から第1の電位V<sub>p</sub>が供給される。PMOSP11のゲートは、PMOSP12のドレインと接続され、これらは第1のレベルシフト回路21の差動出力の一方のラインOUT1Bに接続されている。PMOSP12のゲートは、PMOSP11のドレインと接続され、これらは第1のレベルシフト回路21の差動出力の他方のラインOUT1Aに接続されている。

40

【0031】

上記ラインOUT1A、OUT1Bはそれぞれ第2のレベルシフト回路22のPMOSP21、P22のゲートに接続される。ラインOUT1A、OUT1Bを介して第1のレベルシフト回路21の出力は、第2のレベルシフト回路22へ入力される。PMOSP21、P22のそれぞれのソースには、高電位端子9を介して、電圧生成回路7から第1の電位V<sub>p</sub>が供給される。

【0032】

PMOSP21のドレインは、NMOSN23のドレインと接続され、これらの接続ノードは出力端子OUT2Aに接続されている。PMOSP22のドレインはNMOS

50

N 2 4 のドレインと接続され、これらの接続ノードは出力端子 O U T 2 B に接続されている。出力端子 O U T 2 A、O U T 2 B を介して前述したオン電位  $V_{on}$ 、オフ電位  $V_{off}$  が、図 2 に表したスイッチ部 2 のスルー F E T、シャント F E T のゲートに供給される。

【 0 0 3 3 】

第 1 のレベルシフト回路 2 1 の差動入力 I N A、I N B の入力レベルは例えばハイレベルが 1 . 8 V、ローレベルが 0 V であり、図示されない前段のデコーダ回路から供給される。高電位端子 9 には、第 1 の電位  $V_p$  として、例えば 3 . 5 V が供給される。

【 0 0 3 4 】

例えば、I N A にハイレベル ( 1 . 8 V )、I N B にローレベル ( 0 V ) が入力すると、ライン O U T 1 A の電位はローレベル ( 0 V ) になり、ライン O U T 1 B の電位は、第 1 の電位  $V_p$  と等しい 3 . 5 V になる。すなわち、第 1 のレベルシフト回路 2 1 における出力振幅は 0 ~  $V_p$  の 3 . 5 V 程度となる。

【 0 0 3 5 】

第 2 のレベルシフト回路 2 2 は、第 1 のレベルシフト回路 2 1 の出力信号を入力とする。高電位端子 9 には、第 1 のレベルシフト回路 2 1 と同様第 1 の電位  $V_p$  として、例えば 3 . 5 V が供給され、低電位端子 9 a には、負の第 2 の電位  $V_n$  として、例えば - 1 . 5 V が供給される。

【 0 0 3 6 】

例えば、ライン O U T 1 A がローレベル ( 0 V )、ライン O U T 1 B がハイレベル ( 3 . 5 V ) とすると、出力端子 O U T 2 A の電位は、第 1 の電位  $V_p$  と等しい 3 . 5 V になり、出力端子 O U T 2 B の電位は、第 2 の電位  $V_n$  と等しい - 1 . 5 V になる。したがって、オン電位  $V_{on}$  として 3 . 5 V を、オフ電位  $V_{off}$  として - 1 . 5 V を、図 2 に示すスイッチ部 2 のスルー F E T、シャント F E T のゲートに供給することができ、スイッチ部 2 が駆動される。

【 0 0 3 7 】

すなわち、第 1 のレベルシフト回路 2 1 は、入力のハイレベルが  $V_{dd1}$ 、ローレベルが 0 V である差動入力信号を、ハイレベルが第 1 の電位  $V_p$ 、ローレベルが 0 V ( 接地電位 ) の差動信号として出力する。すなわち、ハイレベルの電位を第 1 の電位  $V_p$  に変換する。また第 2 のレベルシフト回路 2 2 は、その出力レベルをハイレベルが第 1 の電位  $V_p$ 、ローレベルが第 2 の電位  $V_n$  の差動信号として出力する。すなわちローレベルの電位を第 2 の電位  $V_n$  に変換する。

【 0 0 3 8 】

従って、レベルシフト回路 2 0 は、入力のハイレベルが  $V_{dd1}$ 、ローレベルが 0 V である差動入力信号を、ハイレベルが第 1 の電位  $V_p$ 、ローレベルが第 2 の電位  $V_n$  の差動信号として出力する。すなわち、入力されたハイレベル及びローレベルの電位をそれぞれ第 1 の電位  $V_p$ 、第 2 の電位  $V_n$  に変換する。

【 0 0 3 9 】

図 5 は、図 1 に表した半導体スイッチ 1 の電圧生成回路 7 の構成を例示する回路図である。

図 5 に表したように、電圧生成回路 7 は、発振回路 1 1、チャージポンプ回路 1 2 a、1 2 b、ローパスフィルタ 1 3 a、1 3 b、内部レギュレータ 1 4 を有する。

【 0 0 4 0 】

発振回路 1 1 は、奇数段のインバータで構成されたリングオシレータであり、相補クロック C K、C K - を出力する。

チャージポンプ回路 1 2 a は、直列接続した複数のダイオードと、各ダイオード間に一端が接続された複数の容量とを有する。直列接続した複数のダイオードのアノード側は、接地に接続され、カソード側は、ローパスフィルタ 1 3 a に接続されている。各容量の他端は、発振回路 1 1 の出力である相補クロック C K、C K - に交互に接続されている。

【 0 0 4 1 】

10

20

30

40

50

チャージポンプ回路 1 2 b は、直列接続した複数のダイオードと、各ダイオード間に一端が接続された複数の容量とを有する。直列接続した複数のダイオードのカソード側は、接地に接続され、アノード側は、ローパスフィルタ 1 3 b に接続されている。各容量の他端は、発振回路 1 1 の出力である相補クロック C K、C K - に交互に接続されている。チャージポンプ回路 1 2 b は、ダイオードの向きと数がチャージポンプ回路 1 2 a と異なる。

【 0 0 4 2 】

相補クロック C K、C K - による電荷の蓄積、移動によりチャージポンプ回路 1 2 a、1 2 b にそれぞれ正の電圧、負の電圧が生成される。

ローパスフィルタ 1 3 a、1 3 b は、それぞれ抵抗と容量で構成される。チャージポンプ回路 1 2 a、1 2 b の出力を平滑化してそれぞれ高電位端子 9、低電位端子 9 a に出力する。

10

【 0 0 4 3 】

高電位端子 9 に接続されたローパスフィルタ 1 3 a の出力側の容量 C p の端子電圧が第 1 の電位 V p となる。

また、低電位端子 9 a に接続されたローパスフィルタ 1 3 b の出力側の容量 C n の端子電圧が、第 2 の電位 V n となる。

【 0 0 4 4 】

なお、図示しないが、高電位端子 9、低電位端子 9 a には、電位を一定にする回路としてクランプ回路またはレギュレータがそれぞれ設けられている。

20

また、発振回路 1 1 に供給される電源の電位 V d d 2 は、電源電圧 V d d よりも低電位であり、例えば 2 . 4 V である。図 5 に表したように、内部レギュレータ 1 4 から電位 V d d 2 の電源が供給される。なお、内部レギュレータ 1 4 を介さずに、電源端子 8 から電圧 V d d を供給してもよい。

【 0 0 4 5 】

図 6 は、図 1 に表した半導体スイッチ 1 の電源制御回路 6 の構成を例示する回路図である。

図 6 に表したように、電源制御回路 6 は、接続回路 3 1 とパルス発生回路 3 2 とを有する。

【 0 0 4 6 】

パルス発生回路 3 2 は、電源投入時すなわち電源端子 8 に電源電圧が供給された後の第 1 の期間 T 1 はハイレベルのパルスを発生する回路である。電源投入時からの第 1 の期間 T 1 は、ハイレベルを出力し、第 1 の期間の経過後は、ローレベルを出力する。

30

【 0 0 4 7 】

ここで、第 1 の期間 T 1 とは、第 2 のトランジスタ P 1 を介して、電源端子 8 からローパスフィルタ 1 3 a の出力側の容量 C p が、電源電圧 V d d に充電されるのに要する期間（例えば 5  $\mu$  s）である。

【 0 0 4 8 】

パルス発生回路 3 2 の出力は、接続回路 3 1 に入力される。

接続回路 3 1 は、高電位端子 9 と電源端子 8 とを接続し、また接続を切り離す回路である。接続回路 3 1 は、第 1 のトランジスタ N 1、第 2 のトランジスタ P 1、第 1 の抵抗 R 1 を有する。

40

【 0 0 4 9 】

パルス発生回路 3 2 の出力は、第 1 のトランジスタ N 1 のゲートに入力される。第 1 のトランジスタ N 1 のソースは接地され、第 1 のトランジスタ N 1 のドレインは、第 1 の抵抗 R 1 を介して高電位端子 9 に接続されている。また、第 1 のトランジスタ N 1 のドレインは、第 2 のトランジスタ P 1 のゲートに接続される。第 2 のトランジスタ P 1 のソースは高電位端子 9 に接続され、そのドレインは電源端子 8 に接続されている。

【 0 0 5 0 】

パルス発生回路 3 2 から、ハイレベルが出力されている第 1 の期間 T 1 は、第 1 のトラ

50

ンジスタ N 1 は、オン状態となる。そのため第 2 のトランジスタ P 1 がオン状態となり、高電位端子 9 は、電源端子 8 に接続される。また、パルス発生回路 3 2 の出力がローレベルの場合は、第 1 のトランジスタ N 1、第 2 のトランジスタ P 1 がオフ状態となり、高電位端子 9 と電源端子 8 との接続は切り離される。

【 0 0 5 1 】

このように、電源制御回路 6 は、第 1 の期間 T 1 は、電圧生成回路 7 の出力（高電位端子 9）を電源端子 8 に接続し、第 1 の期間 T 1 の経過後は電圧生成回路 7 の出力（高電位端子 9）を電源端子 8 から切り離すように制御する回路である。

なお、パルス発生回路に供給される電源の電位  $V_{dd1}$  は、例えば 1.8 V であり、図示しないレギュレータにより供給される。また、電位  $V_{dd1}$  は電源電圧  $V_{dd}$  と同じでもよい。

【 0 0 5 2 】

また、図 6 においては、第 2 のトランジスタ P 1 のドレインは電源端子 8 に接続されている。しかし、電源端子 8 に接続され、電源電圧  $V_{dd}$  よりも低電位  $V_{dd2}$  を生成する図 5 に表した内部レギュレータ 1 4 の出力に接続してもよい。

すなわち、電源制御回路 6 は、第 1 の期間 T 1 は、電圧生成回路 7 の出力（高電位端子 9）を電源電圧  $V_{dd}$  よりも低電位  $V_{dd2}$  を生成する内部レギュレータ 1 4 の出力に接続する。そして、第 1 の期間 T 1 の経過後は電圧生成回路 7 の出力（高電位端子 9）から内部レギュレータ 1 4 の出力を切り離すように制御する構成としてもよい。

【 0 0 5 3 】

図 7 は、電圧生成回路の出力電位の時間変化を表すグラフ図である。

図 7 においては、時間  $t = 0$  で電源を投入してからの、第 1 及び第 2 の電位  $V_p$ 、 $V_n$  の時間変化を、無負荷の場合について表している。なお、電源端子 8 に供給される電源電圧  $V_{dd} = 2.4 V$  としている。また、第 1 の電位  $V_p$  において、電源制御回路 6 が有る場合とない場合とをそれぞれ実線、破線で表している。

【 0 0 5 4 】

電源が投入された後の第 1 の期間 T 1 は、電圧生成回路 7 の出力、すなわち第 1 の電位  $V_p$  は、電源端子 8 に供給される電源電圧  $V_{dd}$  に維持され、その後、第 1 の電位  $V_p$  の所望値  $V_1$ （ここでは 3.5 V）まで昇圧される。破線に表したように、比較例として電源制御回路 6 が無い場合は、第 1 の電位  $V_p$  は 0 V から昇圧が開始されることになる。また、第 2 の電位  $V_n$  は 0 V から所望値  $V_2$ （ここでは -1.5 V）に漸近する。

【 0 0 5 5 】

CMOS プロセスを用いる利点は、このような制御回路部 3 を高集積、低消費電力で実現でき、かつ、スイッチ部 2 と混載できる可能性を有していることである。

しかし、内蔵可能な発振回路およびチャージポンプ回路のレイアウト面積には限りがあるため、チャージポンプ回路の電流供給能力は必ずしも大きくない。

【 0 0 5 6 】

図 1 に表した半導体スイッチ 1 においては、チャージポンプ回路 1 2 a、1 2 b の負荷は、上記のレベルシフト回路 2 0 を有する駆動回路 4 となる。

このレベルシフト回路 2 0 が、チャージポンプ回路 1 2 a、1 2 b に負荷として接続された場合、高電位端子 9 から低電位端子 9 a に貫通電流が生じることがある。

【 0 0 5 7 】

すなわち、電源投入後の第 1 の電位  $V_p$  および第 2 の電位  $V_n$  が、所望の電位  $V_1$ 、 $V_2$  にそれぞれ到達するまでの間に、第 2 のレベルシフト回路 2 2 において高電位端子 9 から低電位端子 9 a に貫通電流が生じることがある。チャージポンプ回路 1 2 a、1 2 b の電流供給能力がその貫通電流よりも十分大きければ問題ないが、小さいと第 1 の電位  $V_p$  および第 2 の電位  $V_n$  が所望の電位に到達できないという誤動作が生じる危険性がある。

【 0 0 5 8 】

本発明の実施形態に係る半導体スイッチ 1 の構成は、以下に説明するシミュレーション結果により新たに見いだされたレベルシフト回路の貫通電流という現象に基づいて構築さ

10

20

30

40

50

れたものである。

【 0 0 5 9 】

図 4 に表したレベルシフト回路 2 0 の動作について、図 8 ~ 図 1 5 に表したシミュレーション結果を用いて説明する。

図 8 は、レベルシフト回路のシミュレーションに用いる電圧生成回路の出力電位の時間変化を表すグラフ図である。図 9 は、貫通電流の時間変化を表すグラフ図である。図 1 0 は、第 1 のレベルシフト回路の出力 O U T 1 A、O U T 1 B の時間変化を表すグラフ図である。図 1 1 は、第 2 のレベルシフト回路の出力 O U T 2 A、O U T 2 B の時間変化を表すグラフ図である。

【 0 0 6 0 】

レベルシフト回路 2 0 の入力端子 I N A にハイレベル ( 1 . 8 V ) が、入力端子 I N B にローレベル ( 0 V ) が印加されている。図 9 においては、レベルシフト回路 2 0 の高電位端子 9 に第 1 の電位  $V_p$ 、低電位端子 9 a に第 2 の電位  $V_n$  として、図 8 に表された波形で印加された場合の、貫通電流を表している。また、図 1 0、図 1 1 においては、各ノードの電位を表している。

なお、N M O S の閾値電圧は 0 . 6 V、P M O S の閾値電圧は - 0 . 6 V である。

【 0 0 6 1 】

図 1 2 ~ 図 1 5 は各 F E T のゲート・ソース間電圧  $V_{gs}$  とドレイン・ソース間電圧  $V_{ds}$  の波形を示している。

図 1 2 は、P M O S P 2 1 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。図 1 3 は、P M O S P 2 2 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。図 1 4 は、N M O S N 2 3 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。図 1 5 は、N M O S N 2 4 のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  の時間変化を表すグラフ図である。

【 0 0 6 2 】

図 1 2 と図 1 4 に着目する。図 1 2 においては、P M O S P 2 1 のゲート・ソース間電圧  $V_{gs}$  とドレイン・ソース間電圧  $V_{ds}$  を表している。P M O S P 2 1 において、ゲート・ソース間電圧  $V_{gs}$  が - 0 . 6 V に達した後はオン状態を維持する。

一方、図 1 4 においては、N M O S N 2 3 のゲート・ソース間電圧  $V_{gs}$  とドレイン・ソース間電圧  $V_{ds}$  を表している。

【 0 0 6 3 】

図 1 4 に図示される区間 A においてはゲート・ソース間電圧  $V_{gs}$  が 0 . 6 V を超えており、N M O S N 2 3 はオン状態になる。すなわち、区間 A においては P M O S P 2 1 と N M O S N 2 3 の両方がオン状態となり、図 9 が示すように、区間 A において、高電位端子 9 から低電位端子 9 a に貫通電流が生じることになる。その貫通電流は数百マイクロアンペア程度であり、第 1 の電位  $V_p$ 、第 2 の電位  $V_n$  を生成するチャージポンプにそれ以上の電流供給能力がないと、貫通電流によって第 1 の電位  $V_p$ 、第 2 の電位  $V_n$  がクランプされてしまうことになる。スイッチ I C に内蔵可能なチャージポンプの電源供給能力は高々数十マイクロアンペアであり、第 1 の電位  $V_p$ 、第 2 の電位  $V_n$  が所望の値  $V_1$ 、 $V_2$  に達しないという起動エラーが生じることになる。

【 0 0 6 4 】

上記のように、貫通電流は、2 段構成のレベルシフト回路で生じる可能性がある。

図 1 6 は、レベルシフト回路の他の構成を例示する回路図である。

図 1 6 に表したように、レベルシフト回路 2 3 は、各 F E T の電極間に印加する電圧を抑制するため、以下に説明するようなカスコード接続を用いた構成になっている。

【 0 0 6 5 】

P M O S P 1 1 ~ P 1 4 及び N M O S N 1 1、N 1 2 により初段のレベルシフト回路 2 1 a が構成されている。

初段のレベルシフト回路 2 1 a の差動入力端子 I N A、I N B の入力レベルは、例えば

10

20

30

40

50

ハイレベルが 1.8 V、ローレベルが 0 V であり、図示されない前段のデコーダ回路から供給される。高電位端子 9 には第 1 の電位  $V_p$ 、例えば 3.5 V が供給される。

【0066】

PMOS P13、P14 はカスコード接続段であり、そのゲートにはバイアス電位  $V_{b1}$  が供給される。 $V_{b1}$  を例えば 1 V に設定することにより、各 FET の端子間に印加される電圧は分圧される。PMOS のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  は 2.8 V を超えず、NMOS のゲート・ソース間電圧  $V_{gs}$ 、ドレイン・ソース間電圧  $V_{ds}$  は 3.5 V を超えることはない。

【0067】

第 1 のレベルシフト回路 21a の差動出力は PMOS P11 と P13 との接続点、および PMOS P12 と P14 との接続点であり、それら出力のハイレベルは第 1 の電位  $V_p$  と等しく 3.5 V、ローレベルは 1.2 V 程度となる。すなわち、第 1 のレベルシフト回路 21a の出力振幅は 2.3 V 程度となる。

10

【0068】

また、PMOS P21 ~ P24 及び NMOS N21 ~ N24 により第 2 のレベルシフト回路 22a が構成されている。第 2 のレベルシフト回路 22a は、第 1 のレベルシフト回路 21a の出力信号を入力とする。高電位端子 9 の第 1 の電位  $V_p$  には、第 1 のレベルシフト回路 21a と同様に、例えば 3.5 V が、低電位端子 9a の第 2 の電位  $V_n$  には、例えば -1.5 V が供給される。

【0069】

20

PMOS P23、P24 及び NMOS N21、N22 はカスコード接続段であり、それぞれのゲートには前記バイアス電位  $V_{b1}$  及びバイアス電位  $V_{b2}$  が供給される。バイアス電位  $V_{b2}$  を例えば 1.8 V に設定することにより、PMOS のゲート・ソース間電圧  $V_{gs}$  及びドレイン・ソース間電圧  $V_{ds}$  は 2.8 V を超えず、NMOS のゲート・ソース間電圧  $V_{gs}$  及びドレイン・ソース間電圧  $V_{ds}$  は 3.5 V を超えることない。そして、ハイレベルが 3.5 V、ローレベルが -1.5 V の出力振幅を生成することが出来る。

【0070】

すなわち、微細プロセスゆえに NMOS の耐圧が 3.5 V、PMOS の耐圧が 2.8 V と低くても、出力振幅が 5 V の制御信号を生成することができる。

30

なお、NMOS N31、N32、ダイオード D11、D12 は出力が立ち下がる時、第 2 の電位  $V_n$  に放電する前に、まず、接地に放電するための回路である。この回路により、立下り波形を高速にすることが出来る。

【0071】

図 17 は、電圧生成回路の出力電位の軌跡を例示する模式図である。

図 17 においては、図 16 に表したレベルシフト回路 23 で生じる貫通電流発生領域（図中実線 X で囲んだ部分）および電源投入時の電圧生成回路の出力電位の軌跡を模式的に表している。すなわち、縦軸に第 1 の電位  $V_p$  を、横軸に第 2 の電位  $V_n$  をとり、電源投入後の点 ( $V_n$ 、 $V_p$ ) の軌跡を表している。なお、実線  $P_0P_1$  は電源制御回路 6 がある場合を、実線  $Q_0Q_1$  は電源制御回路 6 がない場合である。

40

なお、貫通電流発生領域 X を貫通電流が発生する第 1 及び第 2 の電位  $V_p$ 、 $V_n$  の組合せの点 ( $V_n$ 、 $V_p$ ) として模式的に表している。

【0072】

電源制御回路 6 が無い場合、点 ( $V_n$ 、 $V_p$ ) の軌跡は、電源投入時の点  $Q_0$  から所望の電位の点  $P_1$  ( $V_2$ 、 $V_1$ ) へ行く途中の点  $Q_1$  において貫通電流発生領域 X に衝突してしまう。従って、チャージポンプ回路 12a、12b の電流供給能力が十分ないと貫通電流によって途中の点  $Q_1$  の第 1 及び第 2 の電位  $V_p$ 、 $V_n$  にトラップされ、所望の電位  $V_1$ 、 $V_2$  に到達することが出来ない。

【0073】

一方、電源制御回路 6 を有する場合は、電源投入時の点  $P_0$  (0、 $V_{dd}$ ) から所望の

50

電位の点  $P_1$  ( $V_2$ 、 $V_1$ ) へ移動する。点 ( $V_n$ 、 $V_p$ ) の軌跡が貫通電流発生領域  $X$  に衝突することはなく、電源投入時に生じ得る誤動作を回避できる。

【0074】

なお、図17においては、レベルシフト回路23を用いる場合を例に説明したが、図4に表したレベルシフト回路20を用いた場合についても同様の動作となる。すなわち、電源制御回路6を有する場合は、貫通電流発生領域に衝突することはなく、電源投入時に生じ得る誤動作を回避できる。

【0075】

このように、半導体スイッチ1によれば、レイアウト面積を増大させずに電圧生成回路の誤動作を回避した半導体スイッチを提供することができる。

なお、本実施例においては、SP8Tのスイッチの構成を例示したが、同様にSPnT、mPnT ( $m$ 、 $n$ は2以上の自然数)などの多ポートのスイッチを構成することができる。

【0076】

図18は、電源制御回路の他の構成を例示する回路図である。

図18に表したように、電源制御回路6aは、接続回路31とパルス発生回路32aとを有する。すなわち、電源制御回路6aは、図6に表した電源制御回路6のパルス発生回路32を、パルス発生回路32aに置き換えた構成である。

【0077】

パルス発生回路32aは、RC時定数回路33、インバータ34を有する。

RC時定数回路33は、電源端子8と接地との間に接続された抵抗と容量とからなる。RC時定数回路33の容量の端子電圧は、インバータ34に入力され、インバータ34の出力は、接続回路31に入力される。

【0078】

電源端子8に電圧  $V_{dd}$  の電源が投入されると、RC時定数回路33の容量の端子電圧はある時定数を持って0Vから  $V_{dd}$  に上昇する。この時定数は、RC時定数回路33の容量及び抵抗値により決まる。容量の端子電圧がインバータ34の論理閾値電圧に達する時間は、第1の期間  $T_1$  となるように設定されている。

【0079】

なお、上記のとおり第1の期間  $T_1$  とは、電源端子8に供給される電源により、第2のトランジスタ  $P_1$  を介して、ローパスフィルタ13aの出力側の容量  $C_p$  が、電源電圧  $V_{dd}$  に充電されるのに要する時間(例えば  $5\mu s$ )である。

【0080】

電源投入後の第1の期間  $T_1$  までは、インバータ34の出力はハイレベルである。接続回路31の第1のトランジスタ  $N_1$  はオン状態で、第2のトランジスタ  $P_1$  はオン状態を維持する。従って、電源が投入された後の第1の期間  $T_1$  は、高電位端子9は、電源端子8に接続され、第1の電位  $V_p$  は、電源電圧  $V_{dd}$  となる。

【0081】

第1の期間  $T_1$  経過後は、RC時定数回路33の容量の端子電圧は、インバータ34の論理閾値電圧よりも高くなる。インバータ34の出力はローレベルとなり、接続回路31の第1のトランジスタ  $N_1$  はオフ状態、第2のトランジスタ  $P_1$  はオフ状態となる。高電位端子9と電源端子8との接続は解除され、第1の電位  $V_p$  は、所望の電位  $V_1$  に上昇する。

【0082】

なお、インバータ34に供給される電源の電位  $V_{dd1}$  は、例えば  $1.8V$  である。また、電位  $V_{dd1}$  は、電源電圧  $V_{dd}$  と同じでもよい。

【0083】

また、図18においては、第2のトランジスタ  $P_1$  のドレインは電源端子8に接続されている。しかし、電源端子8に接続され、電源電圧  $V_{dd}$  よりも低電位  $V_{dd2}$  を生成する図5に表した内部レギュレータ14の出力に接続してもよい。

10

20

30

40

50

## 【0084】

ところで、電源端子8に電圧 $V_{dd}$ の電源が投入された後、一旦、電源を遮断した際、しばらくの間は、RC時定数回路33の容量の端子電圧は、インバータ34の論理閾値よりも高い電位を維持している。従って、この期間に電源が再投入されると、高電位端子9と電源端子8とは接続されないまま、チャージポンプ回路12a、12bが動作を開始してしまい、誤動作の危険性がある。

## 【0085】

図19は、電源制御回路の他の構成を例示する回路図である。

図19に表したように、電源制御回路6bは、接続回路31、パルス発生回路32bを有する。すなわち、電源制御回路6bは、図18に表した電源制御回路6aのパルス発生回路32aを、パルス発生回路32bに置き換えた構成である。

10

## 【0086】

パルス発生回路32bは、RC時定数回路33、インバータ34、パワーオンリセット回路35、NMOS N2を有する。すなわち、パルス発生回路32bは、図18に表したパルス発生回路32aに、パワーオンリセット回路35、NMOS N2を追加した構成である。

## 【0087】

パワーオンリセット回路35は、電源投入時に一定時間ハイレベルとなるRESET信号を出力してパルス発生回路32bを初期化する回路である。

図20は、図19に表した電源制御回路6bのパワーオンリセット回路35の構成を例示する回路図である。

20

## 【0088】

図20に表したように、パワーオンリセット回路35は、3段構成のインバータ、PMOS P2、RC時定数回路36などを有する。

パワーオンリセット回路35に供給される電源は電位 $V_{dd1}$ で、ここで、RC時定数回路36の時定数は、図19に表したRC時定数回路33より小さく設定されている。RC時定数回路36の容量の端子電圧は、抵抗を介して3段構成のインバータに入力される。インバータの出力が、RESET信号となる。

## 【0089】

図21は、図19に表した電源制御回路6bのパワーオンリセット回路35の動作を表す模式図である。

30

図21(a)は、パワーオンリセット回路35に供給される電源の電位 $V_{dd1}$ を、図21(b)は、パワーオンリセット回路35の出力信号RESETを、それぞれ模式的に表している。

## 【0090】

図21(a)に表したように、電源投入時、パワーオンリセット回路35には、時間 $t=0$ で、電位 $V_{dd1}$ の電源が供給される。

電源が印加されると、RC時定数回路36の容量の端子電圧は、ある時定数を持って0Vから $V_{dd1}$ に上昇する。容量の端子電圧が3段構成のインバータの論理閾値電圧に達するまでは、3段構成のインバータはハイレベルを出力する。

40

## 【0091】

出力信号RESETは、ハイレベルであり、3段構成のインバータの電源の電位 $V_{dd1}$ に追従する。

容量の端子電圧が、論理閾値を越えると、3段構成のインバータは、ローレベルを出力する。従って、出力信号RESETは、ローレベルとなる。

## 【0092】

図21(b)に表したように、出力信号RESETは、ハイレベルのパルスを発生する。このパルス幅は、RC時定数回路36の時定数により決まり、第1の期間 $T_1$ よりも短く設定されている。

## 【0093】

50

なお、PMOS P2は、3段構成のインバータの初段の入出力間に接続され、ノイズなどによる誤動作を防止する。

再度図20に戻ると、パワーオンリセット回路35の出力信号RESETは、NMOS N2のゲートに入力される。

【0094】

電源投入直後、RC時定数回路33の出力と接地間に設けられたNMOS N2がオン状態となる。従って、電源投入直後は、確実にRC時定数回路33の出力はローレベルとなる。

パワーオンリセット回路35を設けることにより、電源再投入時にもパルス発生回路32bは初期化され確実に高電位端子9は電源端子8と接続される。これにより、電圧生成回路7の誤動作を回避することができる。

【0095】

なお、図19においては、第2のトランジスタP1のドレインは電源端子8に接続されている。しかし、電源端子8に接続され、電源電圧V<sub>dd</sub>よりも低電位V<sub>dd2</sub>を生成する図5に表した内部レギュレータ14の出力に接続してもよい。

【0096】

図22は、電源制御回路の他の構成を例示する回路図である。

図22に表したように、電源制御回路6cは、接続回路31とパルス発生回路32cとを有する。すなわち、電源制御回路6cは、図18に表した電源制御回路6aのパルス発生回路32aを、パルス発生回路32cに置き換えた構成である。

【0097】

パルス発生回路32cは、インバータ34、チャージポンプ回路12c、クランプ回路37を有する。すなわち、パルス発生回路32cは、図18に表したパルス発生回路32aのRC時定数回路33を、チャージポンプ回路12c、クランプ回路37に置き換えた構成である。

【0098】

電源投入時、チャージポンプ回路12cの出力は、0Vからクランプ回路37でクランプされる電位まで上昇する。チャージポンプ回路12cの出力の電位がインバータ34の論理閾値に達するまでの時間は、第1の期間T1となるように設定される。

【0099】

なお、図22においては、第2のトランジスタP1のドレインは電源端子8に接続されている。しかし、電源端子8に接続され、電源電圧V<sub>dd</sub>よりも低電位V<sub>dd2</sub>を生成する図5に表した内部レギュレータ14の出力に接続してもよい。

【0100】

ところで、図22に表した電源制御回路6cにおいても、図18に表した電源制御回路6aと同様に、電源再投入時に誤動作の危険性がある。

図23は、電源制御回路の他の構成を例示する回路図である。

図23に表したように、電源制御回路6dは、接続回路31とパルス発生回路32dとを有する。すなわち、電源制御回路6dは、図22に表した電源制御回路6cのパルス発生にパワーオンリセット回路35を追加した構成である。

【0101】

パワーオンリセット回路35を設けることにより、電源再投入時にもパルス発生回路32dを初期化して確実に高電位端子9は電源端子8と接続される。これにより、電圧生成回路7の誤動作を回避することができる。

【0102】

なお、図23においては、第2のトランジスタP1のドレインは電源端子8に接続されている。しかし、電源端子8に接続され、電源電圧V<sub>dd</sub>よりも低電位V<sub>dd2</sub>を生成する図5に表した内部レギュレータ14の出力に接続してもよい。

【0103】

図24は、電源制御回路の他の構成を例示する回路図である。

10

20

30

40

50

図 2 4 に表したように、電源制御回路 6 e は、接続回路 3 1、パルス発生回路 3 2 e を有する。すなわち、電源制御回路 6 e は、図 6 に表した電源制御回路 6 のパルス発生回路 3 2 をパルス発生回路 3 2 e に置き換えた構成である。

【 0 1 0 4 】

パルス発生回路 3 2 e は、発振回路 1 1 の出力である相補クロック C K、C K - を入力して、第 1 の期間 T 1 だけハイレベルのパルスを出力する回路である。例えば、タイマまたはカウンタにより構成することができる。なお、パルス発生回路 3 2 e は、電源投入直後に出力を強制的に 0 V にするリセット機能（初期化機能）を有しており、電源制御回路 6 b、および 6 d と同様の効果が得られる。

【 0 1 0 5 】

なお、図 2 4 においては、第 2 のトランジスタ P 1 のドレインは電源端子 8 に接続されている。しかし、電源端子 8 に接続され、電源電圧 V d d よりも低電位 V d d 2 を生成する図 5 に表した内部レギュレータ 1 4 の出力に接続してもよい。

【 0 1 0 6 】

以上、具体例を参照しつつ本発明の実施形態について説明した。しかし、本発明は、それらに限定されるものではなく、本発明の技術的思想に基づいて種々の変形が可能である。

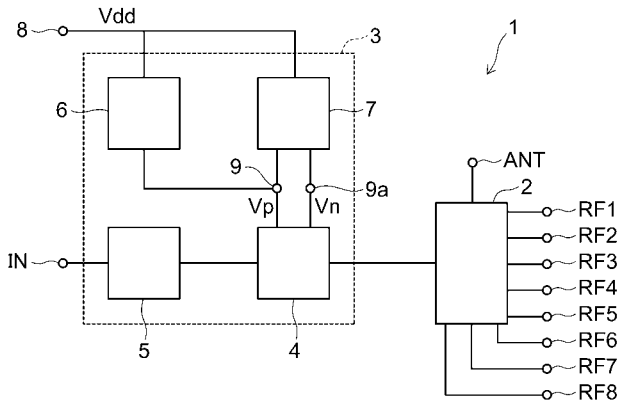
【 符号の説明 】

【 0 1 0 7 】

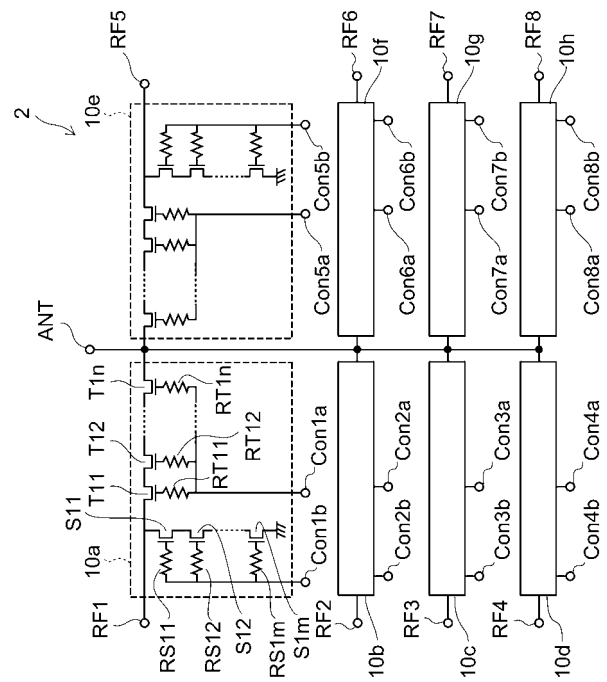
- |                                           |                                  |    |
|-------------------------------------------|----------------------------------|----|
| 1                                         | 半導体スイッチ                          | 20 |
| 2                                         | スイッチ部                            |    |
| 3                                         | 制御回路部                            |    |
| 4                                         | 駆動回路                             |    |
| 5、5 a                                     | デコーダ回路                           |    |
| 5 b                                       | 反転・非反転信号生成回路                     |    |
| 6、6 a ~ 6 e                               | 電源制御回路                           |    |
| 7                                         | 電圧生成回路                           |    |
| 8                                         | 電源端子                             |    |
| 9                                         | 高電位端子                            |    |
| 9 a                                       | 低電位端子                            | 30 |
| 10 a ~ 10 h                               | スイッチ回路                           |    |
| 11                                        | 発振回路                             |    |
| 12 a ~ 12 c                               | チャージポンプ回路                        |    |
| 13 a、13 b                                 | ローパスフィルタ                         |    |
| 14                                        | 内部レギュレータ                         |    |
| 20、20 a ~ 20 h、23                         | レベルシフト回路                         |    |
| 21、21 a                                   | 第 1 のレベルシフト回路                    |    |
| 22、22 a                                   | 第 2 のレベルシフト回路                    |    |
| 31                                        | 接続回路                             |    |
| 32、32 a ~ 32 e                            | パルス発生回路                          | 40 |
| 33、36                                     | R C 時定数回路                        |    |
| 34                                        | インバータ                            |    |
| 35                                        | パワーオンリセット回路                      |    |
| 37                                        | クランプ回路                           |    |
| A N T                                     | アンテナ端子                           |    |
| C p、C n                                   | 容量                               |    |
| D 1 1、D 1 2                               | ダイオード                            |    |
| N 1                                       | 第 1 のトランジスタ                      |    |
| N 2、N 1 1、N 1 2、N 2 1 ~ N 2 4、N 3 1、N 3 2 | N チャンネル型 M O S F E T ( N M O S ) | 50 |

- P 1 第 2 のトランジスタ
- P 2、P 1 1、P 1 2、P 2 1 ~ P 2 4 Pチャンネル型MOSFET (PMOS)
- R 1 第 1 の抵抗
- RS 1 1 ~ RS 1 m、RT 1 1 ~ RT 1 n 抵抗
- RF 1 ~ RF 8 高周波端子
- S 1 1 ~ S 1 m シャントFET
- T 1 1 ~ T 1 n スルーFET

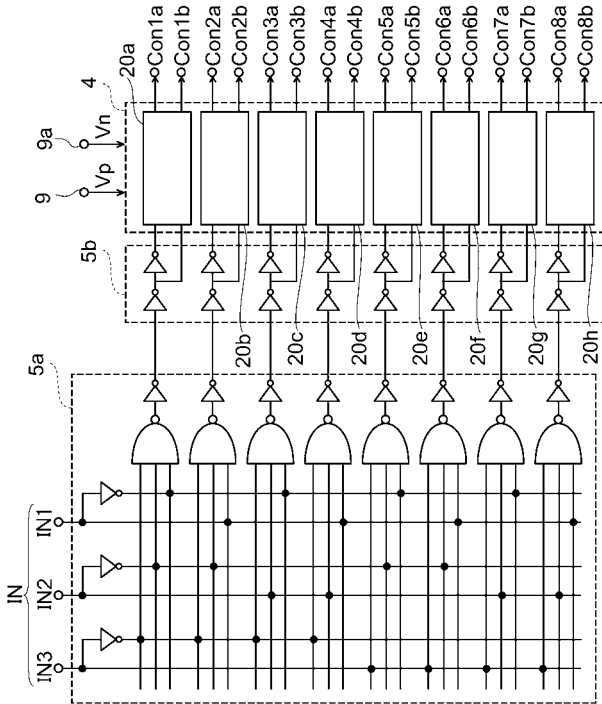
【 図 1 】



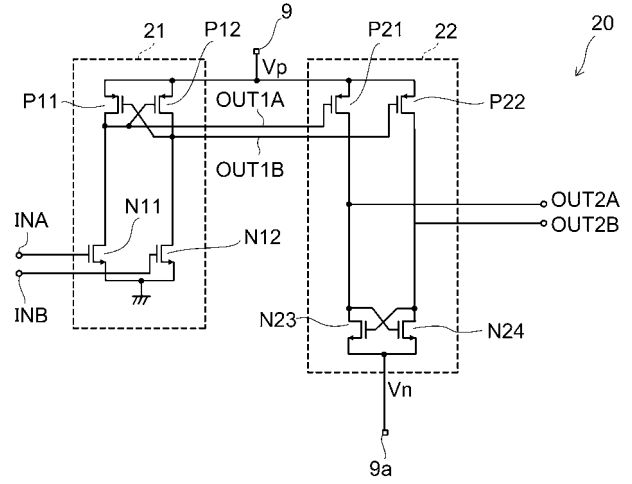
【 図 2 】



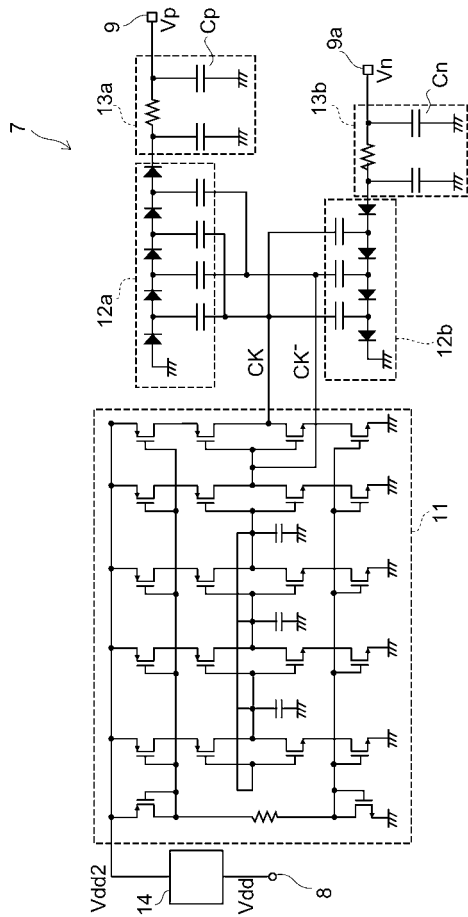
【図3】



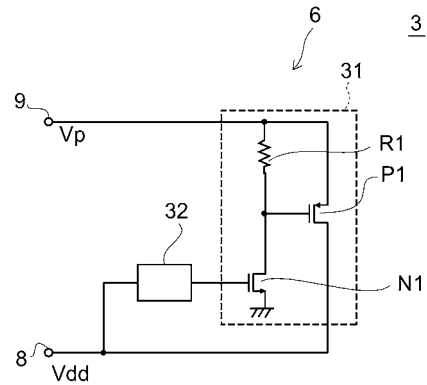
【図4】



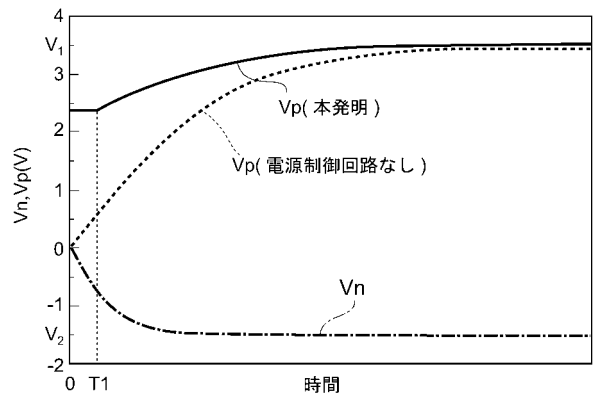
【図5】



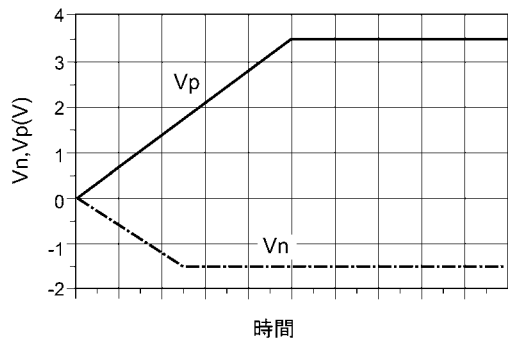
【図6】



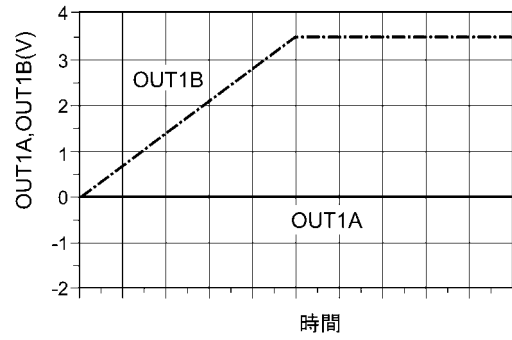
【図7】



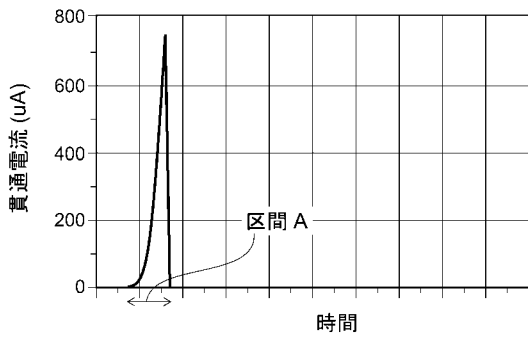
【 図 8 】



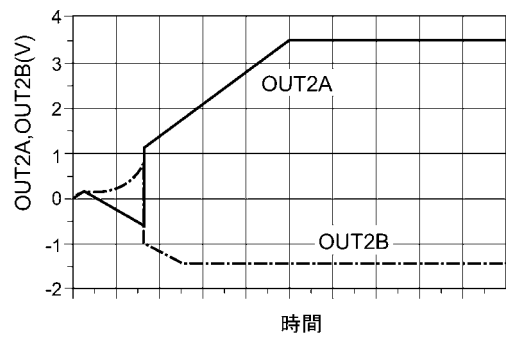
【 図 10 】



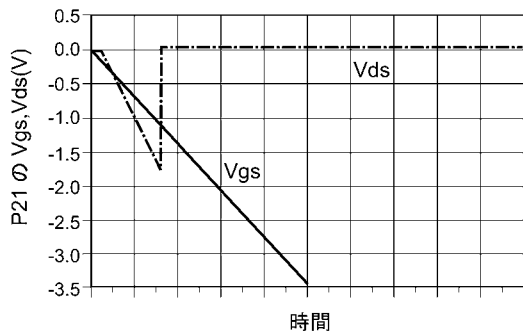
【 図 9 】



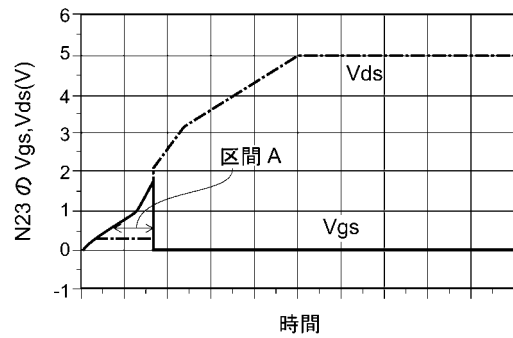
【 図 11 】



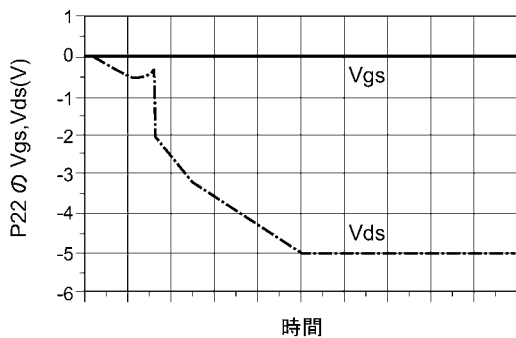
【 図 12 】



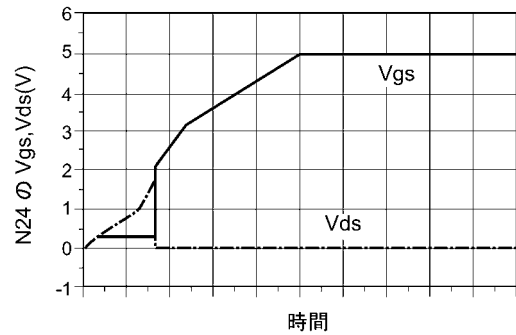
【 図 14 】



【 図 13 】

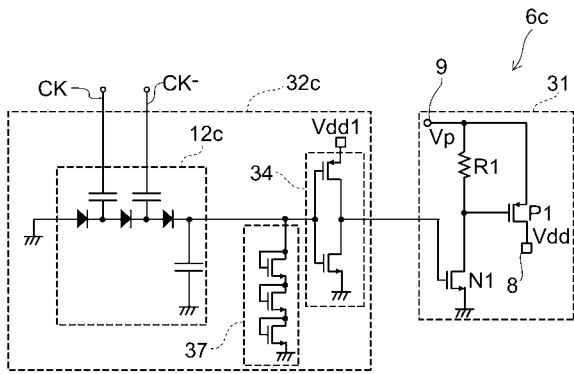


【 図 15 】

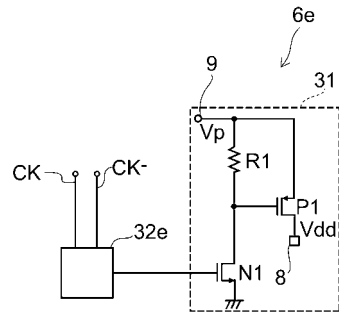




【 図 2 2 】



【 図 2 4 】



【 図 2 3 】

