

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 4 日(04.12.2014)



(10) 国際公開番号
WO 2014/192542 A1

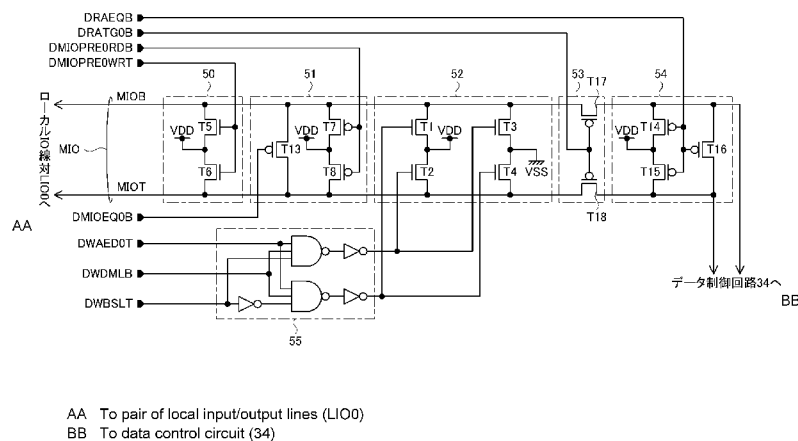
- (51) 国際特許分類:
G11C 11/4096 (2006.01) *G11C 11/4094* (2006.01)
- (21) 国際出願番号: PCT/JP2014/062791
- (22) 国際出願日: 2014 年 5 月 14 日(14.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-111215 2013 年 5 月 27 日(27.05.2013) JP
- (71) 出願人: ピーエスフォー ルクスコ エスエイ
ールエル(PS4 LUXCO S.A.R.L.) [LU/LU]; L-2121
ルクセンブルク、ヴァル デ ボン マラデス
2 0 8 Luxembourg (LU).
- (72) 発明者: および
- (71) 出願人 (米国についてのみ): 利穂 吉郎(RIHO
Yoshiro) [JP/JP]; 〒1040028 東京都中央区八重洲二
丁目 2 番 1 号 マイクロンメモリジャパン株式
会社内 Tokyo (JP). 野田 浩正(NODA Hiromasa)
[JP/JP]; 〒1040028 東京都中央区八重洲二丁目 2
番 1 号 マイクロンメモリジャパン株式会社内
Tokyo (JP).
- (74) 代理人: 鷲頭 光宏, 外(WASHIZU Mitsuhiro et
al.); 〒1040061 東京都中央区銀座一丁目 5 番 1 号
第三太陽ビル 7 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図3]



AA To pair of local input/output lines (LIO0)
BB To data control circuit (34)

(57) Abstract: [Problem] To achieve a reduction in the power consumption of a semiconductor device. [Solution] A semiconductor device is provided with: a transistor (T1) having one end which is connected to a main input/output line (MIOB), and having another end to which a power supply potential (VDD) is supplied; a transistor (T2) having one end which is connected to a main input/output line (MIOT), and having another end to which the power supply potential (VDD) is supplied; a transistor (T3) having one end which is connected to the main input/output line (MIOB), and having another end to which a ground potential (VSS) is supplied; a transistor (T4) having one end which is connected to the main input/output line (MIOT), and having another end to which the ground potential (VSS) is supplied; and a control circuit (55) that controls the on/off states of the transistors (T1 to T4) on the basis of data to be supplied to the pair of main input/output lines (MIO). The transistors (T1, T2) are configured in such a manner that a first potential, which is lower than the power supply potential (VDD), is supplied to the corresponding main input/output lines when said transistors are on. The transistors (T3, T4) are configured in such a manner that the ground potential (VSS) is supplied to the corresponding main input/output lines when said transistors are on.

(57) 要約:

[続葉有]



WO 2014/192542 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

【課題】半導体装置の低消費電力化を実現する。【解決手段】半導体装置は、一端がメイン I/O 線 M I O B に接続され、他端に電源電位 V D D が供給されるトランジスタ T 1 と、一端がメイン I/O 線 M I O T に接続され、他端に電源電位 V D D が供給されるトランジスタ T 2 と、一端がメイン I/O 線 M I O B に接続され、他端に接地電位 V S S が供給されるトランジスタ T 3 と、一端がメイン I/O 線 M I O T に接続され、他端に接地電位 V S S が供給されるトランジスタ T 4 と、メイン I/O 線対 M I O に供給すべきデータに基づいて、トランジスタ T 1 ~ T 4 のオンオフ状態を制御する制御回路 5 5 とを備える。トランジスタ T 1, T 2 は、オンであるときに、対応するメイン I/O 線に電源電位 V D D より低い第 1 の電位を供給するように構成される。トランジスタ T 3, T 4 は、オンであるときに、対応するメイン I/O 線に接地 V S S を供給するように構成される。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関し、特に、ライトドライバを有する半導体装置に関する。

背景技術

[0002] D R A M (Dynamic Random Access Memory) などの半導体装置では、メモリセルへのライトデータの書き込みにライトドライバが用いられる。ライトドライバは、メイン I O 線対の電位をライトデータに応じて制御するものであり、メイン I O 線対の一方（メイン I O 線 M I O T）及び他方（メイン I O 線 M I O B）にそれぞれの出力端子が接続された 2 つの C M O S (Complementary Metal-Oxide-Semiconductor field-effect transistor) を含んで構成される。以下、メイン I O 線 M I O T に接続された C M O S を「トゥルー側 C M O S」と称し、メイン I O 線 M I O B に接続された C M O S を「バー側 C M O S」と称する。

[0003] トゥルー側 C M O S 及びバー側 C M O S はともに、P チャンネル型 M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) (P M O S) と N チャンネル型 M O S F E T (N M O S) とが、電源電位 V D D が供給される電源配線と接地電位 V S S が供給される電源配線との間に直列に接続された構成を有している。メイン I O 線 M I O T をハイ、メイン I O 線 M I O B をローとする場合には、トゥルー側 C M O S の P M O S 及びバー側 C M O S の N M O S がオン、他の 2 つのトランジスタがオフとされる。一方、メイン I O 線 M I O T をロー、メイン I O 線 M I O B をハイとする場合には、トゥルー側 C M O S の N M O S 及びバー側 C M O S の P M O S がオン、他の 2 つのトランジスタがオフとされる。こうすることでメイン I O 線対間に V D D - V S S の電位差が生じ、この電位差が、センスアンプ及びビット線対を通じてメモリセルに書き込まれる。

[0004] 特許文献1の図4には、上記のような構造のライトドライバを有する半導体装置が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2009-13035号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、上記のようにトランジスタのオンオフを行う場合、オンオフの切り替えごとに、メインIO線対に電流が流れることになる。電流が流れるということは、電力が消費されるということを意味する。近年の半導体装置においては低消費電力化の要請がますます厳しくなっており、このような電流（充放電電流）による電力消費をできるだけ抑えることが求められている。

[0007] ここで、DRAMのライト動作に関して言えば、メインIO線対間の電位差は必ずしも $V_{DD}-V_{SS}$ である必要はなく、より小さな値であっても十分にライトデータの書き込みは可能である。上記のようなメインIO線対の充放電電流はメインIO線対間の電位差の変動が大きいほど大きくなることから、メインIO線対間の電位差が $V_{DD}-V_{SS}$ であることは、低消費電力化の観点からは無駄である。したがって、メインIO線対間の電位差を小さくすることが求められている。

課題を解決するための手段

[0008] 本発明の一側面による半導体装置は、第1及び第2のデータ線からなる第1のデータ線対と、一端が前記第1のデータ線に接続され、他端に第1の電源電位が供給され、オンであるときに前記第1の電源電位より低い第1の電位を前記第1のデータ線に供給するように構成される第1のトランジスタと、一端が前記第2のデータ線に接続され、他端に前記第1の電源電位が供給され、オンであるときに前記第1の電位を前記第2のデータ線に供給するよ

うに構成される第2のトランジスタと、一端が前記第1のデータ線に接続され、他端に前記第1の電位より低い第2の電源電位が供給され、オンであるときに前記第2の電源電位を前記第1のデータ線に供給するように構成される第3のトランジスタと、一端が前記第2のデータ線に接続され、他端に前記第2の電源電位が供給され、オンであるときに前記第2の電源電位を前記第2のデータ線に供給するように構成される第4のトランジスタと、前記第1のデータ線対に供給すべきデータに基づいて、前記第1乃至第4のトランジスタのオンオフ状態を制御する制御回路とを備えることを特徴とする。

発明の効果

[0009] 本発明によれば、第1のデータ線対間の電位差の最大値が、第1の電位（＜第1の電源電位）と第2の電源電位の差に等しくなる。したがって、第1のデータ線対間の電位差の最大値が第1の電源電位と第2の電源電位の差に等しい場合に比べ、半導体装置の低消費電力化が実現される。

図面の簡単な説明

[0010] [図1]本発明の好ましい実施の形態による半導体装置1の全体構成を示すブロック図である。

[図2]本発明の好ましい第1の実施の形態による半導体装置1の構成の一部（バンクBA₀からローカルIO線LIOに至る部分）を示すブロック図である。

[図3]図1に示す半導体装置1の構成の他の一部（メインIO線MIOに関連する部分）を示すブロック図である。

[図4]図1に示す半導体装置1の信号波形図である。

[図5]本発明の好ましい第2の実施の形態による半導体装置1の構成の一部（メインIO線MIOに関連する部分）を示すブロック図である。

[図6]図3に示す半導体装置1及び図5に示す半導体装置1の信号波形図である。

発明を実施するための形態

[0011] 以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳

細に説明する。

[0012] 本発明の第1の実施の形態による半導体装置1は、1つの半導体チップに集積されたDDR4タイプのDRAMであり、図1に示すように、 $n+1$ 個のバンク $BA_0 \sim BA_n$ に分割されたメモリセルアレイ30を備えている。各バンク BA_k (k は $0 \sim n$ の整数)は個別にコマンドを実行可能な単位であり、基本的に並行して動作可能である。

[0013] 図1には示していないが、各バンク BA_k には互いに交差する複数のワード線と複数のビット線が設けられており、それらの交点にメモリセルが配置されている。ワード線の選択はロウデコーダ31 $_k$ によって行われ、ビット線の選択はカラムデコーダ33 $_k$ によって行われる。ビット線は、センス回路32 $_k$ 内の対応するセンスアンプにそれぞれ接続されており、カラムデコーダ33 $_k$ により選択されたビット線は、対応するセンスアンプを介してデータ制御回路34に接続される。各ビット線とデータ制御回路34の間はローカルI/O線及びメインI/O線によって接続されるが、この点についての詳細は後述する。データ制御回路34は、ラッチ回路35を介して入出力回路36に接続される。入出力回路36は、データ端子16を介してデータDQの入出力を行う回路ブロックである。

[0014] 半導体装置1は、データ端子16の他に、外部端子としてクロック端子10a、10b、クロックイネーブル端子11、アドレス端子12、コマンド端子13、アラート端子14、電源端子15、データ端子16、ストロープ端子17、オンダイターミネーション(ODT)端子18、データマスク(DM)/データバスインバージョン(DBI)端子19を備えている。

[0015] ストロープ端子17は、外部ストロープ信号DQS、/DQSを入出力するための端子である。外部ストロープ信号DQS、/DQSは、データ端子16を介して入出力されるデータDQの入出力タイミングを規定するための信号であり、リードデータに対応するものとライトデータに対応するものがある。前者は、入出力回路36からストロープ端子17を介して外部に出力される。後者は、外部からストロープ端子17を介してラッチ回路35に

供給される。なお、本明細書において信号名の先頭に「／」が付されている信号は、対応する信号の反転信号又はローアクティブな信号であることを意味する。したがって、外部ストロブ信号DQS、／DQSは互いに相補の信号である。

[0016] クロック端子10a、10bはそれぞれ外部クロック信号CK、／CKが供給される端子である。クロック信号CK、／CKも、互いに相補の信号である。クロック端子10a、10bに供給された外部クロック信号CK、／CKは、クロック生成回路20及びDLL回路37に供給される。クロック生成回路20は、外部クロック信号CK、／CKに基づいて内部クロック信号を生成する回路である。生成された内部クロック信号は、コマンドデコーダ21、コントロールロジック22、カラムデコーダ33₁～33_n、データ制御回路34、及びラッチ回路35などに供給される。DLL回路37は、外部クロック信号CK、／CKに基づいて位相制御された出力クロック信号を生成する回路である。出力クロック信号は、入出力回路36により、リードデータの出力タイミングを規定するタイミング信号として用いられる。

[0017] アドレス端子12は、バンクアドレス信号BA及びアドレス信号Addressを含むアドレス信号ADDの各ビットが供給される複数の端子によって構成される。供給されたアドレス信号ADDは、ロウコントロール回路25、カラムコントロール回路26、モードレジスタ24、コマンドデコーダ21などに供給される。

[0018] 通常、アドレス信号ADDはメモリセルを特定する信号となる。この場合、バンクアドレス信号BAによって複数のバンクBA_kのうちの1つが特定され、アドレス信号Addressによって、バンクアドレス信号BAにより特定されるバンクBA_k内のメモリセルが特定される。アドレス信号Addressには、ワード線を特定するロウアドレスと、ビット線を特定するカラムアドレスとが含まれ、ロウアドレスはロウコントロール回路25に、カラムアドレスはカラムコントロール回路26にそれぞれ供給される。

[0019] ロウコントロール回路25は、バンクアドレス信号BAに基づいてバンク

BA_k を選択するとともに、ロウアドレスに基づいて、選択したバンク BA_k 内のロウデコーダ 31_k を制御する機能を有している。ロウデコーダ 31_k は、供給されたロウアドレスに基づき、上述したようにワード線の選択を行う。また、カラムコントロール回路26は、カラムアドレスに基づいてカラムデコーダ 33_k を制御する機能を有している。カラムデコーダ 33_k は、供給されたカラムアドレスに基づき、上述したようにビット線の選択を行う。

[0020] 一方、半導体装置1がモードレジスタセットモードにエントリーしている場合のアドレス信号ADDは、同時期に入力されるコマンド信号に応じた所定の情報を示す信号となる。この場合のアドレス信号ADDはモードレジスタ24に供給され、これによってモードレジスタ24の内容が更新される。

[0021] コマンド端子13は、チップセレクト信号/ CS 、ロウアドレスストロブ信号/ RAS 、カラムアドレスストロブ信号/ CAS 、ライトイネーブル信号/ WE 、アクト信号/ ACT 、パリティ信号 PRT 、リセット信号 $RESET_N$ 、及びバウンダリスキャン信号 TEN などの各種コマンド信号CMDがそれぞれ供給される複数の端子によって構成される。コマンド端子13に供給されたコマンド信号CMDはコマンドデコーダ21に入力され、コマンドデコーダ21によって各種内部コマンドに変換される。コマンドデコーダ21が生成した各種内部コマンド信号は、コントロールロジック22に供給される。コントロールロジック22は、供給された内部コマンド信号に基づいて、ロウコントロール回路25、カラムコントロール回路26などの動作を制御するよう構成される。

[0022] コマンドデコーダ21には、図示しない検証回路が含まれている。検証回路は、パリティ信号 PRT に基づいてアドレス信号ADD及びコマンド信号CMDを検証し、その結果、アドレス信号ADD又はコマンド信号CMDに誤りが存在する場合には、コントロールロジック22及び出力バッファ23を介して、アラート端子14からアラート信号 $ALERT_N$ を出力する。

[0023] 電源端子15は、それぞれ電源電位 VPP 、 VDD 及び接地電位 VSS が供給される複数の端子によって構成される。電源電位 VPP として電源端子

15に供給される電位は、通常、電源電位VDDより高い電位レベルの電位である。電源端子15に供給された各電位は、電圧生成回路39に供給される。電圧生成回路39は、電源電位VDD、VPPに基づいて各種内部電位を生成する回路ブロックであり、後述するローカルI/O線対のプリチャージ電位であるビット線電位VBLP、センス回路32_k内のセンスアンプにおいて用いられるアレイ電位VARYなどを生成する。ビット線電位VBLP及びアレイ電位VARYはいずれも電源電位VDDより低い電位レベルの電位であり、電圧生成回路39は、電源電位VDDを降圧することによって、これらの電位を生成する。

[0024] ODT端子18は、終端信号ODTが供給される端子である。終端信号ODTは入出力回路36に含まれる図示しない出力バッファを終端抵抗器として使用する場合に活性化される信号であり、ODT端子18から入出力回路36に供給される。

[0025] DM/DBI端子19は、データマスク信号DM又はデータバスインバージョン信号DBIが供給される端子である。データマスク信号DMは、ライトデータ及びリードデータの一部をマスクする場合に活性化される信号であり、データバスインバージョン信号DBIは、DDR4で追加されたDBI技術によりリードデータが反転された場合に活性化される信号である。データマスク信号DM及びデータバスインバージョン信号DBIともに、DM/DBI端子19から入出力回路36に供給される。

[0026] 以上、本実施の形態による半導体装置1の全体構造について説明した。次に、本発明の特徴部分に着目して、より詳細に説明を進める。なお、以下の説明では、図1に示したバンクBA₀に着目して説明するが、他のバンクBA₁～BA_nについても同様である。

[0027] 図2に示すように、バンクBA₀の内部には、4つのビット線対BL0～BL3が延設される。上述したように、バンクBA₀内には他にもワード線やメモリセルが設けられるが、図2ではこれらの図示を省略している。なお、ここではバンクBA₀内に延設されるビット線対の数を4つとしているが、1～

3又は5以上のビット線対を延設することとしても構わない。

[0028] 各ビット線対 BL_m (m は0～3の整数)は、2本のビット線 BL_mT , BL_mB により構成される。ビット線 BL_mT , BL_mB には相補のデータ(リードデータ又はライトデータ)が供給される。

[0029] 図1に示したセンス回路 32_k には、ビット線対 BL_m ごとのセンスアンプ 40_m が含まれる。また、図1に示したカラムデコーダ 33_k にはビット線対 BL_m ごとのカラムスイッチ 41_m が含まれ、各ビット線対 BL_m は、対応するカラムスイッチ 41_m を介して、ローカルIO線対 $LIOO$ (第2のデータ線対)に接続される。ローカルIO線対 $LIOO$ は、バンク BA_0 に対して設けられる複数のローカルIO線対のうちのひとつであり、ローカルIO線 $LIOOB$ (第3のデータ線)とローカルIO線 $LIOOT$ (第4のデータ線)とによって構成される。他のローカルIO線対及びこれらに接続されるビット線対については図示を省略しているが、同様の構成を有している。

[0030] センスアンプ 40_m は、リード時にはビット線対 BL_m 間の電位を増幅してローカルIO線対 $LIOO$ に出力する役割を果たす。具体的には、ビット線 BL_mT , BL_mB のうち、電位が相対的に低くなっている一方の電位を接地電位 VSS の電位レベルに駆動し、他方の電位を上述したアレイ電位 $VARY$ の電位レベルに駆動することにより、リードデータの増幅を行う。一方、ライト時のセンスアンプ 40_m は、ローカルIO線対 $LIOO$ 間の電位を、ライトデータとして対応するメモリセルに書き込む役割を果たす。具体的な動作は、リード時と同様である。

[0031] カラムスイッチ 41_m は、図2に示すように、ビット線ごとに設けられたトランジスタ(NMOS)によって構成される。カラムスイッチ 41_m を構成する各トランジスタのゲート電極には、図1に示したカラムコントロール回路 26 からカラムスイッチ選択信号 YS_m が供給される。カラムスイッチ 41_m は、対応するカラムスイッチ選択信号 YS_m が活性化されると、対応するビット線対 BL_m をローカルIO線対 $LIOO$ に接続し、対応するカラムスイッチ選択信号 YS_m が非活性とされると、対応するビット線対 BL_m をロー

カルIO線対LIOOから切り離すよう構成される。これにより、リード又はライトの対象であるメモリセルに接続されたビット線対BLmのみが、ローカルIO線対LIOOに接続される。

[0032] ローカルIO線対LIOOには、図2に示すように、プリチャージ回路42が設けられる。また、ローカルIO線対LIOOは、ローカルIO線選択スイッチ43を介して、メインIO線対MIO（第1のデータ線対）に接続される。なお、ここではメインIO線対MIOに接続されるローカルIO線対を1つだけ図示しているが、実際には複数のローカルIO線対が1つのメインIO線対MIOに接続される。メインIO線対MIOは、メインIO線MIOB（第1のデータ線）とメインIO線MIO T（第2のデータ線）とによって構成される。プリチャージ回路42及びローカルIO線選択スイッチ43は、ローカルIO線対ごとに設けられる。

[0033] プリチャージ回路42は、図2に示すように、それぞれの一端がローカルIO線LIOOB，LIOOTに接続されたトランジスタT11（第11のトランジスタ）及びトランジスタ（第12のトランジスタ）によって構成される。トランジスタT11，T12それぞれの他端には、上述したビット線電位VBLP（第3の電源電位）が共通に供給される。トランジスタT11，T12はともにNMOSである。また、ローカルIO線選択スイッチ43は、一端がローカルIO線LIOOBに接続され、他端がメインIO線MIOBに接続されたトランジスタT9と、一端がローカルIO線LIOOTに接続され、他端がメインIO線MIO Tに接続されたトランジスタT10とによって構成される。トランジスタT9，T10もNMOSである。

[0034] トランジスタT9，T10の各ゲート電極には、図1に示したカラムコントロール回路26から制御信号AMSTOが共通に供給される。また、トランジスタT11，T12の各ゲート電極には、制御信号AMSTOの反転信号が共通に供給される。したがって、トランジスタT9，T10、トランジスタT11，T12はそれぞれ互いに同一のオンオフ状態を取り、かつ、トランジスタT9，T10がオンのときにトランジスタT11，T12はオフ

、トランジスタT9、T10がオフのときにトランジスタT11、T12はオンとなる。

[0035] 制御信号AMST0は、リード又はライトの際、ローカルIO線対LIOとメインIO線対MIOとを接続する必要がある場合に、ハイレベルに活性化される信号である。カラムコントロール回路26はビット線電位VBLPより高い電位（第2の電位）を受けて動作するように構成されており、したがって、制御信号AMST0の電位レベルは、ビット線電位VBLPより高い電位となっている。以下では、制御信号AMST0の電位レベルは電源電位VDDに等しい、として説明を続ける。

[0036] ここで、例えばトランジスタT11に着目すると、トランジスタT11からローカルIO線LIOBに供給できる電位には上限値がある。具体的には、VBLP及びVDD（第2の電位） $-V_{th}$ のうちの小さい方より大きい電位を、トランジスタT11を通じてローカルIO線LIOBに供給することはできない。ただし、 V_{th} はトランジスタT11のしきい値電圧である。

[0037] 上限値VBLPは、トランジスタT11のドレインに供給される電位がビット線電位VBLPであるために生ずるものである。一方、上限値VDD $-V_{th}$ は、トランジスタT11がNMOSであるために生ずるものである。つまり、NMOSはゲートソース間の電位差が V_{th} 以上にならないとオンにならないが、トランジスタT11の場合、ローカルIO線LIOBがソースとなるため、オンとなるためにはローカルIO線LIOBの電位と活性状態における制御信号AMST0の電位レベルとの間の差が V_{th} 以上になる必要がある。活性状態における制御信号AMST0の電位レベルは上述したように電源電位VDDであるから、トランジスタT11がオンとなるためには、ローカルIO線LIOBの電位が、VDD $-V_{th}$ 以下でなければならないことになる。したがって、トランジスタT11は、VDD $-V_{th}$ より大きな電位をローカルIO線LIOBに供給することはできないことになる。

[0038] 以上の事情は、トランジスタT12についても同様である。このように、NMOSであるトランジスタT11, T12が供給できる電位には、ドレインに供給される電位の大きさによる制限だけでなく、しきい値電圧 V_{th} の大きさによる制限がある。このようなしきい値電圧の大きさによる制限は、トランジスタT11, T12がNMOSであることによって生ずるもので、仮にトランジスタT11, T12がPMOSであるとするとは生じない。したがって、一般的には、このようなプリチャージ用のトランジスタとしてはPMOSを用いることが多いが、ここでトランジスタT11, T12としてNMOSを用いているのは、 $V_{BLP} < V_{DD} - V_{th}$ となるように各電位を設定しているからである。 $V_{BLP} < V_{DD} - V_{th}$ であればしきい値電圧の大きさによる制限は実際上問題とはならないので、トランジスタT11, T12として、小型化に適したNMOSを用いることができる。

[0039] 次に、図3に示すように、メインIO線対MIOは一端でローカルIO線対LIOに接続され、他端でデータ制御回路34に接続される。また、メインIO線対MIOには、ローカルIO線対LIO側から順に、ライト用プリチャージ回路50、リード用プリチャージ回路51、ライトドライバ52、メインIO線選択スイッチ53、及び、リード用プリチャージ回路54が設けられる。ライトドライバ52は、図1に示したデータ制御回路34の一部を構成する制御回路55に接続されている。

[0040] 初めに、図3に示した8種類の信号について説明する。まず、データ信号DWBSLTは、半導体装置1の外部から図1に示したデータ端子16に供給されるライトデータを示す信号であり、図1に示した入出力回路36及びラッチ回路35を経て制御回路55に供給される。データ信号DWBSLTの電位レベルは、ライトデータの電位レベルが電源電位VDDであり、かつ、入出力回路36及びラッチ回路35が電源電位VDDを受けて動作する回路であることから、電源電位VDDとなっている。外部からデータ端子16へのライトデータの inputs は、例えば8ビットずつのバースト入力によって行われる。

[0041] 次に、データマスク信号DWDMLBは、半導体装置1の外部から図1に示したDM/DBI端子19に供給されるローアクティブな信号であり、図1に示した入出力回路36及びラッチ回路35を経て制御回路55に供給される。データマスク信号DWDMLBの電位レベルも、データ信号DWBSLTと同様、電源電位VDDとなっている。データマスク信号DWDMLBは、ライトデータとしてデータ端子16にバースト入力される一連のデータビットのそれぞれに対応するビットを有しており、半導体装置1に入力されるけれどもメモリセルへの書き込みの対象とはならないデータビットに対応するビットが活性化され（ローとなり）、その他のビットが非活性となる（ハイとなる）ように制御される。

[0042] ライトイネーブル信号DWAEDOTは、図1に示したコントロールロジック22から制御回路55に供給されるハイアクティブな信号である。コントロールロジック22は、コマンド端子13に供給されるコマンド信号CMDによりライト動作の実行が指示される場合に、ライトイネーブル信号DWAEDOTを活性化するように構成される。コントロールロジック22が電源電位VDDを受けて動作する回路であることから、ライトイネーブル信号DWAEDOTの電位レベルも電源電位VDDとなっている。

[0043] プリチャージ信号DMIOPREOWRTは、図1に示したカラムコントロール回路26からライト用プリチャージ回路50に供給されるハイアクティブな信号である。プリチャージ信号DMIOPREOWRTは、ライト動作を行うにあたってメインIO線対MIOのプリチャージを行う場合に活性化される。カラムコントロール回路26が電源電位VDDを受けて動作する回路であることから、プリチャージ信号DMIOPREOWRTの電位レベルも電源電位VDDとなっている。

[0044] プリチャージ信号DMIOPREORDB及びイコライズ信号DMIOEQOBはそれぞれ、図1に示したカラムコントロール回路26からリード用プリチャージ回路51に供給されるローアクティブな信号である。これらはともに、リード動作を行うにあたってメインIO線対MIOのプリチャージ

を行う場合に活性化される。プリチャージ信号DMIOPREORDB及びイコライズ信号DMIOEQOBそれぞれの電位レベルも、プリチャージ信号DMIOPREOWRTと同様、電源電位VDDである。

[0045] イコライズ信号DRAEQBは、図1に示したカラムコントロール回路26からリード用プリチャージ回路54に供給されるローアクティブな信号である。イコライズ信号DRAEQBも、リード動作を行うにあたってメインIO線対MIOのプリチャージを行う場合に活性化される。イコライズ信号DRAEQBの電位レベルも、電源電位VDDである。

[0046] メインIO線選択信号DRATGOBは、図1に示したカラムコントロール回路26からメインIO線選択スイッチ53に供給されるローアクティブな信号である。メインIO線選択信号DRATGOBは、リード動作を行うにあたり、メインIO線対MIOをデータ制御回路34に接続する場合に活性化される。メインIO線選択信号DRATGOBの電位レベルも、電源電位VDDである。

[0047] 以下、メインIO線対MIOに関して設けられる各回路の構成、及び、上述した各信号を受けた各回路の動作について説明する。

[0048] まずライトドライバ52は、一端がメインIO線MIOBに接続され、他端に電源電位VDD（第1の電源電位）が供給されるトランジスタT1（第1のトランジスタ）と、一端がメインIO線MIOBに接続され、他端に電源電位VDDが供給されるトランジスタT2（第2のトランジスタ）と、一端がメインIO線MIOBに接続され、他端に接地電位VSS（第2の電源電位）が供給されるトランジスタT3（第3のトランジスタ）と、一端がメインIO線MIOBに接続され、他端に接地電位VSSが供給されるトランジスタT4（第4のトランジスタ）とを含んで構成される。

[0049] トランジスタT1～T4それぞれのオンオフ状態は、制御回路55によって制御される。制御回路55は、データDWBSLTに基づいてトランジスタT1～T4それぞれのオンオフ状態を制御するよう構成される。

[0050] 具体的に説明すると、制御回路55は、データDWBSLT、データマス

ク信号DWDMLB、及びライトイネーブル信号DWAEDOTの論理積信号をトランジスタT1、T2のゲート電極に供給するとともに、データDWBSLTの反転信号、データマスク信号DWDMLB、及びライトイネーブル信号DWAEDOTの論理積信号をトランジスタT3、T4のゲート電極に供給するよう構成される。なお、制御回路55は電源電位VDDを受けて動作する回路であり、したがって、これらの論理積信号の電位レベルも電源電位VDDとなる。

[0051] これにより、データマスク信号DWDMLB及びライトイネーブル信号DWAEDOTがともに活性化されていることを条件として、データDWBSLTがハイ（第1の値）である場合にはトランジスタT2、T3がオン、トランジスタT1、T4がオフとなる。したがって、メインIO線MIOがハイレベル、メインIO線MIOBがローレベルとなる。一方、データDWBSLTがロー（第2の値）である場合にはトランジスタT2、T3がオフ、トランジスタT1、T4がオンとなる。したがって、メインIO線MIOがローレベル、メインIO線MIOBがハイレベルとなる。データマスク信号DWDMLB及びライトイネーブル信号DWAEDOTのいずれか少なくとも一方が非活性であるときには、トランジスタT1～T4はいずれもオフとなり、ライトドライバ52からメインIO線対MIOへの電圧供給は停止される。

[0052] トランジスタT1～T4として具体的には、NMOSが使用される。その結果、ライトドライバ52からメインIO線対MIOに供給されるハイレベルの電位は電源電位VDDより低い電位（第1の電位）となり、ローレベルの電位は接地電位VSSとなる。

[0053] ハイレベルの電位が電源電位VDDより低い電位となるのは、上述したNMOSの性質によるものである。すなわち、上述したように、NMOSがオンとなるためには、ゲートソース間の電位差がしきい値電圧 V_{th} 以上であることが必要である。また、トランジスタT1、T2のゲート電極に供給される信号の電位レベルは、上述したように電源電位VDDである。このこ

とは、メインIO線MIOB, MIO Tの電位を $VDD - V_{th}$ より大きい値とすることはできない、ということを意味する。したがって、ライトドライバ52からメインIO線対MIOに供給されるハイレベルの電位は、電源電位 VDD に比べ、トランジスタT1, T2のしきい値電圧 V_{th} の分だけ低下した電位となる。

[0054] このように、ライトドライバ52からメインIO線対MIOに供給されるハイレベルの電位が電源電位 VDD より低い電位 $VDD - V_{th}$ となることにより、メインIO線対MIO間の電位差は最大で $VDD - V_{th} - VSS$ となる。これに対し、仮にトランジスタT1, T2をPMOSで構成したとすると、上記のようなメインIO線MIOB, MIO Tの電位の上限値が生じないことから、メインIO線対MIO間の電位差は最大で $VDD - VSS$ となる。したがって、本実施の形態による半導体装置1によれば、トランジスタT1, T2をPMOSで構成する場合に比べてライトデータをメインIO線対MIOに書き込む際の充放電電流が少なく済むことになるので、半導体装置1の構成のうちメモリセルへのデータ書き込みに関連する部分の低消費電力化が実現されていると言える。

[0055] 次に、ライト用プリチャージ回路50は、一端がメインIO線MIOBに接続され、他端に電源電位 VDD が供給されるトランジスタT5（第5のトランジスタ）と、一端がメインIO線MIO Tに接続され、他端に電源電位 VDD が供給されるトランジスタT6（第6のトランジスタ）とを含んで構成される。

[0056] トランジスタT5, T6それぞれのオンオフ状態は、プリチャージ信号DMIOPREOWRTによって制御される。プリチャージ信号DMIOPREOWRTはトランジスタT5, T6のゲート電極に共通に供給されており、したがって、トランジスタT5, T6は互いに同一のオンオフ状態となるよう制御される。

[0057] トランジスタT5, T6としても、NMOSが使用される。その結果、ライトドライバ52と同様、ライト用プリチャージ回路50からメインIO線

対M I Oに供給されるハイレベルの電位（プリチャージ電位）は、電源電位V D Dより低い電位（第1の電位）、具体的には $V D D - V_{th}$ となる。したがって、プリチャージにかかるメイン I O線対M I Oの充放電電流が少なくて済むので、本実施の形態による半導体装置1によれば、この点からも、半導体装置1の構成のうちメモリセルへのデータ書き込みに関連する部分の低消費電力化が実現される。

[0058] 次に、リード用プリチャージ回路51は、一端がメイン I O線M I O Bに接続され、他端に電源電位V D Dが供給されるトランジスタT7（第7のトランジスタ）と、一端がメイン I O線M I O Tに接続され、他端に電源電位V D Dが供給されるトランジスタT8（第8のトランジスタ）とを含んで構成される。

[0059] トランジスタT7，T8それぞれのオンオフ状態は、プリチャージ信号D M I O P R E O R D Bによって制御される。プリチャージ信号D M I O P R E O R D BはトランジスタT7，T8のゲート電極に共通に供給されており、したがって、トランジスタT7，T8は互いに同一のオンオフ状態となるよう制御される。

[0060] トランジスタT7，T8として具体的には、P M O Sが使用される。P M O SではN M O Sのような電位レベルの上限値が生じないので、リード用プリチャージ回路51からメイン I O線対M I Oに供給されるハイレベルの電位は、ライト用プリチャージ回路50とは異なって電源電位V D Dとなる。このようにリードの場合とライトの場合とでメイン I O線対M I Oのプリチャージ電位を変えているのは、リードの場合には、後段のデータ制御回路34で確実にリードデータを読み取るために、メイン I O線対M I O間の電位差を大きくする必要があるためである。

[0061] リード用プリチャージ回路51は、他に、一端がメイン I O線M I O Bに、他端がメイン I O線M I O Tにそれぞれ接続されたトランジスタT13を含んでいる。トランジスタT13もP M O Sであり、そのゲート電極にはイコライズ信号D M I O E Q O Bが供給される。トランジスタT13は、イコ

ライズ信号DMIOEQOBが活性化している場合に、メインIO線MIOB, MIO Tの電位を同一にするイコライザとして機能する。

[0062] リード用プリチャージ回路54は、リード用プリチャージ回路51と同様の構成を有するが、それぞれトランジスタT7, T8, T13に対応するトランジスタT14, T15, T16のゲート電極に、イコライズ信号DRAEQBが共通に供給される点で異なっている。リード用プリチャージ回路54は、イコライズ信号DRAEQBが活性化している場合に、メインIO線MIOB, MIO Tの電位を電源電位VDDとする役割を果たす。

[0063] メインIO線選択スイッチ53は、メインIO線MIOBのうちライトドライバ52とリード用プリチャージ回路54の間の部分に挿入されたトランジスタT17と、メインIO線MIO Tのうちライトドライバ52とリード用プリチャージ回路54の間の部分に挿入されたトランジスタT18とによって構成される。トランジスタT17, T18はともにPMOSであり、それぞれのゲート電極には、メインIO線選択信号DRATGOBが共通に供給される。これにより、メインIO線選択スイッチ53は、メインIO線選択信号DRATGOBが活性化している場合に導通状態となり、そうでない場合に非導通状態となる。したがって、メインIO線選択信号DRATGOBが活性化している場合にはメインIO線対MIOとデータ制御回路34とが互いに接続され、メインIO線選択信号DRATGOBが非活性となっている場合にはメインIO線対MIOとデータ制御回路34とが切り離される。

[0064] 図4は、本実施の形態による半導体装置1において、リード動作、ライト動作、及びリード用プリチャージ動作を順次行った場合の、メインIO線MIOB, MIO Tそれぞれの電位 V_{MIOB} , $V_{MIO T}$ の変化の一例を示す図である。この例に示すライト動作では、6つの「1」を示すライトデータと、2つの「0」を示すライトデータとがバースト入力されている。

[0065] 図4に示すように、リード動作の際の電位 V_{MIOB} , $V_{MIO T}$ は電源電位VDDと接地電位VSSの間で変動し、その変動幅は $VDD - VSS$ である。一

方、ライト動作時の電位 V_{MIOB} , V_{MIOT} は電源電位 $V_{DD} - V_{th}$ と接地電位 V_{SS} の間で変動し、その変動幅は $V_{DD} - V_{th} - V_{SS}$ である。なお、 V_{th} は、図3に示したトランジスタ T_1 , T_2 , T_5 , T_6 のしきい値電圧である。したがって、本実施の形態による半導体装置1では、ライト動作時のメインIO線対MIO間の電位差の最大値を、リード動作時のそれに比べて V_{th} だけ小さくすることが実現されているとすることができる。

[0066] また、図4に示すように、リード用プリチャージ動作の際の電位 V_{MIOB} , V_{MIOT} は電源電位 V_{DD} である。一方、図示していないが、ライト用プリチャージ動作の際の電位 V_{MIOB} , V_{MIOT} は電源電位 $V_{DD} - V_{th}$ となる。したがって、本実施の形態による半導体装置1では、ライト動作時のメインIO線対MIOのプリチャージ電位を、リード動作時のそれに比べて V_{th} だけ小さくすることが実現されているとすることができる。

[0067] 以上説明したように、本実施の形態による半導体装置1によれば、ライト動作時のメインIO線対MIO間の電位差の最大値が、電位差 $V_{DD} - V_{th} - V_{SS}$ に等しくなる。したがって、ライト動作時のメインIO線対MIO間の電位差の最大値が電源電位 V_{DD} と接地電位 V_{SS} の差 $V_{DD} - V_{SS}$ に等しい場合に比べると、ライトデータの切り替えに伴って流れるメインIO線対MIOの充放電電流が少量で済むので、半導体装置1の低消費電力化が実現されていると言える。

[0068] 表1に、ライト動作時のメインIO線対MIO間の電位差の最大値が $V_{DD} - V_{th} - V_{SS}$ である場合（[A]）と、 $V_{DD} - V_{SS}$ である場合（[B]）とのそれぞれについて、メインIO線対MIOの充放電電流を測定した結果を示す。なお、表1には、2.4 Gbps / fast mode / -5 C のDRAMを用い、電源電圧 V_{DD} を1.3 V とする条件の下、8ビットのライトデータの連続書き込み（X8）と、16ビットのライトデータの連続書き込み（X16）とを、それぞれ所定回数ずつ繰り返した場合の充放電電流の積算値を示している。表1の結果から、本実施の形態による半導体装置1の構成を採用することで、メインIO線対MIOの充放電電流が

少量で済むことが理解される。

[0069] [表1]

	[A]	[B]
X8	24.3mA	28.2mA
X16	48.6mA	56.3mA

[0070] また、本実施の形態による半導体装置1によれば、ライト動作の際のプリチャージ電位が $V_{DD} - V_{th}$ となるので、電源電位 V_{DD} である場合に比べ、ライト動作の際のプリチャージの際に消費される電力も低減されている。一方で、リード動作の際のプリチャージ電位については従来同様電源電位 V_{DD} を維持しているので、リード動作を確実に行うことが可能となっている。

[0071] 次に、本発明の第2の実施の形態による半導体装置1は、図5に示すように、ライト用プリチャージ回路50、リード用プリチャージ回路51、ライトドライバ52、及び、リード用プリチャージ回路54のそれぞれに供給していた電源電位 V_{DD} をアレイ電位 V_{ARY} に変更した点で、第1の実施の形態による半導体装置1と相違する。その他の点では第1の実施の形態による半導体装置1と同様であるので、以下相違点に着目して説明する。

[0072] 上述したように、アレイ電位 V_{ARY} は電源電位 V_{DD} より低い電位レベルの電位である。これにより、本実施の形態による半導体装置1によれば、第1の実施の形態による半導体装置1に比べ、より一層の低消費電力化が実現される。以下、具体的な例を挙げて説明する。

[0073] 図6は、第1の実施の形態(E m. 1)による半導体装置1と、第2の実施の形態(E m. 2)による半導体装置1とのそれぞれについて、メインIO線MIOB、MIO Tそれぞれの電位 V_{MIOB} 、 $V_{MIO T}$ の変化と、メインIO線MIOB、MIO Tに流れ込む電流Iの変化とを測定した結果を示す図である。同図の測定も、2.4 Gbps / fast mode / -5CのDRAMを用い、電源電圧 V_{DD} を1.3Vとする条件の下で行ったものである。アレイ電圧 V_{ARY} は、1.0Vである。

[0074] 図6に示すように、本実施の形態による半導体装置1では、ライト動作時のメインIO線対MIO間の電位差の最大値が、第1の実施の形態による半導体装置1に比べて若干小さくなっている。また、ライト動作時のプリチャージ電位が1.0Vと、第1の実施の形態による半導体装置1の1.3Vに比べて0.3V低下している。これらの結果として本実施の形態による半導体装置1では、図6に示すように、第1の実施の形態による半導体装置1に比べて、電流Iが約5%削減されている。

[0075] このように、本実施の形態による半導体装置1によれば、ライト用プリチャージ回路50及びライトドライバ52にアレイ電位VARYを供給していることにより、第1の実施の形態による半導体装置1に比べてライト動作時のメインIO線対MIOの充放電電流を低減することが可能になっている。同様に、リード用プリチャージ回路51、54にアレイ電位VARYを供給していることにより、ライト動作時だけでなくリード動作時についても、メインIO線対MIOの充放電電流を低減することが可能になっている。したがって、より一層の低消費電力化を実現することが可能になる。

[0076] 以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

[0077] 例えば、上記各実施の形態では、DRAMのメインIO線対MIOに本発明を適用した場合を例に取って説明したが、本発明は、DRAMのメインIO線対MIOに限らず、充放電電流を低減する必要のあるデータ線対に広く適用できる。

[0078] また、上記各実施の形態では、トランジスタT1、T2、T5、T6をNMOSとすることにより低消費電力化を実現したが、オンであるときにドレインに供給される電圧の電位レベルより低い電位を対応するデータ線に供給できればよく、必ずしもNMOSでなければならないわけではない。例えば、NMOSの代わりに、Nチャンネル型MISFETなどを用いることも可

能である。

符号の説明

[0079] 1	半導体装置
1 0 a, 1 0 b	クロック端子
1 1	クロックイネーブル端子
1 2	アドレス端子
1 3	コマンド端子
1 4	アラート端子
1 5	電源端子
1 6	データ端子
1 7	ストローク端子
1 8	ODT端子
1 9	DM／DBI端子
2 0	クロック生成回路
2 1	コマンドデコーダ
2 2	コントロールロジック
2 3	出力バッファ
2 4	モードレジスタ
2 5	ロウコントロール回路
2 6	カラムコントロール回路
3 0	メモリセルアレイ
3 1 ₀ ～3 1 _n	ロウデコーダ
3 2 ₀ ～3 2 _n	センス回路
3 3 ₀ ～3 3 _n	カラムデコーダ
3 4	データ制御回路
3 5	ラッチ回路
3 6	入出力回路
3 7	DLL回路

3 9	電圧生成回路
4 0 ₁ ~ 4 0 ₄	センスアンプ
4 1 ₁ ~ 4 1 ₄	カラムスイッチ
4 2	プリチャージ回路
4 3	ローカル I/O 線選択スイッチ
5 0	ライト用プリチャージ回路
5 1, 5 4	リード用プリチャージ回路
5 2	ライトドライバ
5 3	メイン I/O 線選択スイッチ
5 5	制御回路
B A ₀ ~ B A _n	バンク
B L 0 ~ B L 3	ビット線対
B L 0 T ~ B L 3 T, B L 0 B ~ B L 3 B	ビット線
L I O 0	ローカル I/O 線対
L I O 0 B, L I O 0 T	ローカル I/O 線
M I O	メイン I/O 線対
M I O B, M I O T	メイン I/O 線
T 1 ~ T 6, T 9 ~ T 1 2	N チャンネル型 MOSFET
T 7, T 8, T 1 3 ~ T 1 6	P チャンネル型 MOSFET

請求の範囲

[請求項1]

第1及び第2のデータ線からなる第1のデータ線対と、
一端が前記第1のデータ線に接続され、他端に第1の電源電位が供給され、オンであるときに前記第1の電源電位より低い第1の電位を前記第1のデータ線に供給するように構成される第1のトランジスタと、
一端が前記第2のデータ線に接続され、他端に前記第1の電源電位が供給され、オンであるときに前記第1の電位を前記第2のデータ線に供給するように構成される第2のトランジスタと、
一端が前記第1のデータ線に接続され、他端に前記第1の電位より低い第2の電源電位が供給され、オンであるときに前記第2の電源電位を前記第1のデータ線に供給するように構成される第3のトランジスタと、
一端が前記第2のデータ線に接続され、他端に前記第2の電源電位が供給され、オンであるときに前記第2の電源電位を前記第2のデータ線に供給するように構成される第4のトランジスタと、
前記第1のデータ線対に供給すべきデータに基づいて、前記第1乃至第4のトランジスタのオンオフ状態を制御する制御回路と
を備えることを特徴とする半導体装置。

[請求項2]

前記制御回路は、電位レベルが前記第1の電源電位である信号により、前記第1乃至第4のトランジスタそれぞれのオンオフ状態を制御するよう構成される
ことを特徴とする請求項1に記載の半導体装置。

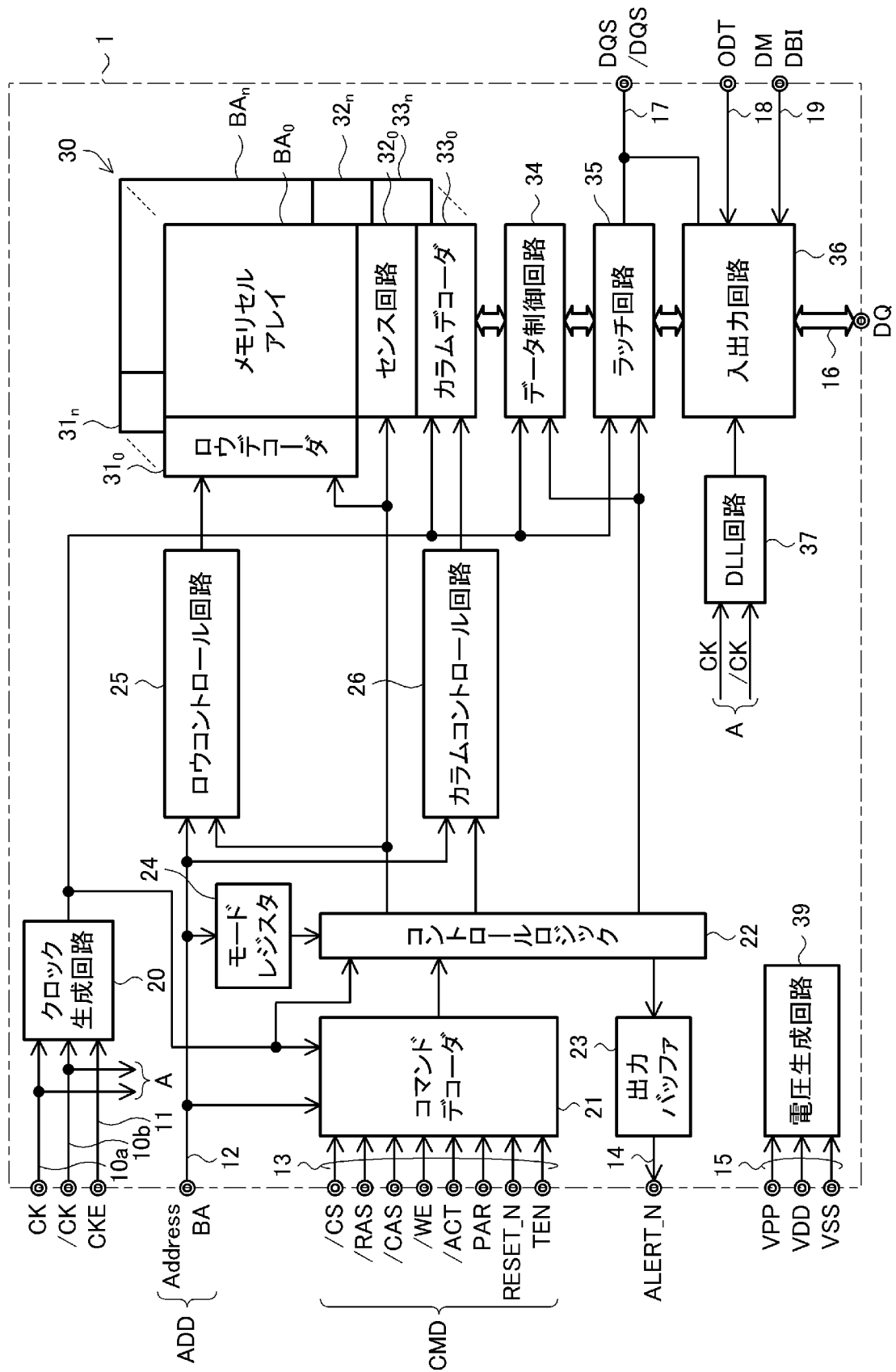
[請求項3]

前記制御回路は、前記データが第1の値であるときに前記第1及び第4のトランジスタをオフ、前記第2及び第3のトランジスタをオンとし、前記データが第2の値であるときに前記第1及び第4のトランジスタをオン、前記第2及び第3のトランジスタをオフとする
ことを特徴とする請求項1に記載の半導体装置。

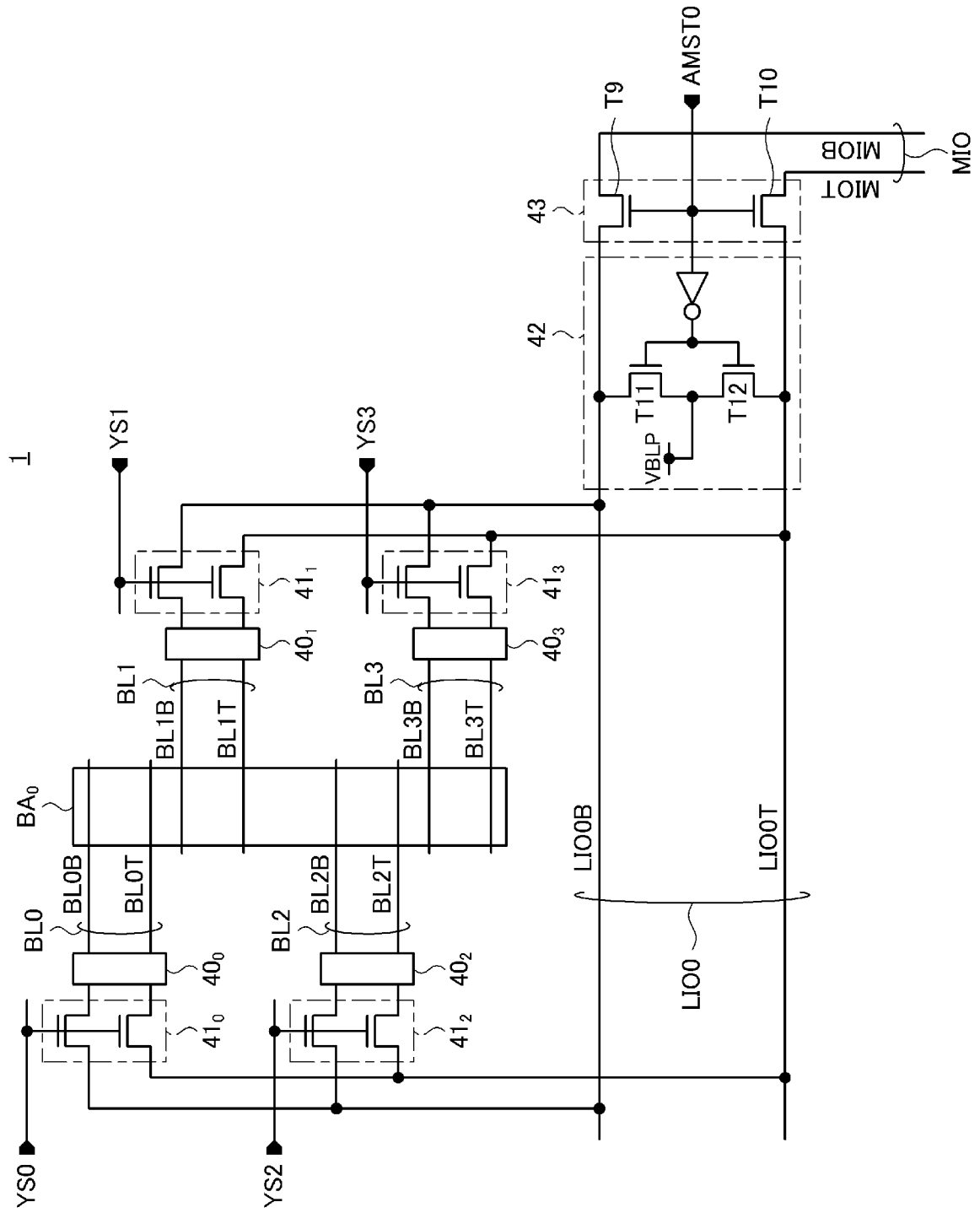
- [請求項4] 前記第1乃至第4のトランジスタはそれぞれNチャンネル型MOS FETである
- ことを特徴とする請求項1に記載の半導体装置。
- [請求項5] 一端が前記第1のデータ線に接続され、他端に前記第1の電源電位が供給され、オンであるときに前記第1の電位を前記第1のデータ線に供給するように構成される第5のトランジスタと、
- 一端が前記第2のデータ線に接続され、他端に前記第1の電源電位が供給され、オンであるときに前記第1の電位を前記第2のデータ線に供給するように構成される第6のトランジスタとをさらに備え、
- 前記第5及び第6のトランジスタは、互いに同一のオンオフ状態となるよう制御される
- ことを特徴とする請求項1に記載の半導体装置。
- [請求項6] 前記第5及び第6のトランジスタのオンオフ状態は、電位レベルが前記第1の電源電位である信号により制御される
- ことを特徴とする請求項5に記載の半導体装置。
- [請求項7] 前記第5及び第6のトランジスタはそれぞれNチャンネル型MOS FETである
- ことを特徴とする請求項5に記載の半導体装置。
- [請求項8] 一端が前記第1のデータ線に接続され、他端に前記第1の電源電位が供給され、オンであるときに前記第1の電源電位を前記第1のデータ線に供給するように構成される第7のトランジスタと、
- 一端が前記第2のデータ線に接続され、他端に前記第1の電源電位が供給され、オンであるときに前記第1の電源電位を前記第2のデータ線に供給するように構成される第8のトランジスタとをさらに備え、
- 前記第7及び第8のトランジスタは、互いに同一のオンオフ状態となるよう制御される
- ことを特徴とする請求項1に記載の半導体装置。

- [請求項9] 前記第7及び第8のトランジスタのオンオフ状態は、電位レベルが前記第1の電源電位である信号により制御されることを特徴とする請求項8に記載の半導体装置。
- [請求項10] 前記第7及び第8のトランジスタはそれぞれPチャンネル型MOSFETであることを特徴とする請求項8に記載の半導体装置。
- [請求項11] 第3及び第4のデータ線からなる第2のデータ線対と、一端が前記第3のデータ線に接続され、他端が前記第1のデータ線に接続された第9のトランジスタと、一端が前記第4のデータ線に接続され、他端が前記第2のデータ線に接続された第10のトランジスタと、一端が前記第3のデータ線に接続され、他端に第3の電源電位が供給されるNMOSである第11のトランジスタと、一端が前記第4のデータ線に接続され、他端に前記第3の電源電位が供給されるNMOSである第12のトランジスタとをさらに備え、前記第11及び第12のトランジスタは、電位レベルが前記第3の電源電位より高い第2の電位である信号により、互いに同一のオンオフ状態となるよう制御されることを特徴とする請求項1に記載の半導体装置。

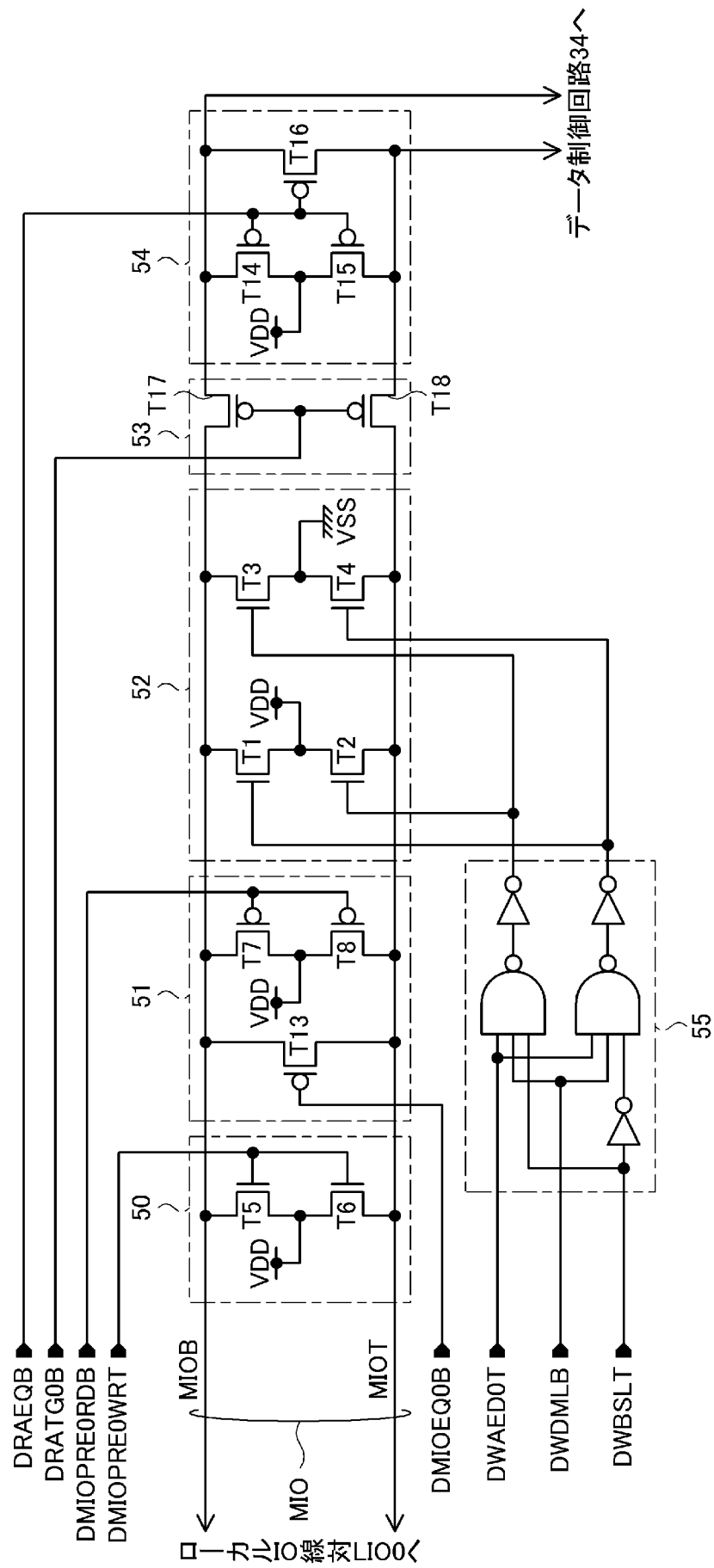
[図1]



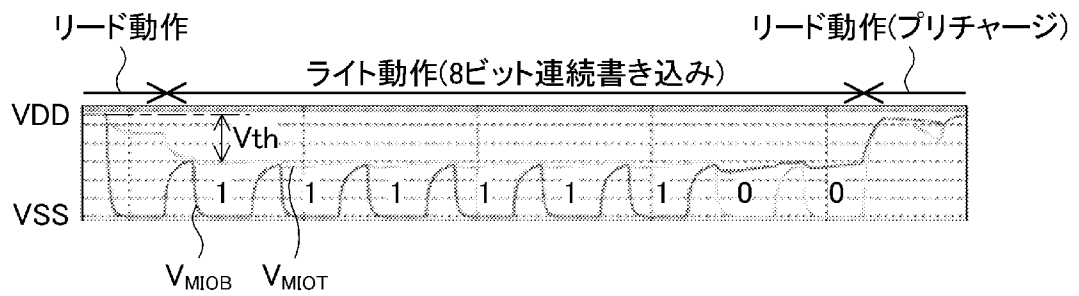
[図2]



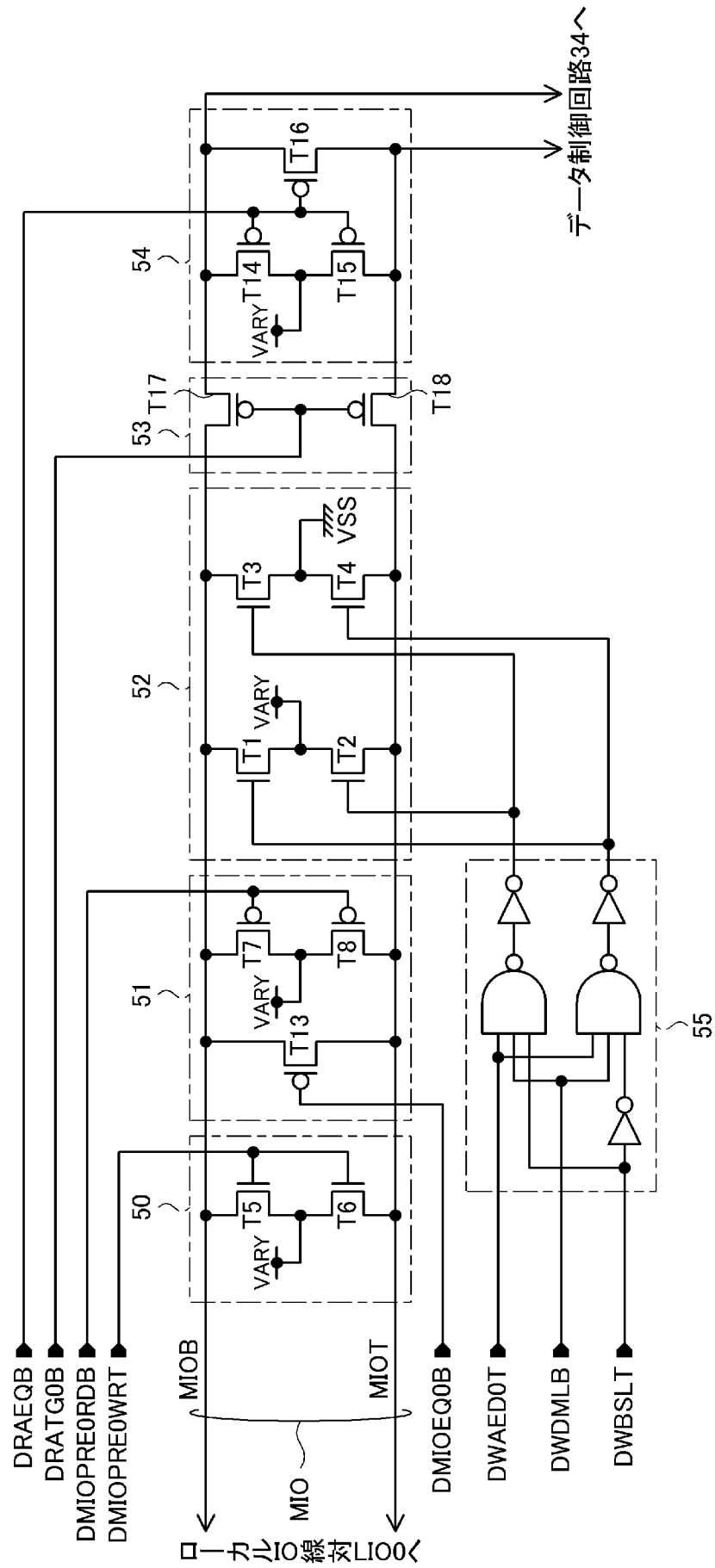
[図3]



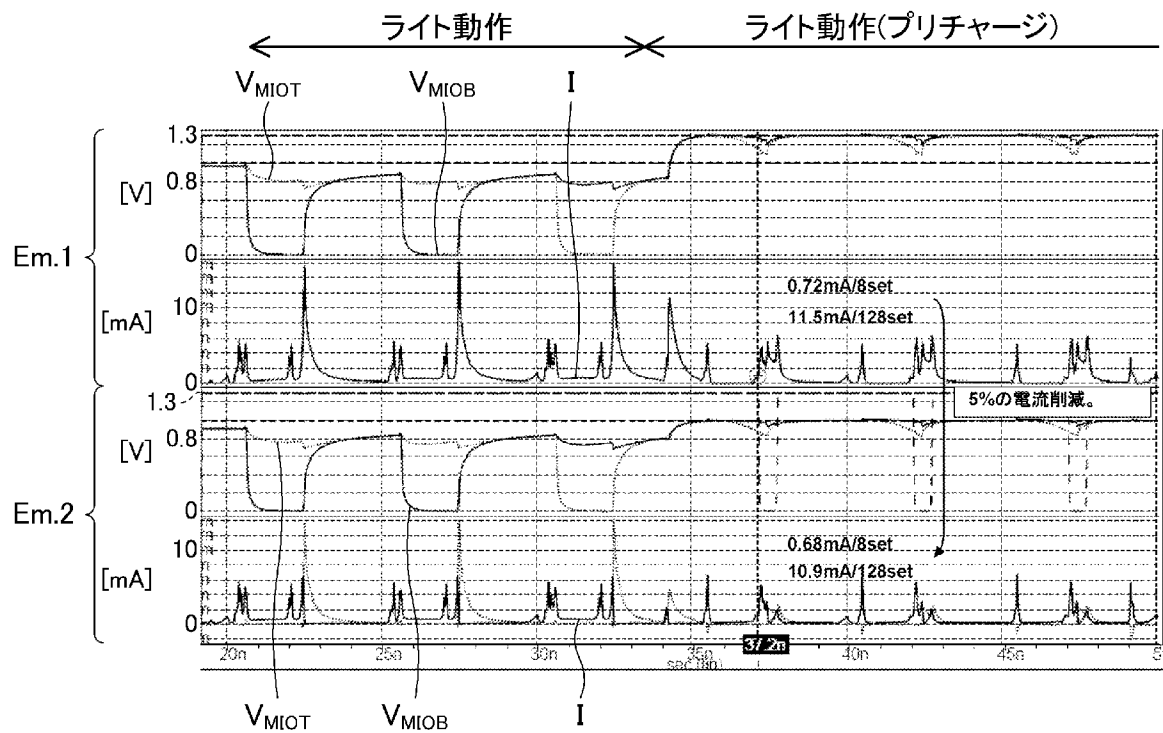
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062791

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/4096(2006.01)i, G11C11/4094(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/4096, G11C11/4094

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-60658 A (Fujitsu Ltd.), 04 March 1994 (04.03.1994), paragraphs [0022] to [0028]; fig. 8 to 11 (Family: none)	1-10 11
X A	JP 2000-311489 A (Fujitsu Ltd.), 07 November 2000 (07.11.2000), paragraphs [0028] to [0041]; fig. 3 & US 6144602 A	1-4, 8-10 5-7, 11
X A	JP 2000-215669 A (Mitsubishi Electric Corp.), 04 August 2000 (04.08.2000), paragraphs [0044] to [0047]; fig. 4 (Family: none)	1-4, 8-10 5-7, 11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 July, 2014 (14.07.14)

Date of mailing of the international search report
22 July, 2014 (22.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062791

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-74959 A (United Memories, Inc., Sony Corp.), 15 March 2002 (15.03.2002), paragraphs [0011] to [0019]; fig. 2 & US 6414897 B1	1-4, 8-10 5-7, 11
Y	JP 7-141887 A (Mitsubishi Electric Corp., Mitsubishi Electric Engineering Co., Ltd.), 02 June 1995 (02.06.1995), paragraphs [0114] to [0118]; fig. 12 & US 5490119 A	11

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G11C11/4096(2006.01)i, G11C11/4094(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/4096, G11C11/4094

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 6-60658 A（富士通株式会社）1994.03.04, 【0022】－ 【0028】段落, 第8－11図（ファミリーなし）	1－10 11
X A	JP 2000-311489 A（富士通株式会社）2000.11.07, 【0028】－ 【0041】段落, 第3図 & US 6144602 A	1－4, 8－10 5－7, 11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 7 . 2 0 1 4

国際調査報告の発送日

2 2 . 0 7 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

滝谷 亮一

電話番号 03-3581-1101 内線 3565

5 U

3 1 3 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2000-215669 A (三菱電機株式会社) 2000.08.04, 【0044】 －【0047】段落, 第4図 (ファミリーなし)	1－4, 8－10 5－7, 11
X A	JP 2002-74959 A (ユナイテッド・メモリーズ・インコーポレーテッド, ソニー株式会社) 2002.03.15, 【0011】－【0019】, 第 2図 & US 6414897 B1	1－4, 8－10 5－7, 11
Y	JP 7-141887 A (三菱電機株式会社, 三菱電機エンジニアリング株式 会社) 1995.06.02, 【0114】－【0118】段落, 第12図 & US 5490119 A	11