

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H05B 33/14 (2006.01)



[12] 发明专利说明书

专利号 ZL 02826554.8

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416636C

[22] 申请日 2002.10.30 [21] 申请号 02826554.8
[30] 优先权

[32] 2001.10.30 [33] JP [31] 333462/2001

[32] 2002. 9.30 [33] JP [31] 287997/2002

[86] 国际申请 PCT/JP2002/011278 2002.10.30

[87] 国际公布 WO2003/038793 日 2003.5.8

[85] 进入国家阶段日期 2004.6.30

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

[72] 发明人 木村肇

[56] 参考文献

JP11-045071A 1999.2.16

EP1102234A2 2001.5.23

JP2001-056667A 2001.2.27

US6091203A 2000.7.18

WO99065011A2 1999.12.16

CN1144393A 1997.3.5

WO98048403A1 1998.10.29

JP2001-034221A 2001.2.9

CN1312535A 2001.9.12

审查员 房宝盛

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 叶恺东

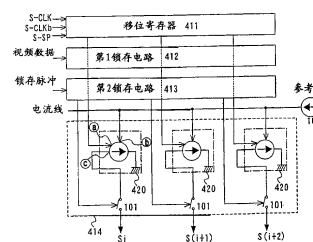
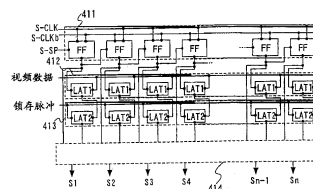
权利要求书 4 页 说明书 72 页 附图 82 页

[54] 发明名称

信号线驱动电路、发光装置及其驱动方法

[57] 摘要

晶体管的特性产生离散。本发明是一种信号线驱动电路，具有与多根布线分别对应的多个恒流源电路和移位寄存器，其特征在于：上述多个电流源电路中的每一个都具有电容装置和供给装置，上述电容装置按照从上述移位寄存器供给的采样脉冲，将供给的电流变换成电压，上述供给装置供给与上述变换后的电压对应的电流。



1. 一种信号线驱动电路, 具有与多根布线的每一个对应的多个电流源电路和移位寄存器, 其特征在于:

上述多个电流源电路的每一个按照从上述移位寄存器供给的采样脉冲, 将供给的电流变换成电压, 并保持上述已变换的电压, 供给与上述已变换的电压对应的电流,

上述多个电流源电路的每一个供给与参考恒流源成比例的电流。

2. 一种信号线驱动电路, 具有与多根布线的每一个对应的多个电流源电路和移位寄存器, 其特征在于:

对 1 根布线配置上述多个电流源电路中的 2 个电流源电路,

上述多个电流源电路的每一个按照从上述移位寄存器供给的采样脉冲, 将供给的电流变换成电压, 并保持上述已变换的电压, 供给与上述已变换的电压对应的电流,

上述多个电流源电路的每一个供给与参考恒流源成比例的电流。

3. 一种信号线驱动电路, 具有与多根布线的每一个对应的多个电流源电路和移位寄存器, 其特征在于:

对 1 根布线配置上述多个电流源电路中的 n 个电流源电路, 并且 n 为大于等于 2 的自然数,

上述 n 个电流源电路的每一个按照从上述移位寄存器供给的采样脉冲, 将供给的电流变换成电压, 并保持上述已变换的电压, 供给与上述已变换的电压对应的电流,

上述多个电流源电路的每一个供给与上述 n 个参考恒流源成比例的电流。

4. 权利要求 3 所述的信号线驱动电路, 其特征在于:

从上述 n 个参考恒流源供给的电流值被设定成 $2^0: 2^1: \dots \dots: 2^{n-1}$ 。

5. 权利要求 3 所述的信号线驱动电路, 其特征在于:

上述 n 个电流源电路连接在上述 n 个参考恒流源上。

6. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路, 其特征在于:

上述多根布线是多根信号线或多根电流线。

7. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路, 其特征在于:

上述移位寄存器由译码电路构成，并随机选择上述多根布线。

8. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有晶体管。

9. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有晶体管和电容元件。

10. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有第 1 晶体管和第 2 晶体管。

11. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有第 1 和第 2 晶体管以及电容元件。

12. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有：

包含第 1 和第 2 晶体管的电流镜电路。

13. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有：

包含第 1 和第 2 晶体管的电流镜电路、以及
电容元件。

14. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有第 1 和第 2 晶体管，

上述第 1 和上述第 2 晶体管的栅极宽度除以栅极长度的值被设定成相同的值。

15. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有第 1 和第 2 晶体管，

上述第 1 晶体管的栅极宽度除以栅极长度的值被设定成比上述第 2 晶体管的栅极宽度除以栅极长度的值还大的值。

16. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有第 1、第 2 及第 3 晶体管。

17. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有：

包含 m 个晶体管的电流镜电路，其中， m 为自然数，

上述 m 个晶体管的栅极宽度除以栅极长度的值被设定成 2^0 ：

2^1 ：... ...： 2^{m-1} ，

上述 m 个晶体管的漏极电流被设定成 2^0 ： 2^1 ：... ...： 2^{m-1} 。

18. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有晶体管，上述晶体管工作在饱和区。

19. 权利要求 1 至权利要求 3 的任何一项所述的信号线驱动电路，其特征在于：

上述电流源电路具有晶体管，上述晶体管的有源层由多晶硅形成。

20. 一种信号线驱动电路，具有与多根第 1 布线的每一个对应的多个电流源电路和移位寄存器，其特征在于：

上述多个电流源电路的每一个按照从上述移位寄存器供给的信号，将供给的电流变换成电压，并保持上述已变换的电压，供给与上述已变换的电压对应的电流，

上述多个电流源电路的每一个供给与参考恒流源成比例的电流，在上述多个电流源电路与多个第 2 布线之间具有开关。

21. 权利要求 20 所述的信号线驱动电路，其特征在于：

视频信号被输入到上述开关。

22. 一种信号线驱动电路，具有与第 1 布线对应的电流源电路和移位寄存器，其特征在于：

上述电流源电路按照从上述移位寄存器供给的信号，将供给的电流变换成电压，并保持上述已变换的电压，供给与上述已变换的电压对应的电流，

在第 2 布线和上述电流源电路之间具有开关，

上述电流源电路供给与参考恒流源成比例的电流。

23. 权利要求 22 所述的信号线驱动电路, 其特征在于:

视频信号被输入到上述开关。

24. 一种发光装置, 其特征在于:

具有权利要求 1 至权利要求 23 的任何一项记载的上述信号线驱动电路和每一个中包含发光元件的多个像素呈矩阵形状配置的像素部, 从上述信号线驱动电路向上述发光元件供给电流。

25. 一种发光装置的驱动方法,

上述发光装置设有呈矩阵状配置了多根布线和多个像素的像素部、以及具有与上述多根布线的每一个对应的多个电流源电路和移位寄存器的信号线驱动电路, 其特征在于:

1 帧期间具有多个子帧期间,

上述多个子帧期间的每一个具有地址期间和亮灯期间,

在上述地址期间, 上述多个电流源电路按照从上述移位寄存器供给的采样脉冲, 将供给的电流变换成电压,

在上述亮灯期间, 上述多个电流源电路将对应于上述已变换的电压的电流供给上述像素,

上述多个电流源电路的每一个供给与参考恒流源成比例的电流。

26. 权利要求 25 所述发光装置的驱动方法, 其特征在于:

上述像素部按线顺序或点顺序进行驱动。

27. 权利要求 25 所述的发光装置的驱动方法, 其特征在于:

上述多根布线是多根信号线或多根电流线。

信号线驱动电路、发光装置及其驱动方法

技术领域

本发明涉及信号线驱动电路，此外，还涉及具有上述信号线驱动电路的发光装置的技术。

背景技术

近年来，正在兴起进行图像显示的显示装置的开发。作为显示装置，使用液晶元件进行图像显示的液晶显示装置因其高画质、超薄、重量轻等优点而被广泛使用。

另一方面，近年来又兴起使用自发光元件的发光装置的开发。发光装置除现有的液晶显示装置的优点之外，又具有适合于动画显示的较快响应速度、低电压和低功耗等特征，作为下一代显示器件受到很大的关注。

作为在发光装置上显示多灰度的图像时的灰度表现方法，可以举出模拟灰度方式和数字灰度方式。前者的模拟灰度方式是模拟控制流过发光元件的电流的大小而得到灰度的方式。后者的数字灰度方式是只利用发光元件的导通状态(辉度大致是100%的状态)和截止状态(辉度大致是0%的状态)这样2个状态进行驱动的方式。在数字辉度方式中，因只能直接显示2个灰度，故提出与别的方式组合显示多灰度的图像的方法。

此外，作为像素的驱动方法，若按输入像素的信号种类分类，可以举出电压输入方式和电流输入方式。前者的电压输入方式是将向像素输入的视频信号(电压)输入到驱动元件的栅极，使用该驱动元件去控制发光元件的辉度的方式。后者的电流输入方式是通过使发光元件流过设定的信号电流去控制发光元件的辉度的方式。

这里，使用图16(A)简单说明使用电压驱动方式的发光装置的一例像素电路及其驱动方法。图16(A)所示的像素具有信号线501、扫描线502、开关TFT503、驱动TFT504、电容元件505、发光元件506和电源507、508。

当扫描线502的电位变化，使开关TFT503导通时，输入信号线501的视频信号输入到驱动TFT504的栅极。根据输入的视频信号的电

位决定驱动 TFT504 的栅源间的电压,从而决定流过驱动 TFT504 的源漏间的电流。该电流供给发光元件 506,使该发光元件 506 发光。作为驱动发光元件的半导体元件,可以使用多晶硅晶体管。但是,多晶硅晶体管因晶粒边界缺陷,容易产生阈值或导通电流等电特性的离散。在图 16(A)所示的像素中,若驱动 TFT504 的特性对每一个像素离散,则当输入相同的视频信号时,因与其对应的驱动 TFT504 的漏极电流的大小不同,故发光元件 506 的辉度离散。

为了解决上述问题,可以向发光元件供给所要的电流而不受驱动发光元件的 TFT 特性的左右。根据这一观点提出能控制向发光元件供给的电流的大小而不受 TFT 特性左右的电流输入方式。

其次,使用图 16(B)和 17 简单说明使用电流输入方式的发光装置中像素电路的一例及其驱动方法。图 16(B)所示的像素具有信号线 601、第 1~第 3 扫描线 602~604、电流线 605、TFT606~609、电容元件 610 和发光元件 611。电流源电路 612 配置在各信号线(各列)。

使用图 17 说明从写入视频信号到发光的动作。在图 17 中,表示各部分的图号以图 16 为准。图 17(A)~(C)模式地示出电流的路径。图 17(D)示出视频信号写入时流过各路径的电流关系,图 17(E)示出视频信号写入时电容元件 610 积蓄的电压、即 TFT608 栅源极间的电压。

首先,向第 1 和第 2 扫描线 602、603 输入脉冲,使 TFT606、607 导通。这时,将流过信号线 601 的信号电流记作 I_{data} 。因信号线 601 流过信号电流 I_{data} ,故如图 17(A)所示,在像素内,电流分成 I_1 和 I_2 两路流过。它们的关系如图 17(D)所示,当然是: $I_{data}=I_1+I_2$ 。

TFT606 导通的瞬间,因电容元件 610 中尚未保存电荷,故 TFT608 截止。因此, $I_2=0$, $I_{data}=I_1$ 。其间,电容元件 610 的两电极之间流过电流,在该电容元件 610 中进行电荷的积蓄。

接着,电容元件 610 逐渐积蓄电荷,两电极间开始产生电位差(图 17(E))。当两电极的电位差到达 V_{th} (图 17(E)中的 A 点)时, TFT608 导通产生 I_2 。如前所述,因 $I_{data}=I_1+I_2$,故 I_1 逐渐减小,但依然流过电流,电容元件 610 进一步积蓄电荷。

电容元件 610 继续积蓄电荷,直到 TFT608 的栅源极间的电压达到所要的电压。即,继续积蓄电荷,直至达到 TFT608 仅能够流过 I_{data}

电流的电压。不久,若电荷的积蓄终结(图17(E)中的B点),则不流过电流 I_2 。因TFT608完全导通,故 $I_{data}=I_2$ (图17(B))。通过以上动作,完成对象素写入信号的动作。最后,结束对第1和第2扫描线602、603的选择,TFT606、607截止。

接着,向第3扫描线604输入脉冲,TFT609导通。因电容元件610保持刚才已写入的VGS,故TFT608导通,电流线605流过等于 I_{data} 的电流。因此,发光元件611发光。这时,若TFT608工作在饱和区,即使TFT608的源漏极间的电压变化,流过发光元件611的发光电流 I_{EL} 也不变。

如上所述,电流输入方式是指将TFT609的漏极电流设定为和电流源电路612设定的信号电流 I_{data} 相同的电流值,使发光元件611以和该漏极电流对应的辉度发光的方式。通过使用上述构成的象素,可以抑制构成象素的TFT的特性离散的影响,并可以向发光元件供给所要的电流。

但是,在使用电流输入方式的发光装置中,有必要向象素准确地输入与视频信号对应的电流。若担任向象素输入信号电流的信号线驱动电路(在图16中相当于电流源电路612)由多晶硅晶体管构成,则因其特性产生离散,故该信号电路也产生离散。

即,在使用电流输入方式的发光装置中,有必要抑制构成象素和信号线驱动电路的TFT的特性离散的影响。但是,通过使用图16(B)所示结构的象素,虽然可以抑制构成象素的TFT特性离散的影响,但抑制构成信号线驱动电路的TFT特性离散的影响很困难。

在此,使用图18简单说明配置在对电流输入方式的象素进行驱动的信号线驱动电路中的电流源电路的结构及其动作。

图18(A)(B)中的电流源电路612与图16(B)所示的电流源电路612相当。电流源电路612具有恒流源555~558。恒流源555~558通过经端子551~554输入的信号进行控制。从恒流源555~558供给的电流的大小各不相同,其比设定为1:2:4:8。

图18(B)是表示电流源电路612的电路结构的图,图中的恒流源555~558相当于晶体管。晶体管555~558的导通电流取决于 L (栅极长度)/ W (栅极宽度)的比(1:2:4:8),变成1:2:4:8。由此,电流源电路612可以按 $2^4=16$ 级控制电流的大小。即,对4位数字视

频信号,可以输出具有16级灰度的模拟值的电流。再有,该电流源电路612由多晶硅晶体管构成,和像素部在同一块衬底上一体地形成。

这样,以前提出过内部装有电流源电路的信号线驱动电路的方案。(例如参照非专利文献1、2)

此外,在数字灰度方式中,为了表现多灰度的图像,采用数字灰度方式和面积灰度方式组合的方式(以下记作面积灰度方式)及数字灰度方式和时间灰度方式组合的方式(以下记作时间灰度方式)。面积灰度方式是将一个像素分割成多个副像素,对各个副像素选择发光和不发光,利用在一个像素中发光的面积和除此之外的面积的差去表现灰度的方式。时间灰度方式是通过控制发光元件发光的时间去表现灰度的方式。具体地说,将1帧期间分割成长度不同的多个子帧期间,选择各期间的发光元件的发光或不发光,利用1帧期间内发光时间长度的差去表现灰度。在数字灰度方式中,为了表现多灰度的图像,提出数字灰度方式和时间灰度方式组合的方式(以下记作时间灰度方式)。(例如参照专利文献1)

【非专利文献1】

服部励治、其余3名,“信学技报”,ED2001-8,电流指定型多晶硅TFT有源矩阵驱动有机LED显示电路仿真,p.7-14

【非专利文献2】

ReijiH et al. “AM-LCD'01”, OLED-4, p. 223-226

【专利文献1】

特开2001-5426号公报

上述电流源电路612通过设计L/W来设定晶体管的导通电流,使其为1:2:4:8。但是,晶体管555~558因制作工序和使用衬底的不同产生的栅极长度、栅极宽度和栅极绝缘膜的膜厚离散的原因,产生阈值或移动度的离散。因此,使晶体管555~558的导通电流如设计的那样准确地为1:2:4:8很困难。即,供给像素的电流因所在列的不同而产生离散。

为了使晶体管555~558的导通电流如设计的那样准确地为1:2:4:8,有必要使所有列的电流源电路的特性完全一样。即,虽然有必要使具有信号线驱动电路的电流源电路的特性完全一样,但实现起来非常困难。

发明内容

本发明是鉴于上述问题提出的，其目的在于提供能抑制 TFT 的特性离散的影响向像素供给所要的信号电流的信号线驱动电路。进而，本发明的目的在于提供一种发光装置，通过使用能抑制 TFT 的特性离散的影响的电路结构的像素，可以抑制构成像素和驱动电路双方的 TFT 的特性离散的影响，向发光元件供给所要的信号电流。

本发明提供设置有能抑制 TFT 的特性离散的影响以流过所要的恒定电流的电路（电流源电路）结构的信号线驱动电路。进而，本发明提供具有上述信号线驱动电路的发光装置。

本发明提供对各列配置了电流源电路的信号线驱动电路。

在本发明的信号线驱动电路中，将配置在具有信号线驱动电路的各信号线（各列）上的电流源电路设计成使用参考恒流源供给规定的信号电流。在设定了信号电流的电流源电路中，具有供给与参考恒流源成比例的电流的能力。结果，通过使用上述电流源电路，可以抑制信号线驱动电路的 TFT 的特性离散的影响。而且，利用视频信号控制决定是否从电流源电路向像素供给已设定的信号电流的开关。

即，当有必要使信号线流过与视频信号成比例的信号电流时，配置决定是否从电流源电路向信号线驱动电路供给信号电流的开关，该开关由视频信号控制。这里，将决定是否从电流源电路向信号线驱动电路供给信号电流的开关称作信号电流控制开关。

再有，参考恒流源也可以在衬底上和信号线驱动电路一体形成。此外，也可以在衬底的外部配置 IC 等，也可以输入恒定的电流作为参考电流。

使用图 1、2 概略说明本发明的信号线驱动电路。在图 1、2 中，示出从第 i 列到 $(i+2)$ 列共 3 根信号线的外围信号线驱动电路。

首先，对需要使信号线流过与视频信号成比例的信号电流的情况进行说明。

在图 1 中，信号线驱动电路 403 在信号线（各列）上配置电流源电路 420。电流源电路 420 具有端子 a、端子 b 和端子 c。端子 a 输入设定信号。从与电流线连接的参考恒流源 109 向端子 b 供给电流（参考电流）。此外，端子 c 经开关 101（信号电流控制开关）输出电流源电路 420 中保持的信号。即，电流源电路 420 受从端子 a 输入的设定

信号的控制,从端子 b 供给电流(参考电流),从端子 c 输出与该电流(参考电流)成比例的电流(信号电流)。开关 101(信号电流控制开关)配置在电流源电路 420 和象素之间,上述开关 101(信号电流控制开关)的通断受视频信号控制。

其次,使用图 2 说明和图 1 的结构不同的本发明的信号线驱动电路。在图 2 中,信号线驱动电路 403 对每一根信号线(各列)设置 2 个以上的电流源电路。而且,电流源电路 420 具有多个电流源电路。这里,假定各列配置 2 个电流源电路,电流源电路 420 具有第 1 电流源电路 421 和第 2 电流源电路 422。第 1 电流源电路 421 和第 2 电流源电路 422 具有端子 a、端子 b、端子 c 和端子 d。端子 a 输入设定信号。从与电流线连接的参考恒流源 109 向端子 b 供给电流(参考电流)。端子 c 经开关 101(信号电流控制开关)输出第 1 电流源电路 421 和第 2 电流源电路 422 保持的信号(信号电流)。从端子 d 输入控制信号。即电流源电路 420 受从端子 a 输入的设定信号和从端子 d 输入的控制信号的控制,从端子 b 供给电流(参考电流),从端子 c 输出与该电流(参考电流)成比例的电流(信号电流)。开关 101(信号电流控制开关)配置在电流源电路 420 和象素之间,上述开关 101(信号电流控制开关)的通断受视频信号控制。

将结束对电流源电路 420 进行信号电流的写入(设定信号电流、利用参考电流设定信号电流、电流源电路 420 能输出信号电流已被确定)的动作称作设定动作,将向象素输入信号电流的动作(电流源电路 420 输出信号电流的动作)称作输入动作。在图 2 中,因输入第 1 电流源电路 421 和第 2 电流源电路 422 的控制信号相互不同,故第 1 电流源电路 421 和第 2 电流源电路 422 一个进行设定动作,另一个进行输入动作。由此,各列可以同时进行 2 个动作。

再有,电流源电路的设定动作可以在任意时间,以任意时序,进行任意次数。此外,在图 1、2 所示的信号线驱动电路中,叙述了向信号线供给与视频信号成比例的信号电流的情况。但本发明并不限于此。例如,有必要向和信号线不同的别的线路供给电流。这时,不必配置开关 101(信号电流控制开关)。对于不配置该开关的情况,图 34 与图 1 对应、图 35 与图 2 对应示出。这时,电流向象素电流线输出。向信号线输出视频信号。

在本发明中，1个移位寄存器有2个作用。1个作用是控制电流源电路，另一个作用是控制视频信号的电路、即控制为显示图像而工作的电路的作用，例如，具有控制锁存电路、采样开关及开关101（信号电流控制开关）等的作用。在上述结构的本发明中，因不必配置控制电流源电路的电路和控制视频信号的电路等各个电路，故可以减少配置的电路的元件数，进而，可以减少元件数，所以，可以缩小线路图的面积。这样，可以提高制作时的成品率，并可以降低成本。此外，若能减小线路图的面积，因框缘窄故能实现框体的小型化。

再有，移位寄存器由触发电路或译码电路等构成。当移位寄存器由触发电路构成时，通常，多根布线从第1列到最后1列按顺序选择。另一方面，当移位寄存器由译码电路构成时，多根布线或者从第1列到最后1列按顺序选择，或者随机选择。移位寄存器可以按其用途选择具有能按顺序选择多根布线的功能的结构，或选择具有能随机选择的结构的结构。

但是，当选择具有能随机选择多根布线的功能的结构时，也能随机输出供给电流源电路的设定信号。因此，电流源电路的设定动作也不是按照从第1列到最后1列的顺序进行，而是可以随机进行。这样，便可以自由设定电流源电路进行设定动作的期间。此外，可以减小电流源电路的电容元件中保持的电荷的泄漏所产生的影响。这样，若电流源电路的设定动作能随机进行，则当电流源电路的设定动作出现问题时，可以弱化该问题的影响。

再有，在本发明中，TFT可以替换使用了通常的单结晶的晶体管、使用了SOI的晶体管或有机晶体管等而使用。

本发明提供具有上述电流源电路的信号线驱动电路。而且，本发明提供一种发光装置，通过使用抑制了TFT的特性离散影响的电路结构的像素，可以抑制构成像素和驱动电路两者的TFT的特性离散的影响，并可以向发光元件供给所要的信号电流。

附图说明

图1是信号线驱动电路的图。

图2是信号线驱动电路的图。

图3是信号线驱动电路的图（1位）。

图4是信号线驱动电路的图（1位）。

- 图 5 是信号线驱动电路的图（1 位）。
图 6 是信号线驱动电路的图（1 位）。
图 7 是信号线驱动电路的图（3 位）。
图 8 是信号线驱动电路的图（3 位）。
图 9 是表示时序的图。
图 10 是表示时序的图。
图 11 是表示时序的图。
图 12 是表示发光装置外观的图。
图 13 是发光装置的像素的电路图。
图 14 是说明本发明的驱动方法的图。
图 15 是表示本发明的发光装置的图。
图 16 是发光装置的像素的电路图。
图 17 是说明发光装置的像素的动作的图。
图 18 是电流源电路的图。
图 19 是说明电流源电路的动作的图。
图 20 是说明电流源电路的动作的图。
图 21 是说明电流源电路的动作的图。
图 22 是表示使用本发明的电子机器的图。
图 23 是电流源电路的电路图。
图 24 是电流源电路的电路图。
图 25 是电流源电路的电路图。
图 26 是信号线驱动电路的图（3 位）。
图 27 是信号线驱动电路的图（3 位）。
图 28 是说明电流源电路的驱动方法的时序图。
图 29 是信号线驱动电路的图（3 位）。
图 30 是参考恒流源的电路图。
图 31 是参考恒流源的电路图。
图 32 是参考恒流源的电路图。
图 33 是参考恒流源的电路图。
图 34 是信号线驱动电路的图。
图 35 是信号线驱动电路的图。
图 36 是电流源电路的电路图。

- 图 37 是电流源电路的电路图。
图 38 是电流源电路的电路图。
图 39 是电流源电路的电路图。
图 40 是电流源电路的电路图。
图 41 是电流源电路的电路图。
图 42 是信号线驱动电路的图。
图 43 是移位寄存器的图。
图 44 是移位寄存器和时序的图。
图 45 是表示时序的图。
图 46 是移位寄存器的图。
图 47 是信号线驱动电路的图。
图 48 是信号线驱动电路的图。
图 49 是信号线驱动电路的图。
图 50 是信号线驱动电路的图。
图 51 是信号线驱动电路的图。
图 52 是信号线驱动电路的图。
图 53 是信号线驱动电路的图。
图 54 是信号线驱动电路的图。
图 55 是信号线驱动电路的图。
图 56 是信号线驱动电路的图。
图 57 是信号线驱动电路的图。
图 58 是信号线驱动电路的图。
图 59 是信号线驱动电路的图。
图 60 是信号线驱动电路的图。
图 61 是信号线驱动电路的图。
图 62 是信号线驱动电路的图。
图 63 是信号线驱动电路的图。
图 64 是信号线驱动电路的图。
图 65 是信号线驱动电路的图。
图 66 是信号线驱动电路的图。
图 67 是信号线驱动电路的图。
图 68 是信号线驱动电路的图。

图 69 是信号线驱动电路的图。

图 70 是信号线驱动电路的图。

图 71 是像素的电路图。

图 72 是表示时序的图。

图 73 是表示时序的图。

图 74 是表示时序的图。

图 75 是表示时序的图。

图 76 是表示时序的图。

图 77 是表示时序的图。

图 78 是表示时序的图。

图 79 是表示时序的图。

图 80 是表示时序的图。

图 81 是表示时序的图。

图 82 是表示时序的图。

图 83 是表示时序的图。

图 84 是表示时序的图。

图 85 是表示时序的图。

图 86 是表示时序的图。

图 87 是电流源电路的布线图。

具体实施方式

(实施形态 1)

在本实施形态中,说明本发明的信号线驱动电路具备的电流源电路的结构及其动作。

在本发明中,从端子 a 输入的信号相当于从移位寄存器供给的采样脉冲。但是,因电流源电路的结构或驱动方式等原因,采样脉冲不直接输入,而是输入从与设定控制线(在图 1 中未示出)连接的逻辑运算器的输出端子供给的信号。上述逻辑运算器的 2 个输入端子,一个输入采样脉冲,另一个输入从设定控制线供给的信号。即,电流源电路 420 的设定按照采样脉冲或从与设定控制线连接的逻辑运算器的输出端子供给的信号的时序进行。

再有,移位寄存器具有使用了多列触发电路(FF)等的结构。而且,向上述移位寄存器输入时钟信号(S-CLK)、启动脉冲(S-SP)和

时钟反相信号 (S-CLKb)，把按照这些信号的时序顺序输出的信号称作采样脉冲。

此外，在上述逻辑运算器的 2 个输入端子中，对其中一个输入采样脉冲，对另一个输入从设定控制线供给的信号。在逻辑运算器中，进行输入的 2 个信号的逻辑运算，从输出端子输出信号。假如逻辑运算器是 NAND，则在图 14 (C) 所示的时序图中，可以在期间 Tb，从控制线向 NAND 输入高(High)的信号，在其余期间，从控制线向 NAND 输入低(Low)的信号。

移位寄存器由触发电路或译码电路等构成。当移位寄存器由触发电路构成时，通常对多根布线从第 1 列到最后一列按顺序进行选择。另一方面，当移位寄存器由译码电路构成时，对多根布线或者从第 1 列到最后一列按顺序进行选择，或者随机选择。移位寄存器可以按其用途选择具有能按顺序选择多根布线的功能的结构，或选择具有能随机选择的功能的结构。

在图 23 (A) 中，具有开关 104、105a、116、晶体管 102 (n 沟道型) 和保持该晶体管 102 的栅源电压 VGS 的电容元件 103 的电路相当于电流源电路 420。

在图 23 (A) 所示的电流源电路中，利用经端子 a 输入的采样脉冲使开关 104、105a 接通。这样，从与电流线连接的参考恒流源 109 (以下记作恒流源 109) 经端子 b 供给电流 (参考电流)，使电容元件 103 保持规定的电荷。而且，电容元件 103 将电荷保持下来，直到从恒流源 109 流出的电流 (参考电流) 和晶体管 102 的漏极电流相等。

其次，利用经端子 a 输入的信号使开关 104、105a 断开。这样，因电容元件 103 保持规定的电荷，故晶体管 102 具有流过与电流 (参考电流) 对应大小的电流的能力。而且，假如开关 101 (信号电流控制开关)、116 处于导通状态，则与信号线连接的像素经端子 c 流过电流。这是因为晶体管 102 的栅极电压通过电容元件 103 设定为规定的栅极电压，该晶体管 102 的漏极区流过与电流 (参考电流) 对应的漏极电流。因此，可以控制输入到像素的电流的大小，而与构成信号线驱动电路的晶体管的特性离散无关。

再有，当不配置开关 101 (信号电流控制开关) 时，若开关 116 导通，则经端子 c 向与信号线连接的像素供给电流。

再有，开关 104、105a 的连接结构不限于图 23 (A) 所示的结构。例如，也可以使开关 104 的一端与端子 b 连接，另一端与晶体管 102 的栅极连接，进而，使开关 105a 的一端经开关 104 与端子 b 连接，另一端与开关 116 连接。

或者，开关 104 配置在端子 b 和晶体管 102 的栅极之间，开关 105a 配置在端子 b 和开关 116 之间。即，对电流源电流配置的开关的个数、布线的根数及其连接没有特别的限制。但是，可以参照图 36 (A) 那样来配置开关，使在设定动作时象图 36 (A1) 那样连接，在输入动作时，象图 36 (A2) 那样连接。

再有，在图 23 (A) 所示的电流源电流中，设定信号的动作（设定动作）和把信号输入像素的动作（输入动作）不能同时进行。

在图 23 (B) 中，具有开关 124、125、晶体管 122 (n 沟道型)、保持该晶体管 122 的栅源电压 V_{GS} 的电容元件 123 和晶体管 126 (n 沟道型) 的电路相当于电流源电路 420。

晶体管 126 起作为开关或一部分电流源用晶体管的作用。

在图 23 (B) 所示的电流源电路中，利用经端子 a 输入的采样脉冲使开关 124、125 接通。这样，从与电流线连接的恒流源 109 经端子 b 供给电流（参考电流），使电容元件 123 保持规定的电荷。而且，电容元件 123 将电荷保持下来，直到从恒流源 109 流出的电流（参考电流）和晶体管 122 的漏极电流相等。再有，若开关 124 导通，因晶体管 126 的栅源极间的电压 V_{GS} 变成 0V，故晶体管 126 截止。

其次，利用经端子 a 输入的信号使开关 124、125 断开。这样，因电容元件 123 保持规定的电荷，故晶体管 122 具有流过与电流（参考电流）对应大小的电流的能力。而且，假如开关 101（信号电流控制开关）处于导通状态，则经端子 c 向与信号线连接的像素供给电流。这是因为晶体管 122 的栅极电压通过电容元件 123 设定为规定的栅极电压，该晶体管 122 的漏极区流过与信号电流 I_{data} 对应的漏极电流。因此，可以控制输入到像素的电流的大小，而与构成信号线驱动电路的晶体管的特性离散无关。

再有，若开关 124、125 截止，晶体管 126 的栅极和源极的电位不相等。结果，电容元件 123 中保持的电荷还分配给晶体 126，上述晶体管 126 自动导通。这里，晶体管 122、126 串联连接，且栅极相互连接。

因此,晶体管 122、126 作为多栅晶体管动作。即,在设定动作和输入动作时,晶体管的栅极长度 L 不同。因此,设定动作时,从端子 b 供给的电流值可以比输入动作时从端子 c 供给的电流值大。因此,配置在端子 b 和参考恒流源之间的各种负载(布线电阻、交叉电容等)能更快充电。因此,可以使设定动作很快完成。再有,当没有配置开关 101(信号电流控制开关)时,若晶体管 126 导通,则经端子 c 向与信号线连接的象素供给电流。

此外,对电流源电流配置的开关的个数、布线的根数及其连接没有特别的限制。即,可以参照图 36(B)那样来配置布线或开关,使在设定动作时象图 36(B1)那样连接,在输入动作时,象图 36(B2)那样连接。特别,在图 36(B2)中,若能使电容元件 107 保持的电荷不泄漏即可。

再有,在图 23(B)所示的电流源电流中,使电流源电路具有流过信号电流的能力而进行的设定动作和向象素供给该信号电流的输入动作(向象素输出电流)不能同时进行。

在图 23(C)中,具有开关 108、110、晶体管 105b、106(n 沟道型)和保持该晶体管 105b、106 的栅源极间电压 V_{GS} 的电容元件 107 的电路相当于电流源电路 420。

在图 23(C)所示的电流源电路中,利用经端子 a 输入的采样脉冲使开关 108、110 接通。这样,从与电流线连接的恒流源 109 经端子 b 供给电流(参考电流),使电容元件 107 保持规定的电荷。而且,电容元件 107 将电荷保持下来,直到从恒流源 109 流出的电流(参考电流)和晶体管 105b 的漏极电流相等。这时,因晶体管 105b 和晶体管 106 的栅极相互连接,故晶体管 105b 和晶体管 106 的栅极电压可以由电容 107 保持。

其次,利用经端子 a 输入的信号使开关 108、110 断开。这时,因电容元件 107 保持规定的电荷,故晶体管 106 具有流过与电流(参考电流)对应大小的电流的能力。而且,假如开关 101(信号电流控制开关)处于导通状态,则经端子 c 向与信号线连接的象素供给电流。这是因为晶体管 106 的栅极电压通过电容元件 107 设定为规定的栅极电压,该晶体管 106 的漏极区流过与电流(参考电流)对应的漏极电流。因此,可以控制输入到象素的电流的大小,而与构成信号线驱动电路

的晶体管的特性离散无关。

再有，当没有配置开关 101（信号电流控制开关）时，则电流经端子 c 流过与信号线连接的象素。

这时，为了使晶体管 106 的漏极区准确地流过与信号电流对应的漏极电流，有必要使晶体管 105b 和晶体管 106 的特性相同。更详细地说，必须使晶体管 105b 和晶体管 106 的移动度、阈值等值相同。此外，在图 23（C）中，可以任意设定晶体管 105b 和晶体管 106 的 W/L 的值，向象素供给与从恒流源 109 供给的电流成比例的电流。

此外，在晶体管 105b 和晶体管 106 中，通过将和恒流源 109 连接的晶体管的 W/L 设定的大些，可以从该恒流源 109 供给大电流，从而提高写入速度。

再有，在图 23 所示的电流源电路中，使电流源电路具有流出信号电流的能力而进行的设定动作和向象素输入该信号电流的输入动作能够同时进行。

图 23（D）（E）所示的电流源电路除开关 110 的连接不同之外，具有和图 23（C）的电流源电路相同的结构。此外，因图 23（D）（E）所示的电流源电路 420 的动作参照图 23（C）所示的电流源电路的动作，故省略其说明。

再有，对电流源电路配置的开关的个数、布线的根数及其连接没有特别的限制。即，可以参照图 36（C）那样来配置布线或开关，使在设定动作时象图 36（C1）那样连接，在输入动作时，象图 36（C2）那样连接。特别，在图 36（C2）中，若能使电容元件 107 保持的电荷不泄漏即可。

在图 37（A）中，具有开关 195b、195c、195d、195f、晶体管 195a 和电容元件 195e 的电路相当于电流源电路。在图 37（A）所示的电流源电路中，利用经端子 a 输入的信号使开关 195b、c、d、f 接通。这样，从与电流线连接的恒流源 109 经端子 b 供给电流，使电容元件 195e 保持规定的电荷，直到从恒流源 109 供给的信号电流和晶体管 195a 的漏极电流相等。

其次，利用经端子 a 输入的信号使开关 195b、195c、195d、195f 断开。这时，因电容元件 195e 保持规定的电荷，故晶体管 195a 具有流过与信号电流对应大小的电流的能力。这是因为晶体管 195a 的栅极

电压通过电容元件 195e 设定为规定的栅极电压, 该晶体管 195a 的漏极区流过与电流 (参考电流) 对应的漏极电流。在该状态下, 经端子 c 向外部供给电流。再有, 在图 37 (A) 所示的电流源电路中, 使电流源电路具有流过信号电流的能力的设定动作和向象素输入该信号电流的输入动作不能同时进行。但是, 利用经端子 a 输入的信号使受控制的开关接通, 而且, 当端子 c 不流过电流时, 有必要将端子 c 和其它电位的布线连接。若设该布线的电位为 V_a , 只要是使从端子 B 流过来的电流直接流过的电位, 该 V_a 取什么样的值都可以。作为一个例子, 可以是电源电压 V_{dd} 。

再有, 对开关的个数、布线的根数及其连接没有特别的限制。即, 可以参照图 37 (B) (C) 那样来配置开关, 使在设定动作时象图 37 (B1) (C1) 那样连接, 在输入动作时, 象图 37 (B2) (C2) 那样连接。

再有, 在图 23 (A) (C) ~ (E) 的电流源电路 420 中, 电流流动的方向 (从象素向信号线驱动电路的方向) 相同, 晶体管 102、105b、106 的导电类型可以是 p 沟道型。

因此, 图 24 (A) 示出电流流动的方向 (从象素向信号线驱动电路的方向) 相同、使图 23 (A) 所示的晶体管 102 为 p 沟道型时的电路图。在图 23 (A) 中, 通过在栅源间配置电容元件, 即使源极电位变化, 也能保持栅源极间的电压。此外, 图 24 (B) ~ (D) 示出电流流动的方向 (从象素向信号线驱动电路的方向) 相同、使图 23 (C) ~ (E) 所示的晶体管 105b、106 为 p 沟道型时的电路图。

图 38 (A) 示出在图 37 所示的构成中使晶体管 105a 为 p 沟道型的情况。图 38 (B) 示出在图 23 (B) 所示的构成中使晶体管 122、126 为 p 沟道型的情况。

在图 40 中, 具有开关 104、116、晶体管 102 和电容元件 103 等的电路与电流源电路相当。

图 40 (A) 相当于将图 23 (A) 的一部分变更后的电路。在图 40 (A) 所示的电流源电路中, 在电流源的设定动作时和输入动作时, 晶体管的栅极宽度 W 不同。即, 设定动作时象图 40 (B) 那样连接, 输入动作时象图 40 (C) 那样连接, 栅极宽度 w 不同。因此, 设定动作时从端子 b 供给的电流值可以比输入动作时从端子 c 供给的电流值大。为此, 配置在端子 b 和参考恒流源之间的各种负载 (布线电阻、交叉电

容等)能更快充电。因此,可以使设定动作很快完成。再有,图40示出将图23(A)的一部分变更后的电路。但是,对除图23之外的电路或图24、图37、图39、图38等电路也容易适用。

再有,在图23、图24、图37所示的电流源电路中,电流从像素向信号线驱动电路方向流动。但是,电流不仅仅从像素向信号线驱动电路方向流动,有时也从信号线驱动电路向像素方向流动。电流向哪个方向流动取决于像素的构成。当电流从信号线驱动电路向像素方向流动时,可以在图23中将 V_{ss} (低电位电源)变更成 V_{dd} (高电位电源),使晶体管102、105b、106、122、126为p沟道型即可。此外,在图24中将 V_{ss} 变更成 V_{dd} ,使晶体管102、105b、106为n沟道型即可。

再有,在上述所有的电流源电路中配置的电容元件因可以用晶体管栅极电容等去替代,所以,也可以不配置。

图23(A)~(E)、图38(A)(B)的电路可以配置布线或开关,在设定动作时象图39(A1)~(D1)那样连接,在输入动作时,象图39(A2)~(D2)那样连接。开关的个数和布线的根数没有特别限制。

以下,详细说明图23(A)和图24(A)、图23(C)~(E)和图23(B)~(D)的电流源电路的动作。首先,使用图19说明图23(A)和图24(A)的电流源电路的动作。

图19(A)~(C)典型地示出电流在电路元件间流动的路径。图19(D)示出将信号电流写入电流源电路时各路径流过的电流和时间的关系,图19(E)示出将信号电流写入电流源电路时电容元件16积蓄的电压、即晶体管15的栅源极间电压和时间的关系。在图19(A)~(C)所示的电路图中,11是参考恒流源(以下记作恒流源),开关12~14是具有开关功能的元件,15是晶体管,16是电容元件,17是像素。而且,具有开关14、晶体管15和电容元件16的电路相当于电流源电路20。

晶体管15的源极区与 V_{ss} 连接,漏极区与恒流源11连接。电容元件16的一个电极与 V_{ss} (晶体管15的源极)连接,另一个电极与开关14(晶体管15的栅极)连接。电容元件16起保持晶体管15的栅源极间电压的作用。

像素17由发光元件或晶体管等构成。发光元件具有阳极和阴极以

及夹在上述阳极和上述阴极之间的发光层。发光层使用周知的发光材料作成，此外，发光层有单层结构和层叠结构 2 种结构，可以使用任何一种结构。进而，发光层中的发光有从单重态激励状态返回基态时的发光（荧光）和从三重态激励状态返回基态时的发光（磷光），可以使用一种或两种发光。此外，发光层由有机材料或无机材料等周知的材料构成。

实际上，电流源电路 20 设在信号线驱动电路中，从设在信号线驱动电路中的电流源电路 20 经具有信号线或象素的电路元件等向发光元件供给与信号电流对应的电流。但是，在图 19 中，为了简单说明恒流源 11、电流源电路 20 和象素 17 的关系，省略详细构成的图示。

首先，使用图 19(A)(B)说明电流源电路 20 保持信号电流 I_{data} 的动作（设定动作）。在图 19(A)中，开关 12、14 导通，开关 13 截止。从恒流源 11 供给信号电流，电流从该恒流源 11 向电流源电路 20 的方向流动。这时，如图 19(A)所示，在电流源电路 20 内，电流的路径分为 I_1 和 I_2 两路。该关系如图 19(D)所示，当然，信号电流满足 $I_{data}=I_1+I_2$ 的关系。

在恒流源 11 开始流出电流的瞬间，因电容元件 16 没有保存电荷，故晶体管 15 截止。因此， $I_2=0$ ， $I_{data}=I_1$ 。

接着，电容元件 16 逐渐积蓄电荷，电容元件 16 的两电极间开始产生电位差（图 19(E)）。当两电极的电位差到达 V_{th} （图 19(E)中的 A 点）时，晶体管 15 导通， $I_2>0$ 。如上所述，因 $I_{data}=I_1+I_2$ ，故 I_1 逐渐减小，但依然流过电流。电容元件 16 进一步积蓄电荷。

电容元件 16 的两电极间的电位差变成晶体管 15 的栅源极间的电压。因此，电容元件 16 继续积蓄电荷，直到晶体管 15 的栅源极间的电压达到所要的电压，即，达到使晶体管 15 能够流过 I_{data} 的电流时栅源极间的电压。若电荷的积蓄终结（图 19(E)中的 B 点），不流过电流 I_2 ，进而，因晶体管 15 完全导通，故 $I_{data}=I_2$ （图 19(B)）。

其次，使用图 19(C)说明将信号电流 I_{data} 输入象素的动作（输入动作）。在图 19(C)中，开关 13 导通，开关 12、14 截止。因电容元件 16 保持规定的电荷，故晶体管 15 导通，与信号电流对应的电流经开关 13 和晶体管 15 项向 V_{ss} 方向流动，向象素供给规定的信号电流。这时，若使晶体管 15 工作在饱和区，则即使该晶体管 15 的源

漏极间的电压变化,也能向发光元件供给恒定的电流。

在图 19 所示的电流源电路 20 中,如图 19(A)~图 19(C)所示,首先分成使信号电流 I_{data} 对电流源电路 20 的写入结束的动作(设定动作,相当于图 19(A)(B))和向象素输入信号电流 I_{data} 的动作(输入动作,相当于图 19(C))。接着,根据输入到象素的信号电流 I_{data} ,向发光元件供给电流。

在图 19 所示的电流源电路 20 中,设定动作和输入动作不能同时进行。因此,当有必要使设定动作和输入动作同时进行,最好对与多个象素连接的信号线、并且配置在象素部的多根的信号线中的每一根至少设置 2 个电流源电路。若能够在不向象素输入信号电流 I_{data} 的期间内进行设定动作,则即便对每一根信号线(各列)只设置 1 个电流源电路亦可。

此外,图 19(A)~(C)的晶体管 15 是 n 沟道型,当然,晶体管 15 也可以是 p 沟道型。图 19(F)示出晶体管 15 是 p 沟道型时的电路图。在图 19(F)中,31 是参考恒流源,开关 32~34 是具有开关功能的元件,35 是晶体管,36 是电容元件,37 是象素。具有开关 34、晶体管 35 和电容元件 36 的电路相当于电流源电路 24。

晶体管 35 是 p 沟道型,晶体管 35 的源极区和漏极区,一个与 V_{dd} 连接,另一个与恒流源 31 连接。而且,电容元件 36 的一个电极与 V_{dd} 连接,另一个电极与开关 36 连接。电容元件 36 起保持晶体管 35 的栅源极间电压的作用。

图 19(F)所示的电流源电路 24 的动作因除电流流动的方向不同之外,和上述电流源电路 20 的动作相同,故这里省略其说明。再有,当设计电流流动的方向不变、而改变了晶体管 15 的极性的电流源电路时,可以参考图 23 所示的电路图。

再有,在图 41 中,电流流动的方向和图 19(F)相同,设晶体管 35 是 n 沟道型。电容元件 36 连接在晶体管 35 的栅源极之间。晶体管 35 的源极电位在设定动作时和输入动作时不同。但是,即使晶体管 35 的源极电位变化,因栅源间的电压被保持,故动作正常。

接着,使用图 20、21 说明图 23(C)~(E)和图 24(B)~(D)的电流源电路的动作。图 20(A)~(C)典型地示出电流流过电路元件间的路径。图 20(D)示出将信号电流写入电流源电路时各路径流过

的电流和时间的关系，图 20(E) 示出将信号电流写入电流源电路时电容元件 46 积蓄的电压、即晶体管 43、44 的栅源极间电压和时间的关系。此外，在图 20(A) ~ (C) 所示的电路图中，41 是参考恒流源（以下记作恒流源 41），开关 42 是具有开关功能的元件，43、44 是晶体管，46 是电容元件，47 是像素。具有开关 42、晶体管 43、44 和电容元件 46 的电路相当于电流源电路 25。

n 沟道型晶体管 43 的源极区与 V_{ss} 连接，漏极区与恒流源 41 连接。n 沟道型晶体管 44 的源极区与 V_{ss} 连接，漏极区与像素 47 的端子 48 连接。而且，电容元件 46 的一个电极与 V_{ss} （晶体管 43、44 的源极）连接，另一个电极与晶体管 43、44 的栅极连接。电容元件 46 起保持晶体管 43、44 的栅源极间电压的作用。

再有，实际上，电流源电路 25 设在信号线驱动电路中，从设在该信号线驱动电路中的电流源电路 25 经具有信号线或像素的电路元件等向发光元件流过的与信号电流对应的电流。但是，在图 20 中，为了简单说明恒流源 41、电流源电路 25 和像素 47 的关系，省略详细构成的图示。

在图 20 的电流源电路 25 中，晶体管 43 和晶体管 44 的尺寸很重要。因此，对于晶体管 43 和晶体管 44 的尺寸相同和不同的情况，按标记进行说明。在图 20(A) ~ 图 20(C) 中，当晶体管 43 和晶体管 44 的尺寸相同时，使用信号电流 I_{data} 进行说明。当晶体管 43 和晶体管 44 的尺寸不同时，使用信号电流 I_{data1} 和信号电流 I_{data2} 进行说明。再有，晶体管 43 和晶体管 44 的尺寸使用每个晶体管的 W （栅极宽度）/ L （栅极长度）的值来判断。

首先，说明晶体管 43 和晶体管 44 的尺寸相同的情况。接着，使用图 20(A) (B) 说明首先将信号电流 I_{data} 保持在电流源电路 20 中的动作。在图 20(A) 中，若开关 42 导通，使用参考恒流源 41 设定信号电流 I_{data} ，从恒流源 41 向电流源电路 25 的方向流过电流。这时，因从参考恒流源 41 流过信号电流 I_{data} ，故如图 20(A) 所示，在电流源电路 25 内，电流分成 I_1 和 I_2 两个路径流动。这时的关系如图 20(D) 所示，当然，信号电流满足 $I_{data}=I_1+I_2$ 的关系。

在恒流源 41 开始流出电流的瞬间，因电容元件 46 没有保存电荷，故晶体管 43、44 截止。因此， $I_2=0$ ， $I_{data}=I_1$ 。

接着, 电容元件 46 逐渐积蓄电荷, 电容元件 46 的两电极间开始产生电位差 (图 20 (E))。当两电极的电位差到达 V_{th} (图 20 (E) 中的 A 点) 时, 晶体管 43 和 44 导通, $I_2 > 0$ 。如上所述, 因 $I_{data} = I_1 + I_2$, 故 I_1 逐渐减小, 但依然流过电流。电容元件 46 进一步积蓄电荷。

电容元件 46 的两电极间的电位差变成晶体管 43 和 44 的栅源极间的电压。因此, 电容元件 46 继续积蓄电荷, 直到晶体管 43 和 44 的栅源极间电压达到所要的电压, 即, 达到使晶体管 15 能够流过 I_{data} 的电流时栅源极间的电压。若电荷的积蓄终结 (图 20 (E) 中的 B 点), 则不流过电流 I_2 , 进而, 因晶体管 43 和 44 完全导通, 故 $I_{data} = I_2$ (图 20 (B))。

其次, 使用图 20 (C) 说明将信号电流 I_{data} 输入像素的动作。首先, 开关 42 截止。因电容元件 46 保持规定的电荷, 故晶体管 43 和 44 导通, 从像素 47 流过与信号电流 I_{data} 相等的电流。由此向像素输入信号电流 I_{data} 。这时, 若晶体管 44 工作在饱和区, 即使该晶体管 44 的源漏极间的电压变化, 也能使像素中流过的电流不变。

再有, 对于图 20 那样的电流镜电路, 即使开关 42 截止, 也能利用从恒流源 41 供给的电流, 使电流流过像素 47。即, 能同时进行对电流源电路 25 设定信号的动作 (设定动作) 和向像素输入信号的动作 (输入动作)。

其次, 说明晶体管 43 和晶体管 44 的尺寸不同的情况。电流源电路 25 的动作因和上述动作相同故这里省略其说明。若晶体管 43 和晶体管 44 的尺寸不同, 恒流源 41 中设定的信号电流 I_{data1} 必然和流过像素 47 的信号电流 I_{data2} 不同。两者的差别取决于晶体管 43 和晶体管 44 的 W (栅极宽度) / L (栅极长度) 的值的差别。

通常, 希望使晶体管 43 的 W/L 值比晶体管 44 的 W/L 值大。这是因为若晶体管 43 的 W/L 值变大, 则能够使信号电流 I_{data1} 变大的缘故。这时, 当用信号电流 I_{data1} 设定电流源电路时, 因可以对负载 (交叉电容、布线电阻) 充电, 故可以很快地进行设定动作。

图 20 (A) ~ (C) 所示的电流源电路 25 的晶体管 43 和 44 是 n 沟道型, 当然, 电流源电路 25 的晶体管 43 和 44 也可以是 p 沟道型。这里, 图 21 示出晶体管 43 和 44 是 p 沟道型时的电路图。

在图 21 中, 41 是恒流源, 开关 42 是具有开关功能的半导体元件,

43、44 是晶体管 (p 沟道型), 46 是电容元件, 47 是像素。在本实施形态中, 开关 42、晶体管 43、44、电容元件 46 是相当于电流源电路 26 的电路。

p 沟道型晶体管 43 的源极区与 Vdd 连接, 漏极区与与恒流源 41 连接。p 沟道型晶体管 44 的源极区与 Vdd 连接, 漏极区与像素 47 的端子 48 连接。而且, 电容元件 46 的一个电极与 Vdd (源极) 连接, 另一个电极与晶体管 43 和 44 的栅极连接。电容元件 46 起保持晶体管 43 和 44 的栅源极间电压的作用。

图 21 所示的电流源电路 24 的动作因除电流流动的方向不同之外, 和上述电流源电路 20 (A) ~ (C) 的动作相同, 故这里省略其说明。再有, 当设计电流流动的方向不变、而改变晶体管 43 和 44 的极性的电流源电路时, 可以参考图 23 所示的电路图。

此外, 若不改变电流流动的方向, 也可以改变晶体管的极性。因参照图 36 的动作, 故在此省略其说明。

总结以上所述, 在图 19 的电流源电路中, 像素中流过和恒流源设定的信号电流 I_{data} 相同大小的电流。换言之, 恒流源设定的信号电流 I_{data} 和像素流过的电流值相同, 不受设置在电流源电路的晶体管的特性离散的影响。

此外, 在图 19 的电流源电路和图 6 (B) 的电流源电路中, 在进行设定动作的期间, 不能从电流源电路向像素输出信号电流 I_{data} 。因此, 最好对每一根信号线设置 2 个电流源电路, 对一个电流源电路进行设定信号的动作 (设定动作), 使用另一个电流源电路进行对像素输入电流 I_{data} 的动作 (输入动作)。

只是, 当设定动作和输入动作不能同时进行时, 也可以对各列只设置 1 个电流源电路。再有, 图 37 (A)、图 38 (A) 的电流源电路和图 19 的电流源电路除连接和电流流动的路径不同之外, 其构成相同。图 40 (A) 的电流源电路和图 19 的电流源电路除从恒流源供给电流及从电流源电路流出的电流的大小不同之外, 其构成相同。此外, 图 23 (B) 和图 38 (B) 的电流源电路和图 19 的电流源电路除从恒流源供给电流及从电流源电路流出的电流的大小不同之外, 其构成相同。即, 只是在图 40 (A) 的构成中, 晶体管的栅极宽度 W 在设定动作时和输入动作时不一样, 在图 23 (B) 和图 38 (B) 的结构中, 晶体管的栅极长

度 L 在设定动作时和输入动作时不一样, 除此之外和图 19 的电流源电路结构相同。

另一方面, 在图 20、21 的电流源电路中, 在恒流源中设定的信号电流 I_{data} 和流过象素的电流值依赖于设置在电流源电路中的 2 个晶体管的尺寸。即, 可以任意设计设置在电流源电路的 2 个晶体管的尺寸 (W (栅极宽度) / L (栅极长度)) 从而任意改变在恒流源中设定的信号电流 I_{data} 和流过象素的电流。只是, 当 2 个晶体管的阈值或移动度等特性产生离散时, 很难向象素输出正确的信号电流 I_{data} 。

此外, 在图 20、21 的电流源电路中, 可以在进行设定动作的期间向象素输入信号。即, 可以同时进行设定信号的动作 (设定动作) 和向象素输入信号的动作 (输入动作)。因此, 如图 19 的电流源电路那样, 不必对 1 根信号线设置 2 个电流源电路。

具有上述结构的本发明可以抑制 TFT 的特性离散的影响, 并向外部供给所要的电流。

(实施形态 2)

如上所述, 在图 19 (和图 40 (A)、图 23 (B)、图 38 (B) 等) 所示的电流源电路中, 最好设计成对每一根信号线 (各列) 设置 2 个电流源电路, 一个电流源电路进行设定动作, 另一个电流源电路进行输入动作 (向象素输出电流)。这是因为不能同时进行设定动作和输入动作。在本实施形态中, 使用图 25 说明图 2 所示的第 1 电流源电路 421 或第 2 电流源电路 422 的结构及其动作。

再有, 信号线驱动电路具有电流源电路 420、移位寄存器和锁存电路等。

在本发明中, 从端子 a 输入的信号表示从移位寄存器来的采样脉冲。即, 图 2 的设定信号相当于从移位寄存器来的采样脉冲。而且, 在本发明中, 按照从移位寄存器来的采样脉冲的时序进行电流源电路 420 的设定。

但是, 因电流源电路的结构或驱动方式等原因, 采样脉冲不直接输入, 而是输入从与设定控制线 (在图 2 中未示出) 连接的逻辑运算器的输出端子供给的信号。上述逻辑运算器的 2 个输入端子, 一个输入采样脉冲, 另一个输入从设定控制线供给的信号。

电流源电路 420 受经端子 a 输入的设定信号控制, 从端子 b 供给

电流（参考电流），从端子 c 输出和该电流（参考电流）成比例的电流。

在图 25 (A) 中，具有开关 134~139、晶体管 132 (n 沟道型) 和保持该晶体管 132 的栅源极间电压 V_{GS} 的电容元件 133 的电路相当于第 1 电流源电路 421 或第 2 电流源电路 422。

在第 1 电流源电路 421 或第 2 电流源电路 422 中，利用经端子 a 输入的信号使开关 134、136 接通。利用经端子 d 从控制线输入的信号使开关 135、137 接通。这样，从与电流线连接的参考恒流源 109 经端子 b 供给电流（参考电流），使电容元件 133 保持规定的电荷。而且，电容元件 133 将电荷保持下来，直到从恒流源 109 流出的电流（参考电流）和晶体管 132 的漏极电流相等。

其次，利用经端子 a、d 输入的信号使开关 134~137 断开。这一来，因电容元件 133 保持规定的电荷，故晶体管 132 具有流过与信号电流 I_{data} 对应大小的电流的能力。而且，假如开关 101（信号电流控制开关）、138、139 处于导通状态，则经端子 c 向与信号线连接的象素供给电流。这时，晶体管 132 的栅极电压通过电容元件 133 维持在规定的栅极电压上，晶体管 132 的漏极区流过与信号电流 I_{data} 对应的漏极电流。因此，可以控制流过象素的电流的大小，而与构成信号线驱动电路的晶体管的特性离散无关。

再有，当不配置开关 101（信号电流控制开关）时，若开关 138、139 处于导通状态，则与信号线连接的象素经端子 c 流过电流。

在图 25 (B) 中，具有开关 144~147、晶体管 142 (n 沟道型)、保持该晶体管 142 的栅源极间电压 V_{GS} 的电容元件 143 和晶体管 148 (n 沟道型) 的电路相当于第 1 电流源电路 421 和第 2 电流源电路 422。

在第 1 电流源电路 421 和第 2 电流源电路 422 中，利用经端子 a 输入的信号使开关 144、146 接通。利用经端子 d 从控制线输入的信号使开关 145、147 接通。这样，从与电流线连接的恒流源 109 经端子 b 供给电流（参考电流），使电容元件 143 保持电荷。而且，电容元件 143 将电荷保持下来，直到从恒流源 109 流出的电流（参考电流）和晶体管 142 的漏极电流相等。再有，若开关 144、145 导通，因晶体管 148 的栅源极间电压 V_{GS} 为 0V，故晶体管 148 自动截止。

其次，利用经端子 a、d 输入的信号使开关 144~147 断开。这样，

因电容元件 143 保持规定的电荷,故晶体管 142 具有流过与信号电流 I_{data} 对应大小的电流的能力。而且,假如开关 101 (信号电流控制开关) 处于导通状态,则经端子 c 向与信号线连接的象素供给电流。这时,晶体管 142 的栅极电压通过电容元件 143 维持在规定的栅极电压上,该晶体管 142 的漏极区流过与信号电流 I_{data} 对应的漏极电流。因此,可以控制流过象素的电流的大小,而与构成信号线驱动电路的晶体管的特性离散无关。

再有,若开关 144、145 截止,晶体管 142 的栅极和源极的电位不相等。结果,电容元件 143 保持的电荷还分配给晶体 148,晶体管 148 自动导通。这里,晶体管 142、148 串联连接,且栅极相互连接。因此,晶体管 142、148 作为多栅晶体管动作。即,在设定动作和输入动作时,晶体管的栅极长度 L 不同。因此,设定动作时,从端子 b 供给的电流值可以比输入动作时从端子 c 供给的电流值大。因此,配置在端子 b 和参考恒流源之间的各种负载(布线电阻、交叉电容等)能更快充电。因此,可以使设定动作很快完成。再有,当没有配置开关 101 (信号电流控制开关) 时,若晶体管 144、145 截止,则与信号线连接的象素经端子 c 流过电流。

这里,图 25 (A) 的结构相当于在图 23 (A) 结构的基础上追加端子 d。图 25 (B) 的结构相当于在图 23 (B) 构成的基础上追加端子 d。这样,通过在图 23 (A) (B) 的结构的基础上追加串接的开关并进行修正,变成追加了 d 的图 25 (A) (B) 所示的结构。再有,通过在第 1 电流源电路 421 或第 2 电流源电路 422 中配置 2 个串接的开关,从而可以任意使用图 23、24、38、37、40 等所示的电流源电路的结构。

再有,在图 2 中,示出了对每一根信号线设置具有第 1 电流源电路 421 和第 2 电流源电路 422 两个电流源电路的电流源电路 420,但本发明不限于此。对每一根信号线的电流源电路的个数没有特别限制,可以任意设定。多个电流源电路可以设定成分别设置对应的恒流源,并根据该恒流源对电流源电路设定信号电流。例如,可以对每一根信号线设置 3 个电流源电路 420,而且,在各电流源电路 420 中,根据不同的参考恒流源 109 设定信号电流。例如,在 1 个电流源电路 420 中,使用 1 位用的参考恒流源设定信号电流,在 1 个电流源电路 420 中,使用 2 位用的参考恒流源设定信号电流,在 1 个电流源电路 420 中,

使用 3 位用的参考恒流源设定信号电流。由此，可以进行 3 位显示。

具有上述构成的本发明，可以抑制 TFT 的特性离散的影响，可以向外部供给所要的电流。

本实施形态可以和实施形态 1 任意组合。

(实施形态 3)

在本实施形态中，使用图 15 说明具有本发明的信号线驱动电路的发光装置的结构。

在图 15 (A) 中，发光装置在衬底 401 上具有将多个像素配置成矩阵状的像素部 402，在像素部 402 的周围具有信号线驱动电路 403 和第 1、第 2 扫描线驱动电路 404、405。在图 15 (A) 中，具有信号线驱动电路 403 和 2 组扫描线驱动电路 404、405，但本发明不限于此。驱动电路的个数可以根据像素的结构任意设计。经 FPC406 从外部向信号线驱动电路 403 和第 1、第 2 扫描线驱动电路 404、405 供给信号。

使用图 15 (B) 说明第 1、第 2 扫描线驱动电路 404、405 的结构及其动作。第 1、第 2 扫描线驱动电路 404、405 具有移位寄存器 407 和缓冲器 408。移位寄存器 407 按照时钟信号 (G-CLK)、启动脉冲 (S-SP) 和反相时钟信号 (G-CLKb)，依次输出采样脉冲。然后，经缓冲器 408 放大后的采样脉冲输入扫描线，使其逐行变成选择状态。按顺序从信号线向由选出的扫描线控制的像素写入信号。

再有，也可以在移位寄存器 407 和缓冲器 408 之间配置电平移动电路。通过配置电平移动电路，可以使电压幅度变大。

本实施形态可以和实施形态 1、2 任意组合。

(实施形态 4)

在本实施形态中，说明图 15 (A) 所示的信号线驱动电路 403 的详细构成及其动作。在本实施形态中，说明进行 1 位数字灰度显示时使用的信号线驱动电路 403。

首先，说明与图 1 对应的情况。在此，说明按线的顺序驱动的情况。

图 6 (A) 示出进行 1 位数字灰度显示时的信号线驱动电路 403 的概略图。信号线驱动电路 403 具有移位寄存器 411、第 1 锁存电路 412、第 2 锁存电路 413 和恒流源电路 414。

简单说明其动作，移位寄存器 411 使用多个触发电路 (FF) 等构

成,按照时钟信号(S-CLK)、启动脉冲(S-SP)和反相时钟信号(S-CLKb)的时序,依次输出采样脉冲。

移位寄存器 411 输出的采样脉冲输入第 1 锁存电路 412。第 1 锁存电路 412 输入数字视频信号,按照采样脉冲输入的时序将视频信号保持在各列中。

在第 1 锁存电路 412 中,当直到最后一列数字视频信号保持完毕时,在水平回描线期间,向第 2 锁存电路 413 输入锁存脉冲,第 1 锁存电路 412 保持的视频信号一齐向第 2 锁存电路 413 传送。这样,第 2 锁存电路 413 保持的视频信号整行地同时供给恒流电路 414。

在第 2 锁存电路 413 保持的视频信号供给恒流电路 414 的期间,移位寄存器 411 再次输出采样脉冲。此后,重复该动作,进行 1 帧视频信号的处理。再有,恒流电路 411 有时具有将数字信号变换成模拟信号的作用。

而且,在本发明中,从移位寄存器 411 输出的采样脉冲输入恒流电路 414。

此外,恒流电路 414 设置多个电流源电路 420。在图 6(B)中,概略示出从第 i 列到第 $(i+2)$ 列的 3 根信号线的信号线驱动电路。

电流源电路 420 由经端子 a 输入的信号控制。此外,经端子 b,从与电流线连接的参考恒流源 109 供给电流。在电流源电路 420 和与信号线 S_n 连接的象素之间设置开关 101(信号电流控制开关),上述开关 101(信号电流控制开关)由视频信号控制。当视频信号是明信号时,从电流源电路 420 向象素供给电流。相反,当视频信号是暗信号时,控制开关 101(信号电流控制开关),不向象素供给电流。即,电流源电路 420 具有流动规定电流的能力,是否向象素供给该电流由开关 101(信号电流控制开关)控制。

在本发明中,经端子 a 输入到电流源电路 420 的信号相当于从移位寄存器供给的采样脉冲。根据电流源电路的构成或驱动方式等,采样脉冲不直接输入,而输入从与设定控制线(在图 6 中,未图示)连接的逻辑运算器的输出端子供给的信号。

此外,上述逻辑运算器的 2 个输入端子,1 个输入采样脉冲,另一个输入从设定控制线供给的信号。即,电流源电路 420 的设定按照采样脉冲或从与设定控制线连接的逻辑运算器的输出端子供给的信号的

时序进行。

再有，图 42 示出具有设定控制线和逻辑运算器的信号线驱动电路。在图 42 所示的结构中，也可以配置开关等去代替逻辑运算器。

此外，电流源电路 420 的结构可以任意使用图 23、24、38、37、40 等所示的电流源电路 420 的结构。

进而，在电流源电路 420 中，不仅采用 1 种结构，也可以采用多种结构。再有，当在电流源电路 420 中使用图 23 (A)、图 24 (A) 所示的结构时，在进行输入动作的期间，不能进行设定动作。因此，有必要在不进行输入动作的期间进行设定动作。但是，在 1 帧中，因不进行输入动作的期间有时是分散的，故这时最好不按顺序选择各列，而可以选择任意列。因此，作为移位寄存器，最好使用能随机选择的译码电路等。作为一个例子，图 43 示出译码电路。若使用图 43 所示的译码电路，则电流源电路的设定动作也不是从第 1 列到最后 1 列按顺序进行，而是可以随机进行。由此，进行设定动作的时间长度可以任意设定得很长。

除上述译码电路之外，还可以使用图 44 (A) 所示的电路。在图 44 (A) 中，从移位寄存器输出的脉冲和从输出控制线（第 1 ~ 第 3 输出控制线）供给的信号输入逻辑运算器。如图 44 (B) 所示，通过控制各输出控制线的脉冲，可以从第 1 列到最后 1 列按顺序输出采样脉冲。即，可以输出和过去一样的波形。

此外，当想要进行和过去不同的动作时，如图 45 (A) 所示，在将第 1 输出控制线置于选择状态的状态下，使第 2 和第 3 输出控制线为非选择状态。这样，第 1 列的采样脉冲可以在比过去长的期间内输出。因此，在输出第 1 列采样脉冲之后，输出第 4 列采样脉冲。同样，如图 45 (B) 所示，在将第 2 输出控制线置于选择状态的状态下，使第 1 和第 3 输出控制线为非选择状态。这样，第 2 列的采样脉冲可以在比过去长的期间内输出。而且，在输出第 2 列采样脉冲之后，输出第 5 列采样脉冲。在上述结构中，从第 1 列到最后 1 列不是完全随机进行选择，但可以在比通常长的期间内只选择某 1 特定的列。因此，可以更自由地进行电流源电路的设定动作。

进而，也可以使用图 46 所示的电路。在图 46 中，根据控制 1 和控制 2 来控制其动作。若使控制 1 和控制 2 处于选择状态，则配置在

第 1 移位寄存器和第 2 移位寄存器之间的开关变成导通状态, 配置在第 2 移位寄存器和第 3 移位寄存器之间的开关变成导通状态。即, 第 1 移位寄存器、第 2 移位寄存器和第 3 移位寄存器变成接通的状态。在这样的状态下, 若输入启动脉冲信号 SP, 则从第 1 移位寄存器来的脉冲移位到第 2 移位寄存器中, 从第 2 移位寄存器来的脉冲移位到第 3 移位寄存器中。即, 可以输出和过去一样的波形。而且, 当想要进行和过去不同的动作时, 使控制 1 处于非选择状态。这样, 配置在第 1 移位寄存器和第 2 移位寄存器之间的开关变成非导通状态, 配置在第 2 移位寄存器和 SP1 之间的开关变成导通状态。而且, 将启动脉冲信号输入到 SP1 而不是 SP。这样, 从第 2 移位寄存器输出采样脉冲。即, 在从第 1 列到最后 1 列中, 从中间的列开始输出采样脉冲。此外, 当进而想要进行别的动作时, 使控制 2 处于非选择状态。这样, 配置在第 2 移位寄存器和第 3 移位寄存器之间的开关变成非导通状态, 配置在第 3 移位寄存器和 SP2 之间的开关变成导通状态。而且, 将启动脉冲信号输入 SP2。这样, 从第 3 移位寄存器开始输出采样脉冲。这样, 在图 46 的结构中, 从第 1 列到最后一列不是完全随机进行选择, 但可以只选择某特定范围的列。这时, 通过降低时钟信号的频率, 可以在比过去长的期间内进行选择。因此, 可以更自由地进行电流源电路的设定动作。

这样, 便产生各种各样的优点, 譬如, 可以随机地、或在某种程度上自由地选择列或电流源电路并进行电流源电路的设定动作。例如, 当能进行设定动作的期间在 1 帧中分散开时, 可以选择任意的列, 则可以提高自由度, 并延长设定动作的时间。其它的优点还有, 可以使电流源电路 420 中的电容元件 (例如, 相当于图 23 (A) 的电容元件 103、图 23 (B) 的电容元件 123 和图 23 (B) 的电容元件 107 等) 的电荷泄漏的影响不太明显。

在电流源电路 420 中配置电容元件。但是, 可以用晶体管的栅极电容等去代替电容元件。该电容元件通过电流源电路的设定动作来积蓄电荷。电流源电路的设定动作在理想的情况下只在电源输入时进行 1 次即可。即, 在使信号线驱动电路动作时, 只在进行该动作的最初的期间进行 1 次即可。这是因为电容元件积蓄的电荷量不变, 也不必使其随动作状态或时间等变化。实际上, 在电容元件中, 或是有各种各

样的噪声，或是与电容元件连接的晶体管有漏电流流过。结果，有时，电容元件积蓄的电荷量会随时间变化。当电荷量变化时，从电流源电路输出的电流、即输入像素的电流也变化。结果，像素的辉度变化。因此，为了使电容元件积蓄的电荷不变，必须以某一周期定期进行电流源电路的设定动作，使电荷重新充电，使变化了的电荷再次恢复，并重新保持正确的电荷量。

假如电容元件的电荷变动量大时，若进行电流源电路的设定动作，使电荷重新充电，使变化了的电荷再次恢复，并重新保持正确的电荷量，则随之而来的是电流源电路输出的电流量的变动也变大。因此，若从第1列开始按顺序进行设定动作，则电流源电路输出的电流量的变动有时会对显示产生妨碍，甚至达到不能目视确认的程度。即，从第1列开始顺序产生的像素辉度的变化有时会对显示产生妨碍，甚至达到不能目视确认的程度。这时，若不从第1列开始按顺序进行设定动作，而随机进行设定动作，则可以使电流源电路输出的电流量的变动不太明显。这样，通过随机选择多根布线，可以带来各种各样的优点。

另一方面，当电流源电流420采用图23(C)~(E)所示的结构时，设定动作和输入动作可以同时进行。但是，当使用设定动作和输入动作可以同时进行的电流源电路时，因或者使电流源电路输出的电流量的变动不太明显，或者使进行设定动作的期间变长都有可能实现，所以能随机选择这一点很有效。

此外，在图6(B)中，是一列一列地进行设定动作的，但并不限于此。也可以如图47所示那样，同时多列进行设定动作。这里，将同时多列进行设定动作称作多相化。再有，在图47中，配置了2个参考恒流源109，但也可以根据与该2个参考恒流源分开配置的参考恒流源来进行设定动作。

下面，说明图6(B)所示的恒流电路414的详细结构及其动作。

这里，图5表示电流源电路的一部分使用图23(C)的结构时的电路。图48示出电流源电路的一部分使用图23(A)的结构时的电路。图3、4如图2所示那样，是1列配置多个(2个)电流源电路的电路，并示出电流源电路的一部分使用图23(A)的结构时的电路。首先，说明图3、4所示的构成。

首先,说明具有图 6 (A) 所示结构的电流源电路的恒流电路 414。在图 6 (A) 所示的结构中,将信号保持在电流源电路中的设定动作和从电流源电路向像素输入信号的动作(输入动作)不能同时进行。因此,最好对每一根信号线设置 2 个电流源电路,1 个电流源电路进行设定动作,另一个电流源电路进行输入动作。

在图 3、4 的各列设置的电流源电路 420 中,是否对信号线 S_i ($1 \leq i \leq n$) 输出规定的信号电流由具有从第 2 锁存电路 413 输入的数字视频信号的信息进行控制。

在图 3 中,电流源电路 420 具有第 1 电流源电路 421 和第 2 电流源电路 422。而且,第 1 电流源电路 421 和第 2 电流源电路 422 一个进行设定动作,另一个进行输入动作。第 1 电流源电路 421 和第 2 电流源电路 422 具有多个电路元件。第 1 电流源电路 421 具有 NAND70、反相器 71、反相器 72、模拟开关 73、模拟开关 74、晶体管 75~77 及电容元件 78。第 2 电流源电路 422 具有 NAND80、反相器 81、反相器 82、反相器 89、模拟开关 83、模拟开关 84、晶体管 85~87 及电容元件 88。在本实施形态中,晶体管 75~77 和晶体管 85~87 全部是 n 沟道型。

在第 1 电流源电路 421 中,NAND70 的输入端子与移位寄存器 411 和控制线 92 连接,NAND70 的输出端子与反相器 71 的输入端子连接。反相器 71 的输出端子与晶体管 75 和晶体管 76 的栅极连接。

模拟开关具有 4 个端子。而且根据输入到 4 个端子中的 2 个端子的信号,使剩下的 2 个端子之间导通或截止。

模拟开关 73 根据从 NAND70 的输出端子输入的信号和从反相器 71 的输出端子输入的信号选择导通或截止。反相器 72 的输入端子与控制线 92 连接。而且,模拟开关 74 根据从控制线 92 和反相器 72 的输出端子输入的信号选择导通或截止。

晶体管 75 的源极区和漏极区,一个与电流线 93 连接,另一个与晶体管 77 的源极区和漏极区的一个连接。晶体管 76 的源极区和漏极区,一个与电流线 93 连接,另一个与电容元件 78 的一个端子和晶体管 77 的栅极连接。晶体管 77 的源极区和漏极区,一个与 V_{ss} 连接,另一个与模拟开关 73 连接。

参考恒流源(未图示)与电流线 93 连接。

电容元件 78 的一个电极与 V_{ss} 连接, 另一个电极与晶体管 77 的栅极连接。电容元件 78 起保持晶体管 77 的栅源极间电压的作用。

在第 2 电流源电路 422 中, 反相器 89 的输入端子与控制线 89 连接。而且, 反相器 89 的输出端子与 NAND80 的一个输入端子连接。NAND80 的另一个输出端子与移位寄存器 411 连接。NAND80 的输出端子与反相器 81 的输入端子连接。反相器 81 的输出端子与晶体管 85 和晶体管 86 的栅极连接。

模拟开关 83 根据从 NAND80 的输出端子输入的信号和从反相器 81 的输出端子输入的信号选择导通或截止。反相器 82 的输入端子与控制线 92 连接。而且, 模拟开关 84 根据从控制线 92 和反相器 82 的输出端子输入的信号选择导通或截止。

晶体管 85 的源极区和漏极区, 一个与电流线 93 连接, 另一个与晶体管 87 的源极区和漏极区中的一个连接。晶体管 86 的源极区和漏极区, 一个与电流线 93 连接, 另一个与电容元件 88 的一个端子和晶体管 87 的栅极连接。晶体管 87 的源极区和漏极区, 一个与 V_{ss} 连接, 另一个与模拟开关 83 连接。

电容元件 88 的一个电极与 V_{ss} 连接, 另一个电极与晶体管 87 的栅极连接。电容元件 88 起保持晶体管 87 的栅源极间电压的作用。

这里, 使用图 28 说明图 3 的电流源电路的动作。

图 28 示出设定控制线 92 和第 1~3 行扫描线的时序图。而且, 使用图 3 说明期间 A 的电流源电路 420 的动作, 使用图 4 说明期间 B 的电流源电路 420 的动作。在期间 A, 第 1 电流源电路 421 进行设定动作, 第 2 电流源电路 422 进行输入动作。在期间 B, 第 1 电流源电路 421 进行输入动作, 第 2 电流源电路 422 进行设定动作。

首先, 说明期间 A 的电流源电路 420 的动作。开始说明进行设定动作的第 1 电流源电路 421 的动作。

在期间 A, 从设定控制线 92 输入的信号是 High。而且, 按顺序, 从移位寄存器 411 项各列输入采样脉冲 (相当于 High 信号)。NAND70 对从移位寄存器 411 和设定控制线 92 输入的信号 (均为 High) 进行逻辑运算再输出 Low。反相器 71 对输入的信号 (Low) 进行逻辑运算, 再输出 High。

从反相器 71 的输出端子向晶体管 75 和 76 的栅极输入信号

(High)，晶体管 75 和 76 导通。这样，从电流线 93 供给的电流经晶体管 75 和 76，流过电容元件 78 再到达 V_{ss} 。电容元件 78 开始积蓄电荷。

然后，电容元件 78 逐渐积蓄电荷，两电极间开始产生电位差。当该电位差达到 V_{th} 时，晶体管 77 由截止变导通。电容元件 78 进行电荷的积蓄，直到其两电极的电位差、即晶体管 77 的栅源极间电压达到所要的电压。换言之，继续进行电荷地积蓄直至达到使晶体管 77 中能够流过信号电流时的电压。然后，经过一定的时间，结束电荷的积蓄。

这时，模拟开关 73 和模拟开关 74 导通。

其次，说明进行输入动作（向像素输出电流）的第 2 电流源电路 422 的动作。在第 2 电流源电路 422 中，已进行设定动作，电容元件 88 保持规定的电荷。

在期间 A，从设定控制线 92 输入的信号是 High。反相器 89 对输入的信号 (High) 进行逻辑运算再输出 Low。NAND80 对从反相器 89 和移位寄存器 411 输入的信号进行逻辑运算，再输出 High。反相器 81 对输入的信号 (High) 进行逻辑运算再输出 Low。

从反相器 81 的输出端子向晶体管 85 和 86 的栅极输入信号 (Low)，晶体管 85 和 86 截止。

另一方面，模拟开关 83 因从 NAND80 的输出端子输入的信号 (High) 和从反相器 81 的输出端子输入的信号 (Low) 而导通。模拟开关 84 因从设定控制线 92 输入的信号 (High) 和从反相器 82 的输出端子输入的信号 (Low) 而导通。

电容元件 88 保持规定的电荷，晶体管 87 导通。在该状态下，晶体管 87 的漏极电流和信号电流相等。

模拟开关 90 根据从第 2 锁存电路 413 输入的信号和从反相器 90 输入的信号导通或截止。在图 3 所示的构成中，当从第 2 锁存电路 413 输入 High 信号时，模拟开关 90 导通，当从第 2 锁存电路 413 输入 Low 信号时，模拟开关 90 截止。

这里，假定从第 2 锁存电路 413 输入 High 信号，模拟开关 90 导通。这样，电流从信号线 (Si) 流过晶体管 87 再到达 V_{ss} 。这时的电流值和信号电流相等。换言之，规定的信号电流供给与信号线 (Si) 连接的像素。

这时，若晶体管 87 工作在饱和区，即使该晶体管 87 的源漏极间的电压变化，供给象素的电流也不变。

其次，使用图 4 说明期间 B 的电流源电路 420 的动作。首先，说明进行输入动作（向象素输出电流）的第 1 电流源电路 421 的动作。在第 1 电流源电路 421 中，已进行设定动作，电容元件 78 保持规定的电荷。

在期间 B，从设定控制线 92 输入的信号是 Low。NAND70 对从移位寄存器 411 和设定控制线 92 输入的信号进行逻辑运算，再输出 High。反相器 71 对输入的信号（High）进行逻辑运算再输出 Low。

从反相器 71 的输出端子向晶体管 75 和 76 的栅极输入信号（Low），晶体管 75 和 76 截止。

另一方面，模拟开关 73 因从 NAND70 的输出端子输入的信号（High）和从反相器 71 的输出端子输入的信号（Low）而导通。模拟开关 74 因从设定控制线 92 输入的信号（Low）和从反相器 72 的输出端子输入的信号（High）而导通。

电容元件 78 保持规定的电荷，晶体管 77 导通。在该状态下，晶体管 77 的漏极电流和信号电流相等。

这里，假定从第 2 锁存电路 413 输入 High 信号，模拟开关 90 导通。这样，电流从信号线（S1）流过晶体管 77 再到达 Vss。这时的电流值和信号电流相等。换言之，规定的信号电流供给与信号线（S1）连接的象素。

这时，若晶体管 77 工作在饱和区，则即使该晶体管 77 的源漏极间的电压变化，供给象素的电流也不变。

其次，说明在期间 B 进行设定动作的第 2 电流源电路 422 的动作。

在期间 B，从设定控制线 92 输入的信号是 Low。反相器 89 对输入的信号（Low）进行逻辑运算，再输出 High。NAND80 对从反相器 89 和移位寄存器 411 输入的信号（一个是 High）进行逻辑运算，再输出 Low。然后，反相器 81 对输入的信号（Low）进行逻辑运算再输出 High。

从反相器 81 的输出端子向晶体管 85 和 86 的栅极输入信号（High），晶体管 85 和 86 导通。这样，从电流线 93 供给的电流经晶体管 85 和 86，流过电容元件 88 再到达 Vss。接着，电容元件 88 开始积蓄电荷。

然后, 电容元件 88 逐渐积蓄电荷, 两电极间开始产生电位差。当该电位差达到 V_{th} 时, 晶体管 87 由截止变导通。电容元件 88 进行电荷的积蓄, 直到其两电极的电位差、即晶体管 87 的栅源极间电压达到所要的电压。换言之, 继续进行电荷地积蓄直至达到使晶体管 87 中仅能够流过信号电流时的电压。这时, 模拟开关 83 和 84 截止。

再有, 在使用图 28 说明的上述动作中, 每一行都进行设定动作和输入动作的切换。但是, 本发明不限于此。也可以每几行才进行设定动作和输入动作的切换。

这里, 设图 3、4 所示的电流源电路 420 所具有的晶体管全部是 n 沟道型, 但本发明不限于此。在图 3、4 所示的电流源电路 420 中, 也可以使用 p 沟道型的晶体管。再有, 使用 p 沟道型的晶体管时的电流源电路 420 的动作除了电流流动的方向改变和电容元件不与 V_{ss} 而与 V_{dd} 连接之外, 和上述动作相同。

此外, 当图 3、4 所示的电流源电路 420 使用 p 沟道型的晶体管时、 V_{ss} 和 V_{dd} 互换时, 即电流流动的方向不变时, 若与图 23 和图 24 对比使用, 则用起来很容易。此外, 单纯作为开关使用的晶体管, 什么样的极性都可以。

其次, 使用图 5 说明和上述不同的恒流电路 414 的结构及其动作。在设在各列的电流源电路 420 中, 是否对信号线 S_i ($1 \leq i \leq n$) 输出规定的信号电流由具有从第 2 锁存电路 413 输入的数字视频信号所具有的信息进行控制。

再有, 图 5 的结构如图 1 所示, 是 1 列配置 1 个电流源电路的电路。

在图 5 (A) ~ (C) 中, 电流源电路 420 具有晶体管 94 ~ 97 和电容元件 99。在本实施形态中, 晶体管 94 ~ 97 全部是 n 沟道型。

晶体管 94 的栅极输入从第 2 锁存电路 413 来的信号。晶体管 94 的源极区和漏极区, 一个与源极信号线 (S_1) 连接, 另一个与晶体管 95 的源极区和漏极区中的一个连接。

晶体管 97 和晶体管 98 的栅极输入从移位寄存器 411 来的采样脉冲。晶体管 97 的源极区和漏极区, 一个与晶体管 96 的源极区和漏极区中的一个连接, 另一个与电容元件 99 的一个电极连接。晶体管 98 的源极区和漏极区, 一个与电流线 93 连接, 另一个与晶体管 96 的源

极区和漏极区中的一个连接。

电容元件 99 的一个电极与晶体管 95 和晶体管 96 的栅极连接, 另一个电极与 V_{ss} 连接。电容元件 99 起保持晶体管 95 和晶体管 96 的栅源极间电压的作用。

晶体管 95 的源极区和漏极区, 一个与 V_{ss} 连接, 另一个与晶体管 94 的源极区和漏极区中的一个连接。

这里, 使用图 5 (A) ~ 图 5 (C) 说明图 5 所示的电流源电路 420 的动作。

首先, 从移位寄存器 411 向晶体管 97 和 98 的栅极输入采样脉冲, 两晶体管导通。这样, 从电流线 93 供给的电流经晶体管 98 和 97, 流向电容元件 99。这时, 第 2 锁存电路 413 不向晶体管 94 的栅极输入信号, 晶体管 94 截止。

接着, 电容元件 99 逐渐积蓄电荷, 两电极间开始产生电位差。当该电位差达到 V_{th} 时, 晶体管 95 和 96 导通。

接着, 电容元件 99 进行电荷的积蓄, 直到其两电极的电位差、即晶体管 95 和 96 的栅源极间电压达到所要的电压。换言之, 继续进行电荷的积蓄直至达到使晶体管 95 和 96 中仅能够流过与信号电流对应的电流时的电压 (图 5 (A))。

接着, 经过一定的时间, 结束电荷的积蓄 (图 5 (B))。

接下来, 从第 2 锁存电路 413 输入的信号 (相当于数字视频信号) 使晶体管 94 导通。这时, 移位寄存器 411 不向晶体管 94 的栅极输入采样脉冲, 晶体管 97 和 98 截止。而且, 因电容元件 99 保持规定的电荷, 故晶体管 95 和 96 导通。这样, 电流从信号线 (S1) 经晶体管 94 和 95 向 V_{ss} 方向流去。这时的电流值和信号电流相等。换言之, 向与信号线 (S1) 连接的象素供给规定的信号电流。

这时, 如果晶体管 95 工作在饱和区, 则即使晶体管 95 的源漏极间的电压变化, 供给象素的电流也不变。

此外, 在本实施形态中, 具有图 5 所示的电流源电路 420 的晶体管全部是 n 沟道型, 但本发明不限于此。在图 5 所示的电流源电路 420 中, 也可以使用 p 沟道型的晶体管。再有, 使用 p 沟道型的晶体管时的电流源电路 420 的动作除了电流流动的方向改变和电容元件不与 V_{ss} 而与 V_{dd} 连接之外, 和上述动作相同。

此外,如图 21、图 23 (C) ~ 图 23 (E)、图 24 (B) ~ 图 24 (D) 等所示,具有电流源电路 420 的电路元件可以具有不同的连接结构。这时的电流源电路 420 的动作因和使用图 5 说明了的电流源电路 420 的动作相同,故在本实施形态中省略其说明。

此外,当图 5 所示的电流源电路 420 使用 p 沟道型的晶体管时、 V_{ss} 和 V_{dd} 互换时,即电流流动的方向不变时,若与图 23 和图 24 对比使用,则用起来很容易。再有,单纯作为开关使用的晶体管,什么样的极性都可以。

再有,图 5 的结构如图 1 所示,是 1 列配置 1 个电流源电路的电路。这时,若电流源电路 420 使用图 23 (A)、24 (A) 所示的构成,则在输入动作(向像素输出电流)的期间不能进行设定动作。因此,必须在不进行输入动作(向像素输出电流)的期间进行设定动作。另一方面,若电流源电路 420 使用图 23 (C) ~ (E) 所示的结构,则即使 1 列配置 1 个电流源电路,也能同时进行设定动作和输入动作。

接下来,图 49、图 50、图 51 示出图 42 (A) (B) 所示的恒流电路 414 的详细构成。这里,图 49 示出对和图 42 (B) 中的恒流电路 414 相当的部分使用图 1 所示的电路的结构,进而示出对电流源电路的部分使用图 23 (C) 的结构。图 50 示出对和图 42 (B) 中的恒流电路 414 相当的部分使用图 1 所示的电路的结构及对电流源电路的部分使用图 23 (A) 的结构。图 51 示出对和图 42 (B) 中的恒流电路 414 相当的部分使用图 2 所示的电路的结构,进而示出对电流源电路的部分使用图 23 (A) 的构成。

再有,在图 49、图 50 所示的结构中,配置了逻辑运算器,但也可以取代该逻辑运算器而配置开关等。上述逻辑运算器因控制是否进行电流源电路的设定动作的切换,故只要是能够对切换该设定动作进行控制的电路,使用什么样的电路都行。此外,在图 51 中,通过控制从第 1 设定控制线供给的信号去切换是否进行电流源电路的设定动作。此外,通过控制从第 2 设定控制线供给的信号,在对每 1 列配置的 2 个电流源电路中,控制使用哪个电流源电路进行设定动作,使用哪个电流源电路进行输入动作。

接下来,说明与图 34 对应的情况。到此为止,说明了按线的顺序驱动的情况。下面,说明按点的顺序驱动的情况。在图 52 (A) 中,从

视频线供给的视频信号按照由移位寄存器 411 供给的采样脉冲的时序进行采样。电流源电路 420 的设置按照由移位寄存器 411 供给的采样脉冲的时序进行。作为 1 个例子,在具有图 52 (A) 的结构时,按点的顺序进行驱动。

再有,经端子 a 输入电流源电路 420 的信号因电流源电路的结构或驱动方式等原因,采样脉冲不直接输入,而是输入从与设定控制线(在图 52 (A) 中未示出)连接的逻辑运算器的输出端子供给的信号。上述逻辑运算器的 2 个输入端子,一个输入采样脉冲,另一个输入从设定控制线供给的信号。即,电流源电路 420 的设置按照采样脉冲或从与设定控制线连接的逻辑运算器的输出端子供给的信号的时序进行。

再有,只在输出采样脉冲再从视频线供给视频信号的期间,开关 101 (信号电流控制开关)才导通,并且,在不输出采样脉冲、视频线不供给视频信号时,开关 101 (信号电流控制开关)截止,在这种情况下不能正确动作。这是因为在像素中用来输入电流的开关一直处于导通状态。在该状态下,若开关 101 (信号电流控制开关)截止,因不能对像素输入电流,故不能输入正确的信号。

因此,为了能保持从视频线供给的视频信号,并维持开关 101 (信号电流控制开关)的状态,配置锁存电路 452。锁存电路 452 可以单单由电容元件和开关构成,也可以由 SRAM 电路构成。这样,输出采样脉冲,按顺序对每 1 列从视频线供给视频信号,根据该视频信号使开关 101 处于(信号电流控制开关)导通或截止的状态,控制像素的电流供给,由此,可以实现点顺序驱动。

但是,当按顺序从第 1 列到最后 1 列进行选择时,在从第 1 列到最后 1 列中,在最初的列中,向像素输入信号的期间长。另一方面,在从第 1 列到最后 1 列中,最后的列中即使输入视频信号,下一行的像素也会很快被选中。结果,向像素输入信号的期间变短。这时,如图 52 (B) 所示,通过将配置在像素部 402 的扫描线从中央分开,可以使向像素输入信号的期间变长。这时,在像素部 402 的左侧和右侧各配置 1 个扫描线驱动电路,使用该扫描线驱动电路驱动像素。这样,即使是同一行的像素,右侧的像素和左侧的像素输入信号的期间可以错开。图 52 (C) 示出配置在第 1、2 行的右侧和左侧的扫描线驱动电

路的输出波形和移位寄存器 411 的启动脉冲 (S-SP)。通过这样来动作,即便是左侧的像素,也能够使向像素输入信号的期间变长,所以,容易进行点顺序驱动。

再有,电流源电路 420 的设定动作可以按照任意的时序、对配置在任意列的电流源电路、进行任意的次数,而与是线顺序驱动还是点顺序驱动无关。但是,理想的情况是,只要连接在配置于电流源电路 420 中的晶体管的栅源极之间的电容元件保持规定的电荷,则只在进行设定动作时进行 1 次即可。或者,可以在电容元件保持的规定的电荷放电(变化)时进行。此外,关于电流源电路 420 的设定动作,进行所有列的电流源电路 420 的设定动作不管需要多长的期间都可以。即,可以在 1 帧期间内进行所有列的电流源电路 420 的设定动作。或者,可以在 1 帧期间内进行几列的电流源电路 420 的设定动作,结果,花费好几帧的期间进行所有列的电流源电路 420 的设定动作亦可。

此外,在本实施形态中,说明了对各列配置 1 个电流源电路的情况,但本发明不限于此,也可以配置多个电流源电路。

此外,对于本发明的信号线驱动电路中的电流源电路,图 87 示出其线路图,图 88 示出对应的电路图。

具有上述结构的本发明,可以抑制 TFT 的特性离散的影响,向外部供给所要的电流。

本实施形态可以和实施形态 1~3 任意组合。

(实施形态 5)

在本实施形态中,说明图 15(A)所示的信号线驱动电路的详细结构及其动作,但只就进行 3 位数字灰度显示时使用的信号线驱动电路 403 进行说明。

在图 26 中,示出进行 3 位数字灰度显示时使用的信号线驱动电路 403 的概略图。信号线驱动电路 403 具有移位寄存器 411、第 1 锁存电路 412、第 2 锁存电路 413 和恒流电路 414。

简单说明其动作,移位寄存器 411 使用多个触发电路 (FF) 等构成,输入时钟信号 (S-CLK)、启动脉冲 (S-SP) 和反相时钟信号 (S-CLKb)。按照这些信号的时序,依次输出采样脉冲。

从移位寄存器 411 输出的采样脉冲输入第 1 锁存电路 412。第 1 锁存电路 412 输入 3 位数字视频信号(数字数据 1~数字数据 3),按

照输入采样脉冲的时序将视频信号保持在各列中。

在第1锁存电路412中,当直到最后一列数字视频信号保持完毕时,在水平回描线期间,向第2锁存电路413输入锁存脉冲,第1锁存电路412保持的3位视频信号(数字数据1~数字数据3)一齐向第2锁存电路413传送。这样,第2锁存电路413保持的3位视频信号(数字数据1~数字数据3)整行地同时输入恒流电路414。

在第2锁存电路413保持的3位数字视频信号(数字数据1~数字数据3)输入恒流电路414的期间,移位寄存器411再次输出采样脉冲。此后,重复该动作,进行1帧视频信号的处理。

再有,恒流电路411有时具有将数字信号变换成模拟信号的作用。此外,恒流电路414设置多个电流源电路420。在图27中,示出从第 i 列到第 $(i+2)$ 列的3根信号线的信号线驱动电路的概略图。

再有,在图27中,示出配置了与各位对应的参考恒流源109的情况。

电流源电路420具有端子a、端子b和端子c。电流源电路420由经端子a输入的信号控制。此外,经端子b,从与电流线连接的参考恒流源109供给电流。在电流源电路420和与信号线 S_n 连接的象素之间设置开关(信号电流控制开关)111~113,上述开关(信号电流控制开关)111~113由1位~3位视频信号控制。当视频信号是明信号时,从电流源电路420向象素供给电流。相反,当视频信号是暗信号时,控制上述开关(信号电流控制开关)111~113,不向象素供给电流。即,电流源电路420具有流动规定电流的能力,是否向象素供给该电流由开关(信号电流控制开关)111~113控制。

再有,经端子a输入到电流源电路420的信号相当于从移位寄存器供给的采样脉冲。根据电流源电路的结构或驱动方式等,采样脉冲不直接输入,而输入从与设定控制线(在图27中,未图示)连接的逻辑运算器的输出端供给的信号。上述逻辑运算器的2个输入端子,1个输入采样脉冲,另一个输入从设定控制线供给的信号。即,电流源电路420的设定按照采样脉冲或从与设定控制线连接的逻辑运算器的输出端供给的信号的时序进行。

在图27中,当配置在各信号线的电流源电路420由图23(A)(B)所示的电路构成时,从与控制线连接的逻辑运算器的输出端子输入的

信号相当于设定信号。此外，当对各信号线配置的电流源电路 420 由图 23 (C) ~ (E) 所示的电路构成时，从移位寄存器来的采样脉冲相当于设定信号。

这里，图 53 示出在图 27 所示的结构中使用了上述设定控制线和逻辑运算器的结构。再有，在图 53 中配置了逻辑运算器，但也可以配置开关等去代替逻辑运算器。

再有，在图 27 或图 53 中，电流线和参考恒流源与各位对应配置。而且，从各位的电流源供给的电流值的总和供给信号线。即，电流电路 414 具有数字—模拟变换的功能。

此外，在图 27 或图 53 所示的信号线驱动电路中，对 1 位 ~ 3 位中的每一个分别配置专用的参考恒流源 109，但本发明不限于此。如图 54 所示，也可以配置个数比位数少的参考恒流源 109。例如，只配置最高位（这里是第 3 位）的参考恒流源 109，设定从配置在 1 列的多个电流源电路选出的 1 个电流源电路。而且，使用已进行设定动作的电流源电路进行其它电流源电路的动作。换言之，在配置于 1 列的多个电流源电路中，可以共享设定信息。

例如，只对 3 位用的电流源电路 420 进行设定动作。而且，使用已进行设定动作的电流源电路 420，使其它 1 位用、2 位用的电流源电路 420 共享信息。更具体地说，在电流源电路 420 中，将供给电流的晶体管（在图 23 (A) 中，相当于晶体管 102）的栅极端子连接起来，把源极端子也连接起来。结果，共享信息的晶体管（供给电流的晶体管）的栅源极间的电压相等。

再有，在图 54 中，不是对最低位（这里是 1 位）的电流源电路、而是对最高位（这里是 3 位）的电流源电路也进行设定动作。而且，使用已进行设定动作的最高位的电流源电路，和其它电流源电路共享信息。这样，通过对值最大的位的电流源电路进行设定动作，可以减小位之间的电流源电路的特性离散的影响。当假如对最低位（这里是 1 位）的电流源电路进行设定动作、而和最高位的电流源电路共享信息时，若各电流源电路的特性离散，高位的电流值就不是正确的值。因高位的电流源电路输出的电流值大，一旦特性有一点点离散，则该离散的影响会很大。输出的电流值的离散也很大。相反，当对最高位（这里是 3 位）的电流源电路进行设定动作、而和最低位的电流源电路共

享信息时,即使各电流源电路的特性离散,因输出电流值小,故因离散引起的电流值的差较小,影响就小。

而且,在本实施形态中,为了举例说明进行3位数字灰度显示的情况,而对每一根信号线设置3个电流源电路420。当将从与1根信号线连接的3个电流源电路420供给的信号电流设定为1:2:4时,可以按 $2^3=8$ 级控制电流的大小。

电流源电路420的结构可以任意使用图23、24、37、38、40等所示的电流源电路420的结构。在电流源电路420中,也可以不仅采用1种构成而采用多种构成。

下面,作为一个例子,使用图7、图8、图29、图55说明图27、图54所示的恒流源电路414的详细结构及其动作。在设在图7的各列的电流源电路420中,是否对信号线 S_i ($1 \leq i \leq n$)输出规定的信号电流受从第2锁存电路413输入的数字视频信号所具有的信息控制。

图55示出配置和位数相等个数的参考恒流源109、在图27所示的信号线驱动电路中使用图1所示的电流源电路、在电流源电路中使用图23(A)的构成的电路图。在图55中,在设定动作时,为了防止电流泄漏,使晶体管A~C截止。或者,也可以与晶体管A~C串联配置开关,使其在设定动作时断开。此外,图7示出配置和位数相等个数的参考恒流源109、在图27所示的信号线驱动电路中使用图2所示的电流源电路、在电流源电路中使用图23(A)所示结构的电路图。图8示出配置个数比位数少的参考恒流源109、在图54所示的信号线驱动电路中使用图1所示的恒流电路、在电流源电路中使用图23(C)所示结构的电路图。图29示出配置个数比位数少的参考恒流源109、在图54所示的信号线驱动电路中使用图1所示的恒流电路、在电流源电路中使用图23(A)所示结构的电路图。

电流源电路420具有由1位数字视频信号控制的第1电流源电路423a和第2电流源电路424a、由2位数字视频信号控制的第1电流源电路423b和第2电流源电路424b、由3位数字视频信号控制的第1电流源电路423c和第2电流源电路424c。此外,电流源电路420具有模拟开关170a和反相器171a、模拟开关170b、反相器171b、模拟开关170c和反相器171c。

第1电流源电路423a~423c和第2电流源电路424a~424c,一

个进行设定动作,另一个进行向象素输入信号的动作(输入动作、向象素输入电流)。第1电流源电路423a~423c和第2电流源电路424a~424c具有多个电路元件。图7示出第1电流源电路423a和第2电流源电路424a,因第1电流源电路423b、423c和第2电流源电路424b、424c的电路图参考第1电流源电路423a和第2电流源电路424a,故在本实施形态中省略其图示。

第1电流源电路423a具有NAND150a、反相器151a、反相器152a、模拟开关153a、模拟开关154a、晶体管155a~157a和电容元件158a。第2电流源电路424a具有NAND160a、反相器161a、反相器162a、反相器169a、模拟开关163a、模拟开关164a、晶体管165a~167a和电容元件168a。在本实施形态中,晶体管155a~157a和晶体管165a~167a全部是n沟道型。

在第1电流源电路423a中,NAND150a的输入端子与移位寄存器411和第1控制线425a连接,NAND150a的输出端子与反相器151a的输入端子连接。反相器151a的输出端子与晶体管155a和晶体管156a的栅极连接。

模拟开关153a根据从NAND150a的输出端子输入的信号和从反相器151a的输出端子输入的信号选择导通或非导通。反相器152a的输入端子与第1控制线425a连接。模拟开关154a根据从第1控制线425a和反相器152a的输出端子输入的信号选择导通或非导通。

晶体管155a的源极和漏极区,一个与第1电流线426a连接,另一个与晶体管157a的源极区和漏极区的一个连接。晶体管156a的源极和漏极区,一个与第1电流线426a连接,另一个与电容元件158a的一个端子和晶体管157a的栅极连接。晶体管157a的源极和漏极区,一个与Vss连接,另一个与模拟开关153a连接。

电容元件158a的一个端子与Vss连接,另一个端子与晶体管157a的栅极连接。电容元件158a起保持晶体管157a的栅源极间电压的作用。

在第2电流源电路424a中,反相器169a的输入端子与第1控制线425a连接。反相器169a的输出端子与NAND160a的一个输入端子连接。NAND160a的另一个输入端子与移位寄存器411连接。NAND160a的输出端子与反相器161a的输入端子连接。反相器161a的输出端子

与晶体管 165a 和晶体管 166a 的栅极连接。

模拟开关 163a 根据从 NAND160a 的输出端子输入的信号和从反相器 161a 的输出端子输入的信号选择导通或非导通。反相器 162a 的输入端子与第 1 控制线 425a 连接。模拟开关 164a 根据从第 1 控制线 425a 和反相器 162a 的输出端子输入的信号选择导通或非导通。

晶体管 165a 的源极和漏极区，一个与第 1 电流线 426a 连接，另一个与晶体管 167a 的源极区和漏极区的一个连接。晶体管 166a 的源极和漏极区，一个与第 1 电流线 426a 连接，另一个与电容元件 168a 的一个端子和晶体管 167a 的栅极连接。晶体管 167a 的源极和漏极区，一个与 Vss 连接，另一个与模拟开关 163a 连接。

电容元件 168a 的一个端子与 Vss 连接，另一个端子与晶体管 167a 的栅极连接。电容元件 168a 起保持晶体管 167a 的栅源极间电压的作用。

而且，因图 7 所示的第 1 电流源电路 423a 和第 2 电流源电路 424a 的动作和图 3、图 4 所示的第 1 电流源电路 421 和第 2 电流源电路 422 的动作相同，故在本实施形态中省略其说明。

再有，在图 7 所示的电流源电路 420 中，从第 1 电流源电路 423a 或第 2 电流源电路 424a 供给的信号电流和从第 1 电流源电路 423b 或第 2 电流源电路 424b 供给的信号电流及从第 1 电流源电路 423c 或第 2 电流源电路 424c 供给的信号电流的总和流入信号线 Si。即，若设定从第 1 电流源电路 423a 或第 2 电流源电路 424a 供给的信号电流和从第 1 电流源电路 423b 或第 2 电流源电路 424b 供给的信号电流及从第 1 电流源电路 423c 或第 2 电流源电路 424c 供给的信号电流为 1: 2: 4, 则可以按 $2^3=8$ 级控制电流的大小。

在图 7 所示的电流源电路 420 中，利用 3 位数字视频信号选择模拟开关 170a ~ 170c 的导通或截止。当假定模拟开关 170a ~ 170c 全部导通时，供给信号线的电流变成从第 1 电流源电路 423a 或第 2 电流源电路 424a 供给的信号电流和从第 1 电流源电路 423b 或第 2 电流源电路 424b 供给的信号电流及从第 1 电流源电路 423c 或第 2 电流源电路 424c 供给的信号电流的总和。当假定只有模拟开关 170a 导通时，只有从第 1 电流源电路 423a 或第 2 电流源电路 424a 供给的信号电流供给信号线。

因从电流源电路供给的电流值不同,故有必要将流过第1电流线426a~第3电流线426c的电流值设定为1:2:4。

这里,图7所示的电流源电路420具有的晶体管全部是n沟道型,但本发明不限于此。电流源电路420也可以使用p沟道型晶体管。当使用p沟道型晶体管时,因电流源电路420的动作除了电流流动的方向不同和电容元件与Vdd而不与Vss连接之外均与上述动作相同,故省略其说明。

此外,在图7中,省略了电流源电路423b、423c和电流源电路424b、424c的详细电路结构的图示,但电流源电路423b、423c和电流源电路424b、424c不是图23(A)所示结构的电流源电路,可以使用图23(C)~(E)所示结构的电流源电路。即,进行多位数字灰度显示时使用的信号线驱动电路所使用的电流源电路可以将多种结构组合起来设计。

此外,当电流源电路使用p沟道型晶体管时,在不交换Vss和Vdd的情况下,即在电流流动的方向不变的情况下,若将图23和图24对照使用,则用起来很容易。此外,对单纯作为开关工作的晶体管的极性没有特别的限制。

其次,使用图8说明和上述不同的恒流电路414的结构及其动作。在图8的电流源电路420中,是否对信号线 S_i ($1 \leq i \leq n$)输出规定的信号电流由从第2锁存电路413输入的数字视频信号所具有的信息进行控制。

电流源电路420具有晶体管180~188和电容元件189。在本实施形态中,晶体管180~188全部是n沟道型。

晶体管180的栅极输入从第2锁存电路413来的1位数字视频信号。晶体管180的源极区和漏极区,一个与源极信号线(S_i)连接,另一个与晶体管183的源极区和漏极区的一个连接。

晶体管181的栅极输入从第2锁存电路413来的2位数字视频信号。晶体管181的源极区和漏极区,一个与源极信号线(S_i)连接,另一个与晶体管184的源极区和漏极区的一个连接。

晶体管182的栅极输入从第2锁存电路413来的3位数字视频信号。晶体管182的源极区和漏极区,一个与源极信号线(S_i)连接,另一个与晶体管185的源极区和漏极区的一个连接。

晶体管 183~晶体管 185 的源极区和漏极区, 一个与 V_{ss} 连接, 另一个与晶体管 180~晶体管 182 的源极区和漏极区的一个连接。晶体管 186 的源极区和漏极区, 一个与 V_{ss} 连接, 另一个与晶体管 188 的源极区和漏极区的一个连接。

晶体管 187 和晶体管 188 的栅极输入从移位寄存器 411 来的信号。晶体管 187 的源极区和漏极区, 一个与晶体管 186 的源极区和漏极区的一个连接, 另一个与电容元件 189 的一个电极连接。晶体管 188 的源极区和漏极区, 一个与电流线 190 连接, 另一个与晶体管 186 的源极区和漏极区的一个连接。

电容元件 189 的一个电极与晶体管 183~晶体管 186 的栅极连接, 另一个电极与 V_{ss} 连接。电容元件 189 起保持晶体管 183~晶体管 186 的栅源极间电压的作用。

图 8 所示的电流源电路 420 的设计除追加了晶体管 180、181、183、184 之外, 其他与使用图 5 所示的电流源电路 420 的动作相同。因此, 这里省略图 8 所示的电流源电路 420 的动作说明。

再有, 图 8 所示的电流源电路如图 54 所示, 表示配置了个数比位数少的参考恒流源 109 的情况。

此外, 在图 8 所示的电流源电路 420 中, 晶体管 183~185 的漏极电流的总和流入信号线 S_i 。这里, 将晶体管 183~185 各自的漏极电流设定为 1: 2: 4, 可以按 $2^3=8$ 级控制电流的大小。即, 从晶体管 183~185 供给的电流值的差异起因于将晶体管 183~185 的 W/L 值设定为 1: 2: 4, 各自的导通电流设定为 1: 2: 4。

而且, 在图 8 所示的电流源电路 420 中, 利用 3 位数字视频信号, 来选择晶体管 180~182 的导通或截止。例如, 当晶体管 180~182 全部导通时, 供给信号线的电流是晶体管 183~185 的漏极电流的总和。当只有晶体管 18 导通时, 只有晶体管 183 的漏极电流供给信号线。

这样, 通过使晶体管 183~185 的栅极端子互相连接, 可以共享设定动作的信息。再有, 这里是在相同列的晶体管內共享信息, 但本发明不限于此。例如, 也可以和相同列之外的晶体管共享设定动作的信息。即, 为了使设定动作的信息相同, 也可以使晶体管的栅极端子与别的列的晶体管连接。由此, 可以减少应设定的电流源电路的个数。因此, 可以缩短进行设定动作所必要的时间。此外, 因可以减少电路

的数量，故可以减小线路图的面积。

此外，在图 29 中，示出与图 8 不同的电路构成的电流源电路 420。在图 29 所示的电流源电路 420 中，取代晶体管 186~188 而配置开关 191、192。

而且，在图 29 所示的电流源电路 420 中，因除了当开关 191、192 导通时从与电流线 190 连接的参考电流源（未图示）供给的电流流过电容元件 189 这一点之外，其他均和图 27 所示的电流源电路 420 的动作相同，故在此省略其说明。

再有，在图 29 中，在电流源电路的设定动作时，为了防止电流泄漏，使晶体管 182 截止。或者，也可以与晶体管 182 串联配置开关 203，使开关 203 在设定动作时截止，而在除此之外的时间导通。这时的电流源电路由图 56 示出。

再有，图 8、图 29、图 56 的电流源电路 420 具有的晶体管全部是 n 沟道型，但本发明不限于此。电流源电路 420 也可以使用 p 沟道型晶体管。当使用 p 沟道型晶体管时，因电流源电路 420 的动作除了电流流动的方向不同和电容元件与 Vdd 而不与 Vss 连接之外其余均和上述动作相同，故在此省略其说明。

此外，当使用 p 沟道型晶体管构成电流源电路且不交换 Vss 和 Vdd 时，即在电流流动的方向不变的情况下，若将图 23 和图 24 对照使用，则用起来很容易。此外，亦能够容易实现多相化和进行点顺序驱动。

此外，在本实施形态中，说明了进行 3 位数字灰度显示时的信号线驱动电路的结构及其动作。但是，本发明不限于 3 位，可以进行任意位数的显示。此外，在本实施形态中，可以和实施形态 1~4 任意组合。

再有，在图 27 中，如图 1 所示，对 1 根信号线各配置 1 个与各个位对应的电流源电路。但是，也可以如图 2 所示，对 1 根信号线驱动电路配置多个与各个位对应的电流源电路。这时的图由图 57 示出。再有，图 7 的构成相当于在图 27 的结构中使用图 57 所示结构的情况。同样，在图 54 中，多个电流源电路共享设定信息。这时的图由图 58 示出。

其次，图 59、图 60、图 61、图 62 示出图 53 所示的电路的详细结构。在图 53 所示的电路中，配置设定控制线或逻辑运算器，使用该

设定控制线或逻辑运算器控制进行电流源电路的设定动作的时序。

图 59 示出当配置个数和位数相等的参考恒流源 109、图 53 所示的信号线驱动电路使用图 1 所示的电流源电路、电流源电路使用图 23 (A) 所示结构时的电路图。在图 59 所示的构成中, 为了防止电流泄漏, 在设定动作时使晶体管 A~C 截止。或者, 也可以与晶体管 A~C 串联配置开关, 并使该开关在设定动作时断开。若使图 27 的结构和图 53 的结构对应, 则图 59 和图 55 对应。即, 图 59 的构成和图 53 对应, 图 55 的结构和图 27 对应。

图 60 示出当配置个数和位数相等的参考恒流源 109、图 53 所示的信号线驱动电路使用图 2 所示的电流源电路、电流源电路使用图 23 (A) 所示结构时的电路图。若使图 27 的结构和图 53 的结构对应, 则图 60 和图 7 对应。即, 图 60 的结构和图 53 对应, 图 7 的结构和图 27 对应。

图 61 示出当配置个数比位数少的参考恒流源 109、图 53 所示的信号线驱动电路象图 54 所示结构那样共享信息且使用图 1 所示的恒流电路、电流源电路使用图 23 (C) 的构成时的电路图。若使图 27 的结构和图 54 的结构及图 53 的构成对应, 则图 61 和图 8 对应。

图 62 示出当配置个数比位数少的参考恒流源 109、图 53 所示的信号线驱动电路象图 54 所示的构成那样共享信息且使用图 1 所示的电流源电路、电流源电路使用图 23 (A) 的构成时的电路图。若使图 27 的构成和图 54 的构成及图 53 的构成对应, 则图 62 和图 29 对应。

再有, 在图 59、图 60、图 62 中, 配置了逻辑运算器, 但也可以取代逻辑运算器而使用开关等。因上述逻辑运算器只对是否进行电流源电路的设定动作进行切换, 故只要是能用于切换控制的电路, 使用什么电路都可以。只是, 在图 60 中, 使用第 4 设定控制线, 切换是否进行电流源电路的设定动作, 使用第 1~第 3 设定控制线控制对哪个电流源电路进行设定动作, 使哪个电流源电路进行输入动作。此外, 电流源电路的设定动作, 可以不按顺序从第 1 列到最后 1 列进行而随机地进行。这时, 作为移位寄存器 411 可以使用图 43 所示的译码电路等。此外, 还可以使用图 44、图 45、图 46 所示的电路。

(实施形态 6)

向电流源电路供给电流的参考恒流源 109 可以在衬底上和信号线

驱动电路一体形成，也可以使用 IC 等配置在衬底的外部。当在衬底上一体形成时，可以使用图 23~25、图 38、图 37、图 40 等所示的电流源电路中的任何一个形成。或者，也可以单单配置 1 个晶体管，根据加在栅极上的电压来控制电流值。在本实施形态中，说明参考恒流源 109 的结构及其动作。

作为 1 个例子，图 30 示出最简单的情况。即，是对晶体管的栅极加电压再调节栅极电压的方式，而且示出需要 3 根电流线的情况。假如只需要 1 根电流线，只要单纯地从图 30 中删除晶体管 1840、1850 及与其对应的电流线即可。在图 30 中，通过调节加在晶体管 1830、1840、1850 的栅极电压，经端子 f，从外部控制电流的大小。这时，若将晶体管 1830、1840、1850 的 W/L 值设计为 1: 2: 4，则各自的导通电流变成 1: 2: 4。

其次，在图 31 (A) 中，说明从端子 f 供给电流的情况。如图 30 所示，当加栅极电压并进行调节时，有时电流值会因温度特性等原因而变动。但是，当象图 31 (A) 那样输入电流时，可以抑制其影响。

再有，在图 30、31 (A) 的结构的情况下，电流线持续流过电流的期间必须持续从端子 f 输入电压或电流。但是，当电流线不必流过电流时，则不必从端子 f 输入电压或电流。

此外，可以如图 31 (B) 所示那样增加开关和电容元件。这样，即使向电流线供给电流时，也可以停止从参考 IC 供给（从端子 f 输入的电压或电流），并且功耗变小。在图 30、图 31 所示的结构中，与配置在参考恒流源的其它电流源晶体管共享信息。即，晶体管 1830、1840、1850 的栅极端相互连接。

因此，图 32 示出各电流源电路进行设定动作的情况。在图 27 中，从端子 f 输入电流，利用从端子 e 供给的信号去控制时序。在图 27 所示的电路中，可以使用图 23、24、图 38、图 37、图 40 等所示的结构。图 32 所示的电路是使用图 23 (A) 的电路的例子。因此，设定动作和输入动作不能同时进行。故，在该电路中，对参考恒流源的设定动作需要按电流线不必流过电流的时序进行。

图 33 示出多相化的参考恒流源 109 的例子。即，相当于使用了图 47 所示的结构的参考恒流源 109。在多相化的情况下，也可以使用图 32、图 30、图 31 的电路。但是，因向电流线供给的电流值相同，故如

图 33 所示,若使用 1 个电流对各电流源电路进行设定动作,则可以减少从外部输入的电流数。

本实施形态可以和实施形态 1~5 任意组合。

(实施形态 7)

在上面的实施形态中,主要说明了存在信号电流控制开关的情况。在本实施形态中,说明当没有信号电流控制开关时、即向有别于信号线其他布线供给和信号电流不成比例的电流(固定电流)的情况。这时,不必配置开关 101(信号电流控制开关)。

再有,当不存在信号电流控制开关时,除了没有信号电流开关之外,其余和存在信号电流开关的情况一样。因此,进行简单的说明,省略对相同部分的说明。

将配置信号电流开关的情况和不配置的情况进行对比,图 34 和图 1 对应,图 35 和图 2 对应。图 63(A)与图 6(B)对应。在上面的实施形态中,利用视频信号控制信号电流控制开关,向信号线输出电流。在本实施形态中,向像素电流线输出电流。向信号线输出视频信号。

对于这时的像素结构,图 63(B)示出其概略图。其次,简单说明像素的动作方法。首先,当开关晶体管导通时,通过信号线向像素输入视频信号,并保存在电容元件中。接着,根据视频信号的值,驱动用晶体管导通或截止。另一方面,电流源电路具有流过一定电流的能力。因此,当驱动用晶体管导通时,发光元件流过一定的电流而发光。当驱动用晶体管截止时,发光元件没有电流流过,不发光。这样来显示图像。只是,这时只能表现发光和不发光 2 种状态。因此,使用时间灰度法或面积灰度法等,以谋求多灰度化。

再有,对电流源电路部分可以使用图 23、图 24、图 37、图 38、图 40 等中的任何一种电路。而且,为了使电流源电路流过一定的电流,只要进行设定动作即可。当对象素的电流源电路进行设定动作时,通过像素电流线输入电流再执行。对象素的电流源电路进行的设定动作可以在任意时刻,以任意时序,执行任意次数。对象素配置的电流源电路进行的设定动作可以和用来显示图像的动作毫无关系地执行。当电流源电路内配置的电容元件保存的电荷泄漏时,可以进行设定动作。

其次,图 64、图 65 示出图 63(A)所示的恒流电路 414 的详细结

构。图 66、图 67 示出在图 64、图 65 的结构中配置设定控制线和逻辑运算器并能控制进行信号线驱动电路的电流源电路的设定动作的时序的情况。这里，图 64、图 66 示出在电流源电路部分使用图 23 (A) 的情况下的电路。图 65、67 示出在电流源电路部分使用图 23 (E) 的情况下的电路。再有，虽然图 66、图 67 配置了逻辑运算器，但也可以用开关等代替。

此外，考虑在图 63 (A) 所示的电流源电路部分使用图 35 所示结构的情况。图 68 示出这时的恒流源电路 414 的详细结构。此外，图 69 示出在图 68 的结构中配置设定控制线和逻辑运算器并能控制进行信号线驱动电路的电流源电路的设定动作的时序的情况。这里，图 68、图 69 示出对电流源电路部分使用图 23 (A) 的情况下的电路。在图 68 中，通过控制设定控制线，可以对一个电流源进行设定动作，同时，另一个电流源进行输入动作。同样，在图 69 中，通过控制第 2 设定控制线，可以对一个电流源进行设定动作，同时，另一个电流源能够进行输入动作。而且，通过控制第 1 设定控制线，可以控制进行信号线驱动电路的电流源电路的设定动作的时序。

这样，当不存在信号电流控制开关时，除了没有信号电流开关之外，其余和存在信号电流开关的情况一样。因此，省略详细的说明。

本实施形态可以和实施形态 1~6 任意组合。

(实施形态 8)

使用图 70 说明本发明的实施形态。在图 70 (A) 中，在像素部的上方配置信号线驱动电路，在下方配置恒流电路，在上述信号线驱动电路中配置电流源 A、在恒流电路中配置电流源 B。若设从电流源 A、B 供给的电流为 I_A 、 I_B ，向像素供给的信号电流为 I_{data} ，则 $I_A = I_B + I_{data}$ 成立。而且，当向像素写入信号电流时，设定从电流源 A、B 供给电流。这时，当 I_A 、 I_B 变大时，可以提高信号电流对象素的写入速度。

这时，使用电流源 A 进行电流源 B 的设定动作。像素中流过由来自电流源 A 的电流减去电流源 B 的电流所得到的电流。因此，通过使用电流源 A 进行电流源 B 的设定动作，可以减小各种各样的噪声的影响。

在图 70 (B) 中，参考恒流源（以下记作恒流源）C、E 配置在像素部的上方和下方。而且，使用电流源 C、E 进行信号线驱动电路和恒

流电路配置的电流源电路的设定动作。电流源 D 相当于设定电流源 C、E 的电流源，并从外部供给参考电流。

再有，在图 70 (B) 中，也可以将配置在下方的恒流电路作为信号线驱动电路。由此，可以在上方和下方配置信号线驱动电路。而且，各自承担画面（整个像素部）上下半边的控制。这样，便可以同时控制 2 行像素。因此，可以延长对信号线驱动电路的电流源、像素和像素电流源等的设定动作（信号输入动作）的时间。故，可以更正确地设定。

本实施形态可以和实施形态 1~7 任意组合。

（实施例 1）

在本实施例中，使用图 14 详细说明时间灰度方式。通常，在液晶显示装置或发光装置等显示装置中，帧频率是 60Hz 左右。即，如图 14 (A) 所示，1 秒钟进行 60 次左右的画面扫描。由此，可以使人的眼睛感觉不出来闪烁（画面的闪光）。这时，将进行 1 次画面扫描的期间称作 1 帧期间。

在本实施例中，作为 1 个例子，说明专利文献 1 的公报中公开的时间灰度方式。在时间灰度方式中，将 1 帧期间分割成多个子帧期间。这时的分割数大多和灰度的位数相等。这里，为简单起见，示出分割数和灰度位数相等的情况。即，在本实施例中，因为是 3 位灰度，故示出分割成 3 个子帧期间 SF1~SF3 的例子（图 14 (B)）。

各子帧期间具有地址（写入）期间 T_a 和保持（发光）期间 T_s 。地址期间是对象素写入视频信号的期间，在各子帧期间中长度相等。保持期间是在地址期间根据像素写入的视频信号发光元件发光或不发光的期间。这时，保持期间 $T_{s1} \sim T_{s3}$ 其长度比为 $T_{s1} : T_{s2} : T_{s3} = 4 : 2 : 1$ 。即，在表现 n 位灰度时， n 个保持期间的长度比为 $2^{n-1} : 2^{n-2} : \dots : 2^1 : 2^0$ 。而且，通过发光元件在哪个保持期间发光或不发光，决定 1 帧期间中各像素发光的期间的长度，由此来表现灰度。

其次，说明使用时间灰度方式的像素的具体动作，在本实施例中参照图 16 (B) 所示的像素进行说明。图 16 (B) 所示的像素使用电流输入方式。

首先，在地址期间 T_a 内进行以下动作。选择第 1 扫描线 602 和第 2 扫描线 603，TFT606、607 导通。这时，将流过信号线 601 的电流作

为信号电流 I_{data} 。而且,当电容元件 610 积蓄了规定的电荷时,第 1 扫描线 602 和第 2 扫描线 603 的选择结束,TFT606、607 截止。

其次,在保持期间 T_s 内进行以下动作。选择第 3 扫描线 604,TFT609 导通。因电容元件 610 保持刚才已写入的规定的电荷,故 TFT608 导通,从信号线 605 流过和信号电流 I_{data} 相等的电流。由此,发光元件 611 发光。

通过在各子帧期间进行以上动作来构成 1 帧期间。按照该方法,当想要增加显示灰度数时,可以增加子帧期间的分割数。此外,子帧期间的顺序如图 14 (B) (C) 所示,不必按从高位到低位的顺序,在 1 帧期间可以随机排列。进而在各帧期间可以改变其顺序。

此外,图 14 (D) 示出第 m 行扫描线的子帧期间 SF2。如图 14 (D) 所示,在象素中,地址期间 T_{a2} 一结束,便立即开始期间 T_{s2} 。

其次,说明在信号线驱动电路的电流源电路中进行设定动作的时序。

再有,在上述实施形态中对上述电流源电路能同时进行设定动作和输入动作的方式和不能同时进行的方式进行了说明。

在前者的设定动作和输入动作能同时进行的电流源电路中,对进行各动作的时序没有特别限定。这一点,对如图 2 或图 54 等那样 1 列配置多个电流源电路的情况也一样。但是,在后者的设定动作和输入动作不能同时进行的电流源电路中,有必要在进行设定动作的时序上下功夫。当采用时间灰度方式时,必须在不进行输出动作时进行设定动作。例如,在具有图 1 的驱动部的结构和图 16 (B) 所示结构的象素的情况下,必须在象素部的哪一根扫描线都在非地址期间 T_a 的期间内进行设定动作。此外,在具有图 34 的驱动部的结构和图 63 (B) 所示结构的象素的情况下,必须在象素配置的电流源电路不进行设定动作的期间进行驱动部配置的电流源电路的设定动作。

再有,这时,有时能低速设定控制电流源电路的移位寄存器的频率。由此,可以费点时间来正确进行电流源电路的设定动作。

或者,也可以使用图 43 等电路作为控制电流源电路的电路(移位寄存器)来随机地进行电流源电路的设定动作。此外,也可以使用图 44、图 45、图 46 等电路。这样,即使能进行设定动作的期间在 1 帧中是分散的,也能有效地利用这一期间进行设定动作。此外,所有的电

流源电路的设定动作也可以不在 1 帧期间内而在好几帧期间内执行。这样，可以费点时间来正确进行电流源电路的设定动作。

再有，在具有图 1 的驱动部的结构和图 16 (B) 所示结构的像素的情况下，输入动作可以在像素的扫描线被选择的期间（地址期间 T_a ）进行。此外，在具有图 1 的驱动部的结构和图 63 (B) 所示结构的像素的情况下，可以在不对像素配置的电流源电路进行设定动作的期间进行驱动部配置的电流源电路的设定动作。

本实施例可以和实施形态 1~8 任意组合。

（实施例 2）

在本实施例中，使用图 13、图 71 说明设置在像素部的像素电路的构成例。

再有，若是具有包含输入电流的部分那样结构的像素，则对什么样的像素都可以适用。

图 13(A) 的像素具有信号线 1101、第 1 和第 2 扫描线 1102、1103、电流线（电源线）1104、开关用 TFT1105、保持用 TFT1106、驱动用 TFT1107、变换驱动用 TFT1108、电容元件 1109 和发光元件 1110。信号线 1101 与电流源电路 1111 连接。

再有，电流源电路 1111 相当于配置在信号线驱动电路 403 中的电流源电路 420。

图 13 (A) 的像素，其开关用 TFT1105 的栅极与第 1 扫描线 1102 连接，第 1 电极与信号线 1101 连接，第 2 电极与驱动用 TFT1107 的第 1 电极和变换驱动用 TFT1108 的第 1 电极连接。保持用 TFT1106 的栅极与第 2 扫描线 1103 连接，第 1 电极与信号线 1102 连接，第 2 电极与驱动用 TFT1107 的栅极和变换驱动用 TFT1108 的栅极连接。驱动用 TFT1107 的第 2 电极与电流线（电源线）1104 连接，变换驱动用 TFT1108 的第 2 电极与发光元件 1110 的一个电极连接。电容元件 1109 连接在变换驱动用 TFT1108 的栅极和第 2 电极之间，保持变换驱动用 TFT1108 的栅源极间的电压。电流线（电源线）1104 和发光元件 1110 的另一个电极分别被输入规定的电位，并且相互具有电位差。

再有，图 13 (A) 的像素相当于像素使用图 38 (B) 的电路的情况。只是，因电流流动的方向不同，故晶体管的极性相反。图 13 (A) 的驱动用 TFT1107 相当于图 38 (B) 的 TFT126，图 13 (A) 的变换驱动用

TFT1108 相当于图 38 (B) 的 TFT122, 图 13 (A) 的保持用 TFT1106 相当于图 38 (B) 的 TFT124。

图 13(B) 的象素具有信号线 1151、第 1 和第 2 扫描线 1142、1143、电流线 (电源线) 1144、开关用 TFT1145、保持用 TFT1146、变换驱动用 TFT1147、驱动用 TFT1148、电容元件 1149 和发光元件 1140。信号线 1151 与电流源电路 1141 连接。

再有, 电流源电路 1141 相当于配置在信号线驱动电路 403 中的电流源电路 420。

图 13 (B) 的象素, 其开关用 TFT1145 的栅极与第 1 扫描线 1142 连接, 第 1 电极与信号线 1151 连接, 第 2 电极与驱动用 TFT1148 的第 1 电极和变换驱动用 TFT1147 的第 1 电极连接。保持用 TFT1146 的栅极与第 2 扫描线 1143 连接, 第 1 电极与驱动用 TFT1148 的第 1 电极连接, 第 2 电极与驱动用 TFT1148 的栅极和变换驱动用 TFT1147 的栅极连接。变换驱动用 TFT1147 的第 2 电极与电流线 (电源线) 1144 连接, 变换驱动用 TFT1147 的第 2 电极与发光元件 1140 的一个电极连接。电容元件 1149 连接在变换驱动用 TFT1147 的栅极和第 2 电极之间, 保持变换驱动用 TFT1147 的栅源极间的电压。电流线 (电源线) 1144 和发光元件 1140 的另一个电极被分别输入规定的电位, 并且相互具有电位差。

再有, 图 13 (B) 的象素相当于象素使用图 6 (B) 的电路的情况。只是, 因电流流动的方向不同, 故晶体管的极性相反。图 13 (B) 的变换驱动用 TFT1147 相当于图 6 (B) 的 TFT122, 图 13 (B) 的驱动用 TFT1148 相当于图 6 (B) 的 TFT126, 图 13 (B) 的保持用 TFT1146 相当于图 6 (B) 的 TFT124。

图 13 (C) 的象素具有信号线 1121、第 1 扫描线 1122、第 2 扫描线 1123、第 3 扫描线 1135、电流线 (电源线) 1124、开关用 TFT1125、象素用电流线 1138、擦除用 TFT1126、驱动用 TFT1127、电容元件 1128、电流源 TFT1129、镜 TFT1130、电容元件 1131、电流输入 TFT1132、保持 TFT1133 和发光元件 1136。象素用电流线 1138 与电流源电路 1137 连接。

图 13 (C) 的象素, 其开关用 TFT1125 的栅极与第 1 扫描线 1122 连接, 开关用 TFT1125 的第 1 电极与信号线 1121 连接, 开关用 TFT1125

的第2电极与驱动用 TFT1127 的栅极和擦除用 TFT1126 的第1电极连接。擦除用 TFT1126 的栅极与第2扫描线 1123 连接,擦除用 TFT1126 的第2电极与电流线(电源线) 1124 连接。驱动用 TFT1127 的第1电极与发光元件 1136 的一个电极连接,驱动用 TFT1127 的第2电极与电流源 TFT1129 的第1电极连接。电流源 TFT1129 的第2电极与电流线 1124 连接。电容元件 1131 的一个电极与电流源 TFT1129 的栅极及镜 TFT1130 的栅极连接,另一个电极与电流线(电源线) 1124 连接。镜 TFT1130 的第1电极与电流线 1124 连接,镜 TFT1130 的第2电极与电流输入 TFT1132 的第1电极连接。电流输入 TFT1132 的第2电极与电流线(电源线) 1124 连接。电流输入 TFT1132 的栅极与第3扫描线 1135 连接。电流保持 TFT1133 的栅极与第3扫描线 1135 连接,电流保持 TFT1133 的第1电极与象素用电流线 1138 连接,电流保持 TFT1133 的第2电极与电流源 TFT1129 的栅极及镜 TFT1130 的栅极连接。电流线(电源线) 1124 和发光元件 1136 的另一个电极被分别输入规定的电位,并且相互具有电位差。

这里,电流源电路 1137 相当于信号线驱动电路 403(电源线)配置的电流源电路 420。

再有,图 13(C)的象素相当于图 63(B)的象素使用图 23(E)的电路的情况。因只是电流流动的方向不同,故晶体管的极性相反。再有,图 13(C)的象素追加了擦除用 TFT1126。利用擦除用 TFT1126,可以自由控制亮灯期间的长度。

开关用 TFT1125 起控制视频信号对象素的供给的作用。擦除用 TFT1126 使电容元件 1131 保持的电荷放电,驱动用 TFT1127 根据保持在电容元件 1131 中的电荷控制导通或不导通。电流源 TFT1129 和镜 TFT1130 形成电流镜电路。电流线 1124 和发光元件 1136 的另一个电极被分别输入规定的电位,并且相互具有电位差。

即,当开关用 TFT1125 导通时,视频信号通过信号线 1121 输入象素,并保存在电容元件 1128 中。而且,驱动用 TFT1127 根据视频信号的值导通或截止。由此,当驱动用 TFT1127 导通时,发光元件流过一定的电流并发光。当驱动用 TFT1127 截止时,发光元件不流过电流,不发光。这样来显示图像。

再有,图 13(C)的电流源电路由电流源 TFT1129、镜 TFT1130、

电容元件 1131、电流输入 TFT1132 和保持 TFT1133 构成。电流源电路具有流过一定电流的能力。该电流源电路通过象素用电流线 1138 流入电流, 并进行设定动作。因此, 即使构成电流源电路的晶体管的特性离散, 从电流源电路向发光元件供给的电流的大小也不会产生离散。对象素的电流源电路的设定动作可以与开关用 TFT1125 或驱动用 TFT1127 的动作无关系地进行。

图 71(A) 的象素相当于图 63(B) 的象素使用图 23(A) 的电路的情况。只是, 因电流流动的方向不同, 故晶体管的极性相反。图 71(A) 的象素具有电流源 TFT1129、电容元件 1131、保持用 TFT1133 和象素用电流线 1138(Ci) 等。象素用电流线 1138(Ci) 与电流源电路 1137 连接。再有, 电流源电路 1137 相当于信号线驱动电路 403 配置的电流源电路 420。

图 71(B) 的象素相当于图 63(B) 的象素使用图 24(A) 的电路的情况。只是, 因电流流动的方向不同, 故晶体管的极性相反。图 71(B) 的象素具有电流源 TFT1129、电容元件 1131、保持用 TFT1133 和象素用电流线 1138(Ci) 等。象素用电流线 1138(Ci) 与电流源电路 1137 连接。再有, 电流源电路 1137 相当于信号线驱动电路 403 配置的电流源电路 420。

在图 71(A) 的象素和图 71(B) 的象素中, 电流源 TFT1129 的极性不同。而且, 因极性不同故电容元件 1131 和保持 TFT1133 的连接也不同。

这样, 存在各种各样结构的象素。到此为止叙述的象素可以大致分成 2 种类型。第 1 类是向信号线输入与视频信号对应的电流的类型。图 13(A)、图 13(B) 等与此相当。这时, 信号线驱动电路如图 1 或图 2 所示, 具有信号电流控制开关。

而且, 另一个类型是向信号线输入视频信号、向象素用电流线输入和视频信号无关的固定电流的类型, 即如图 63(B) 那样的象素的情况。这和图 13(C)、图 71(A)、图 71(B) 等相当。这时, 信号线驱动电路如图 34 或图 35 所示那样, 没有信号电流控制开关。

其次, 说明与各象素的类型对应的时序图。首先, 说明数字灰度和时间灰度组合的情况。只是, 上述时序图取决于象素的类型或信号线驱动电路的构成。即, 如已经说明的那样, 对于信号线驱动电路的

电流源电路的设定动作和输入动作能同时进行的情况和设定动作与输入动作不能同时进行的情况，时序有时不同。

首先，说明象素的类型是信号线输入与视频信号对应的电流的类型的情况。假定象素是图 13 (A) 或图 13 (B)，信号线驱动电路是图 6 (B) 的结构。

接着，作为信号线驱动电路的电流源电路的设定动作和输入动作能同时进行的情况，说明图 6 (B) 的恒流电路 414 使用图 1 所示的电路、电流源电路部分使用图 23 (C) 的电路、即图 5 的情况。再有，作为设定动作和输入动作能同时进行的情况，图 3、图 4 的电路也一样。

图 72 示出这时的时序图。为简单起见，假定表现 4 位灰度，子帧数是 4 个。首先，从最初的子帧期间 SF1 开始。一行一行地选择扫描线（图 13 (A) 的第 1 扫描线 1102 或图 13 (B) 的第 1 扫描线 1132），从信号线（图 13 (A) 的 1101 或图 13 (B) 的 1131）输入电流。该电流变成与视频信号对应的值。接着，若亮灯期间 Ts1 结束，便开始下一个子帧期间 SF2，和 SF1 一样扫描。然后，开始下一个子帧期间 SF3，同样进行扫描。只是，因亮灯期间的长度 Ts3 比地址期间的长度 Ta3 短，故强制地使其不发光。即，消去已输入的视频信号。或者，使电流不流过发光元件。为了进行消去，一行一行地选择第 2 扫描线（图 13 (A) 的第 2 扫描线 1103 或图 13 (B) 的第 2 扫描线 1133）。这样，可以消去视频信号，使其处于不发光状态。然后，开始下一个子帧 SF4。这里，和 SF3 一样进行扫描，并同样使其处于不发光状态。

以上是图像显示动作、即与象素的动作有关的时序图。其次，说明信号线驱动电路配置的电流源电路的设定动作的时序。

这里，假定电流源电路是能同时进行设定动作和输入动作的电路。当象素的类型是向信号线输入与视频信号对应的电流的类型时，信号线驱动电路的电流源电路的输入动作（向象素输出电流）在各子帧期间中的地址期间（Ta1、Ta2 等）进行。而且，信号线驱动电路的电流源电路的设定动作由从移位寄存器 411 来的采样脉冲控制。

而且，从移位寄存器输出的采样脉冲在某行扫描线（栅极线）被选中的期间向所有的列输出。从而，如图 72 所示，与从移位寄存器输出的采样脉冲同步，进行信号线驱动电路的电流源电路的设定动作。

其次，如图 42 所示，说明在信号线驱动电路上配置设定控制线和

逻辑运算器的情况。而且，作为能对信号线驱动电路的电流源电路同时进行设定动作和输入动作的情况，说明图 42 中的恒流电路 414 使用图 1 所示的电路且电流源电路部分使用图 23 (C) 时的情况、和图 49 的情况。

这时的时序图示于图 73、图 74 和图 75。

首先，关于图像显示动作、即与像素的开关晶体管和驱动用晶体管等有关的动作，因与上述图 72 的情况几乎一样，故省略其说明。

其次，说明信号线驱动电路配置的电流源电路的设定动作的时序。在图 72 的情况下，在各地址期间的各行扫描线（栅极线）的选择期间，进行信号线驱动电路的电流源电路的设定动作。

在图 73 中，可以利用设定控制线控制是否进行电流源电路的设定动作。因此，只在某地址期间的某行扫描线（栅极线）被选中时，才能设置设定动作期间 T_b 并在该设定动作期间 T_b 进行设定动作。

这样，可以减少信号线驱动电路配置的电流源电路进行设定动作的次数。因此，可以降低功耗。

再有，在电流源电路 420 中，配置连接在某晶体管的栅极和源极之间的电容元件。利用电流源电路的设定动作使该电容元件积蓄电荷。在理想的情况下，电流源电路的设定动作只在电源输入时进行 1 次即可。这是因为电容元件积蓄的电荷量不随动作状态和时间等变化也不必使其变化。因此，信号线驱动电路的电流源电路的设定动作可以按任意时序进行任意次数。

但是，实际上，电容元件会输入各种各样的噪声，与电容元件连接的晶体管也会产生漏电流。结果，电容元件积蓄的电荷量有时会随时间变化。若电荷量变化，则从电流源电路输出的电流、即输入到像素的电流发生变化。结果，像素的辉度也发生变化。因此，为了不使电容元件积蓄的电荷变动，有必要以某个周期进行电流源电路的设定动作，使电荷刷新。

使电容元件积蓄的电荷刷新的动作可以在 1 帧期间进行好几次。或者，也可以在几帧期间进行 1 次。

再有，在图 73 中，电流源电路的设定动作在地址期间 T_{a1} 和 T_{a2} 各进行 1 次。到底以什么样的频度进行设定动作，可以根据电流源电路具有的电容元件的电荷保存状况适当决定。

其次，图 74 示出信号线驱动电路配置的电流源电路的设定动作的时序和图 73 不同的情况。

在图 74 中，地址期间（进行信号线驱动电路的电流源电路的输入动作的期间）和信号线驱动电路的电流源电路的设定动作期间分离开。即，利用设定控制线使电流源电路的设定动作不在地址期间、即电流源电路的输入动作中进行。进而，在地址期间和地址期间的间隙期间，即在不进行电流源电路的输入动作时进行电流源电路的设定动作。

这样，通过分别进行信号线驱动电路的电流源电路的设定动作和输入动作，可以改变各动作的动作速度。即，可以改变从移位寄存器 411 输出的采样脉冲的频率。从而，可以只在进行信号线驱动电路的电流源电路的设定动作时使移位寄存器 411 的动作延迟。结果，可以在足够长的时间内进行电流源电路的设定动作，并更正确地进行设定动作。

因此，在图 74 的情况下，可以使用对信号线驱动电路的电流源电路不能同时进行设定动作和输入动作的构成。

再有，为了进行电流源电路的设定动作，即使移位寄存器 411 工作，若没有选择像素中的扫描线（栅极线），则对整个像素也不会有影响。即，在地址期间，因没有选择扫描线（栅极线），故对整个像素没有影响。

此外，当移位寄存器 411 如图 43、图 44、图 45 和图 46 等那样，是能随机选择多根布线的电路时，不必在 1 次地址期间和地址期间之间的间隙期间、即电流源电路不进行输入动作的期间的 1 个区间内完成所有电流源电路的设定动作。即，能够花费几帧期间结束所有电流源电路的设定动作。或者，当在 1 帧期间内有多个地址期间和地址期间之间的间隙期间时，也可以使用从这些期间选出的几个期间来进行电流源电路的设定动作。这时的时序图示于图 75。

其次，说明像素的类型是向信号线输入视频信号、向像素用电流线输入与视频信号无关的固定电流的类型的情况。设信号线驱动电路是图 63 (A) 的结构，像素是图 63 (B)、图 13 (C)、图 71 (A)、图 71 (B) 等的像素。只是，在该像素结构的情况下，即使对像素的电流源电路，也需要进行设定动作。因此，根据像素的电流源电路的设

定动作和输入动作能否同时进行, 时序图有所不同。首先, 图 76 示出象素的电流源电路的设定动作和输入动作能同时进行的情形, 即, 象素为图 13 (C) 所示时的时序图。

首先, 说明象素显示动作, 即与象素的开关晶体管和驱动用晶体管等有关的动作。只是, 因和图 72 的情况几乎一样, 故简单进行说明。

首先, 从最初的子帧期间 SF1 开始。一行一行地选择扫描线 (图 13 (C) 的第 1 扫描线 1122), 从信号线 (图 13 (C) 的 1121) 输入视频信号。该视频信号通常是电压, 但也可以是电流。接着, 若亮灯期间 Ts1 结束, 便开始下一个子帧期间 SF2, 和 SF1 一样扫描。然后, 开始下一个子帧期间 SF3, 同样进行扫描。只是, 因亮灯期间的长度 Ts3 比地址期间的长度 Ta3 短, 故强制地使其不发光。即, 消去已输入的视频信号。或者, 使电流不流过发光元件。为了进行消去, 一行一行地选择第 2 扫描线 (图 13 (C) 的第 2 扫描线 1123)。这样, 可以消去视频信号, 驱动用晶体管 1127 截止, 处于不发光状态。然后, 开始下一个子帧 SF4。这里, 和 SF3 一样进行扫描, 同样使其处于不发光状态。

其次, 说明象素的电流源电路的设定动作。在图 13 (C) 的情况下, 象素的电流源电路的设定动作和输入动作能同时进行。因此, 象素的电流源电路的设定动作可以按任意时序进行。

信号线驱动电路的电流源电路的设定动作当可以和输入动作 (象素的电流源电路的设定动作) 同时进行, 可以在任何时间进行。信号线驱动电路的电流源电路的设定动作当不能和输入动作 (象素的电流源电路的设定动作) 同时进行, 可以在进行输入动作 (象素的电流源电路的设定动作) 的期间之外的时间进行。

当信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 能同时进行, 图 63 (A) 的恒流电路 414 相当于图 35 的电路的情况, 即图 68 的情况。或者, 相当于图 63 (A) 的恒流电路 414 是图 34, 且电流源电路 420 是图 23 (C)、图 23 (D)、图 23 (E) 等的情况。

当信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 不能同时进行, 图 63 (A) 的恒流电路 414 是图 34 的电路, 且相当于电流源电路 420 是图

23 (A)、图 23 (B) 等的情况、即图 64 的情况。

因此, 图 76 示出信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 不能同时进行时的时序图。若设信号线驱动电路的电流源电路的设定动作在地址期间进行, 则象素的电流源电路的设定动作在地址期间和地址期间的间隙期间进行。

当信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 能同时进行时, 象素的电流源电路的设定动作可以在任意期间进行。

在图 76 的情况下, 在各地址期间的各行扫描线 (栅极线) 的选择期间进行信号线驱动电路的电流源电路的设定动作。其次, 说明如图 66 或图 69 那样配置了设定控制线或逻辑运算器时的时序图。在图 66 或图 69 中, 利用设定控制线可以控制是否进行电流源电路的设定动作。因此, 只在某地址期间的某行扫描线 (栅极线) 被选中时, 才能设置设定动作期间 T_b 并在该设定动作期间 T_b 进行设定动作。

因此, 图 77 示出信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 不能同时进行时的时序图。信号线驱动电路的电流源电路的设定动作在地址期间的最初期间进行。在图 77 中, 在最初的 T_{a1} 和 T_{a2} 的期间进行。因此, 象素的电流源电路的设定动作可以在除此之外的期间进行。即, 在地址期间也可以进行象素的电流源电路的设定动作 (信号线驱动电路的电流源电路的输入动作)。

此外, 通过采取上述方法, 可以减少信号线驱动电路配置的电流源电路的设定动作的次数。因此, 可以降低功耗。

再有, 在电流源电路 420 中, 配置有连接在栅极和源极之间的电容元件。利用电流源电路的设定动作使该电容元件积蓄电荷。在理想的情况下, 电流源电路的设定动作只在电源输入时进行 1 次。这是因为电容元件积蓄的电荷量不随动作状态和时间等变化也不必使其变化。因此, 信号线驱动电路的电流源电路的设定动作可以按任意时序进行任意次数。

但是, 实际上, 电容元件会输入各种各样的噪声, 与电容元件连接的晶体管也会产生漏电流。结果, 电容元件积蓄的电荷量有时会随

时间变化。若电荷量变化,则从电流源电路输出的电流、即输入到象素的电流也将发生变化。结果,象素的辉度也发生变化。因此,为了不使电容元件积蓄的电荷变动,有必要周期地进行电流源电路的设定动作,使电荷刷新。

使电容元件积蓄的电荷刷新的动作可以在 1 帧期间进行好几次。或者,也可以在几帧期间进行 1 次。

在图 77 中,电流源电路的设定动作在地址期间 Ta1 和 Ta2 各进行 1 次。到底以什么样的频度进行设定动作,可以根据电流源电路具有的电容元件的电荷保存状况适当决定。

其次,图 78 示出信号线驱动电路配置的电流源电路的设定动作的时序和图 77 不同的情况。

在图 78 中,利用设定控制线进行控制,使信号线驱动电路的电流源电路的设定动作不在地址期间进行,而在地址期间和地址期间的间隙期间进行。而且,当信号线驱动电路的电流源电路的输入动作(向象素输出电流、即象素的电流源电路的设定动作)不能和信号线驱动电路的电流源电路的设定动作同时进行时,可以在不进行设定动作的期间进行。当设定动作和输入动作能同时进行时,可以随时进行信号线驱动电路的电流源电路的输入动作。

这样,通过使信号线驱动电路的电流源电路的设定动作在地址期间之外的期间进行,可以改变地址期间的动作和设定动作的动作速度。即,可以改变从移位寄存器 411 输出的采样脉冲的频率。从而,可以只在进行信号线驱动电路的电流源电路的设定动作时使移位寄存器 411 的动作延迟。结果,可以在足够长的时间内进行电流源电路的设定动作,并可以更正确地进行设定动作。

再有,为了进行电流源电路的设定动作,即使移位寄存器 411 工作,若没有选择象素中的扫描线(栅极线),对整个象素也不会有影响。即,在地址期间,因没有选择扫描线(栅极线),故对整个象素没有影响。

此外,当移位寄存器 411 如图 43、图 44、图 45 和图 46 等那样,是能随机选择多根布线的电路时,不必在 1 次地址期间和地址期间之间的间隙期间的 1 个区间内完成所有电流源电路的设定动作。即,可以在几帧期间内完成所有电流源电路的设定动作。或者,当 1 帧期间

内有多于一个地址期间和地址期间的间隙期间时,可以使用从这些期间选出的几个期间来进行电流源电路的设定动作。这时的时序图示于图 79。

其次,图 80 示出像素的类型是向信号线输入视频信号、向像素用电流线输入与视频信号无关的固定电流的类型、且像素的电流源电路的设定动作和输入动作不能同时进行的情况、即像素是图 71 (A)、图 71 (B) 时的时序图。

首先,对于像素显示动作,即与像素的开关晶体管和驱动用晶体管等有关的动作,因和图 76 的情况几乎一样,故简单进行说明。

首先,从最初的子帧期间 SF1 开始。一行一行地选择扫描线(图 71 (A)、图 71 (B) 的第 1 扫描线 1122),从信号线(图 71 (A)、图 71 (B) 的 1121)输入视频信号。该视频信号通常是电压,但也可以是电流。接着,若亮灯期间 Ts1 结束,便开始下一个子帧期间 SF2,和 SF1 一样扫描。然后,开始下一个子帧期间 SF3,同样进行扫描。只是,因亮灯期间的长度 Ts3 比地址期间的长度 Ta3 短,故强制地使其不发光。即,消去已输入的视频信号。或者,使电流不流过发光元件。为了使发光元件不流过电流,使第 2 扫描线(图 13 (C) 中的第 2 扫描线 1123)一行一行地处于非选择状态。这样,可以使消去用 TFT1127 截止,将电流的路径截断,而成为不发光状态。然后,开始下一个子帧 SF4。这里,和 SF3 一样进行扫描,同样使其处于不发光状态。

其次,说明像素的电流源电路的设定动作。在图 71 (A)、图 71 (B) 情况下,像素的电流源电路的设定动作和输入动作不能同时进行。因此,像素的电流源电路的设定动作可以在不进行像素的电流源电路的输入动作时、即发光元件没有电流流过时进行。

信号线驱动电路的电流源电路的设定动作当可以和输入动作(像素的电流源电路的设定动作)同时进行,可以在任何时间进行。信号线驱动电路的电流源电路的设定动作当不能和输入动作(像素的电流源电路的设定动作)同时进行,可以在进行输入动作(像素的电流源电路的设定动作)的期间之外的时间进行。

当信号线驱动电路的电流源电路的设定动作和输入动作(向像素输出电流、即像素的电流源电路的设定动作)能同时进行,图 63 (A) 的恒流电路 414 相当于图 35 的电路的情况,即图 68 的情况。或者,

相当于图 63 (A) 的恒流电路 414 是图 34, 且电流源电路 420 是图 23 (C)、图 23 (D)、图 23 (E) 等的情况。

当信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 不能同时进行时, 图 63 (A) 的恒流电路 414 是图 34 的电路, 且相当于电流源电路 420 是图 23 (A)、图 23 (B) 等的情况、即图 64 的情况。

因此, 图 80 示出信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 不能同时进行时的时序图。信号线驱动电路的电流源电路的设定动作在地址期间进行, 象素的电流源电路的设定动作在象素的电流源电路不进行输入动作时、即发光元件没有电流流过的非亮灯期间 (不发光期间) ($Td3$ 、 $Td4$) 进行, 信号线驱动电路的电流源电路的设定动作可以在除此之外的时间进行。非亮灯期间 (不发光期间) ($Td3$ 、 $Td4$) 大多与地址期间重叠。

在图 80 的情况下, 在各地址期间的各行扫描线 (栅极线) 的选择期间进行信号线驱动电路的电流源电路的设定动作。其次, 说明如图 66 或图 69 那样具有设定控制线或逻辑运算器时的时序图。在图 66 或图 69 中, 利用设定控制线可以控制是否进行电流源电路的设定动作。因此, 只在某地址期间的某行扫描线 (栅极线) 被选中时, 才能设置设定动作期间 Tb 并在该设定动作期间 Tb 进行设定动作。

因此, 图 81 示出信号线驱动电路的电流源电路的设定动作和输入动作 (向象素输出电流、即象素的电流源电路的设定动作) 不能同时进行时的时序图。信号线驱动电路的电流源电路的设定动作在不进行象素的电流源电路的设定动作的期间进行。在图 81 中, 在 $Ta2$ 的期间进行。象素的电流源电路的设定动作在除此之外的期间进行。因此, 可以避开进行象素的电流源电路的设定动作 (信号线驱动电路的电流源电路的输入动作) 的期间, 进行信号线驱动电路的电流源电路的设定动作。

此外, 通过采取上述方法, 可以减少信号线驱动电路配置的电流源电路的设定动作的次数。因此, 可以降低功耗。再有, 信号线驱动电路的电流源电路的设定动作可以按任意时序, 进行任意次数。只是为了不使电流源电路配置的电容元件积蓄的电荷变动, 有必要按某一

周期进行电流源电路的设定动作，使电荷刷新。因此，使电容元件积蓄的电荷刷新的动作可以在 1 帧期间进行好几次。或者，也可以在几帧期间进行 1 次。

在图 81 中，电流源电路的设定动作在地址期间 $Ta2$ 的某一期间内只进行 1 次。到底以什么样的频度进行设定动作，可以根据电流源电路具有的电容元件的电荷保存状况适当决定。

其次，图 82 示出信号线驱动电路配置的电流源电路的设定动作的时序和图 81 不同的情况。

在图 82 中，利用设定控制线进行控制，使信号线驱动电路的电流源电路的设定动作不在地址期间进行，而在地址期间和地址期间的间隙期间进行。而且，信号线驱动电路的电流源电路的输入动作（向像素输出电流、即像素的电流源电路的设定动作）在像素的电流源电路不进行输入动作时、即发光元件没有电流流过的非亮灯期间（不发光期间）（ $Td3$ 、 $Td4$ ）进行。

通过采取上述方法，信号线驱动电路的电流源电路的设定动作和输入动作可以不同时进行。

这样，通过使信号线驱动电路的电流源电路的设定动作在地址期间之外的期间进行，可以改变地址期间的动作和设定动作的动作速度。即，可以改变从移位寄存器 411 输出的采样脉冲的频率。从而，可以只在进行信号线驱动电路的电流源电路的设定动作时使移位寄存器 411 的动作延迟。结果，可以在足够长的时间内进行电流源电路的设定动作，并可以更正确地进行设定动作。

再有，为了进行电流源电路的设定动作，即使移位寄存器 411 工作，若没有选择像素中的扫描线（栅极线），对整个像素也不会有影响。即，在地址期间，因没有选择扫描线（栅极线），故对整个像素丝毫没有影响。

此外，当移位寄存器 411 如图 43、图 44、图 45 和图 46 等那样，是能随机选择多根布线的电路时，不必在 1 次地址期间和地址期间之间的间隙期间的 1 个区间内完成所有电流源电路的设定动作。即，可以在几帧期间内完成所有电流源电路的设定动作。或者，当 1 帧期间内有多个地址期间和地址期间的间隙期间时，可以使用从这些期间选出的几个期间来进行电流源电路的设定动作。这时的时序图示于图

83。

再有，对象素的电流源电路的设定动作若只在非亮灯期间进行，有时时间太短。这时，可以如图 84 那样，在各地址期间之前强制性地设置非亮灯期间，在该非亮灯期间，进行对象素的电流源电路的设定动作。

到此为止，说明了将数字灰度和时间灰度组合时的时序图。其次，说明模拟灰度时的时序图。这里，说明不能同时进行对信号线驱动电路的电流源电路的设定动作和输入动作时的时序图。

首先，设象素是图 13 (A) 或图 13 (B) 的象素。信号线驱动电路是图 27 或图 54 的结构、即象图 29、图 7、图 8、图 55 那样的电路。这时的时序图示于图 85。

一行一行地选择扫描线（图 13 (A) 的第 1 扫描线 1102 或图 13 (B) 的第 1 扫描线 1132），从信号线（图 13 (A) 的 1101 或图 13 (B) 的 1131）输入电流。该电流变成与视频信号对应的值。这需要 1 帧期间。

以上是图像显示动作、即与象素的动作有关的时序图。其次，说明信号线驱动电路配置的电流源电路的设定动作的时序。这里说明的电流源电路是能同时进行设定动作和输入动作的电路。因此，相当于恒流电路使用图 57 或图 58 等的情况。

通常在 1 帧期间内进行信号线驱动电路的电流源电路的输入动作。而且，如图 85 所示，在 1 帧期间内进行信号线驱动电路的电流源电路的设定动作。

其次，说明象图 53、图 60、图 59、图 61、图 62 那样具有设定控制线或逻辑运算器的时序图。这时，利用设定控制线控制是否进行电流源电路的设定动作。

再有，在图 60 中，第 1～第 3 设定控制线控制对哪些电流源电路进行设定动作，使哪些电流源电路进行输入动作。而且，第 4 控制线控制是否进行电流源电路的设定动作。

因此，如图 86 所示，可以只在选择扫描线（栅极线）的期间设置设定动作期间 T_b 并在该设定动作期间 T_b 进行设定动作。

这时，图 61 或图 60 的情况因信号线驱动电路配置的电流源电路的设定动作和输入动作能同时进行，故不存在进行设定动作的时间问

题。当信号线驱动电路的电流源电路的设定动作和输入动作不能同时进行时，可以只在选择扫描线时、即最初的期间停止信号线驱动电路的电流源电路的输入动作，而进行设定动作。再有，可以使该期间和回描期间一致。

此外，不必象图 9 那样，在选择扫描线时，对每一行进行设定动作。此外，在图 86 或图 9 中，作为控制电流源电路的电路（移位寄存器），最好能使用图 43 等电路随机地选择电流源电路。也可以使用图 44、图 45 和图 46 等电路。

或者，如图 10 或图 11 所示，信号线驱动电路的电流源电路的输入动作（视频信号的输入动作、即对象素的电流输出）可以在 1 帧期间中的某一段期间进行，在剩下的期间进行信号线驱动电路的电流源电路的设定动作。这时，信号线驱动电路的电流源电路的设定动作和输入动作可以不同时进行。

这时，当进行信号线驱动电路的电流源电路的设定动作时，如图 10 所示，也可以一列一列地对电流源电路进行设定动作。或者，可以使用图 43、图 44、图 45 和图 46 等电路随机地选择电流源电路，亦可以不在 1 帧期间内完成对所有的电流源电路的设定动作。即，也可以在好几帧期间内完成对所有的电流源电路的设定动作。这时，因对 1 个电流源电路可以使用较长的时间进行设定动作，故能正确地进行设定。

再有，当进行信号线驱动电路的电流源电路的设定动作时，有必要在无漏电流且没有别的电流进入的状态下进行。因此，图 29 中的晶体管 182、图 55 中的晶体管 A、B、C 等有必要在进行信号线驱动电路的电流源电路的设定动作之前处于截止状态。只是，若象图 56 那样配置晶体管 193，则不必考虑无漏电流且没有别的电流进入的情况。

本实施例可以和实施形态 1~8、实施例 1 任意组合。

（实施例 3）

在本实施例中，说明进行彩色显示时的方法。

当发光元件是有机 EL 元件时，即使该发光元件流过相同大小的电流，其辉度也会因颜色而有差别。此外，当发光元件老化时，其老化的程度也因颜色而有差别。因此，为了调节白平衡，必须想各种各样的方法。

最单纯的方法是根据颜色改变输入象素的电流的大小。

另一个方法是在象素、信号线驱动电路和参考恒流源中使用图 20 那样的电路。而且,根据颜色改变构成镜电路的 2 个晶体管的 W/L 的比率。由此,电流的大小因颜色而变化。

再一个方法是根据颜色改变亮灯期间的长度。该方法既适合使用时间灰度方式的情况,又适合不使用时间灰度方式的情况,无论什么情况都能适用。由此,可以调节灰度。

通过使用以上的方法,或者通过组合使用,可以容易调节白平衡。本实施例可以和实施形态 1~8、实施例 1、2 任意组合。

(实施例 4)

在本实施例中,使用图 12 说明本发明的发光装置(半导体装置)的外观。图 12(A)是通过利用密封材料将已形成晶体管的元件衬底密封而形成的发光装置的仰视图,图 12(B)是图 12(A)的 A—A'剖面图,图 12(C)是图 12(A)的 B—B'剖面图。

设有密封材料 4009 以便将设在衬底 4001 上的象素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 包围。在象素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 的上面设置密封材料 4008。由此,象素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 利用衬底 4001、密封材料 4009 和密封材料 4008 以及填充材料 4210 密封。

此外,设在衬底 4001 上的象素部 4002、源极信号线驱动电路 4003 和栅极信号线驱动电路 4004a、b 具有多个 TFT。在图 12(B)中,示出在底层膜 4010 上形成的、包含在源极信号线驱动电路 4003 中的驱动 TFT(这里,图示 n 沟道 TFT 和 p 沟道 TFT)4201 和包含在象素部 4002 中的消去用 TFT4202。

在本实施例中,驱动 TFT4201 使用由公认的方法制作的 p 沟道 TFT 或 n 沟道 TFT,消去用 TFT4202 使用由公认的方法制作的 N 沟道 TFT。

在驱动 TFT4201 和消去用 TFT4202 上形成层间绝缘膜(平坦化)膜 4301,在其上形成与消去用 TFT4202 的漏极电连接的象素电极(阳极)4203。象素电极 4203 使用功函数大的透明导电膜。透明导电膜可以使用氧化铟和氧化锡的化合物、氧化铟和氧化锌的化合物、氧化铟、氧化锡或氧化铟。此外,还可以使用对上述透明导电膜添加了镱的混

合物。

而且，在像素电极 4203 上形成绝缘膜 4302，绝缘膜 4302 在像素电极 4203 的上方形形成开口部。在该开口部中，在像素电极 4203 上形成发光层 4204。发光层 4204 可以使用周知的发光材料或无机发光材料。此外，发光材料有低分子材料（单体系）和高分子材料（聚合体系），可以使用它们之中的任何一种材料。

发光层 4204 的形成方法可以使用周知的蒸镀技术或涂敷技术。发光层 4204 的结构可以是将正孔注入层、正孔输入层、发光层、电子输送层或电子注入层任意组合的积层结构或单层结构。

在发光层 4204 之上形成由具有遮光性的导电膜（典型地有以铝、铜或银为主要成分的导电膜或它们与其他导电膜的积层膜）形成的阴极 4205。此外，最好尽量排除存在于阴极 4205 和发光层 4204 的界面上的水份或氧。因此，有必要使发光层 4204 在氮气或惰性气体中形成，在不与氧或水份接触的条件下形成阴极 4205。在本实施例中，通过使用多腔（multi chamber）方式（工具组（cluster tool）方式）的成膜装置，可以实现象上述那样的成膜。而且，可以对阴极 4205 加规定的电压。

如上所述，形成由像素电极（阳极）4203、发光层 4204 和阴极 4205 构成的发光元件 4303。而且，在绝缘膜上形成保护膜，将发光元件 4303 覆盖。保护膜具有防止氧或水份等进入发光元件 4303 的效果。

4005a 是与电源线连接的引线，与消去用 TFT4202 的源极区电连接。引线 4005a 在密封材料 4009 和衬底 4001 之间通过，经各向异性的导电薄膜 4300 与具有 FPC4006 所具有的 FPC 用布线 4301 电连接。

密封材料 4008 可以使用玻璃材料、金属材料（典型地有不锈钢材料）、陶瓷材料和塑料（包含塑料薄膜）。塑料可以使用 FRP（强化玻璃纤维塑料）板、PVF（聚乙烯荧光石）薄膜、聚酯薄膜（mylar）、聚酯（polyester）薄膜或丙烯酸树脂薄膜。此外，也可以使用具有用 PVF 薄膜或聚酯薄膜将铝箔夹在中间的结构薄片材料。

只是，当从发光层来的光的照射方向面向覆盖材料侧时，覆盖材料必须是透明的。这时，使用玻璃板、塑料板、聚酯（polyester）薄膜或丙烯酸树脂薄膜那样的透明物质。

此外，填充材料 4210 除了氮或氩等惰性气体之外，还可以使用紫

外线硬化树脂或热硬化树脂,可以使用PVC(聚氯乙烯)、丙烯、聚酰亚胺、环氧树脂、硅树脂、PVB(聚乙烯醇缩丁醛)或EVA(乙烯基醋酸盐)。在本实施例中,使用氮作为填充材料。

此外,为了对填充材料4210进一步处于吸湿性物质(最好是氧化钡)或吸氧物质的环境中,在密封材料4008的衬底4001的侧面设置凹部4007,再配置吸湿性物质或吸氧物质4207。而且,利用凹部覆盖材料4208将吸湿性物质或吸氧物质4207保持在凹部4007,使吸湿性物质或吸氧物质4207不飞散。再有,凹部覆盖材料4208是格子很细的网格形状,只通过空气和水份,吸湿性物质或吸氧物质4207通不过。通过设置吸湿性物质或吸氧物质4207,可以防止发光元件4303的老化。

如图12(C)所示,在形成像素电极4203的同时,形成导电性膜4203a,使其接在引线4005a上。

此外,各向异性导电薄膜4300具有导电填缝料4300a。通过热压衬底4001和FPC4006,衬底4001上的导电薄膜4203a和FPC4006上的FPC用布线4301利用导电填料4300a进行电连接。

本实施例可以和实施形态1~8、实施例1~3任意组合。

(实施例5)

因发光装置是自发光型,故和液晶显示器相比,在明亮的地方可视性好,视角广。因此,可以用于各种各样的电子机器的显示部。

作为使用本发明的发光装置的电子机器,可以列举摄像机、数码相机、护目镜(goggles)型显示器(头部安装型显示器)、导航系统、音响回放装置(汽车音响、组合音响等)、笔记本电脑、游戏机、便携式信息终端(移动计算机、便携式电话、便携式游戏机或电子书刊等)和具有记录媒体的图像再生装置(具体地说是具有能从数字通用盘(DVD)等记录媒体再生图像并显示该图像的装置)等。特别是,从斜方向观看画面的机会较多的便携式信息终端因特别重视视角的广度,故希望使用发光装置。图22示出这些电子机器的具体例子。

图22(A)是发光装置,包括框体2001、支撑台2002、显示部2003、扬声器部2004和图像输入端子2005等。本发明可以用于显示部2003。此外,利用本发明可以完成图22(A)所示的发光装置。因发光装置是自发光型,故不需要背景光,可以作为比液晶显示器更薄的

显示部。再有，发光装置包含在计算机用、电视广播接收用和广告显示用等所有信息显示用显示装置中。

图 22 (B) 是数字照相机，包括本体 2101、显示部 2102、图像接收部 2103、操作键 2104、外部接口 2105 和快门 2106 等。本发明可以用于显示部 2102。此外，利用本发明可以完成图 22 (B) 所示的数字照相机。

图 22 (C) 是笔记本电脑，包括本体 2201、框体 2202、显示部 2203、键盘 2204、外部接口 2205 和指示鼠标 2206 等。本发明可以用于显示部 2203。此外，利用本发明，可以完成图 22 (C) 所示的发光装置。

图 22 (D) 是移动计算机，包括本体 2301、显示部 2302、开关 2303、操作键 2304 和红外线接口 2305 等。本发明可以用于显示部 2302。此外，利用本发明可以完成图 22 (D) 所示的移动计算机。

图 22 (E) 是具有记录媒体的便携式图像再生装置（具体地说是 DVD 再生装置），包括本体 2401、框体 2402、显示部 A2403、显示部 B2404、记录媒体 (DVD 等) 读入部 2405、操作键 2406 和扬声器部 2407 等。显示部 A2403 主要显示图像信息，显示部 B2404 主要显示文字信息，本发明可以用于显示部 A、B2403、2404。再有，具有记录媒体的图像再生装置也包含家庭用游戏机等。此外，利用本发明可以完成图 22 (E) 所示的 DVD 再生装置。

图 22 (F) 是护目镜型显示器（头部安装型显示器），包括本体 2501、显示部 2502 和臂部 2503 等。本发明可以用于显示部 2502。此外，利用本发明可以完成图 22 (F) 所示的护目镜型显示器。

图 22 (G) 是摄像机，包括本体 2601、显示部 2602、框体 2603、外部接口 2604、遥控接收部 2605、图像接收部 2606、电池 2607、声音输入部 2608、操作键 2609 和目镜部 2610 等。本发明可以用于显示部 2602。此外，利用本发明可以完成图 22 (G) 所示的摄像机。

图 22 (H) 是便携式电话机，包括本体 2701、框体 2702、显示部 2703、声音输入部 2704、声音输出部 2705、操作键 2706、外部接口 2707 和天线 2708 等。本发明可以用于显示部 2703。再有，显示部 2703 通过在黑色背景上显示白色文字，可以降低便携式电话机的电流消耗。此外，利用本发明可以完成图 22 (H) 所示的便携式电话机。

再有，若将来发光材料的发光辉度提高，有可能利用透镜等对输

出的包含图像信息的光进行放大投影，也可以应用于前投或背投型的投影仪。

此外，上述电子机器大多对通过因特网或 CATV（有线电视）等电子通信线路发送的信息进行显示，显示动画信息的机会增加了。因发光材料的响应速度非常快，故发光装置用于动画显示很理想。

此外，因发光装置发光的部分耗电，故在显示信息时最好尽量减小发光部分。因此，对于将发光装置用于象便携式信息终端、特别是便携式电话机或音响回放装置那样的以文字信息为主的显示部的情况，最好将不发光部分作为背景，用发光部分形成文字信息来进行驱动。

象以上那样，本发明的适用范围极广，可以应用于所有领域的电子机器。此外，本实施例的电子机器也可以使用实施形态 1~6、实施例 1~6 所示的任何一种构成。

具有上述结构的本发明可以抑制因制作工序或使用的衬底的不同而产生的 TFT 的特性离散的影响，可以向外部供给所要的信号电流。

此外，本发明的 1 个移位寄存器具有 2 个作用，一个作用是控制电流源电路，另一个作用是对控制视频信号的电路进行控制，即对用于显示图像的电路进行控制，例如，具有控制锁存电路、采样开关和开关 101（信号电流控制开关）等的作用。通过上述结构，因不必配置控制电流源电路的电路和控制视频信号的电路等各个电路，故可以减少配置的电路的个数，进而，可以减少元件的数量，所以，可以缩小线路板的面积。这样，可以提高制作工序中的成品率，可以降低成本。此外，若线路板的面积小，因能框缘变窄，故能实现框体的小型化。

此外，作为移位寄存器，当采用具有能随机选择多根布线的功能的结构时，供给电流源电路的设定信号也可以随机输出。因此，电流源电路的设定动作也可以不按顺序从第 1 列到最后 1 列进行，而是可以随机进行。这样，进行电流源电路的设定动作的期间可以自由设定。此外，可以使电流源电路的电容元件保持的电荷的泄漏的影响不太明显。这样，若能随机进行电流源电路的设定动作，则当电流源电路的设定动作出现不合适的情况时，可以使其影响不太明显。

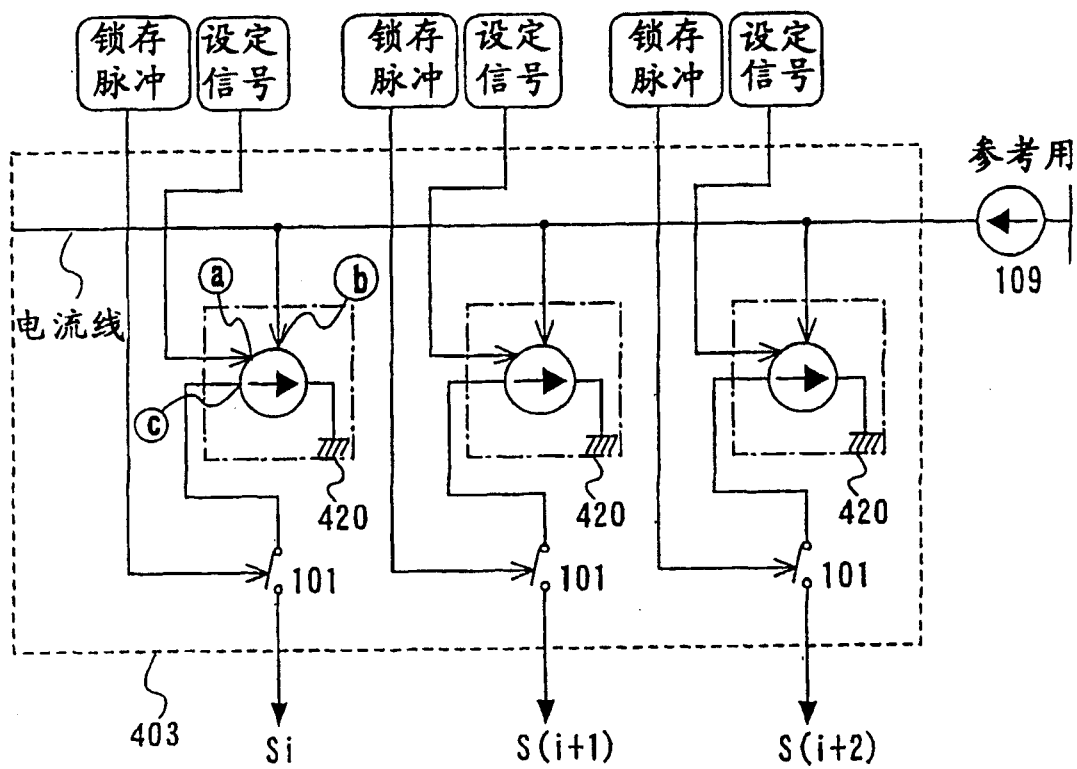


图 1

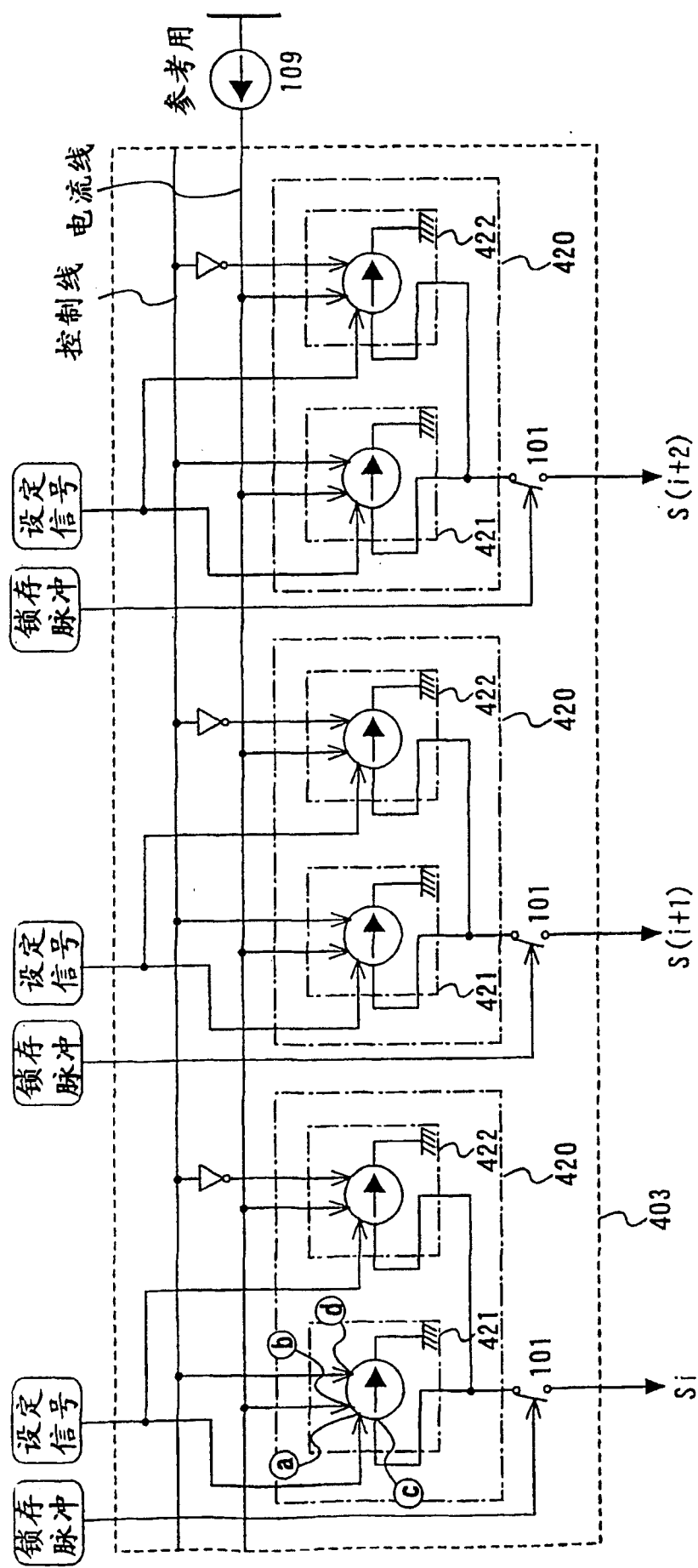


图 2

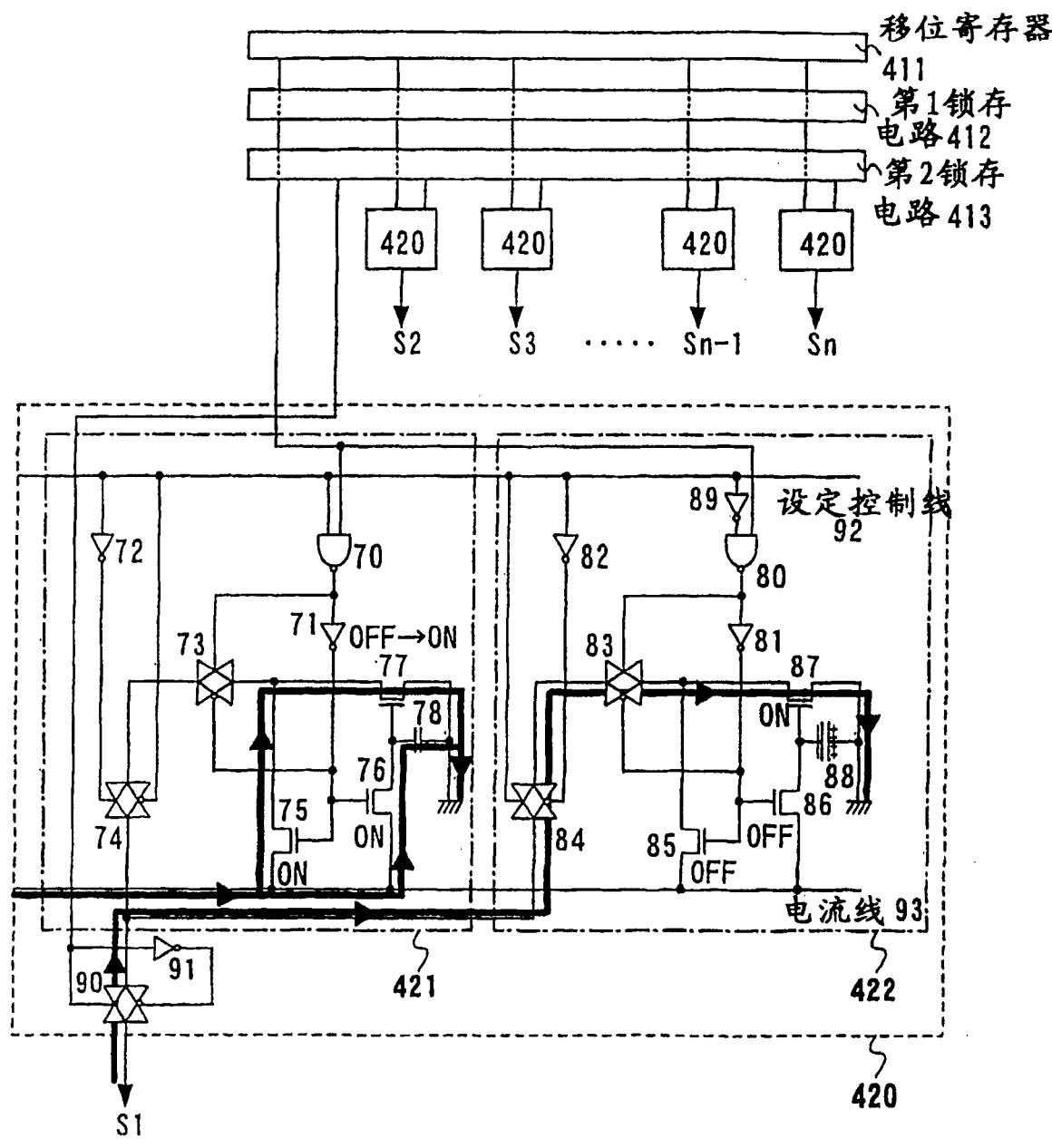


图 3

图 5A

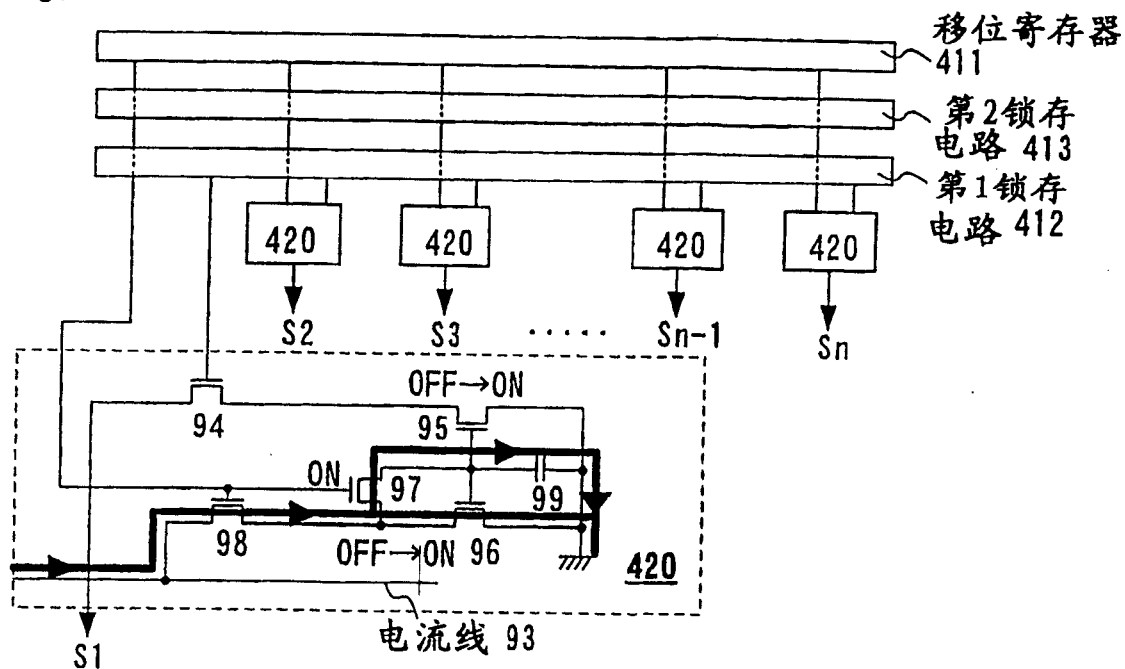


图 5B

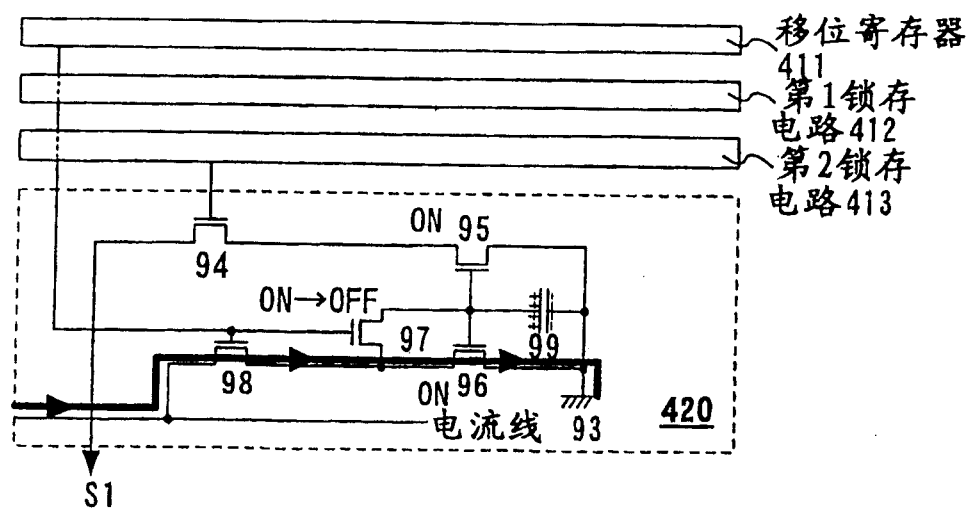


图 5C

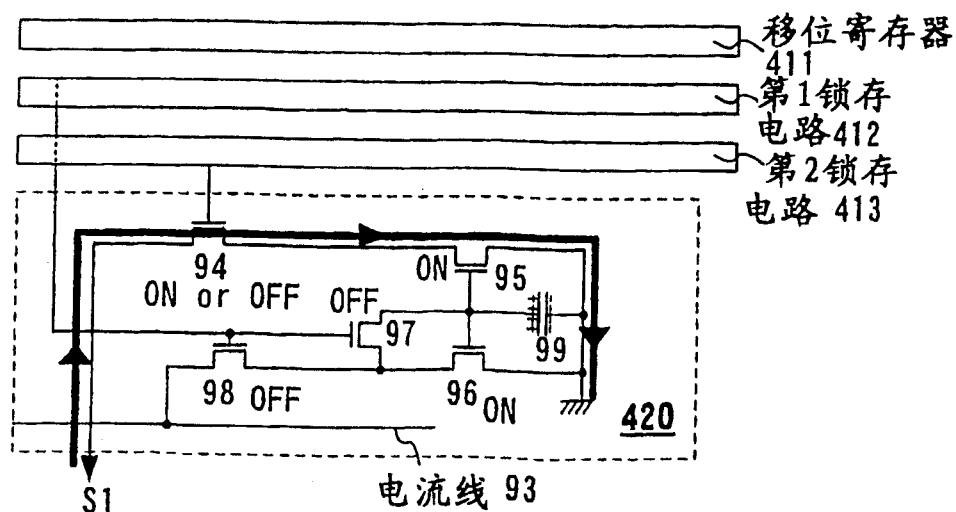


图 6A

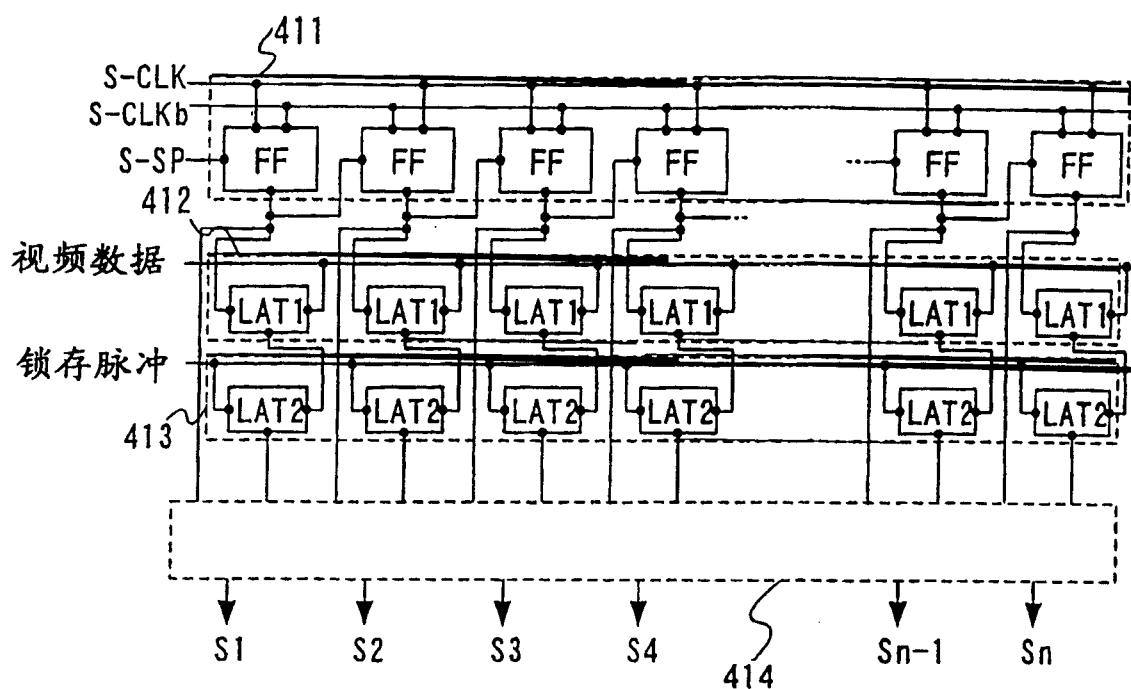
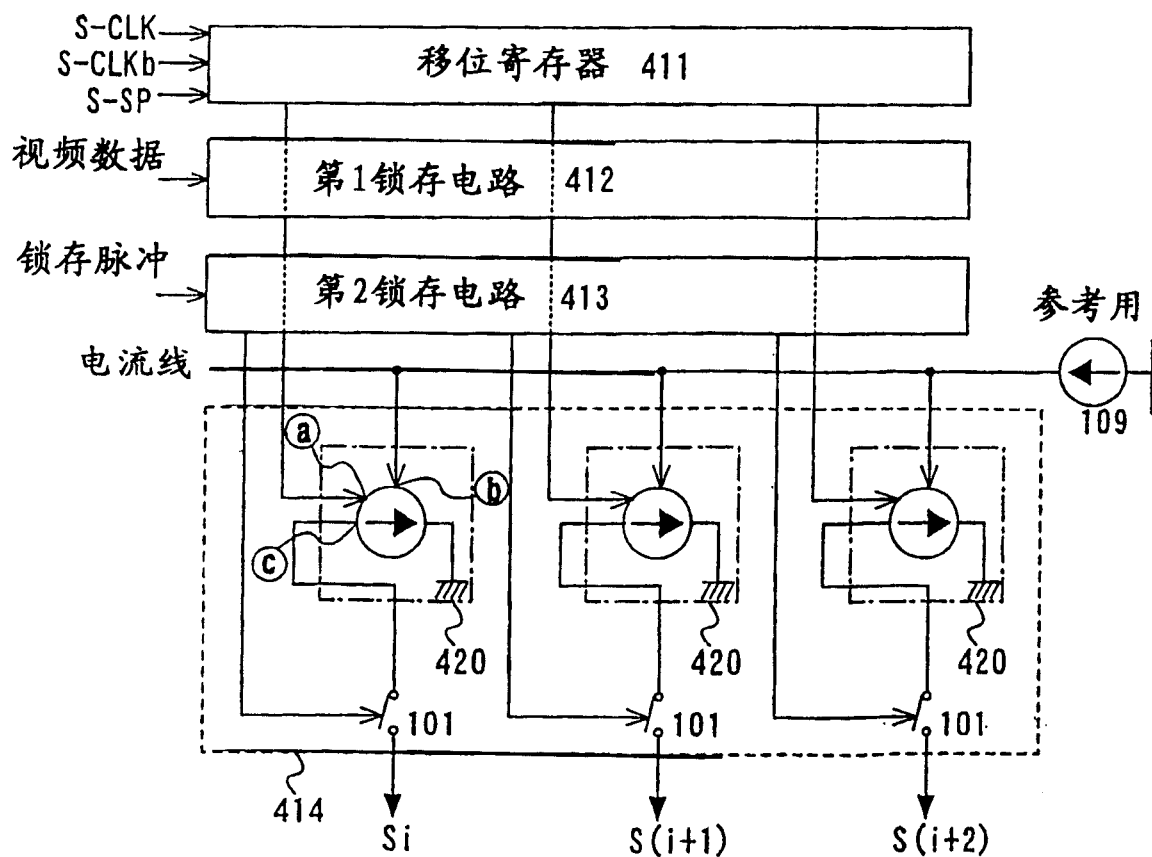


图 6B



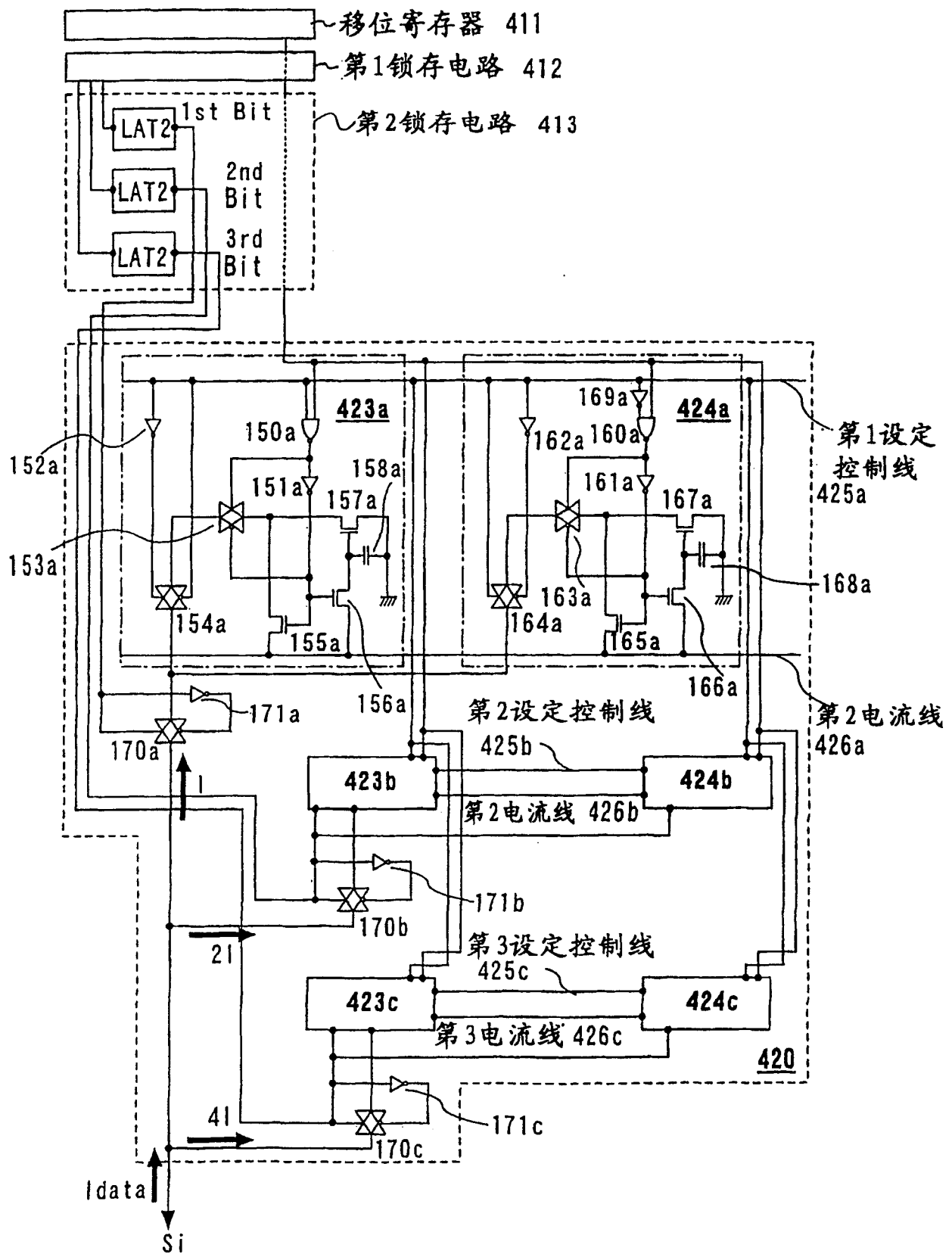


图 7

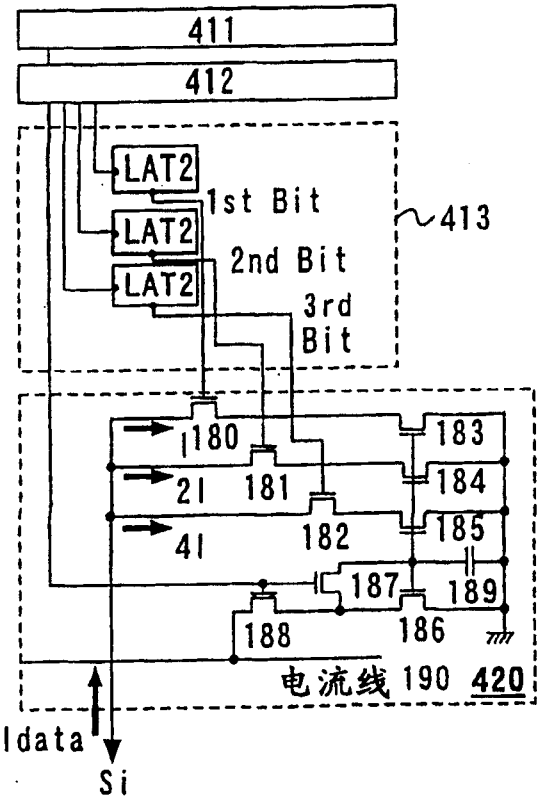


图 8

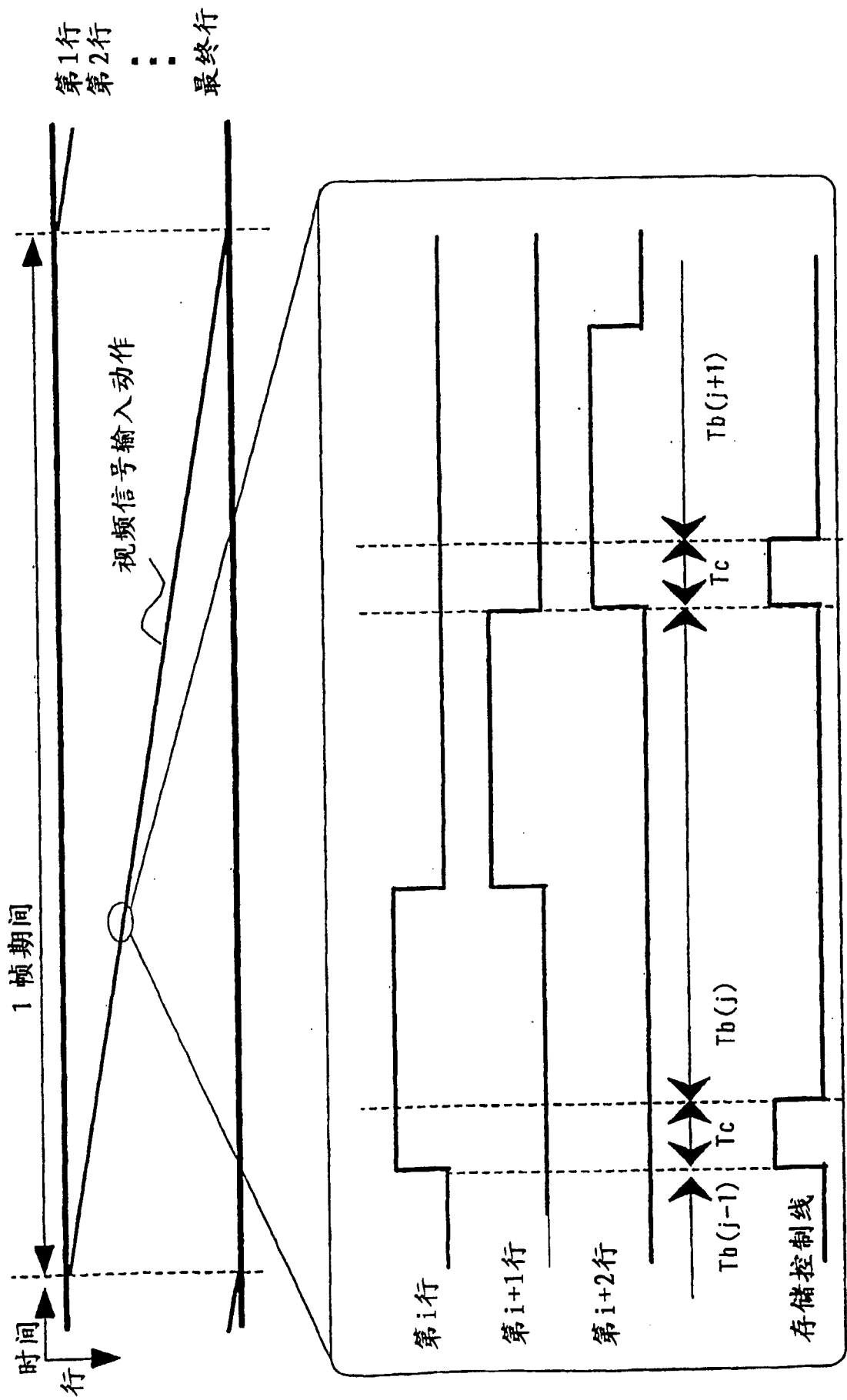


图 9

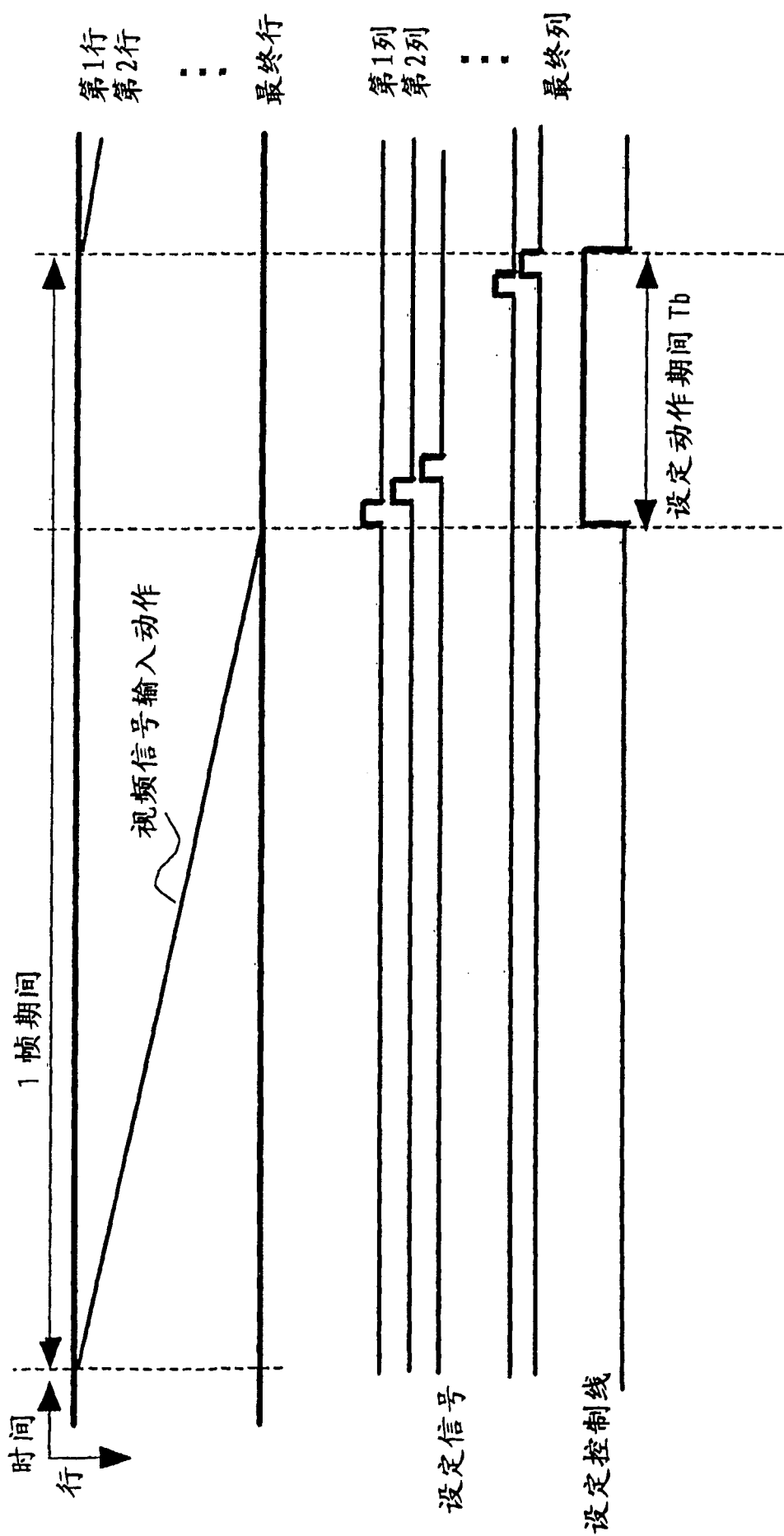


图 10

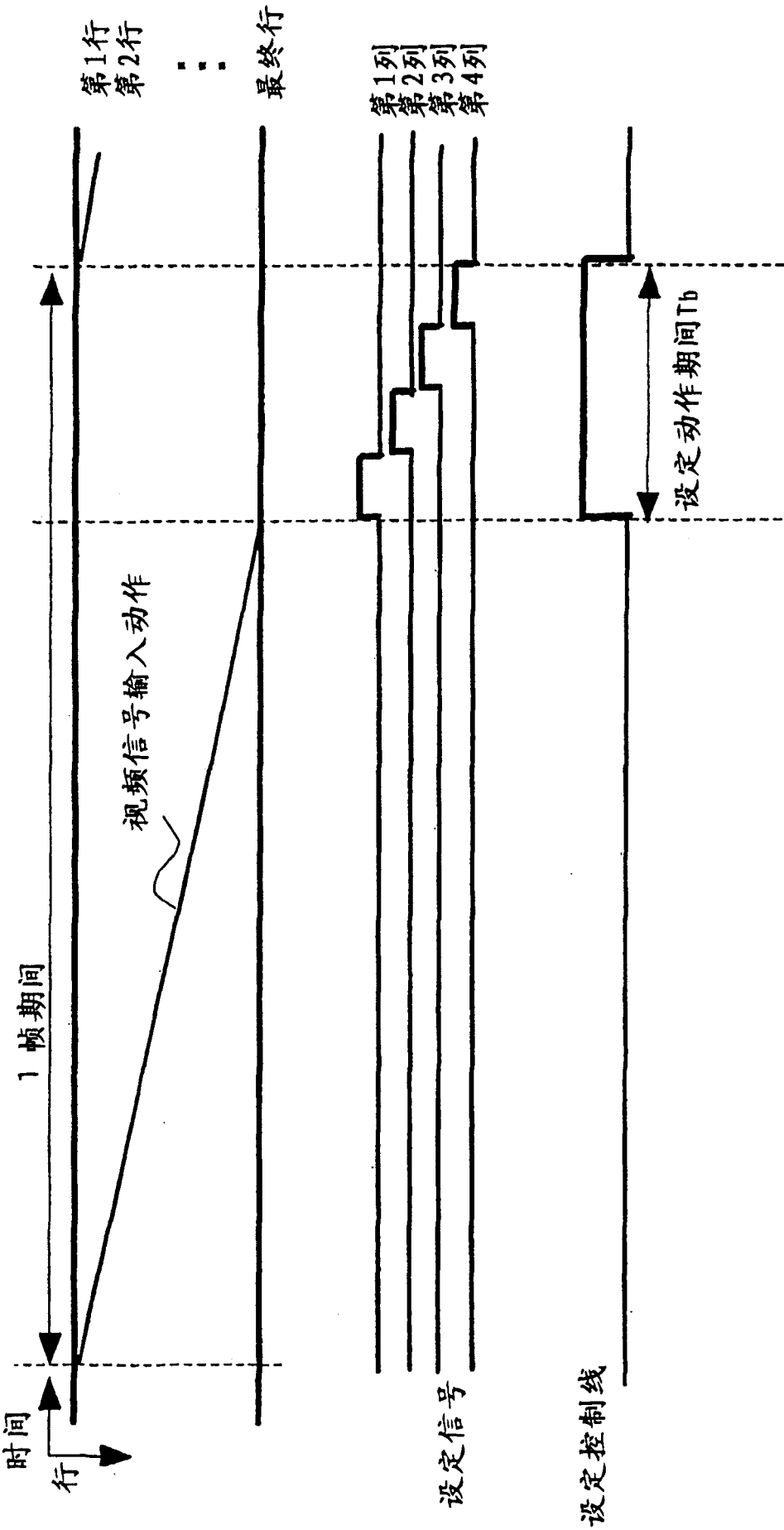


图 11

图 12A

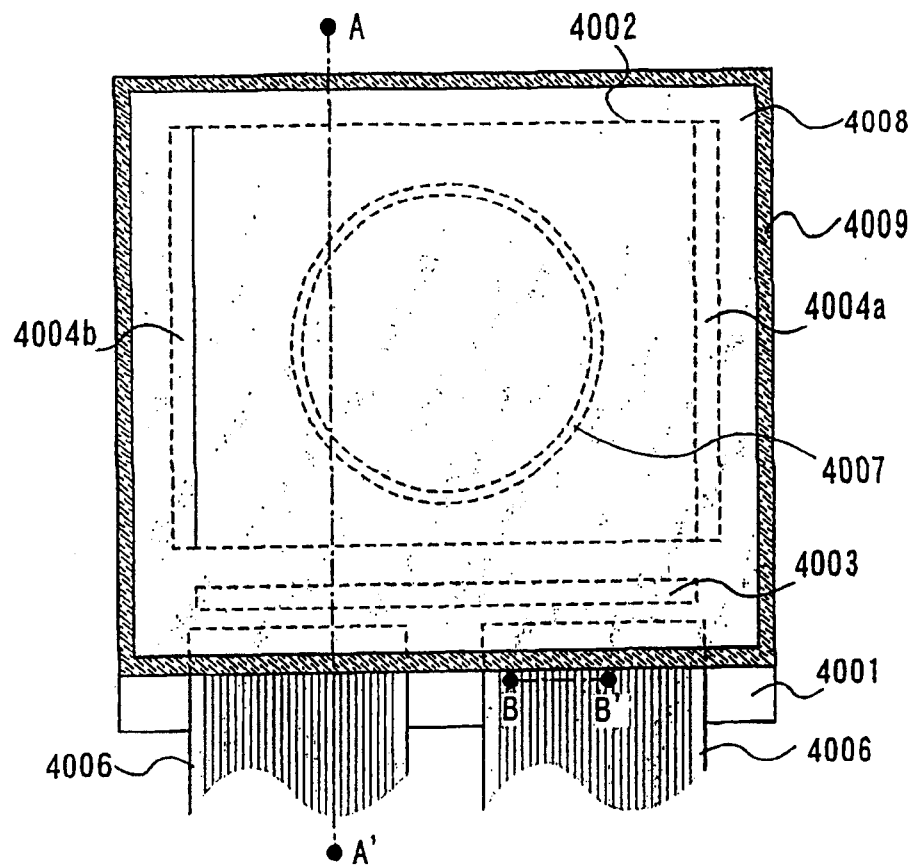


图 12B

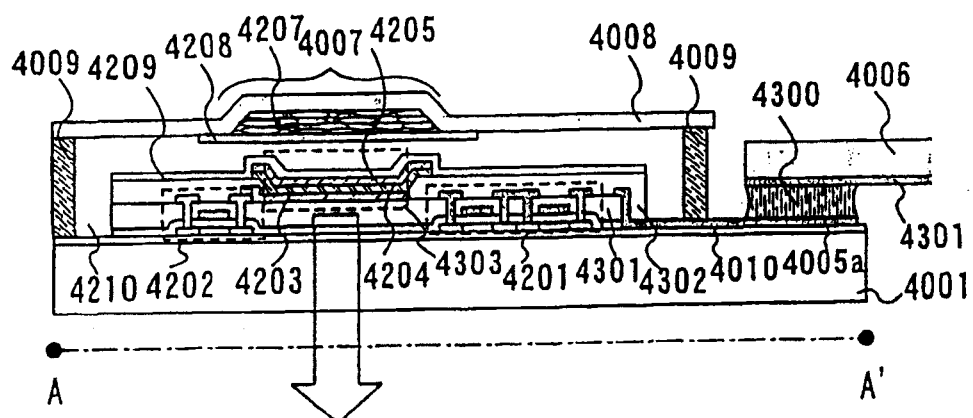
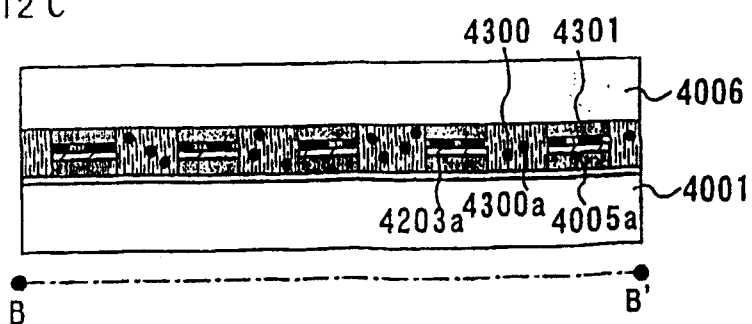


图 12C



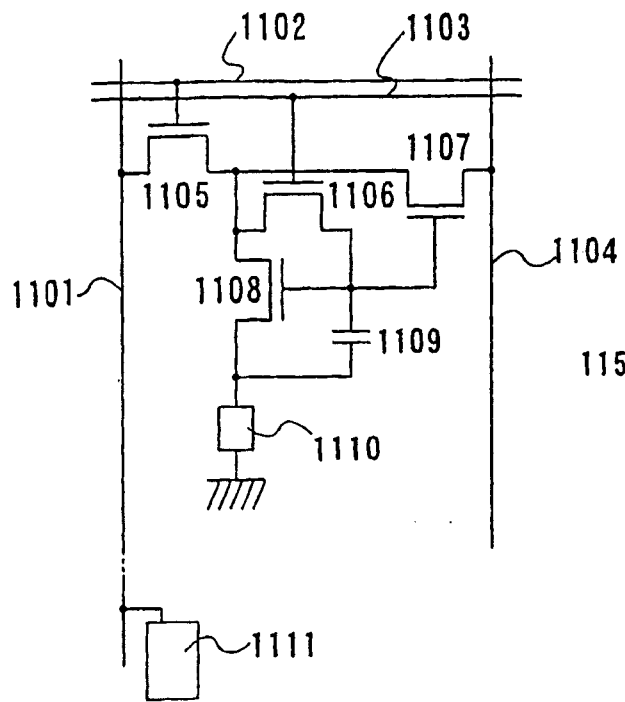


图 13A

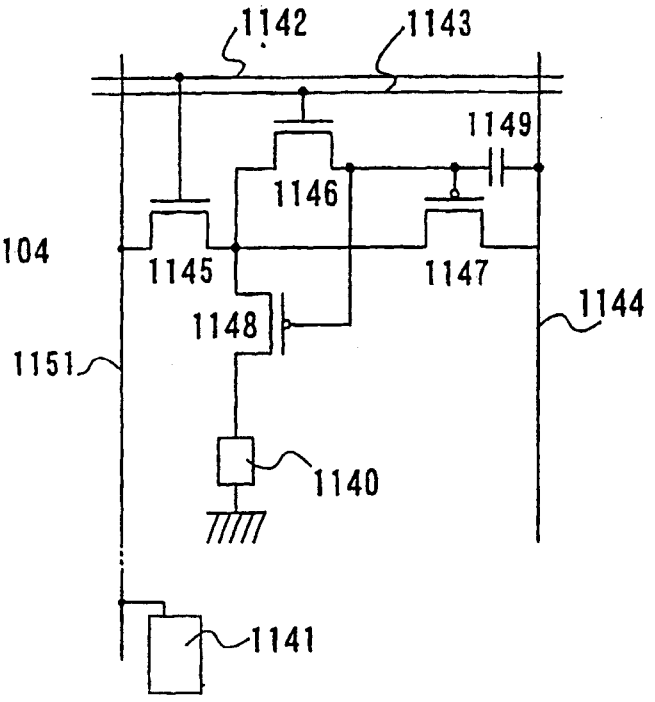


图 13B

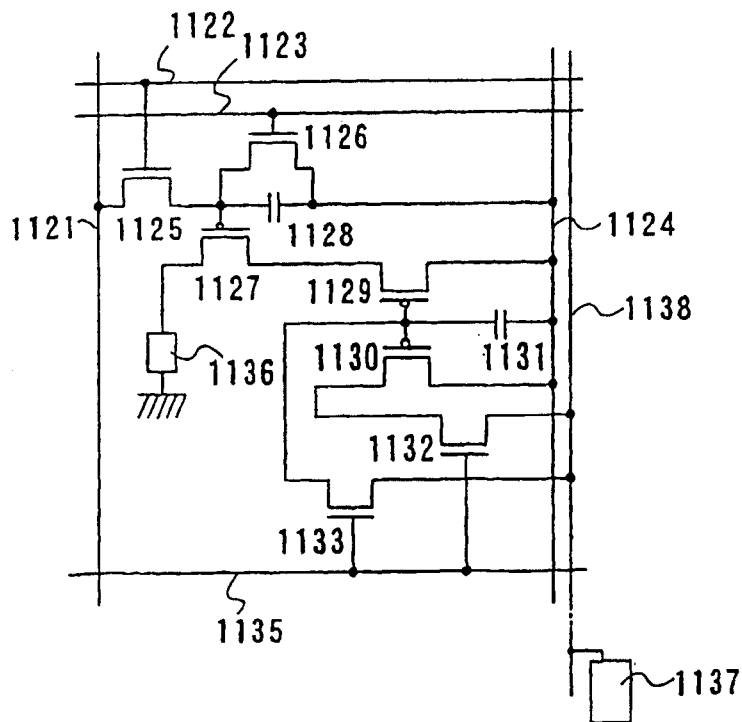


图 13C

图 14A

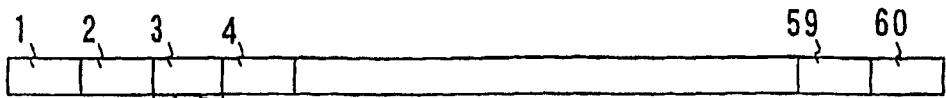


图 14B

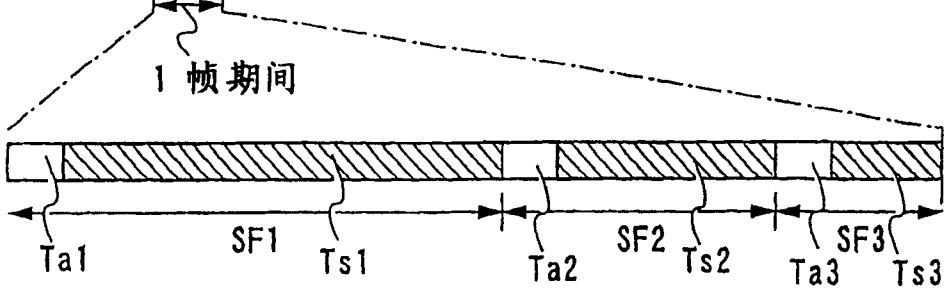


图 14C

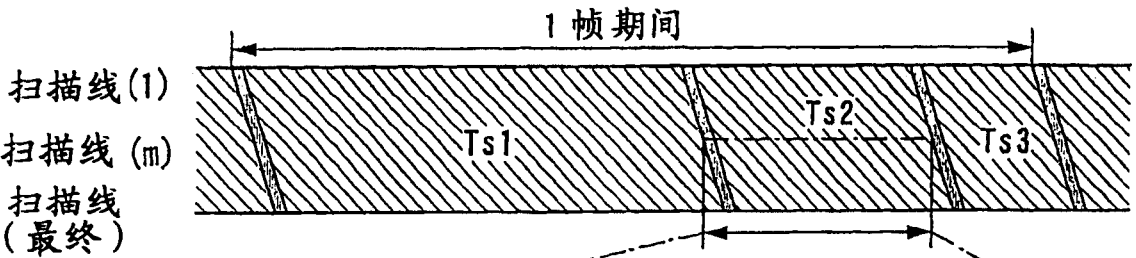


图 14D

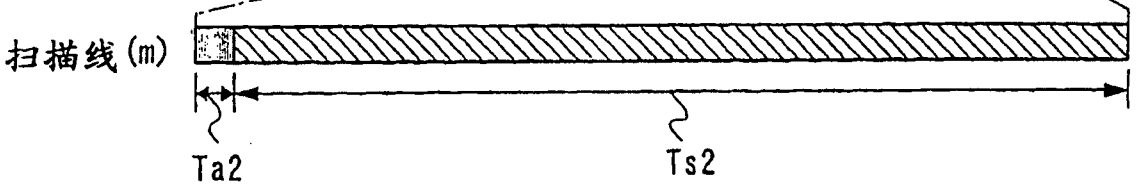


图 15A

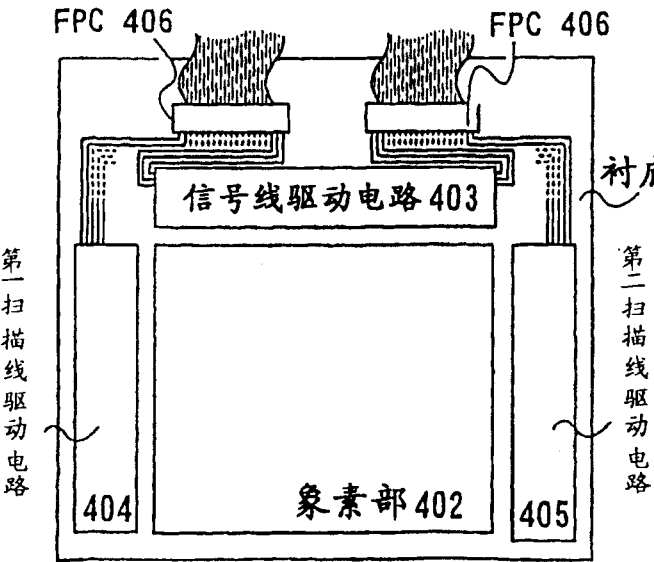


图 15B

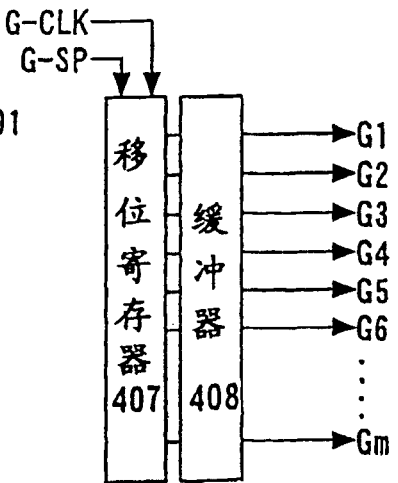


图 16A

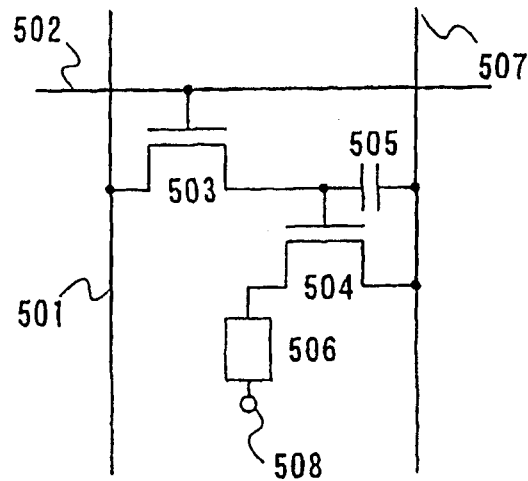


图 16B

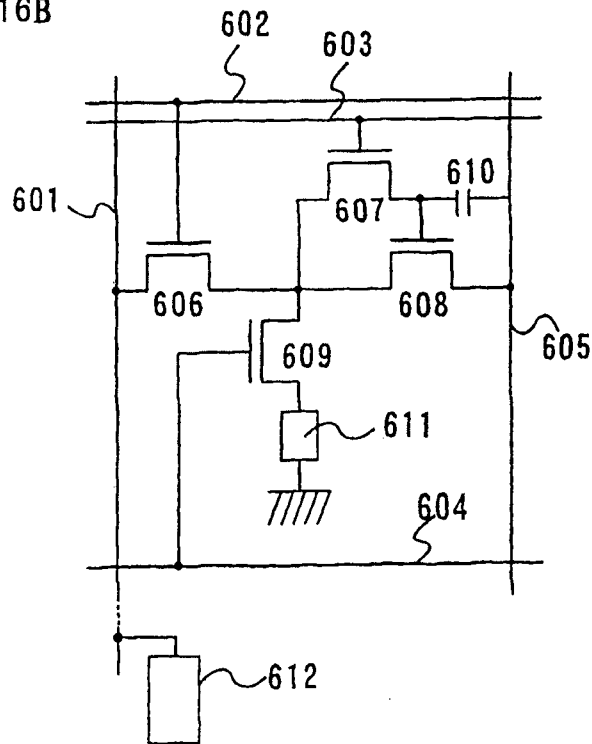


图 17A

信号输入时

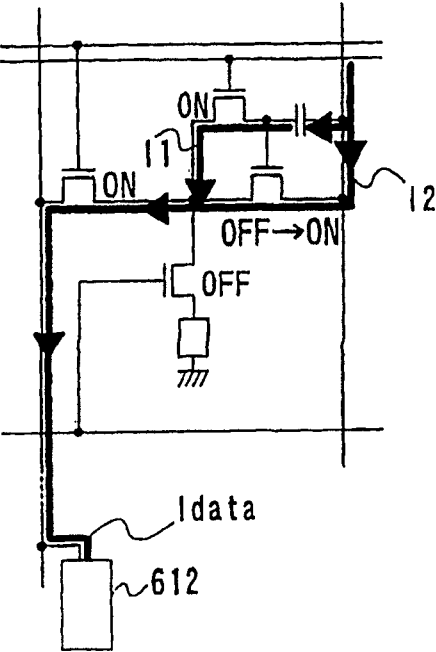


图 17B

信号输入结束时

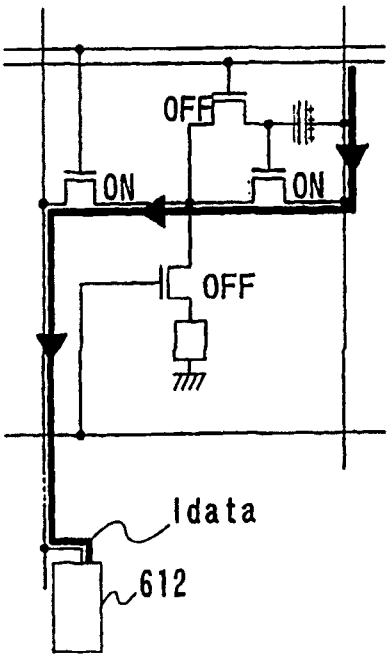


图 17C

发光时

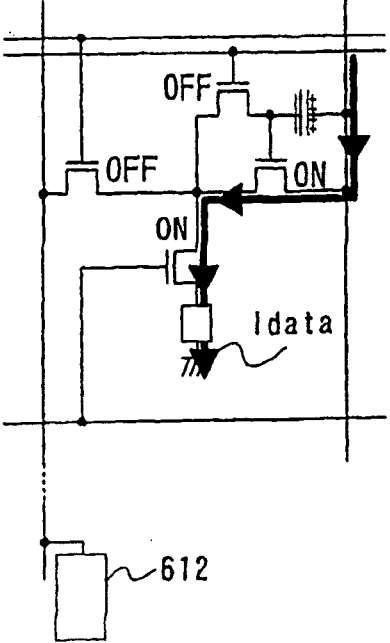


图 17D

电流

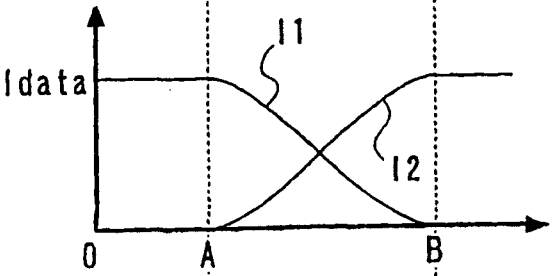


图 17E

$|V_{GS}|$

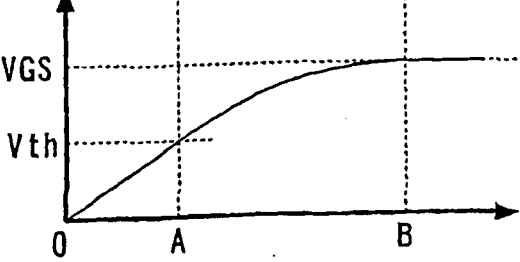


图 18A

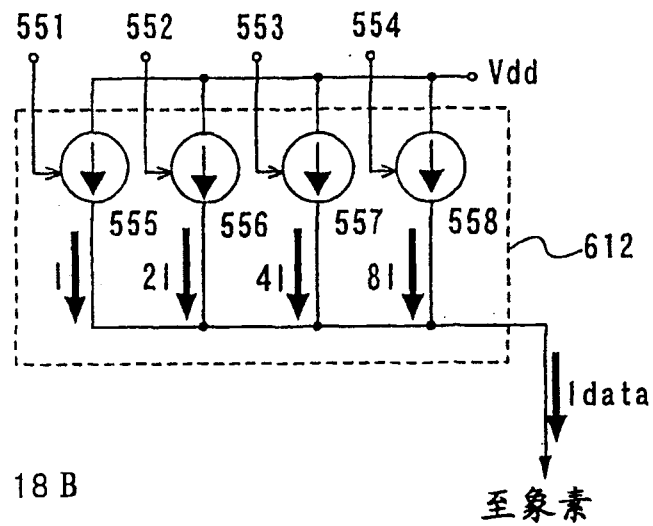
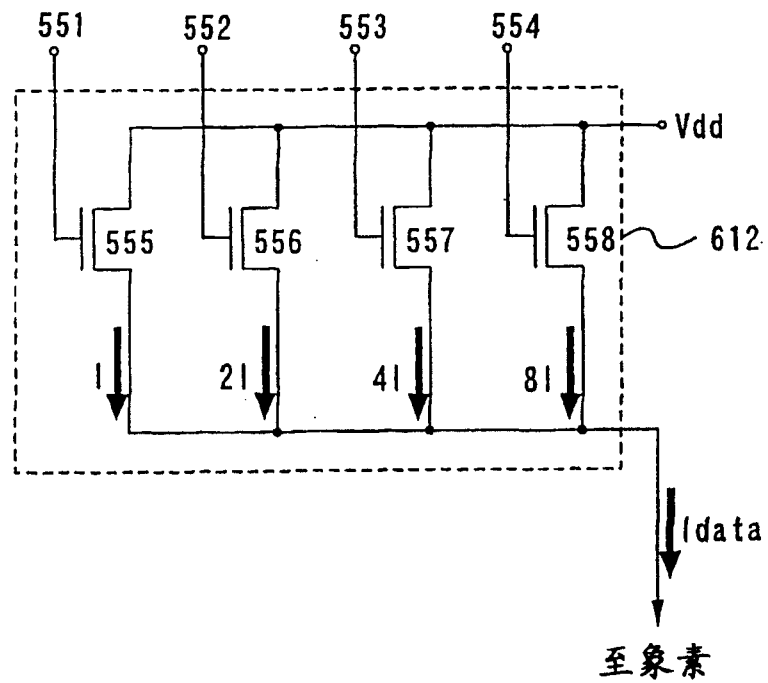


图 18 B



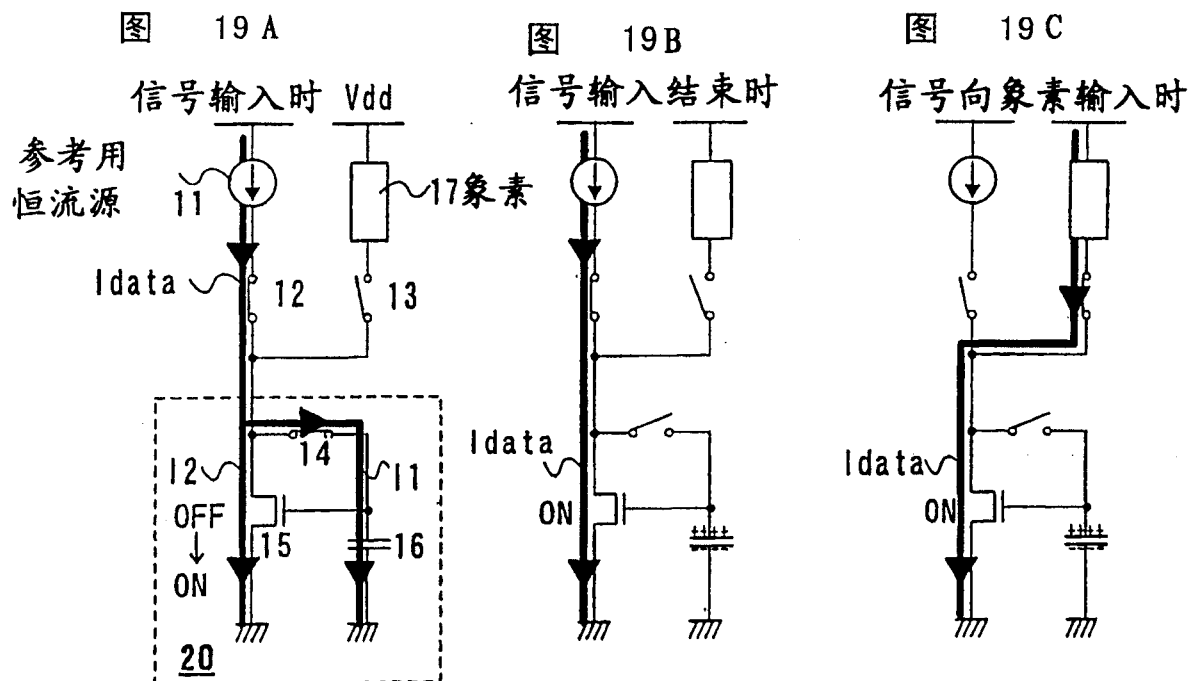


图 19 D

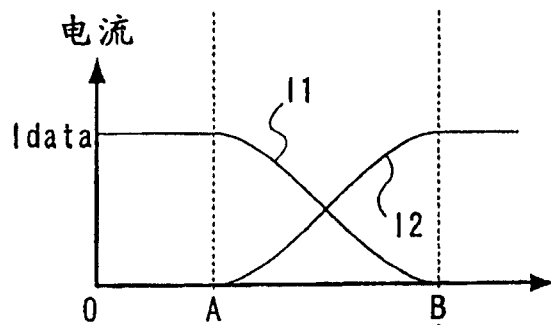


图 19 E

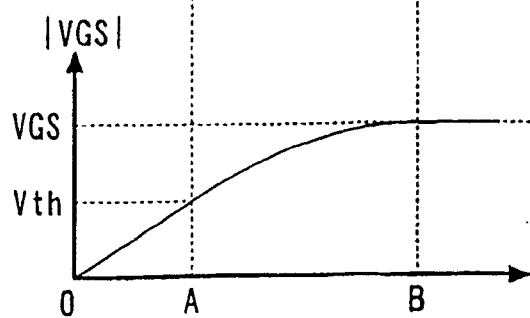


图 19 F

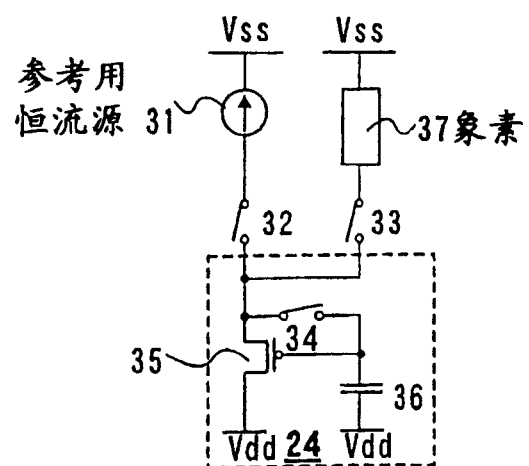


图 20 A

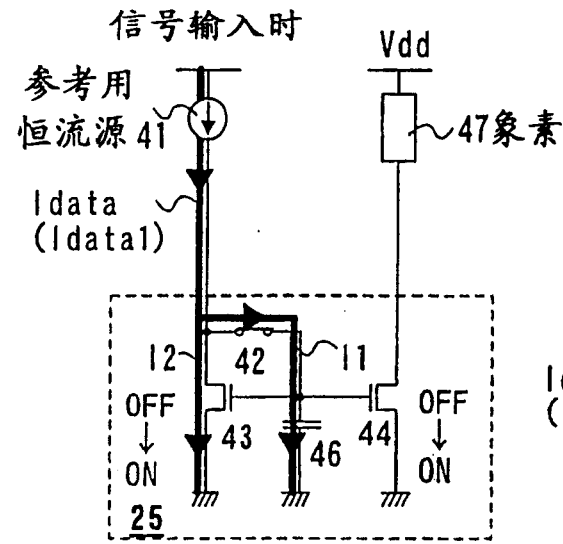


图 20 B

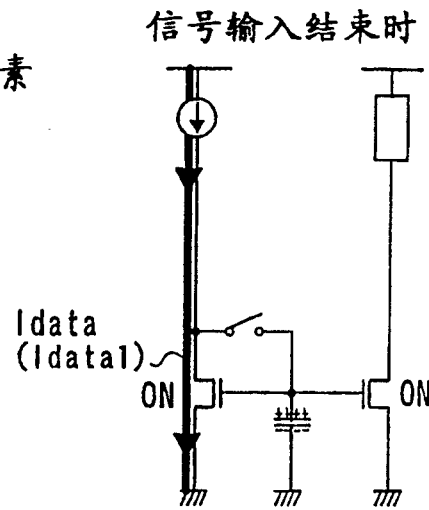


图 20 C

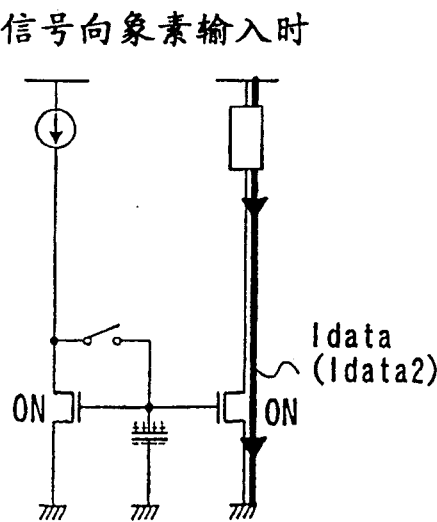


图 20 D

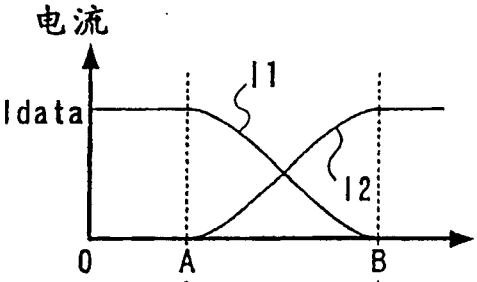
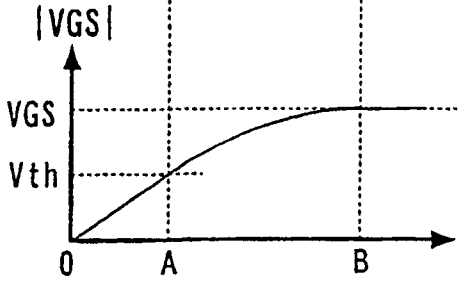


图 20 E



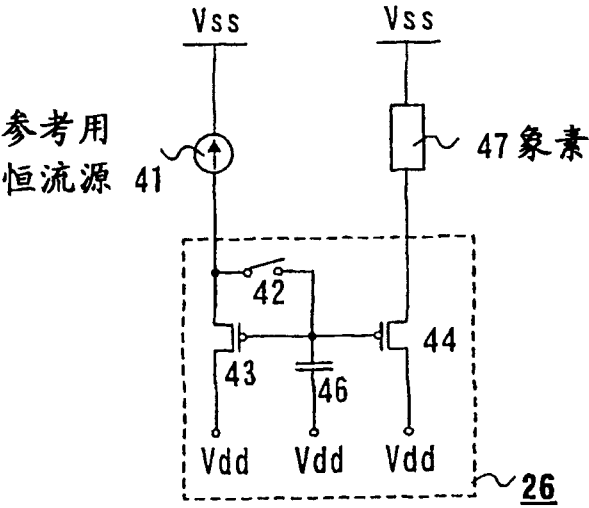


图 21

图 22A

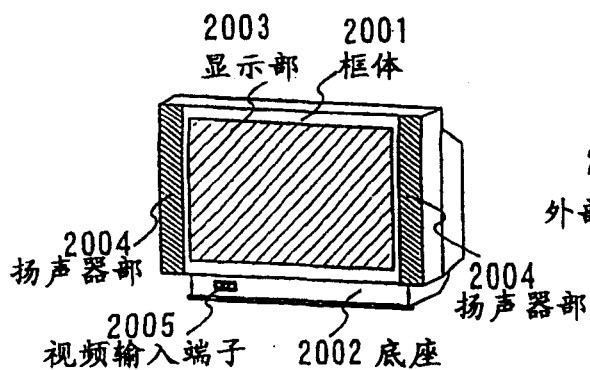


图 22B

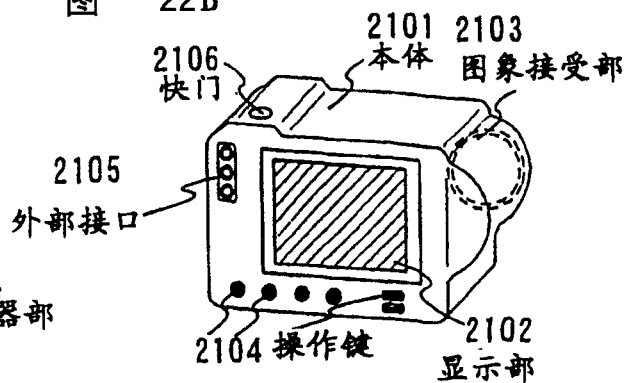


图 22C

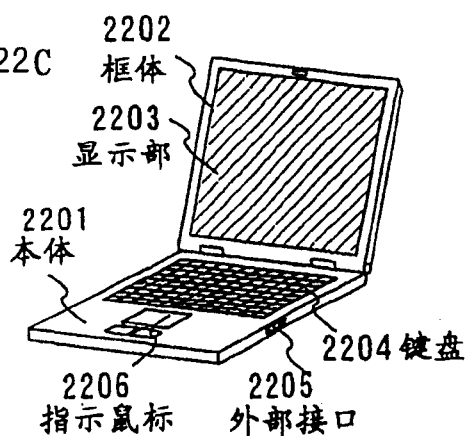


图 22D

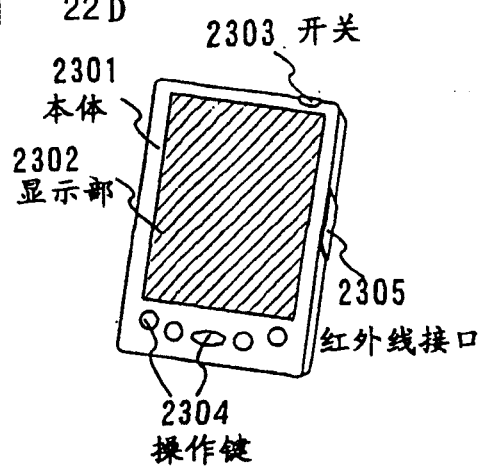


图 22E

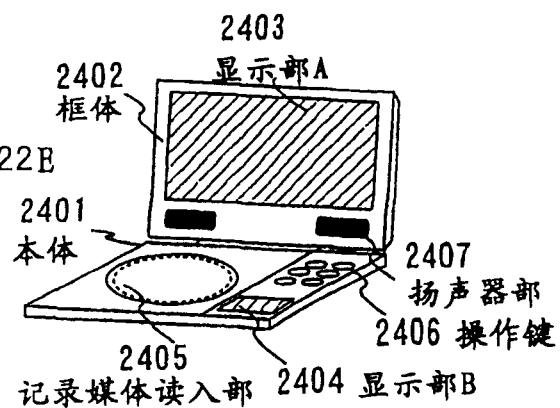


图 22F

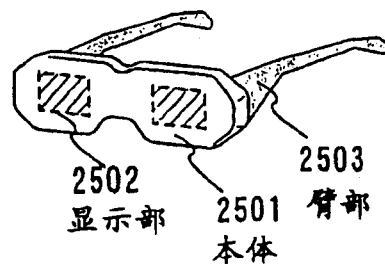


图 22G

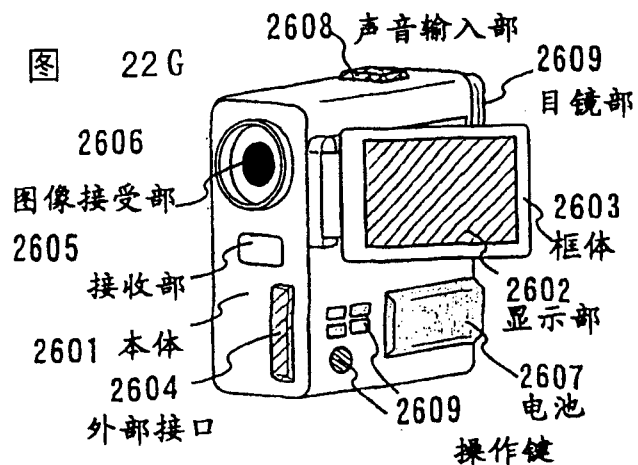


图 22H

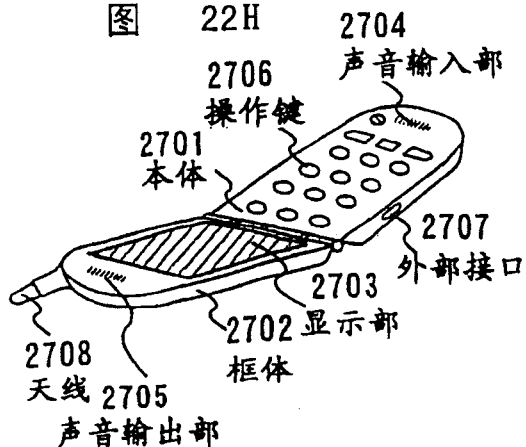


图 23A

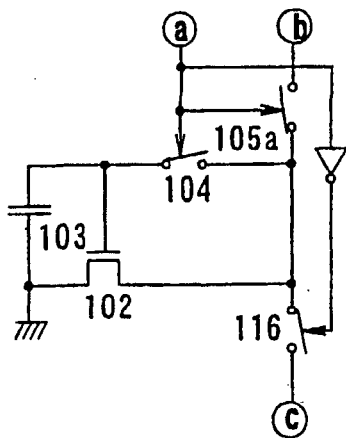


图 23B

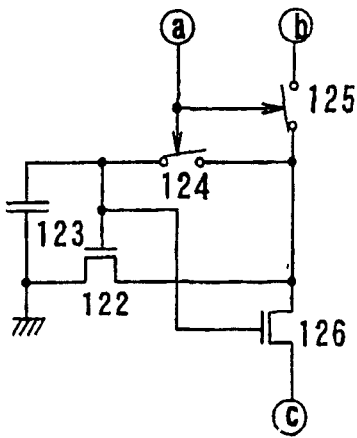


图 23C

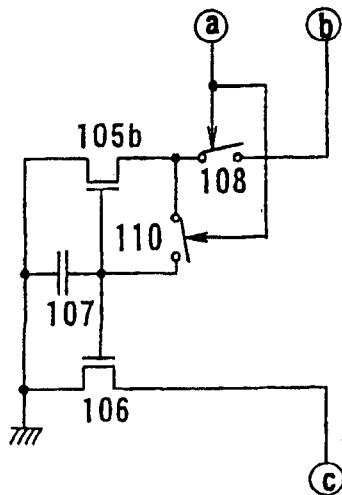


图 23D

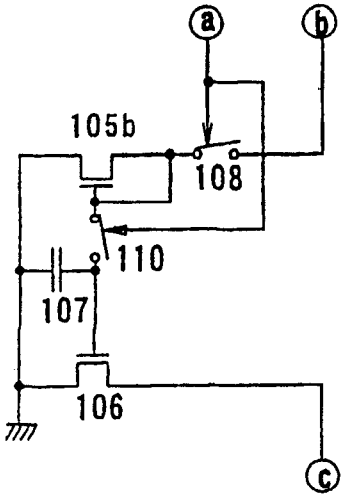


图 23E

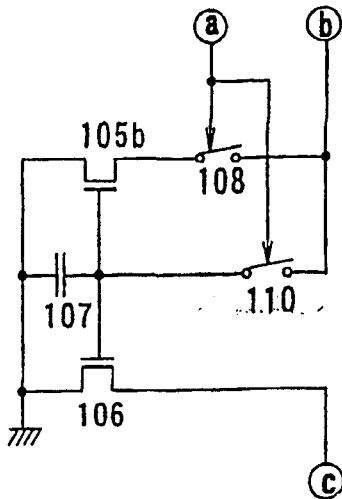


图 24A

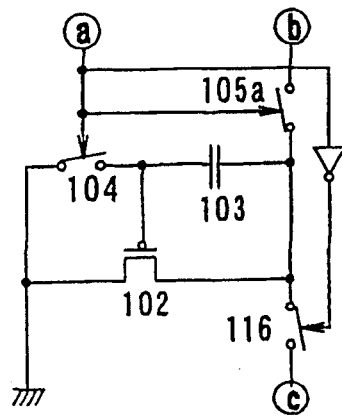


图 24B

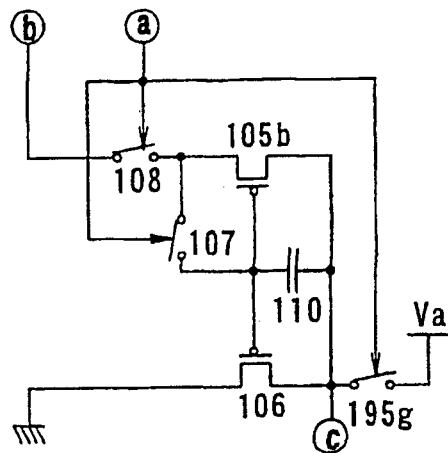


图 24D

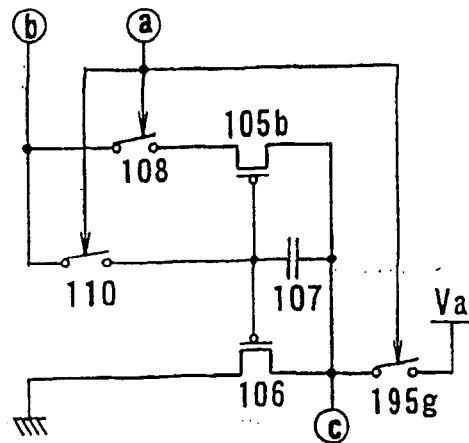


图 24C

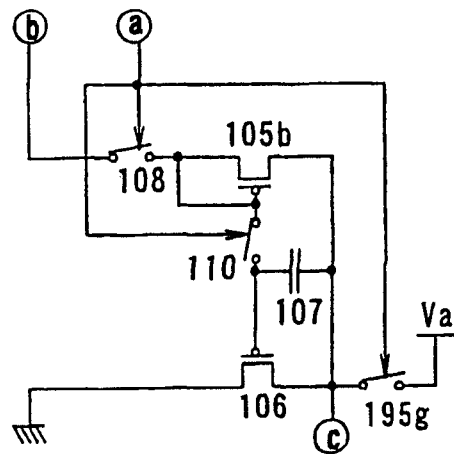


图 25A

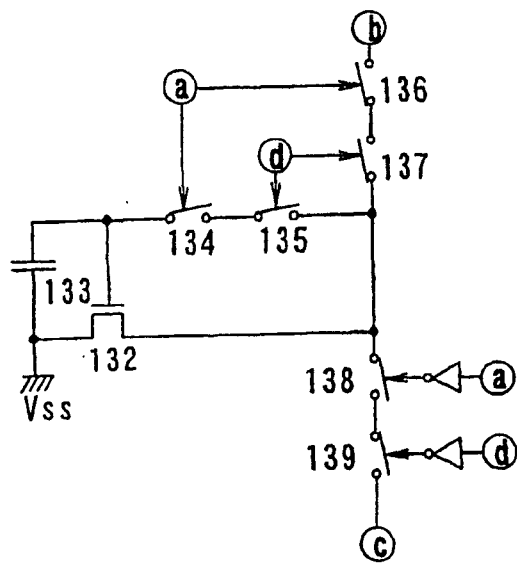


图 25B

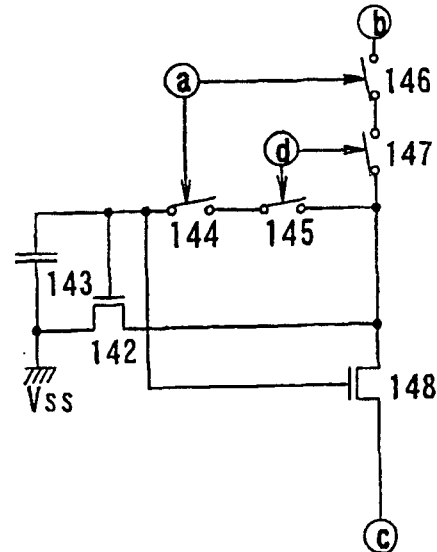
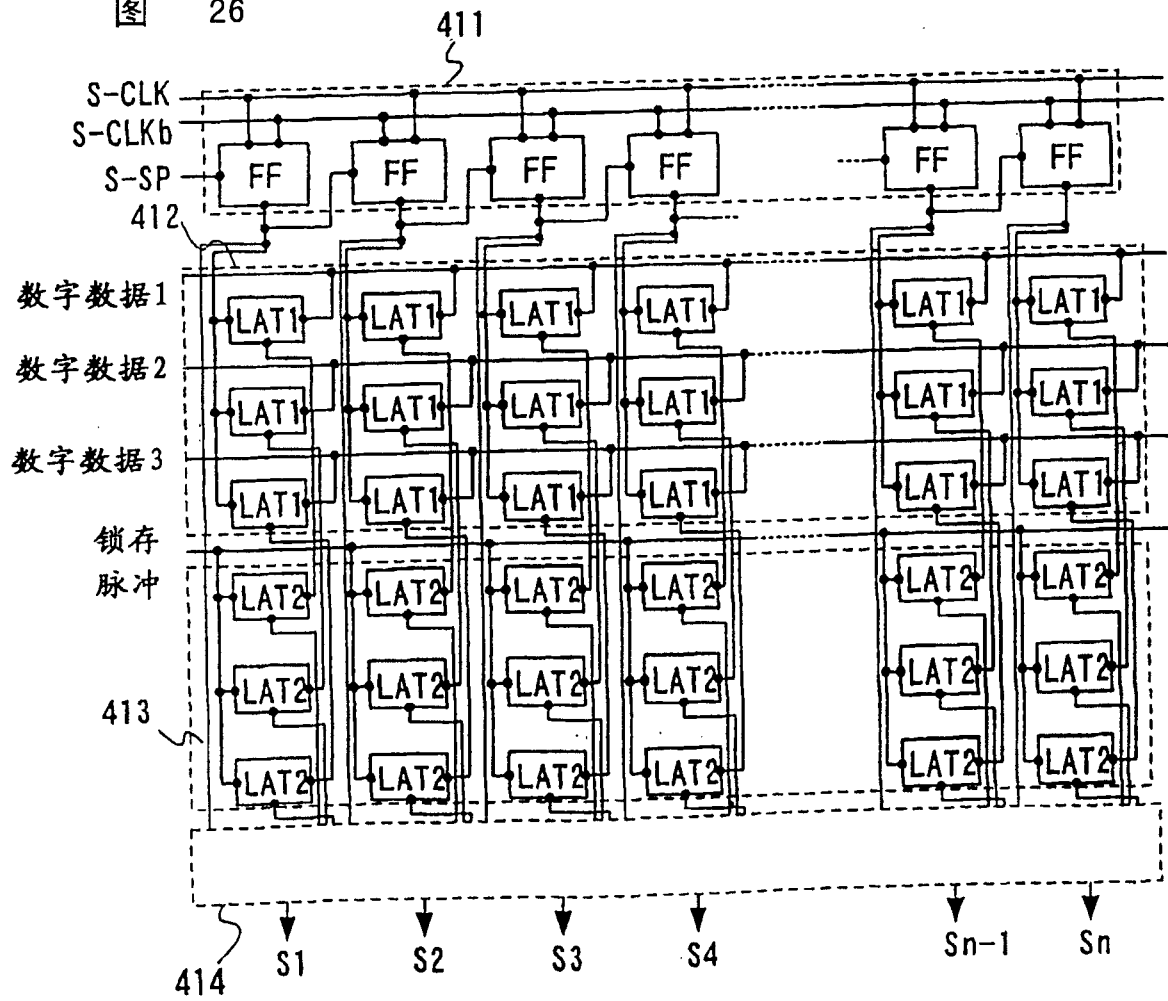


图 26



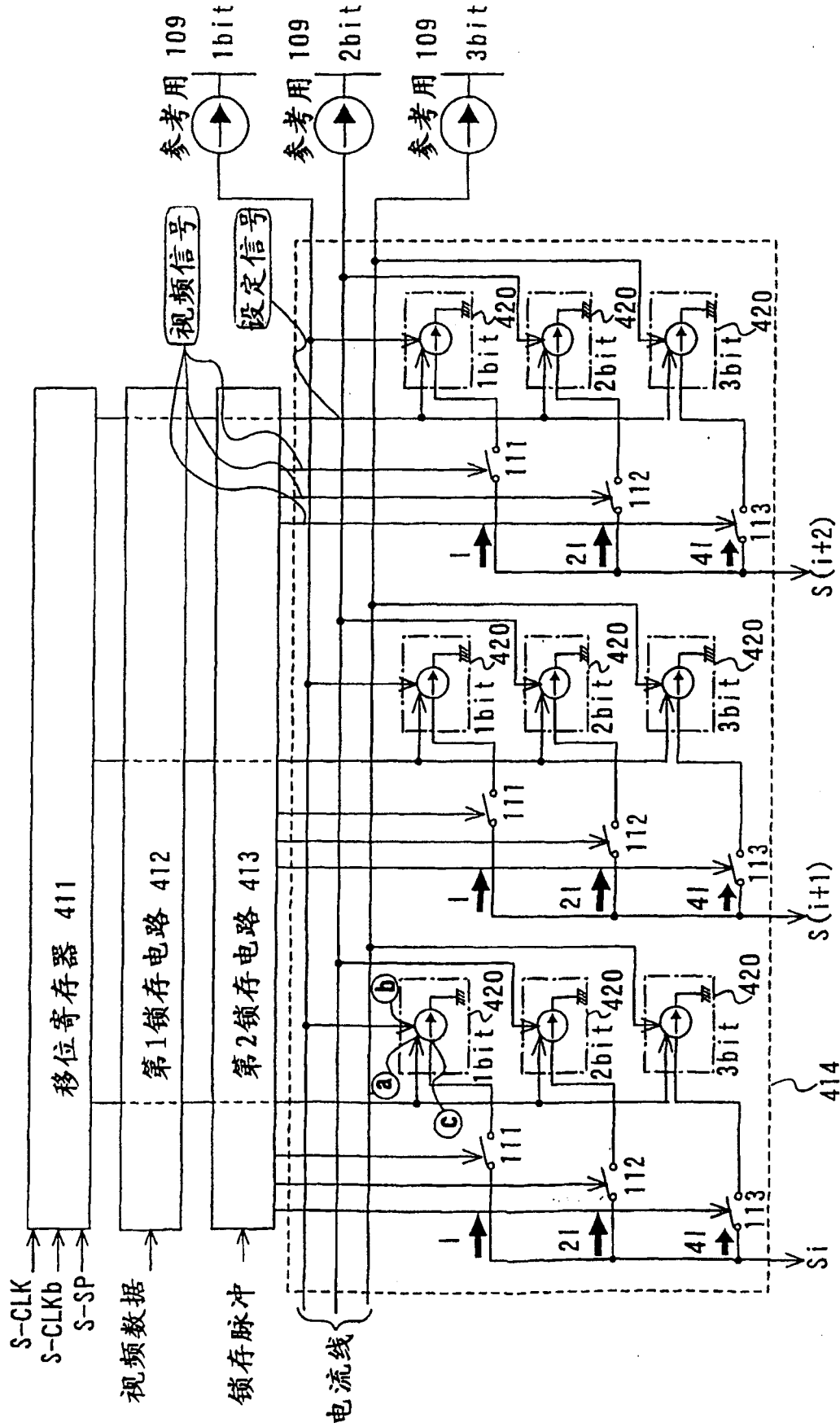


图 27

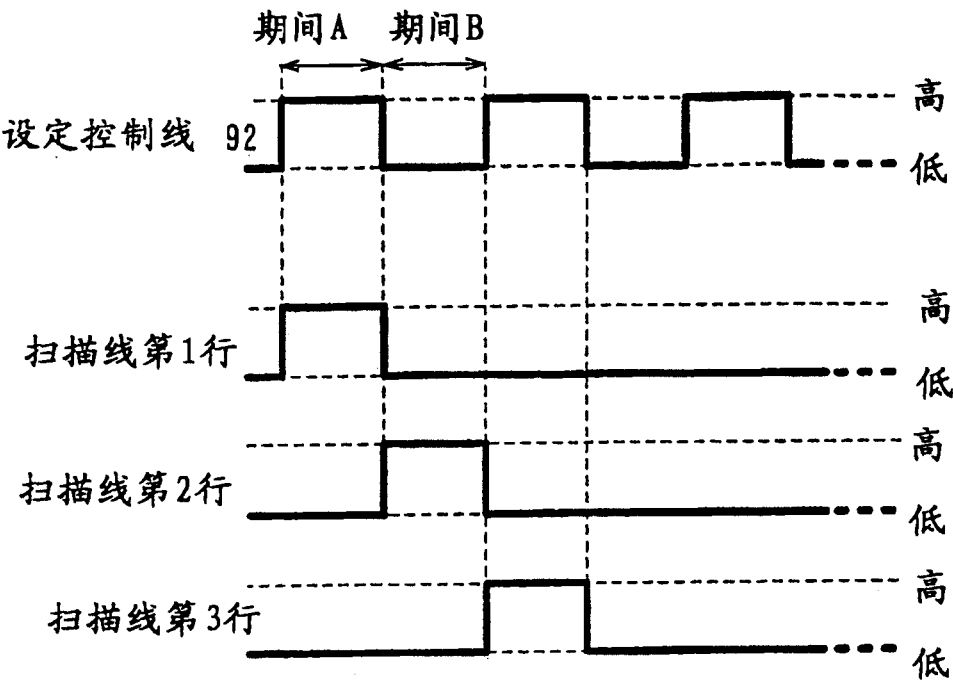


图 28

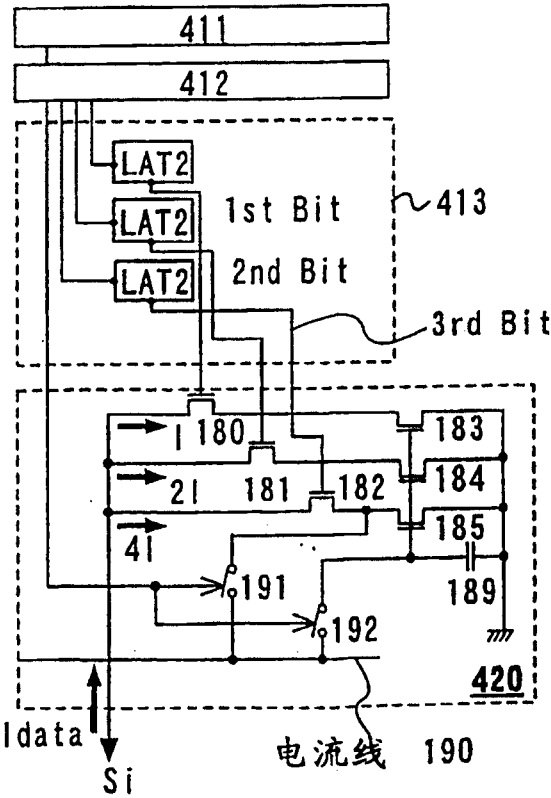


图 29

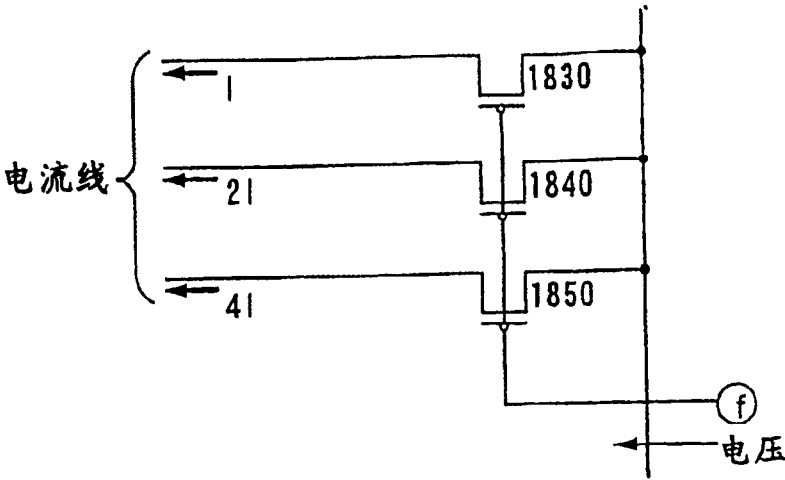


图 30

图 31A

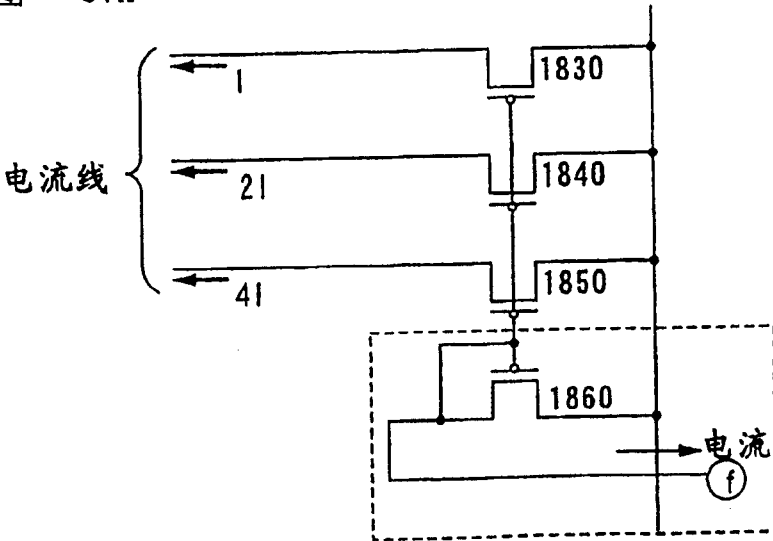
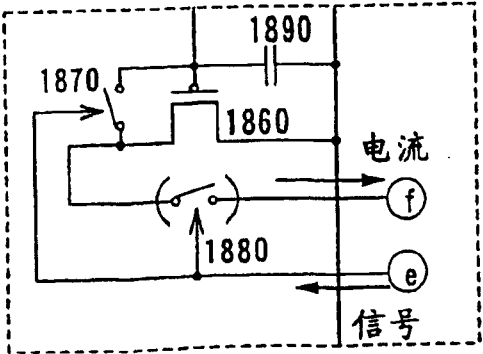


图 31B



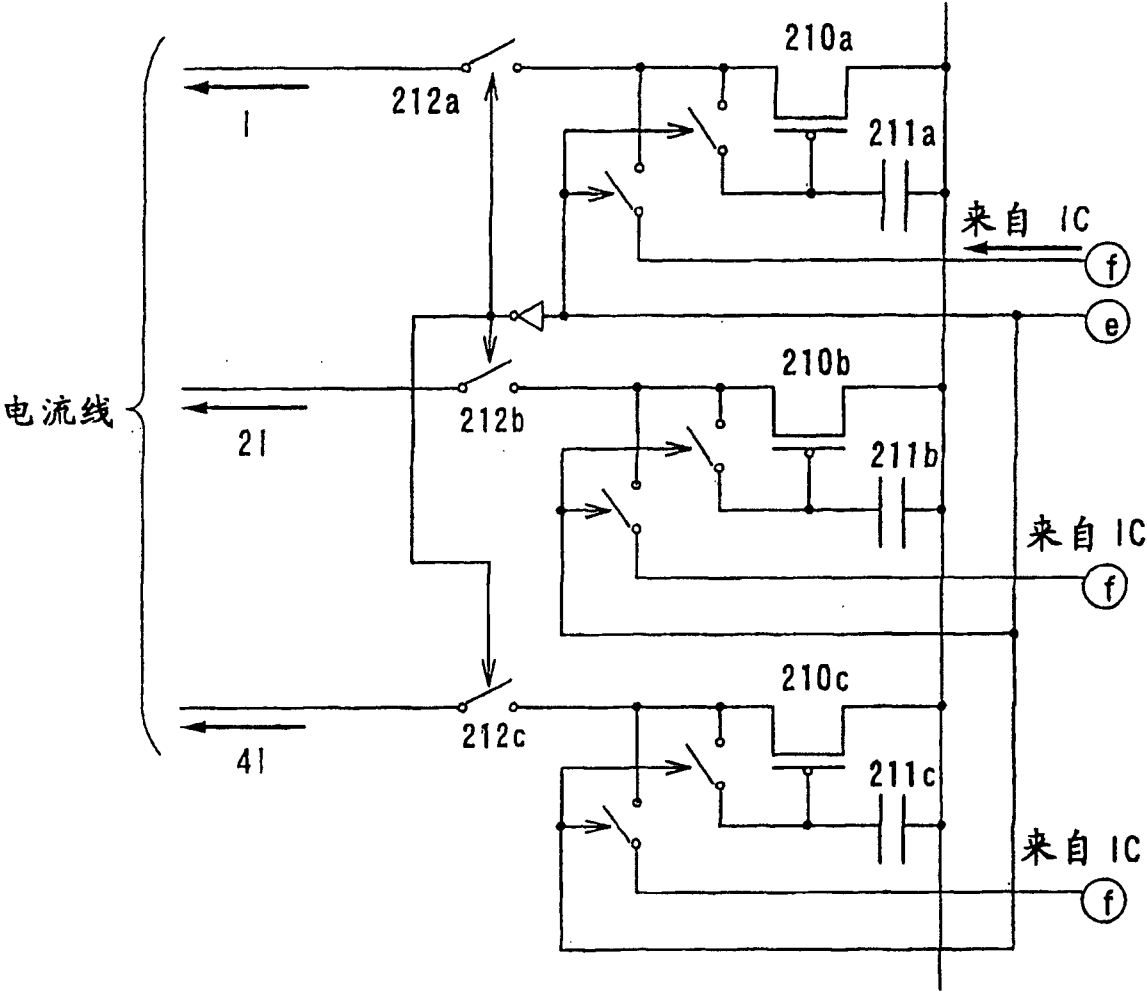


图 32

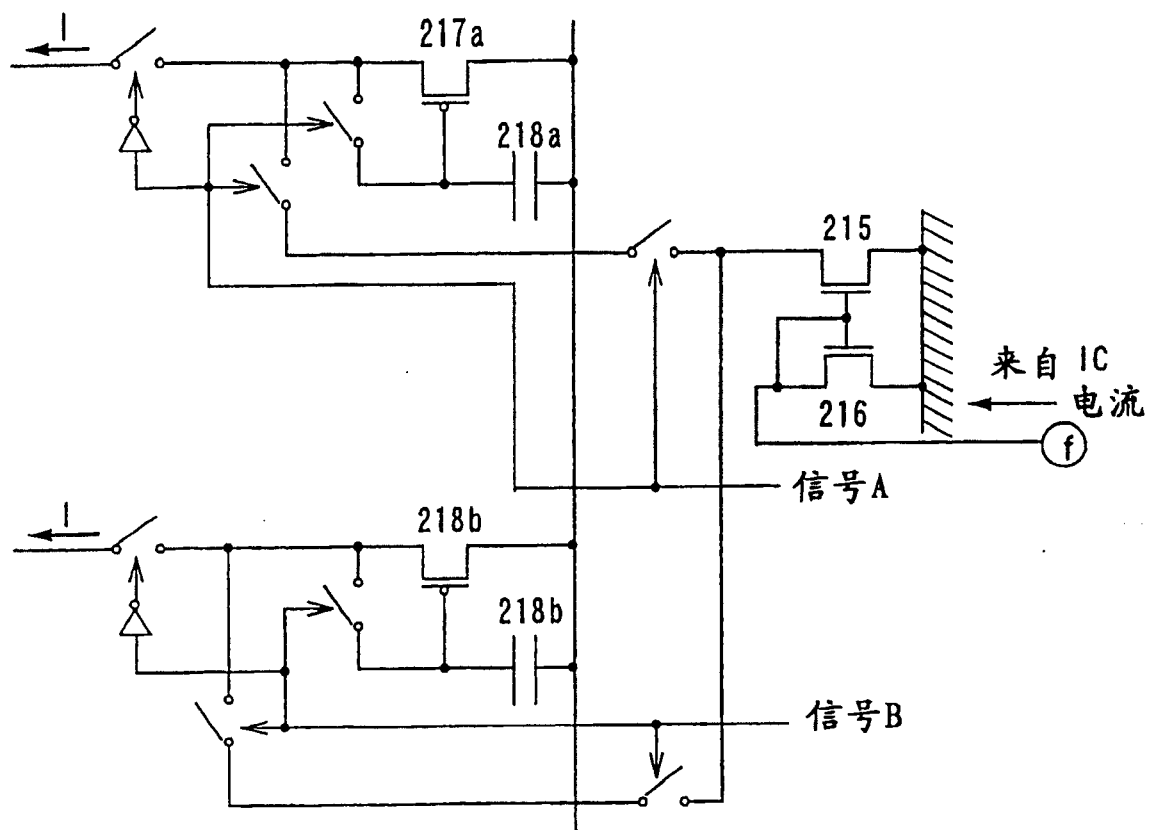


图 33

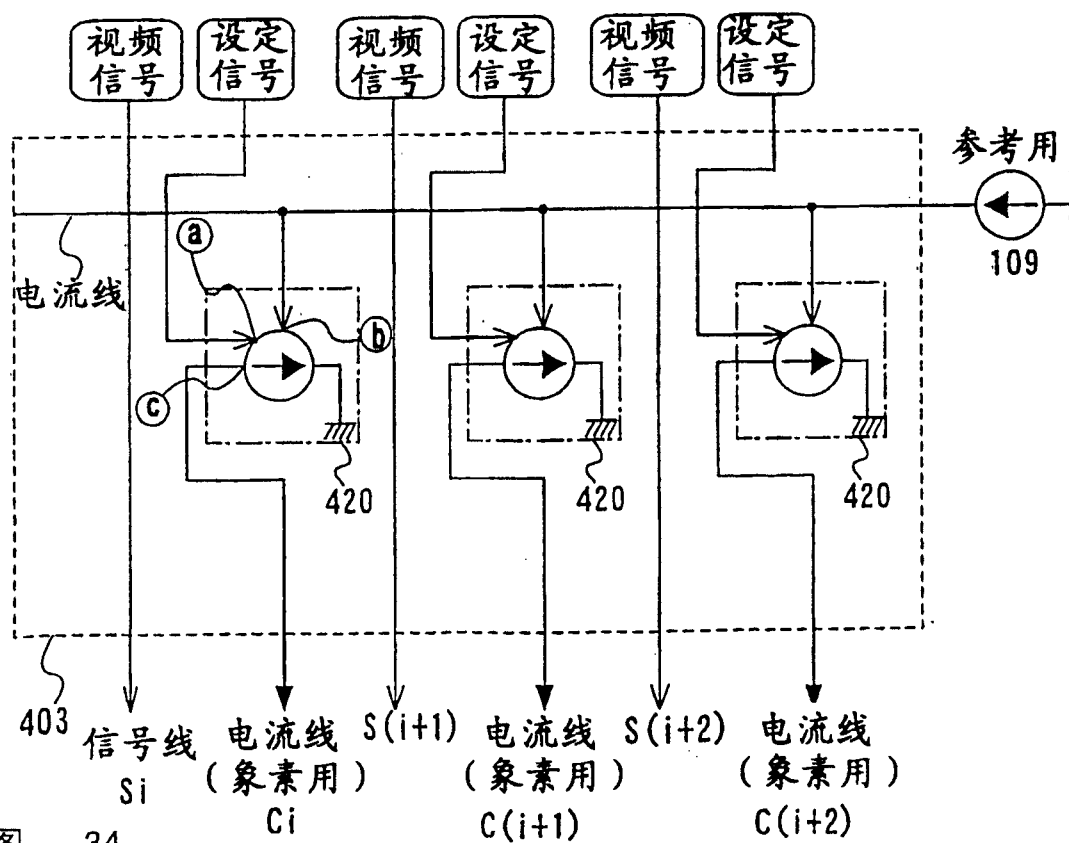


图 34

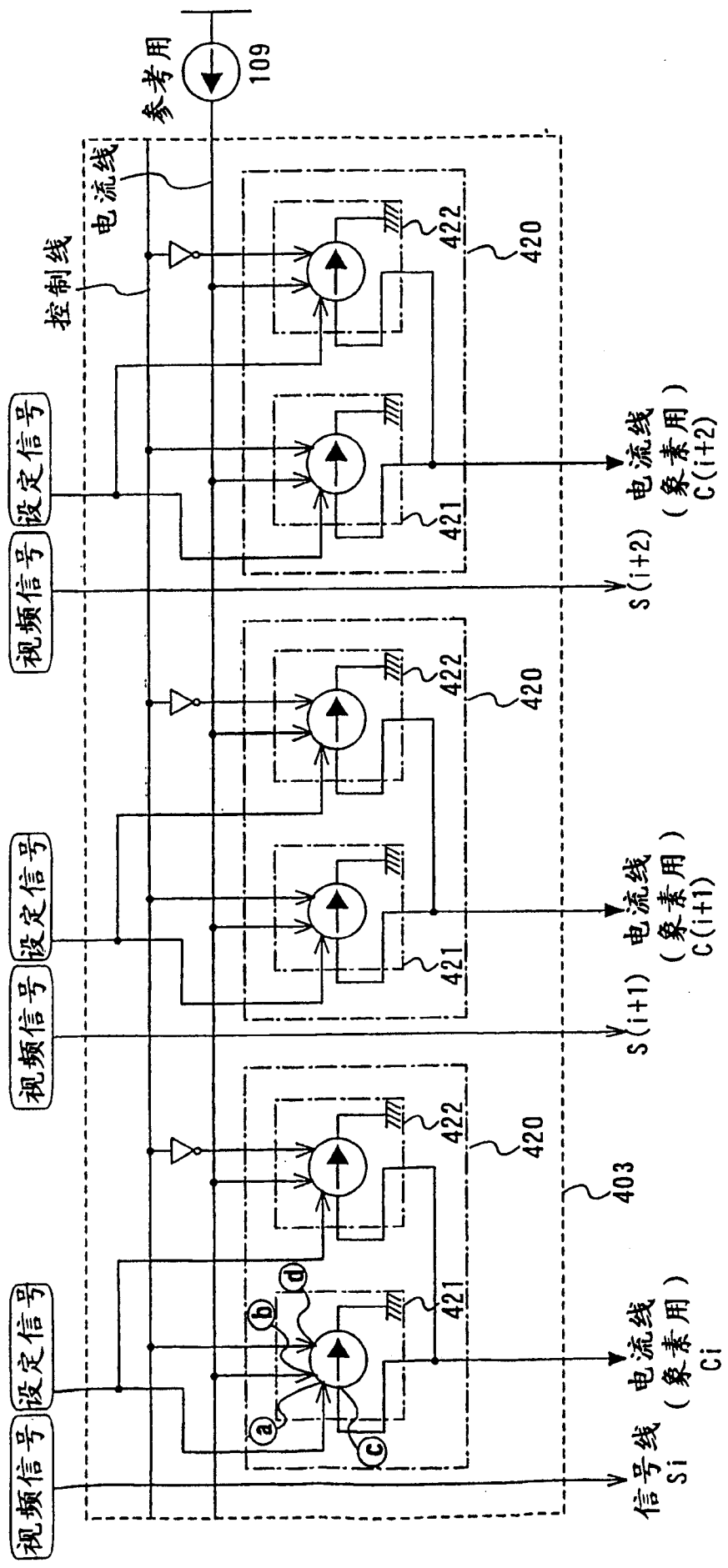


图 35

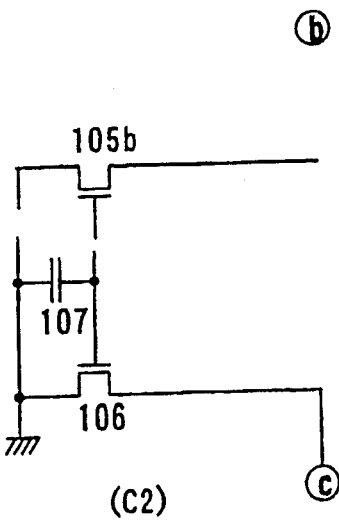
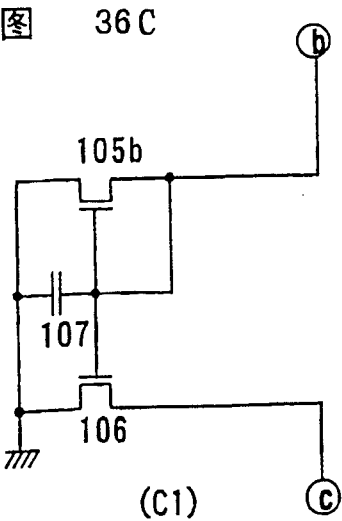
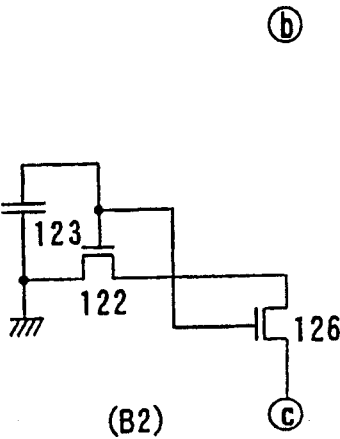
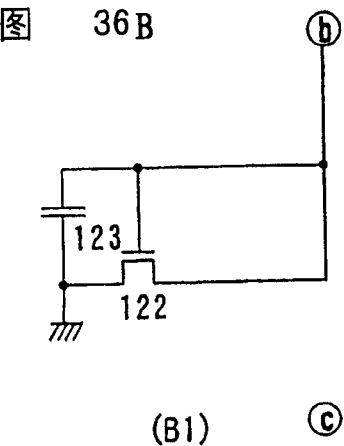
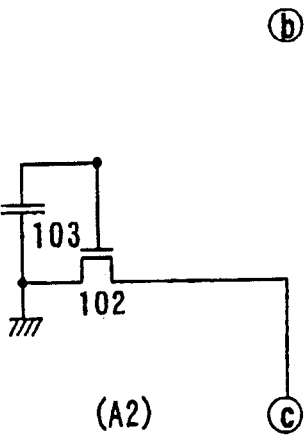
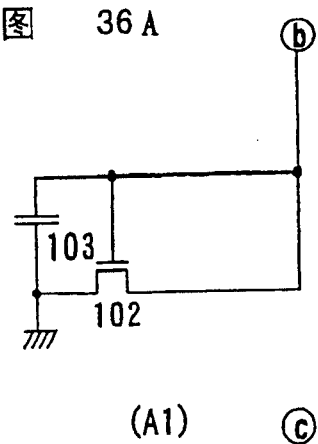


图 37 A

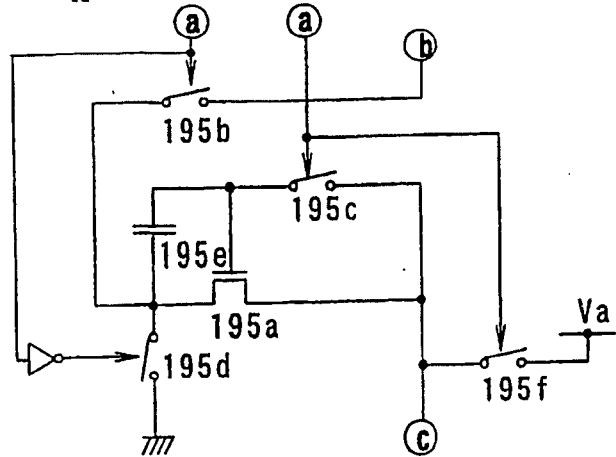


图 37 B

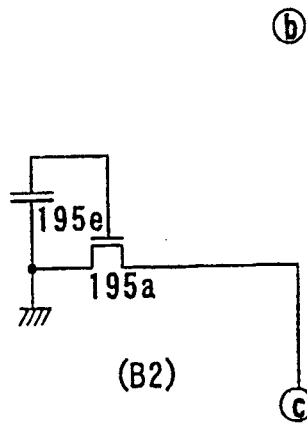
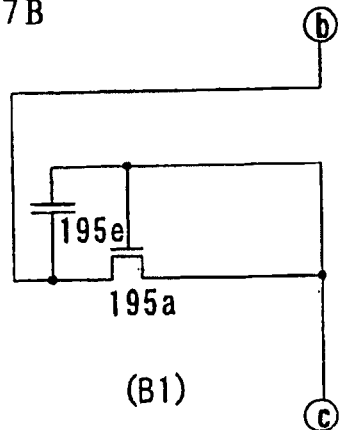


图 37 C

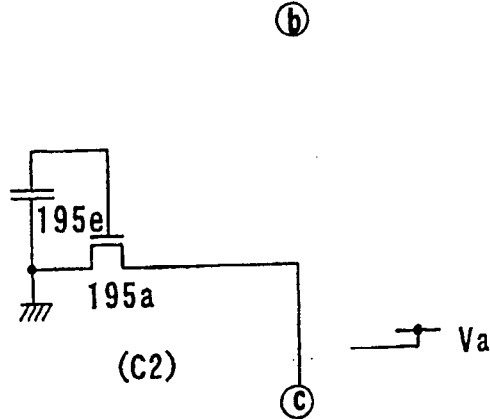
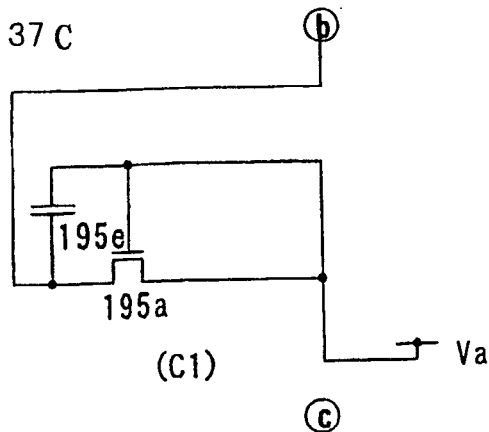


图 38A

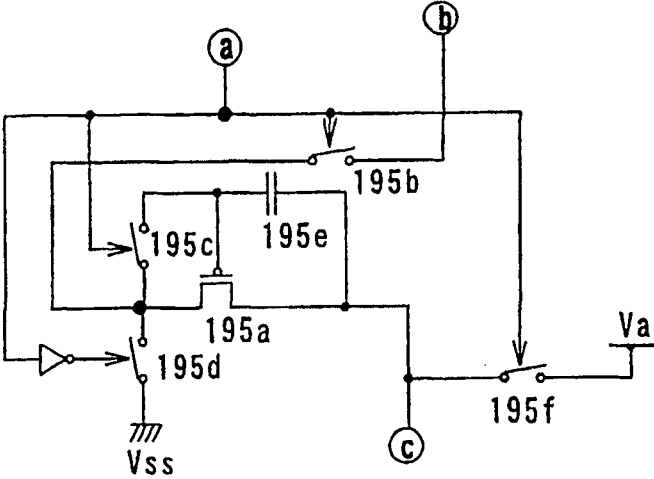
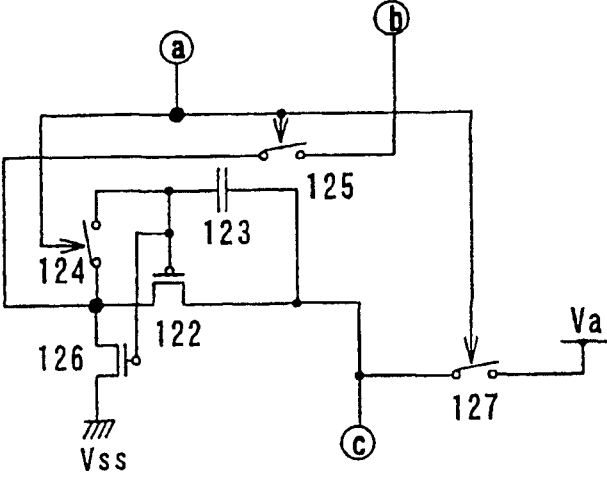


图 38B



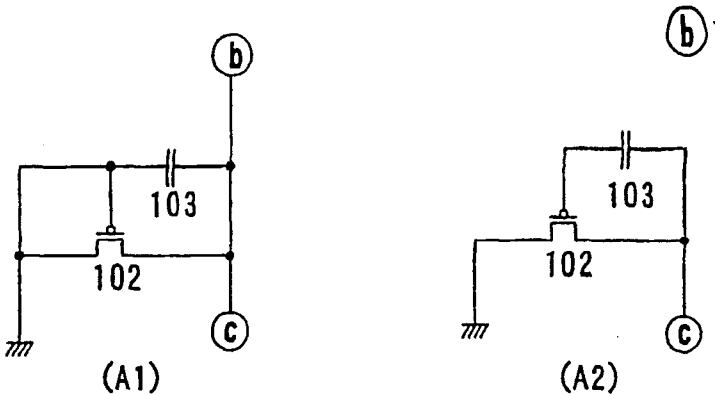


图 39 A

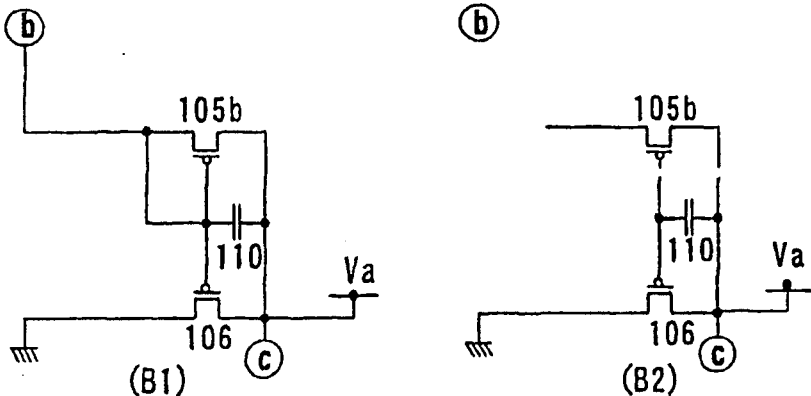


图 39B

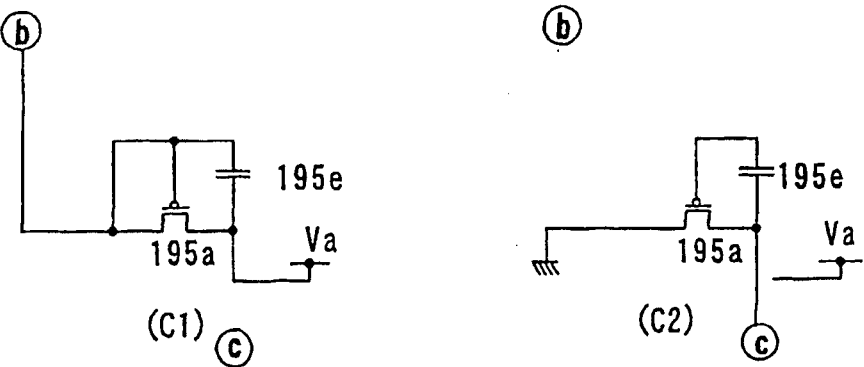


图 39 C

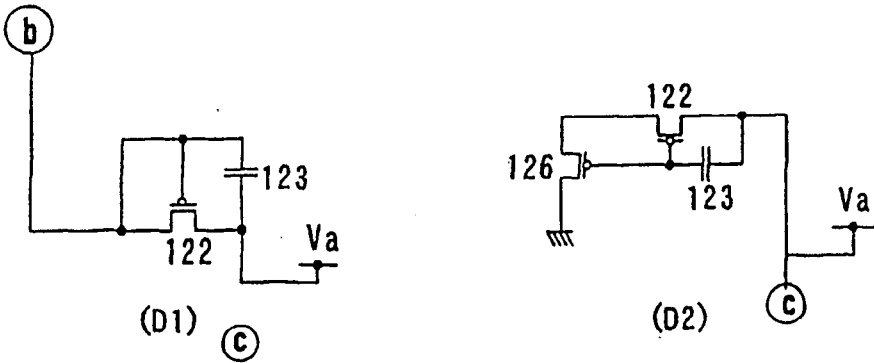


图 39 D

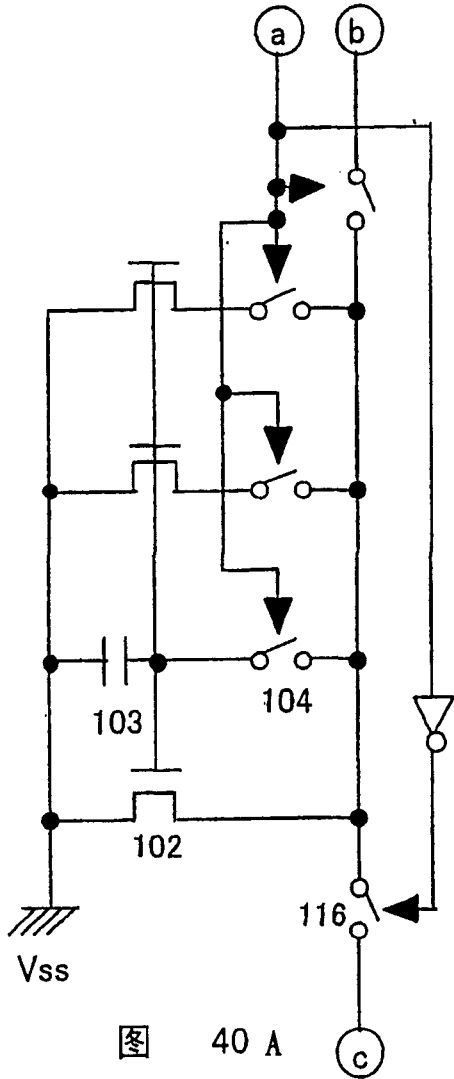


图 40 A

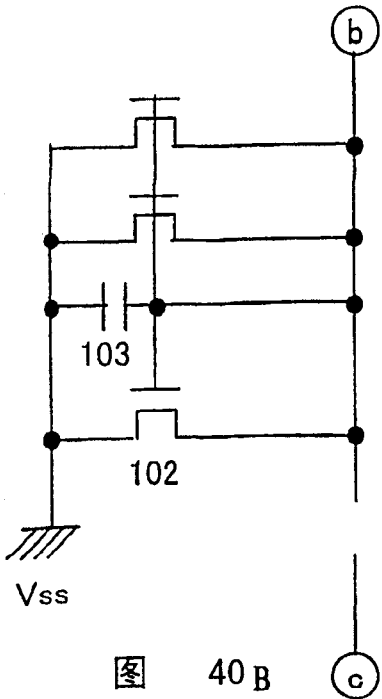


图 40 B

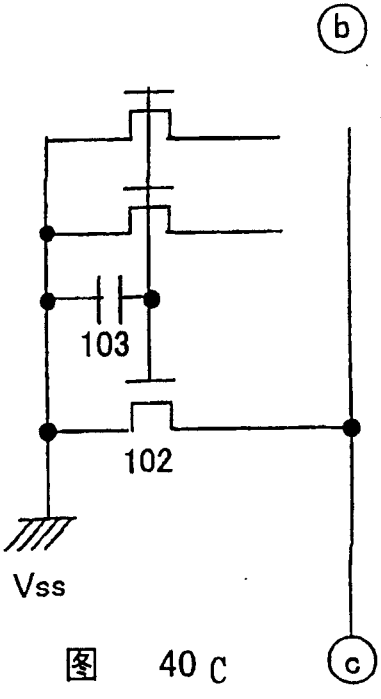


图 40 C

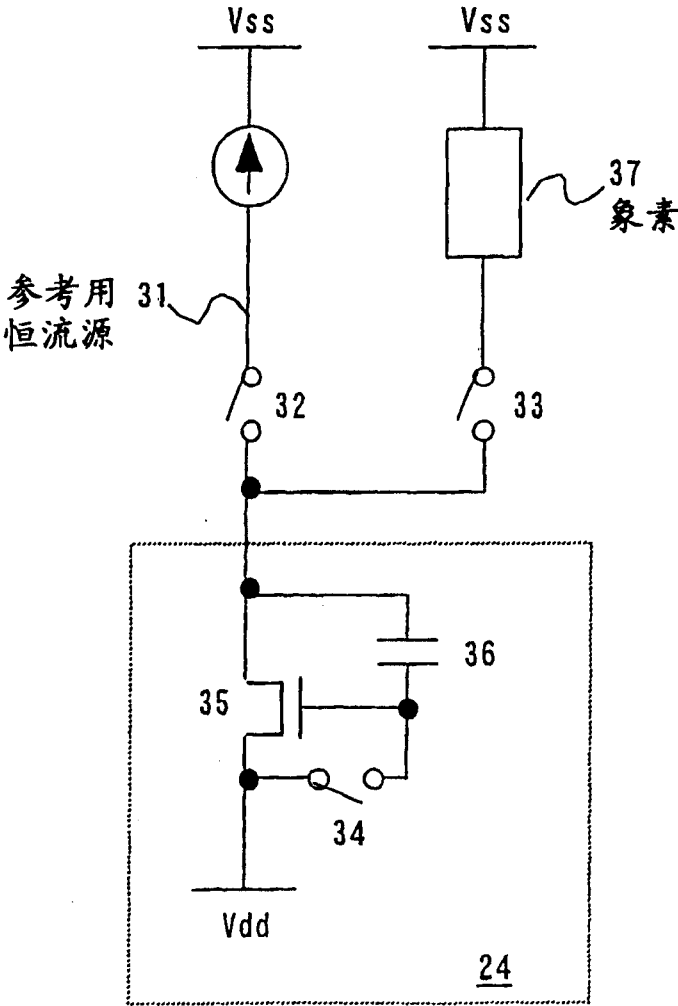


图 41

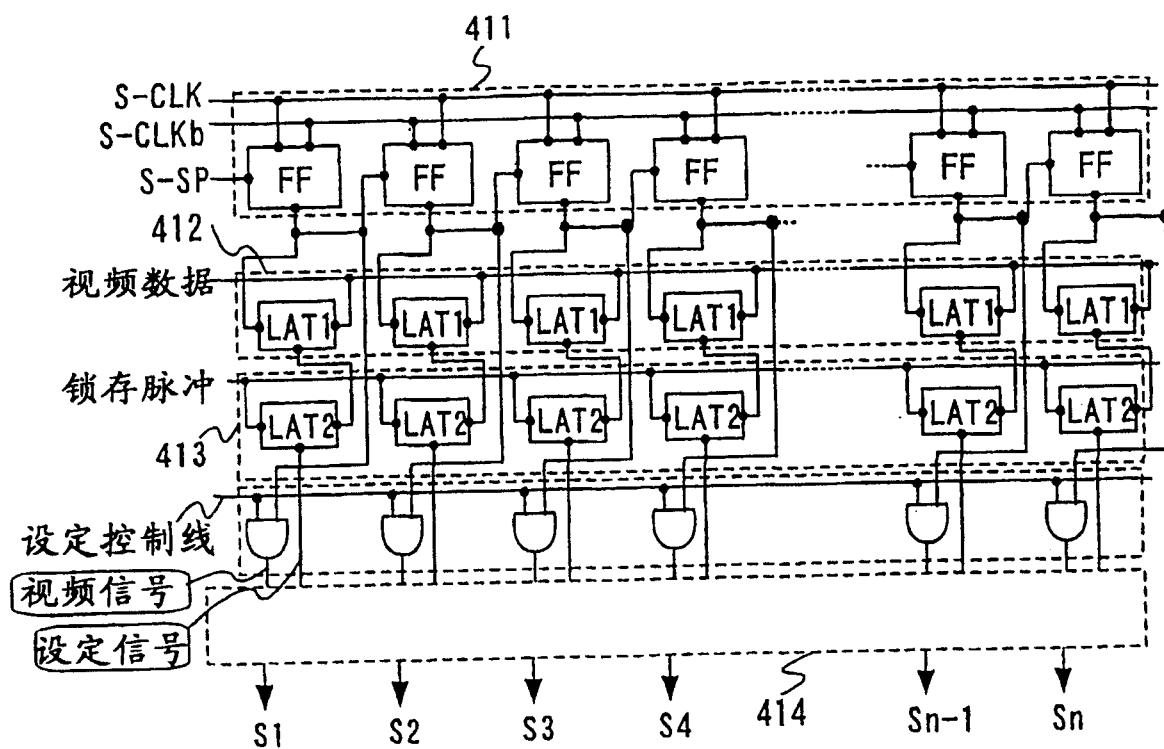


图 42A

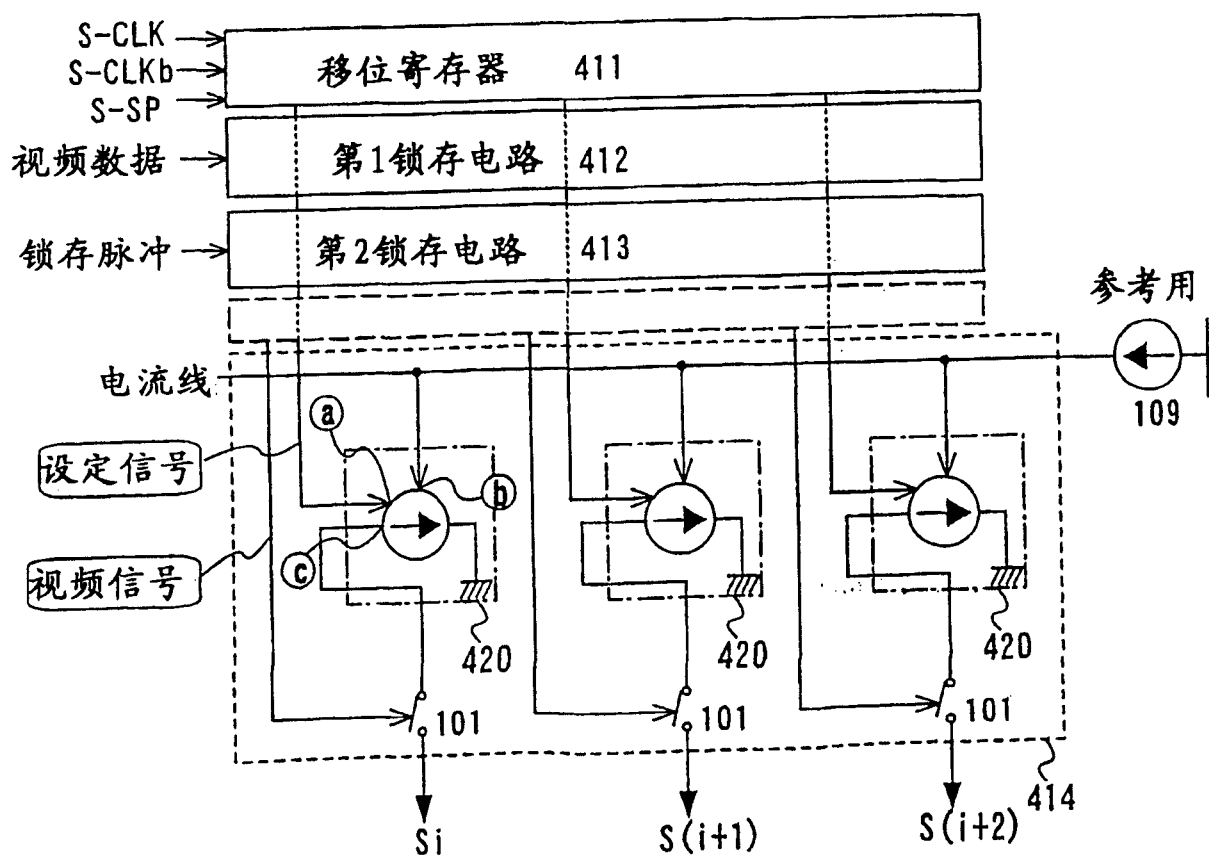
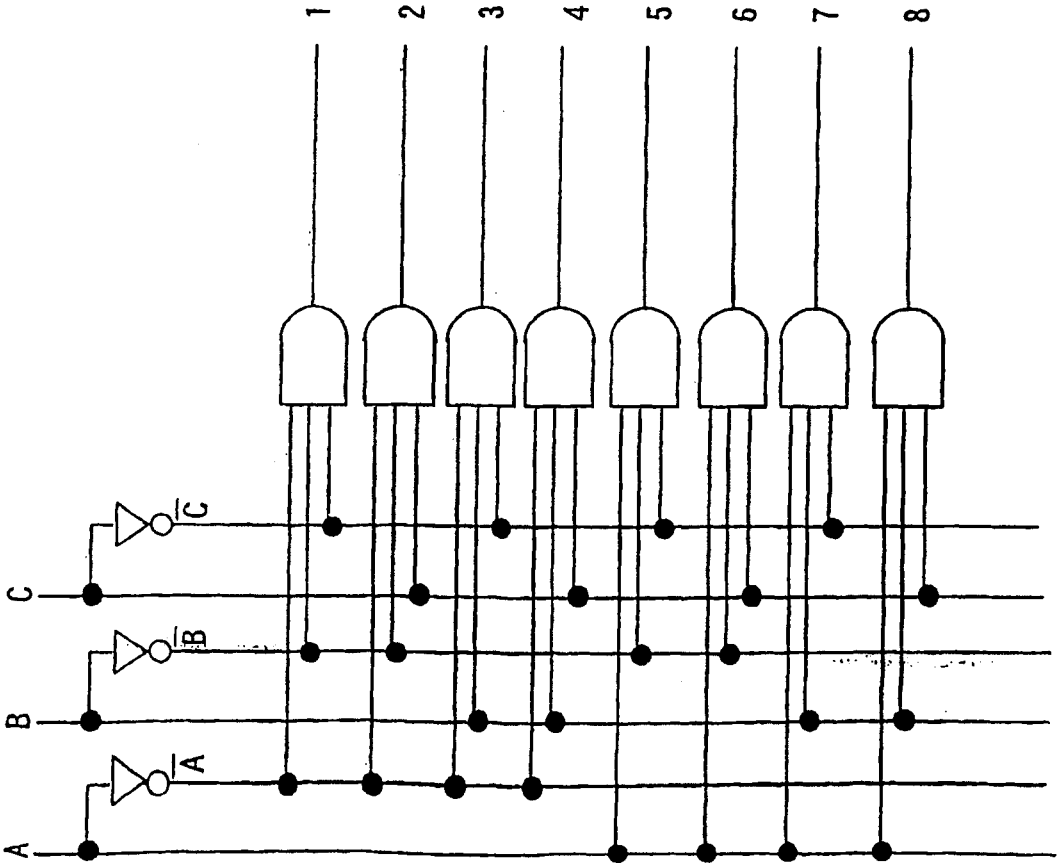


图 42B



A	B	C	第1行	第2行	第3行	第4行	第5行	第6行	第7行	第8行
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

图 43

图 44A

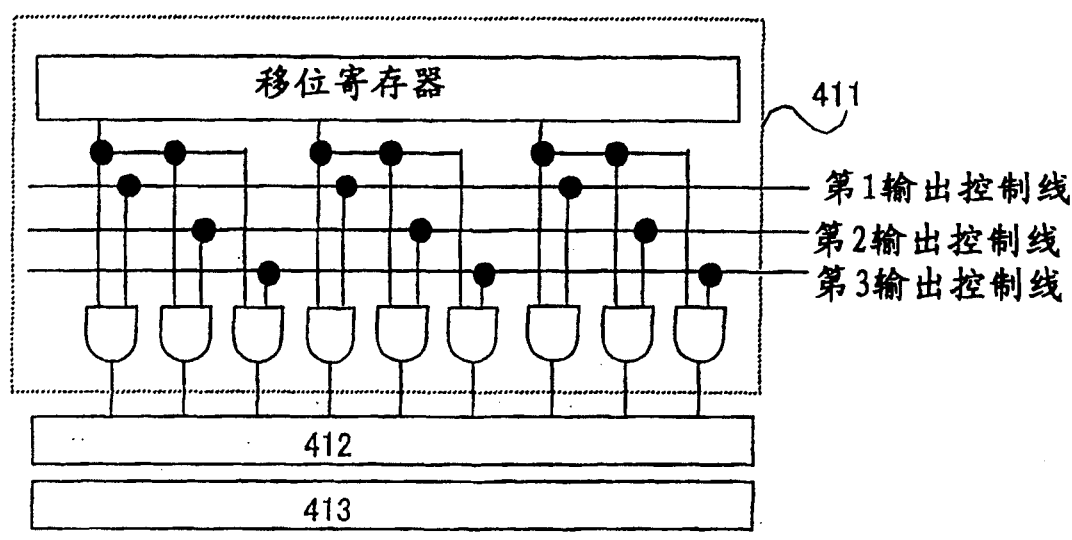
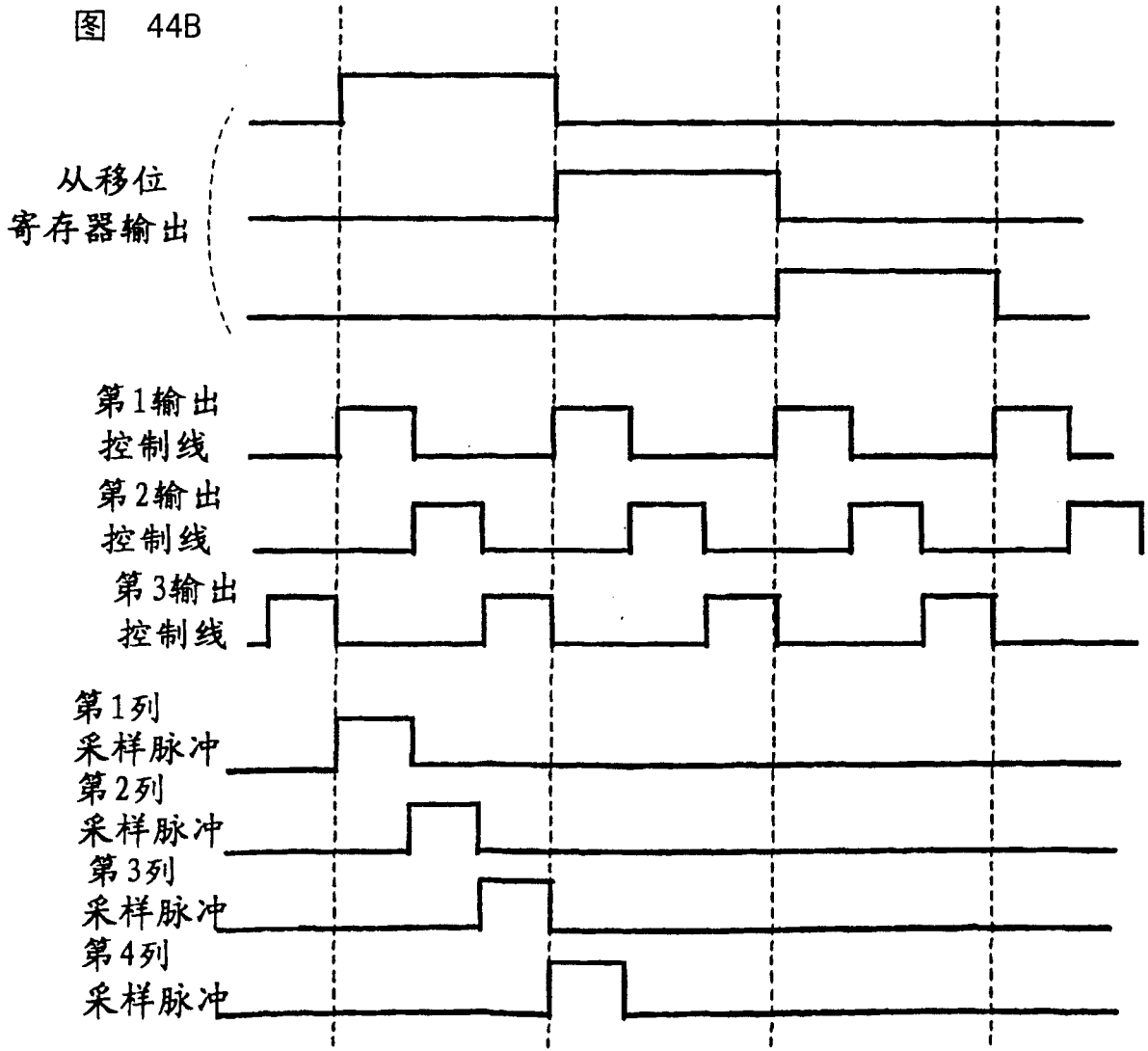
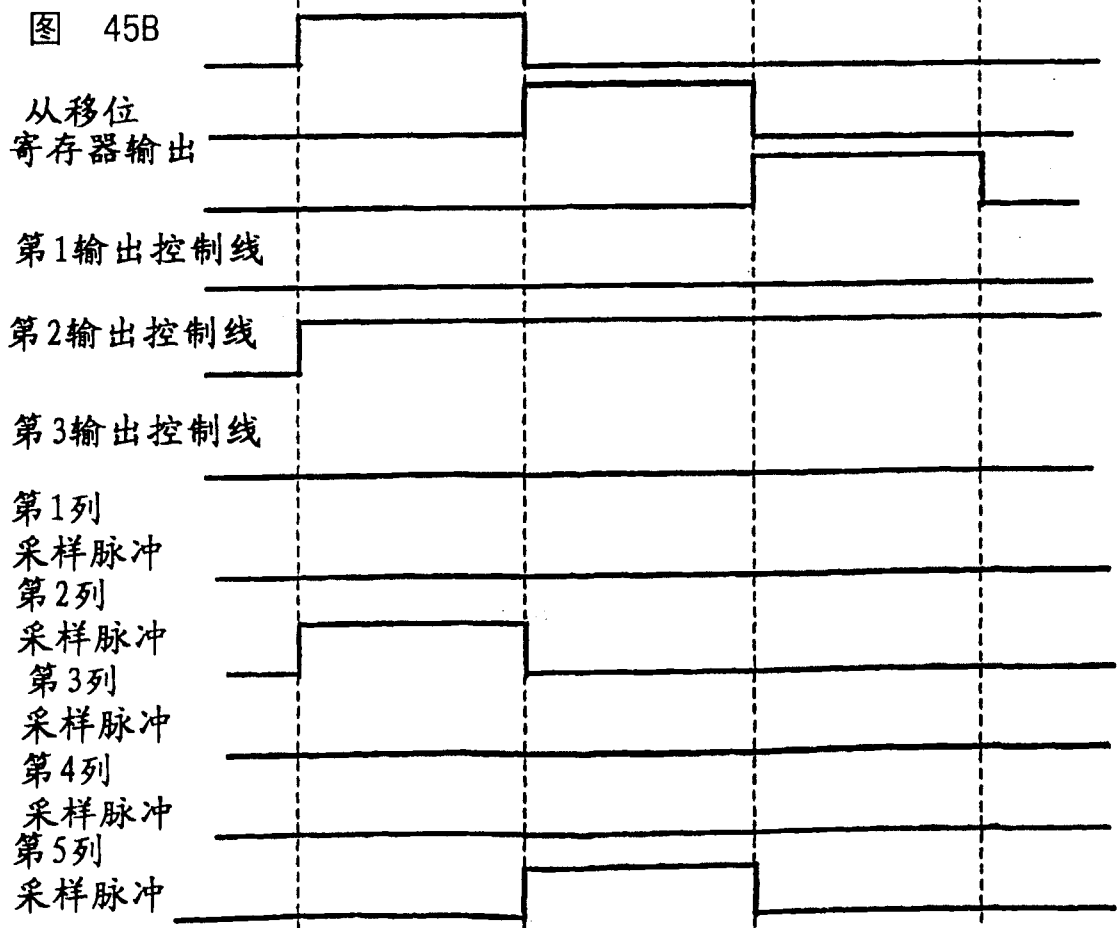
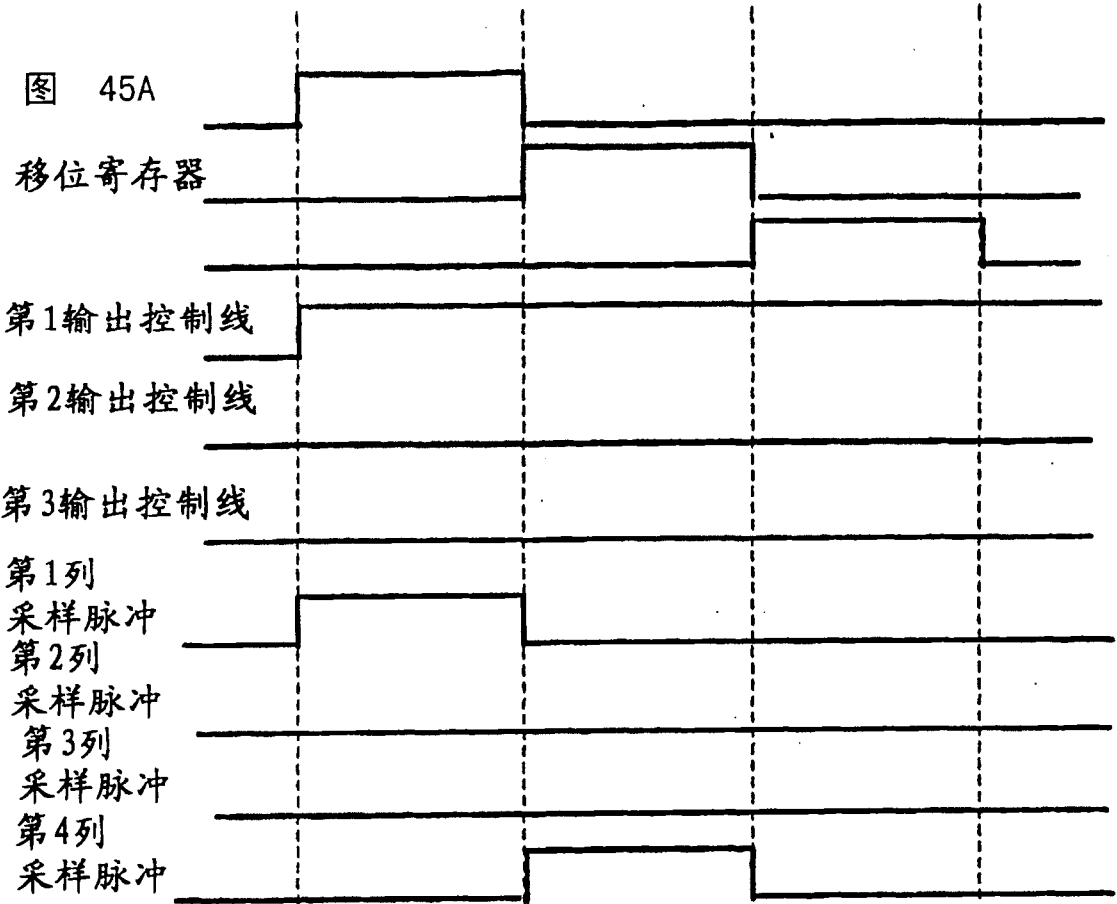


图 44B





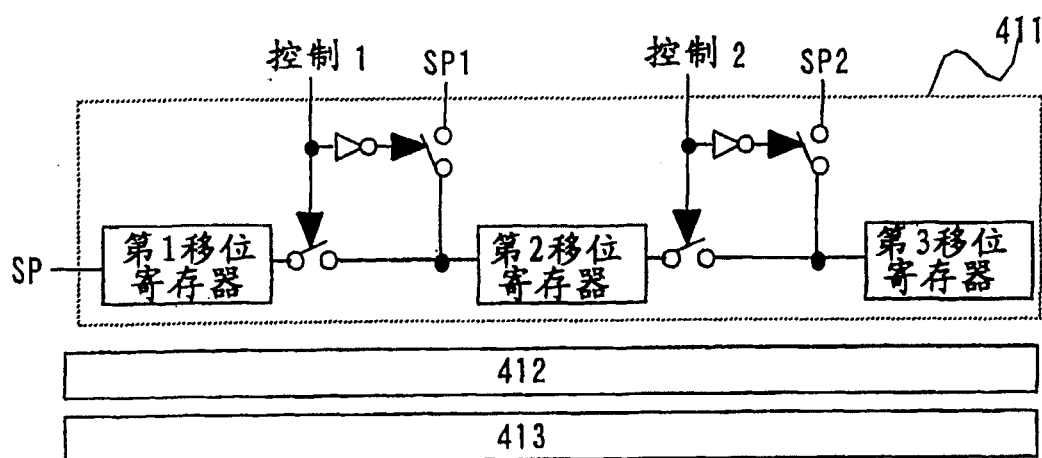


图 46

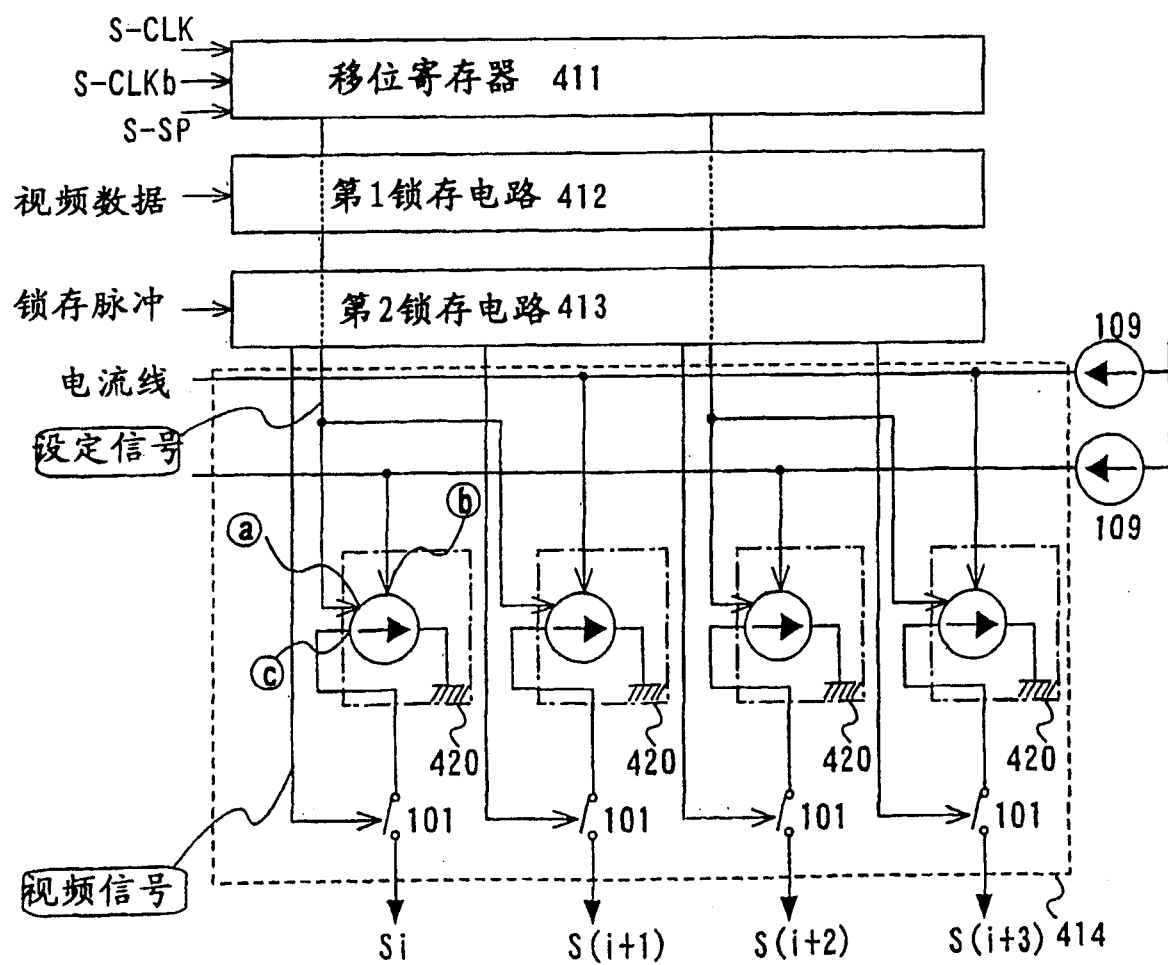


图 47

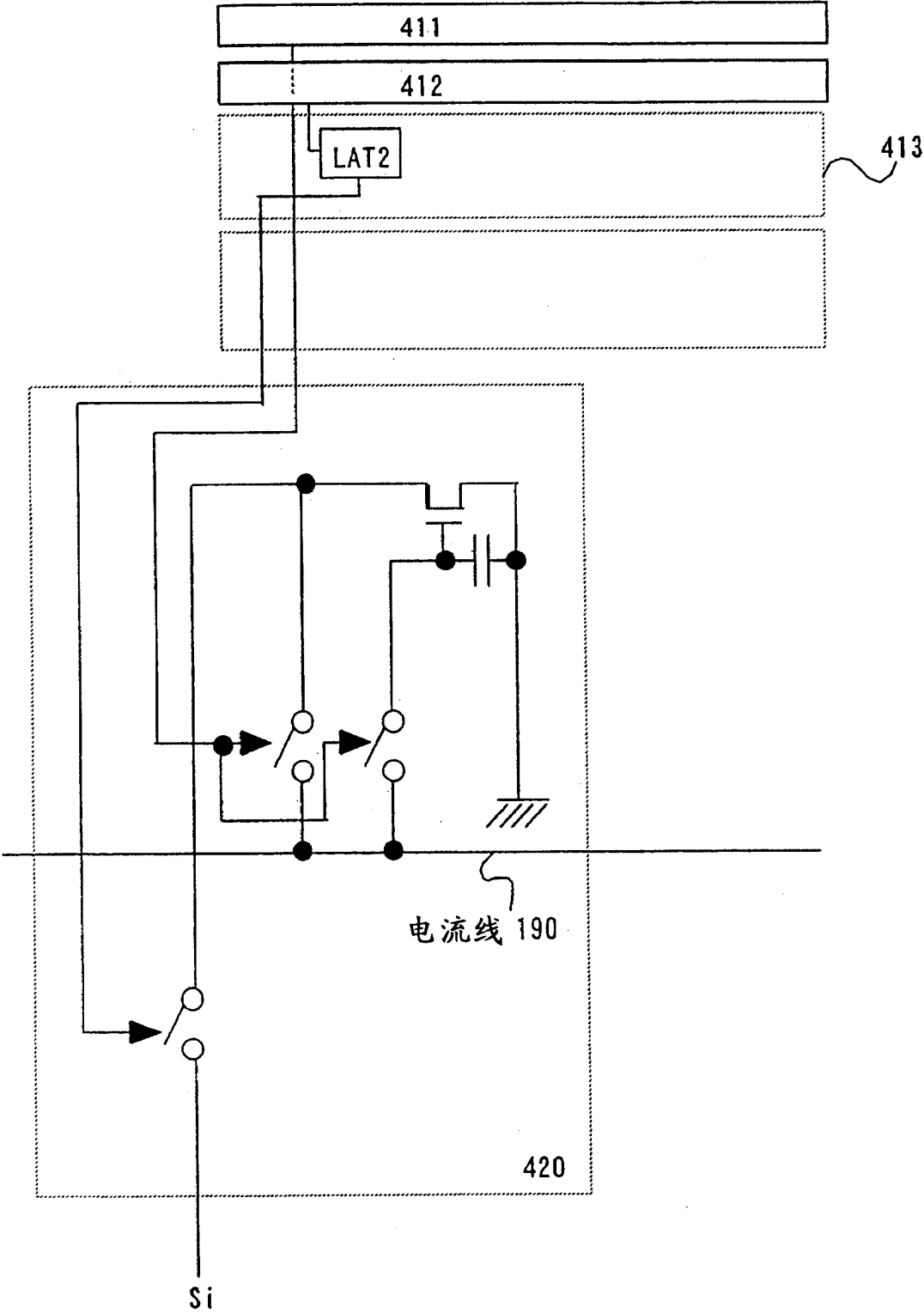


图 48

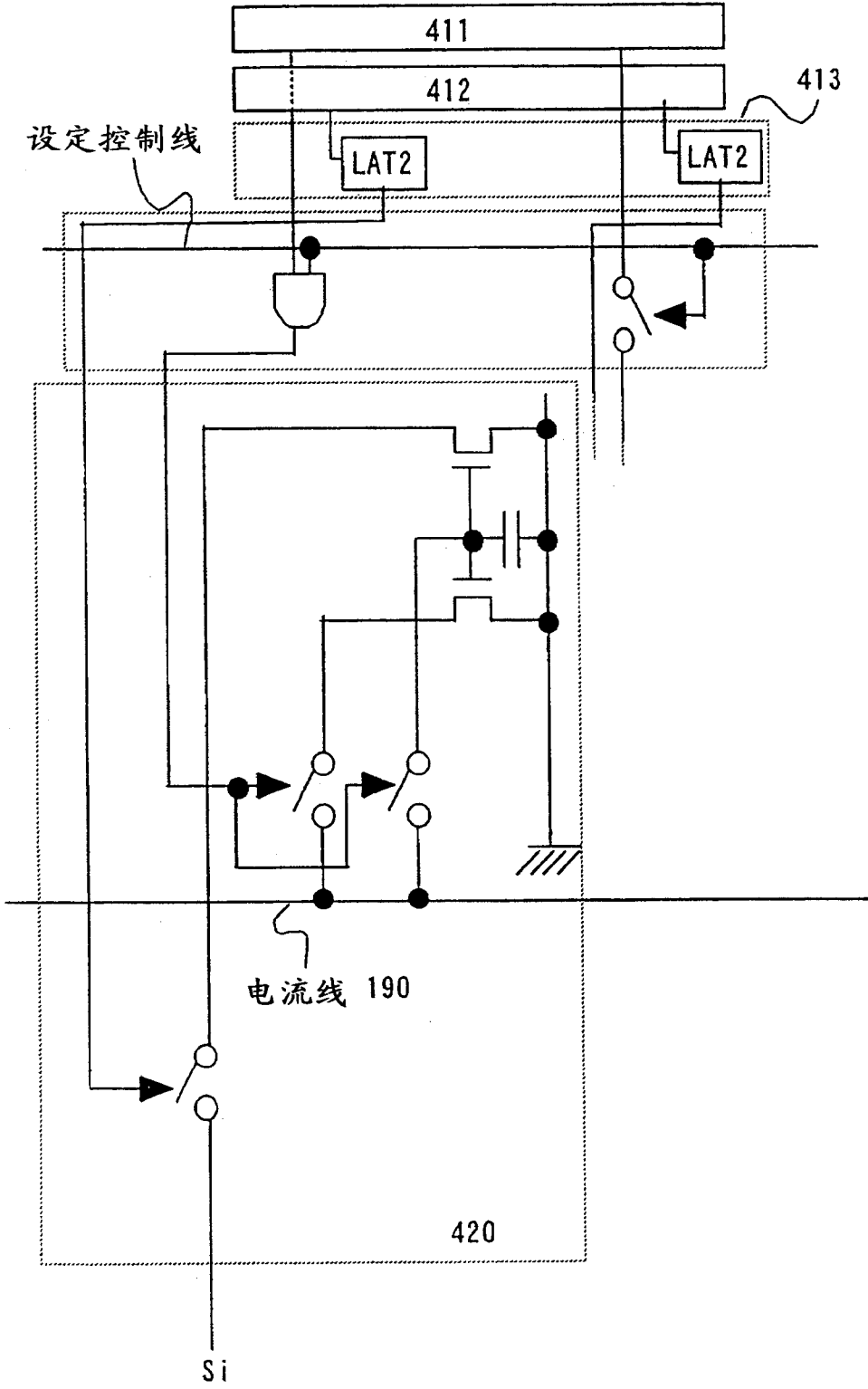


图 49

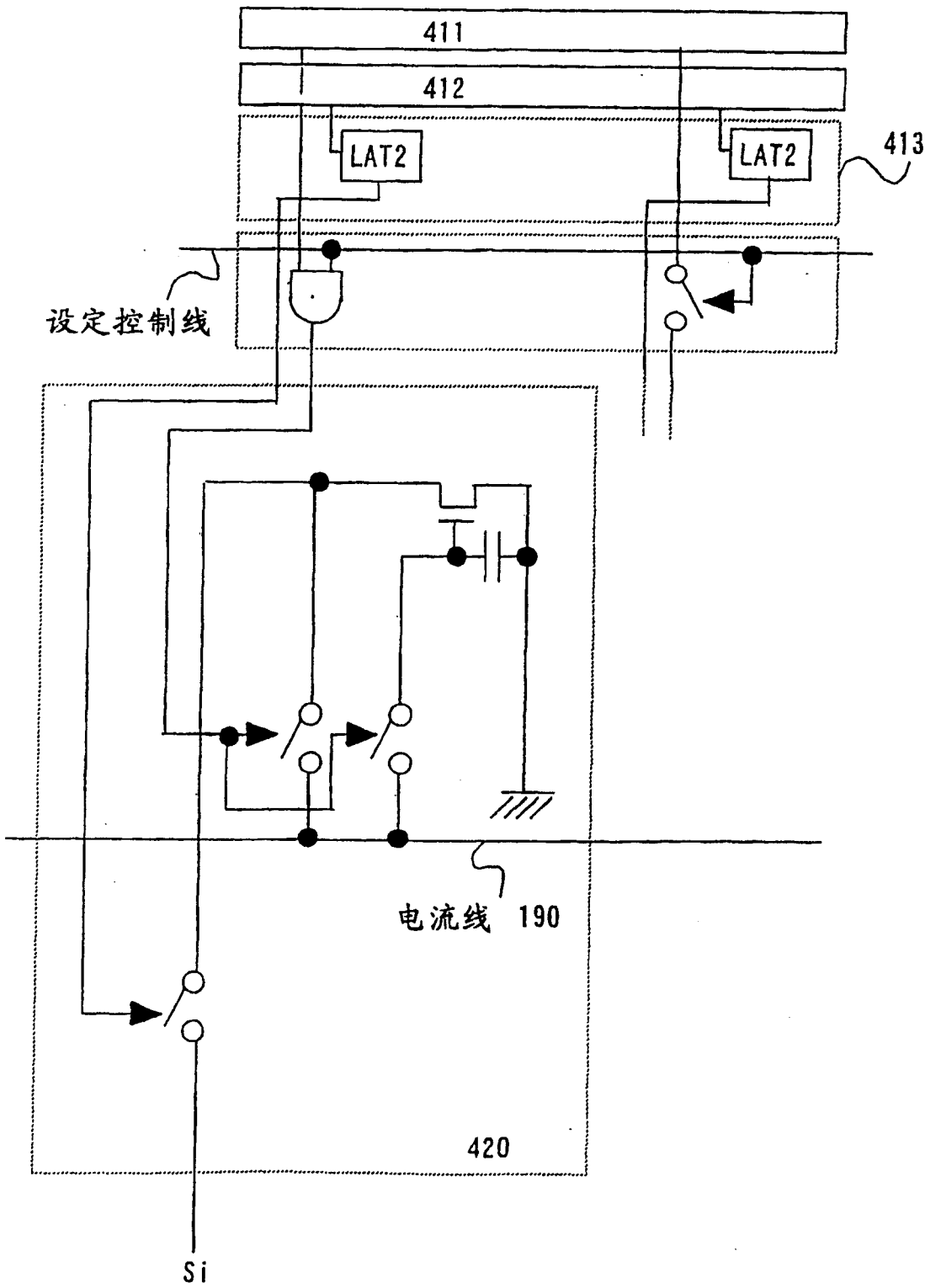


图 50

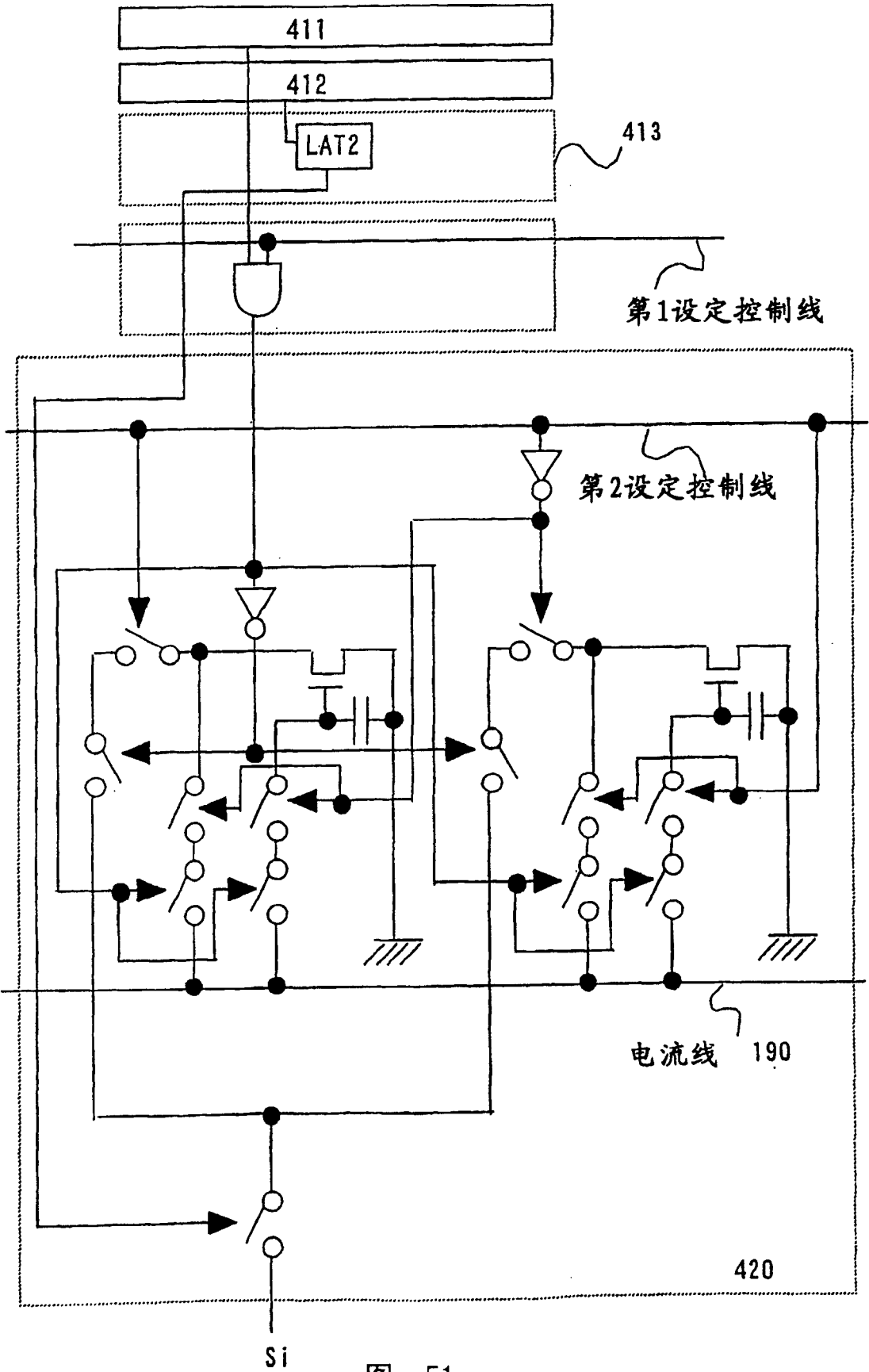


图 51

图 52A

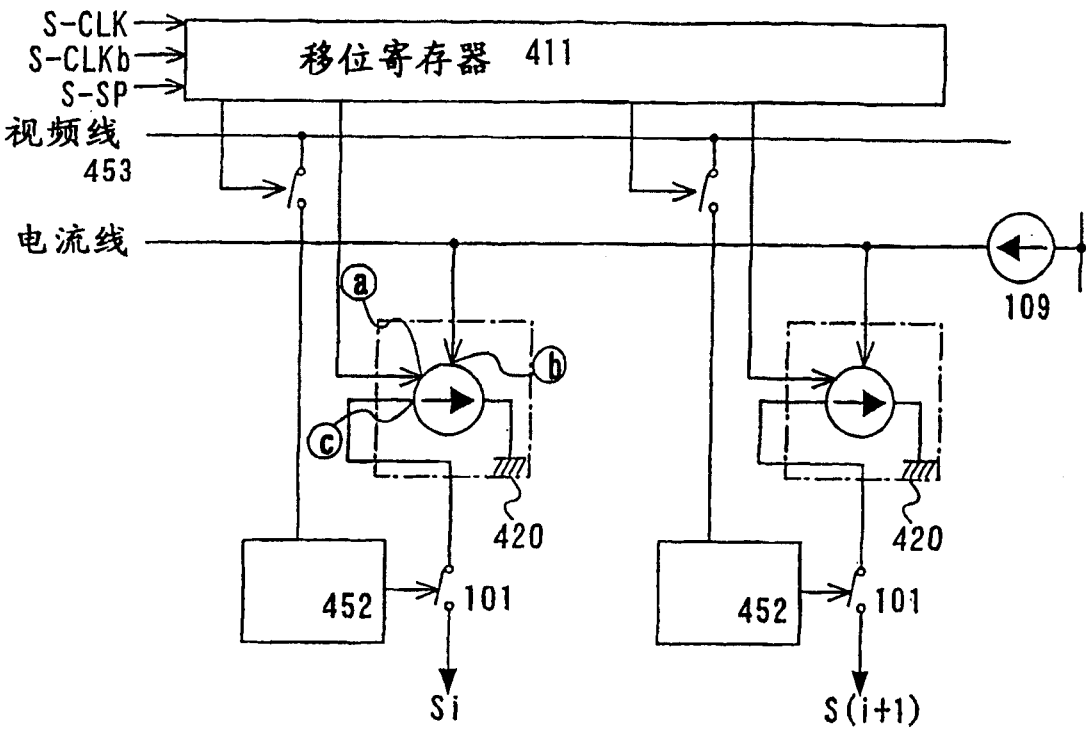


图 52B

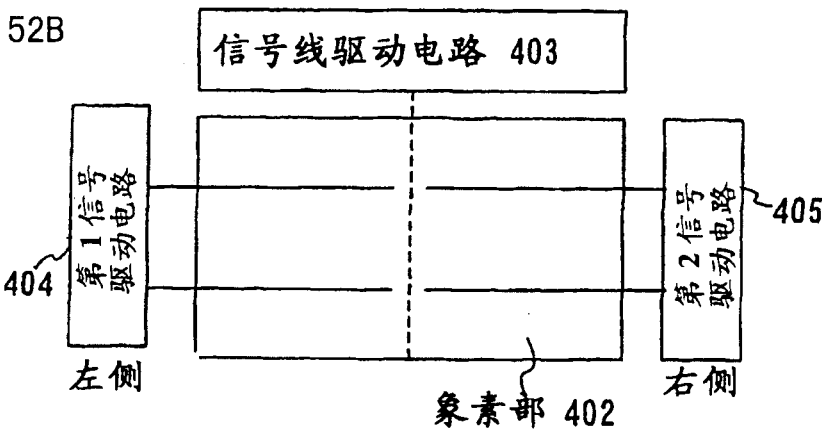
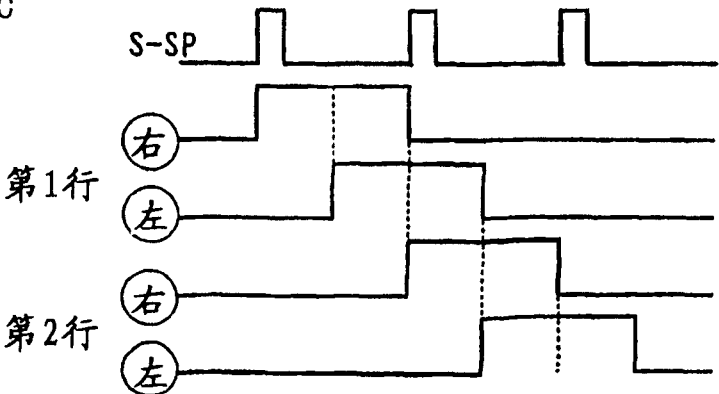


图 52C



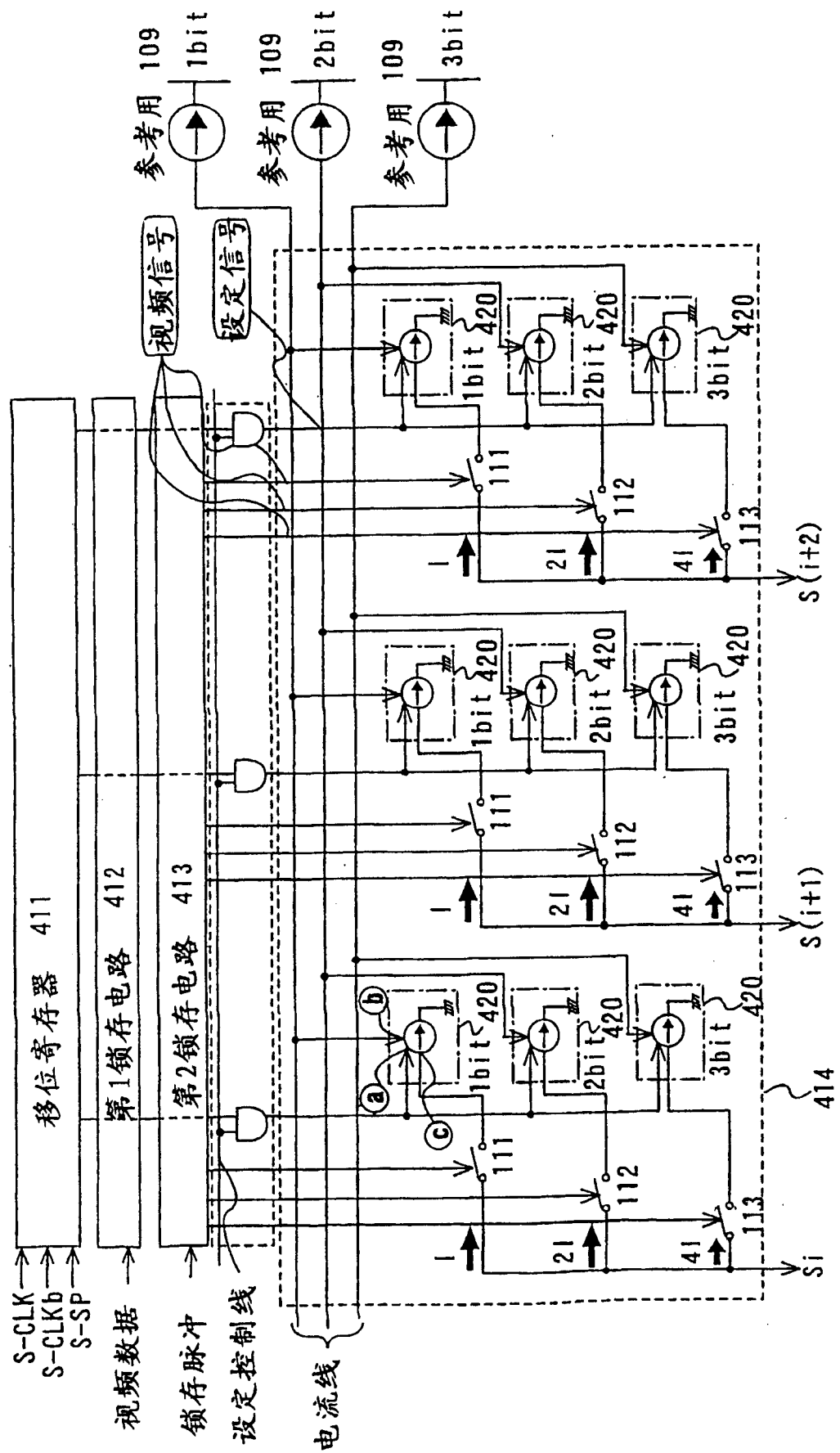


图 53

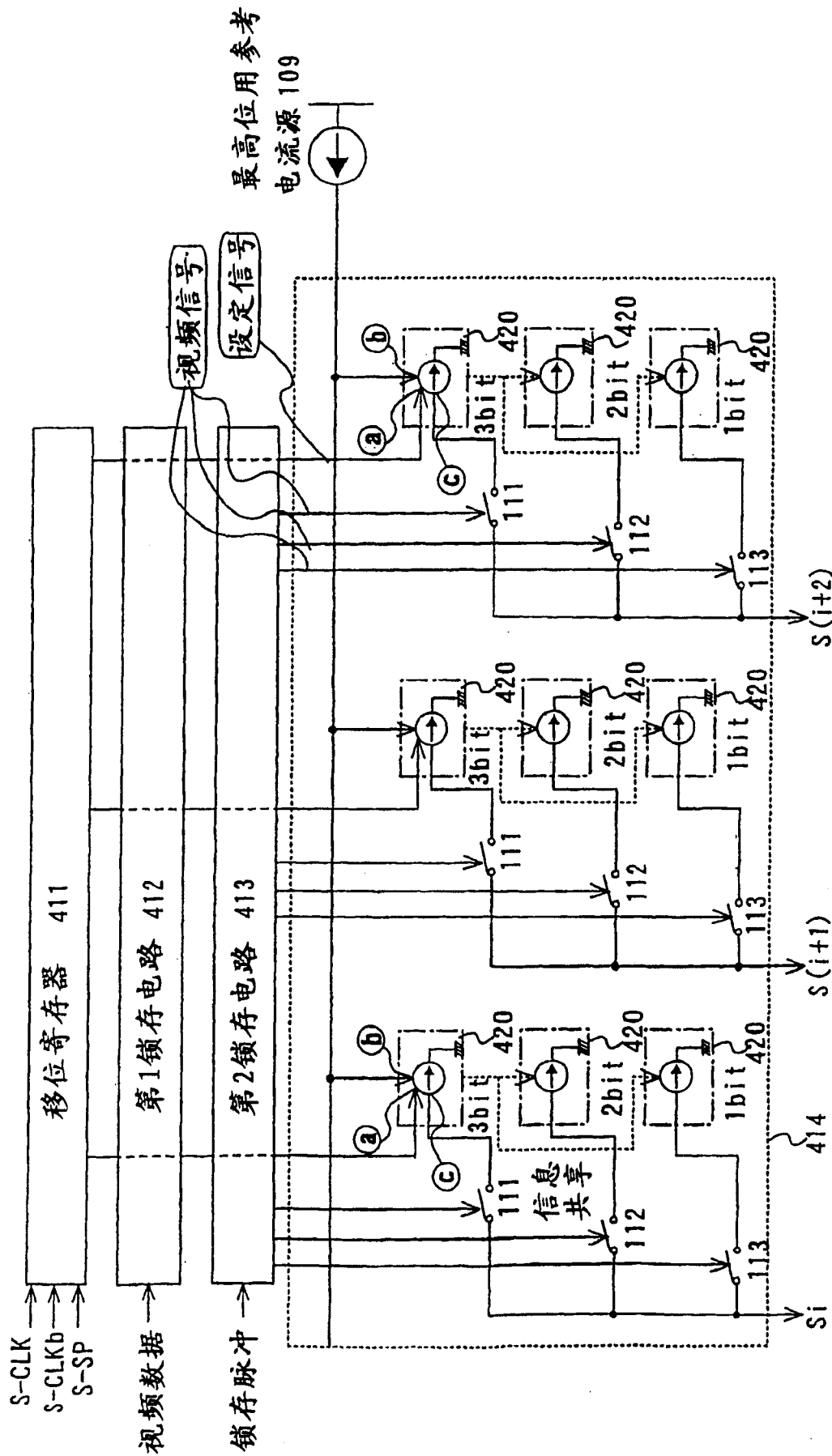


图 54

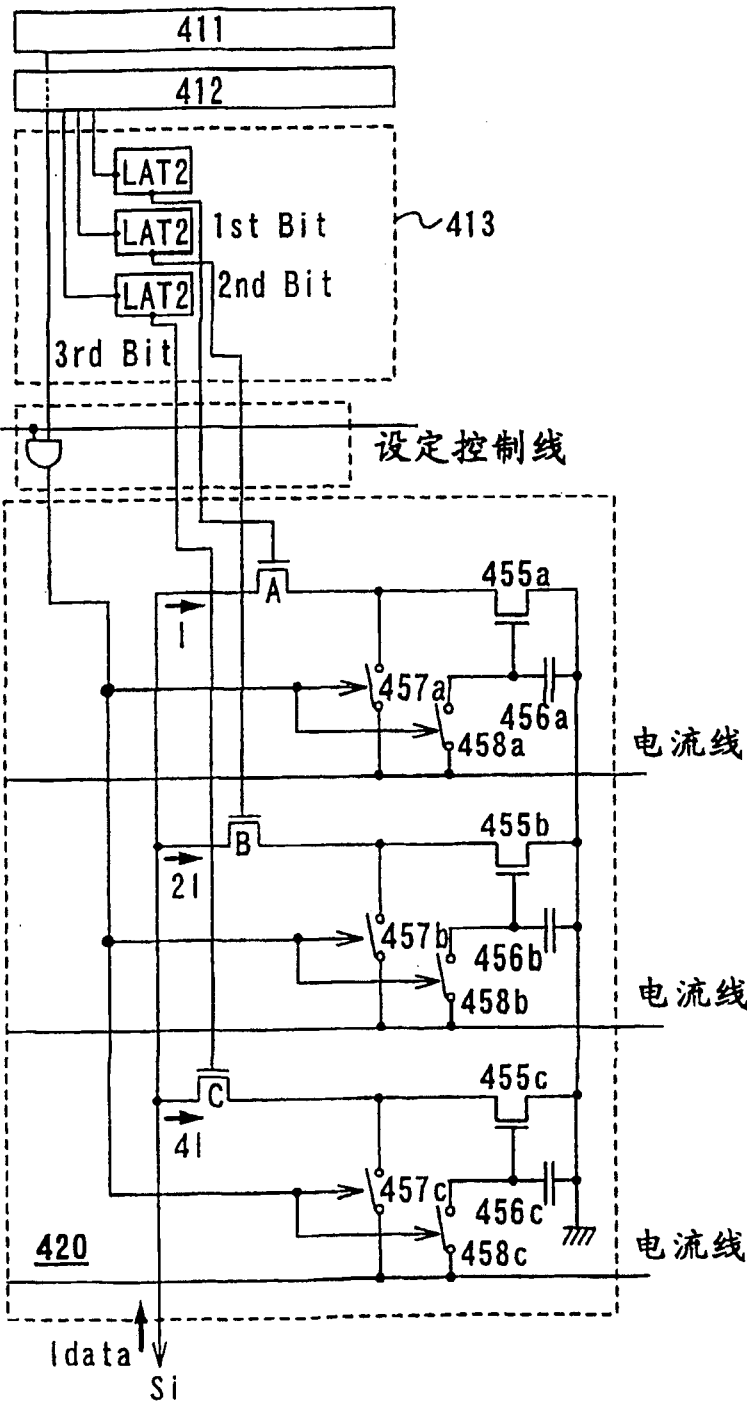


图 55

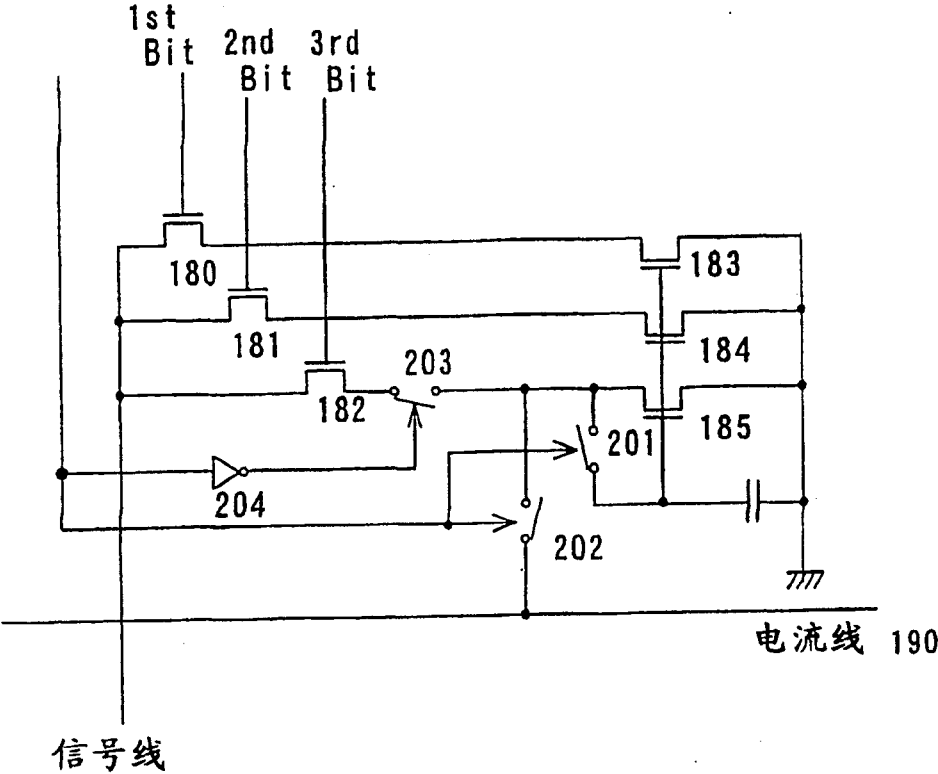


图 56

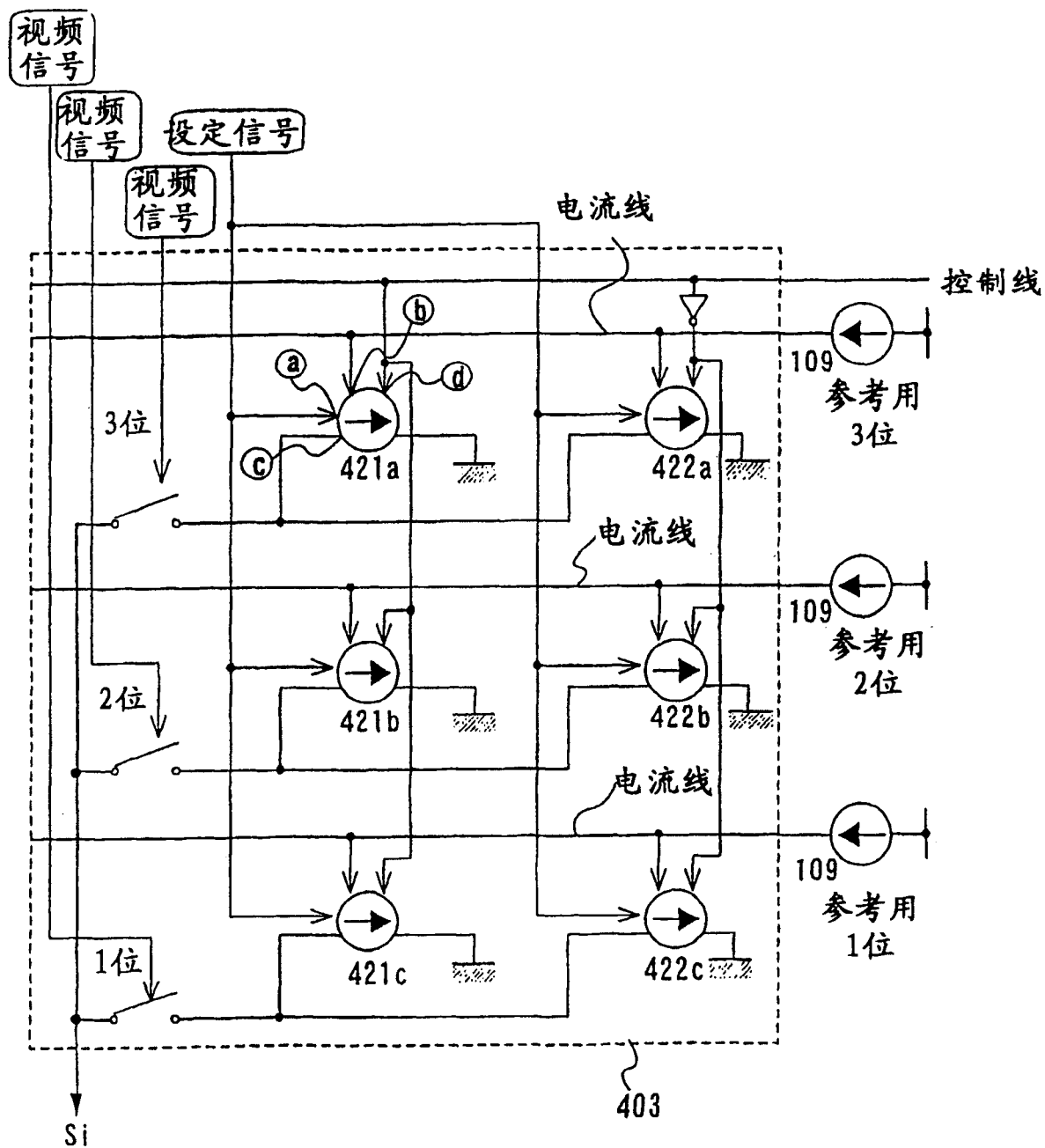


图 57

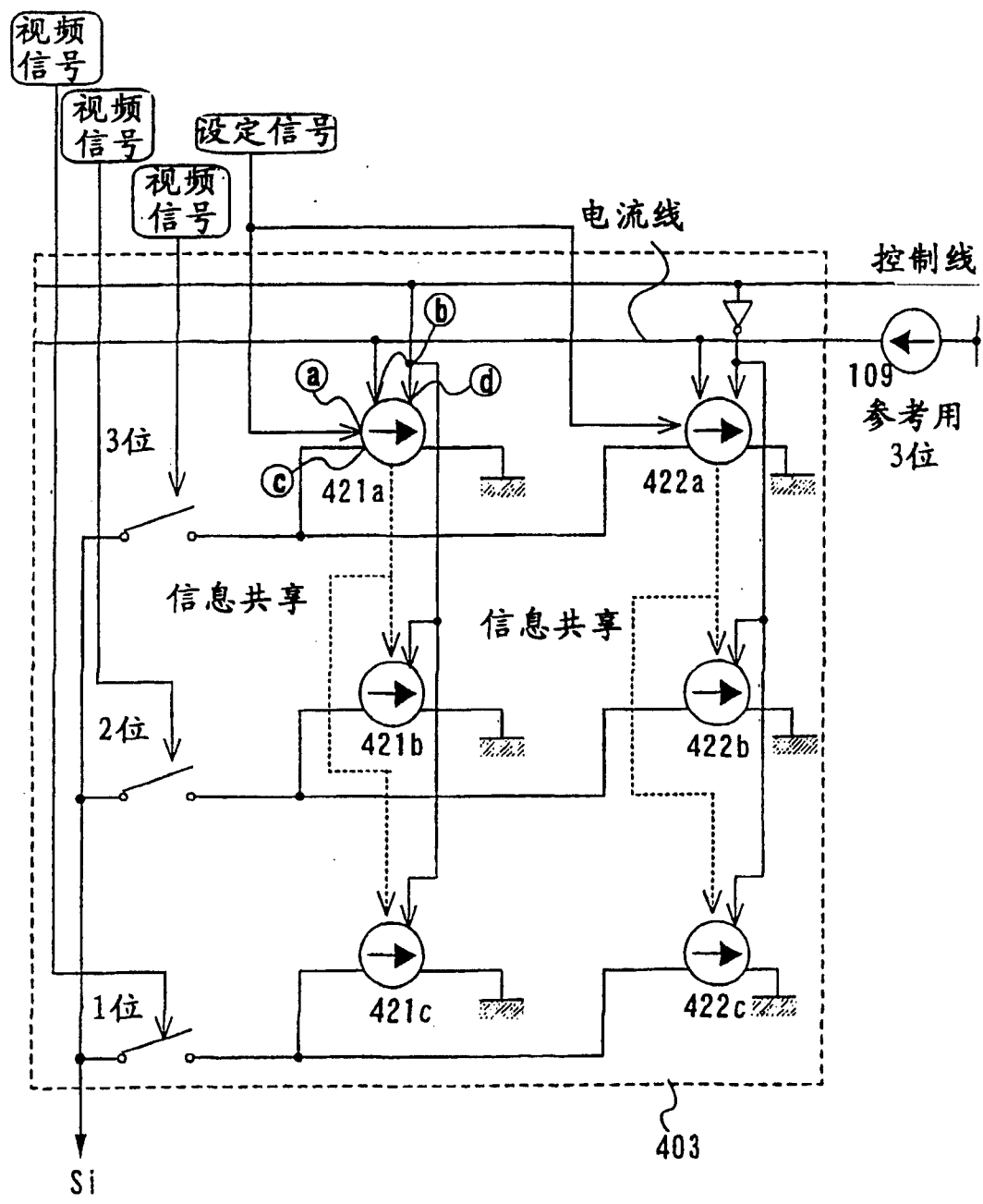


图 58

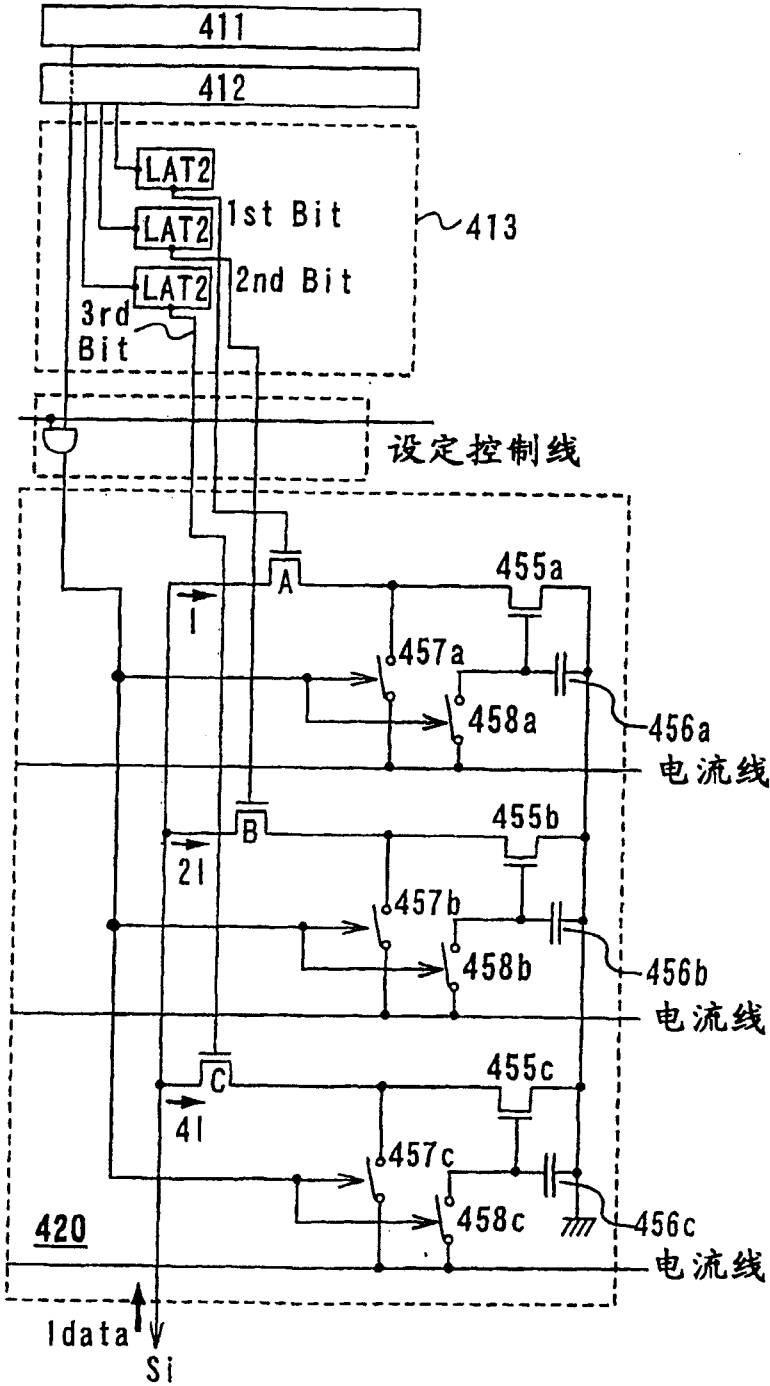
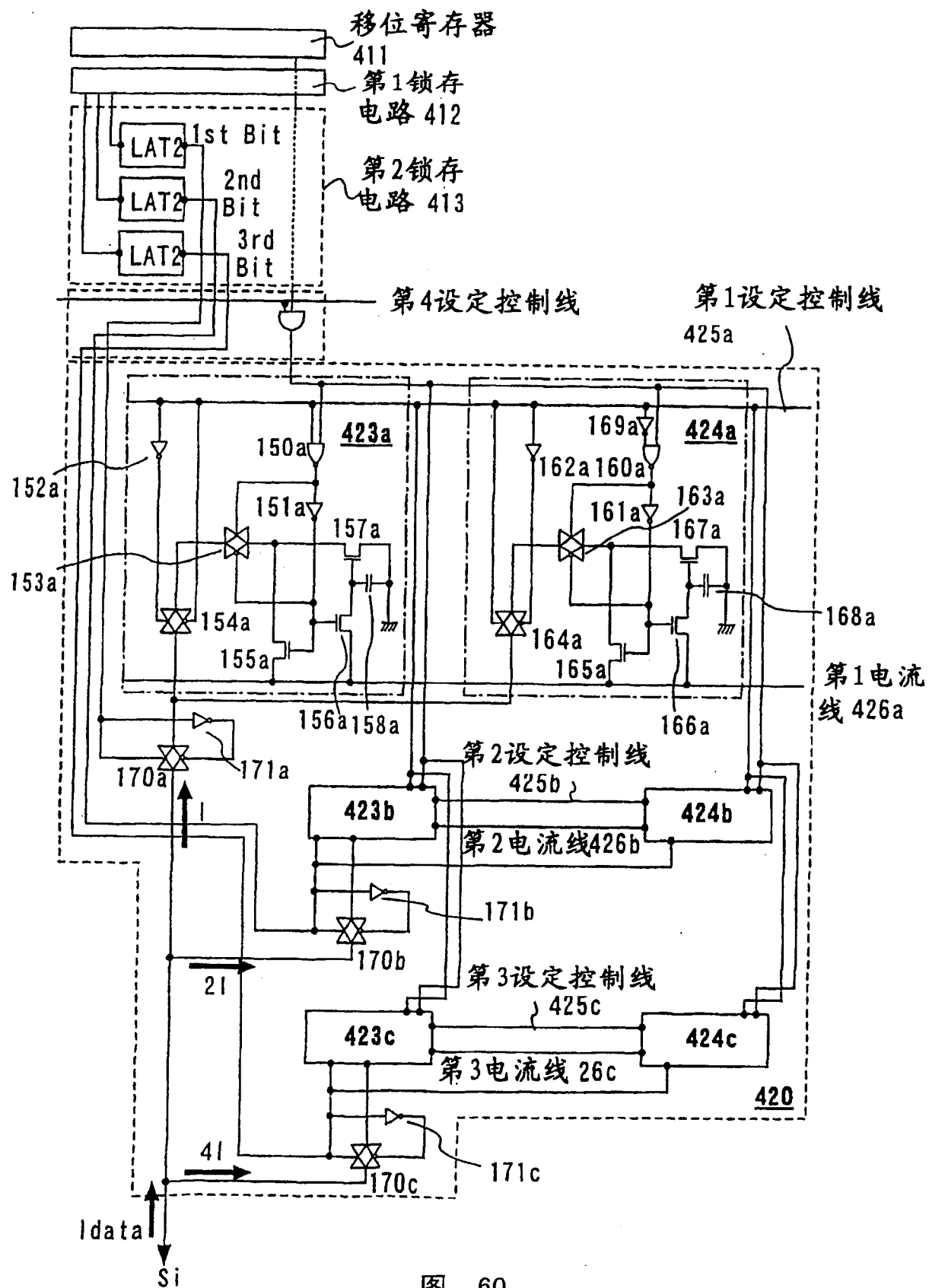


图 59



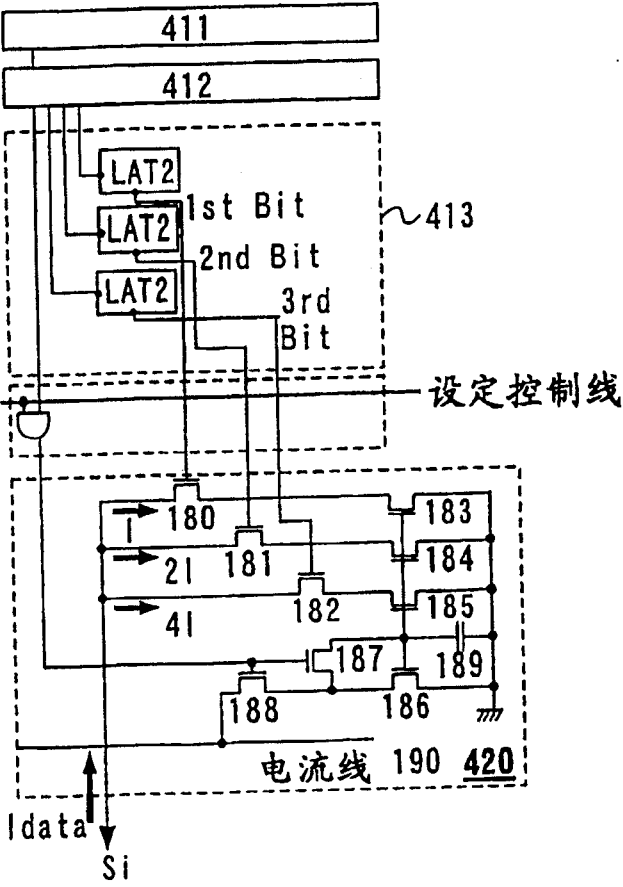


图 61

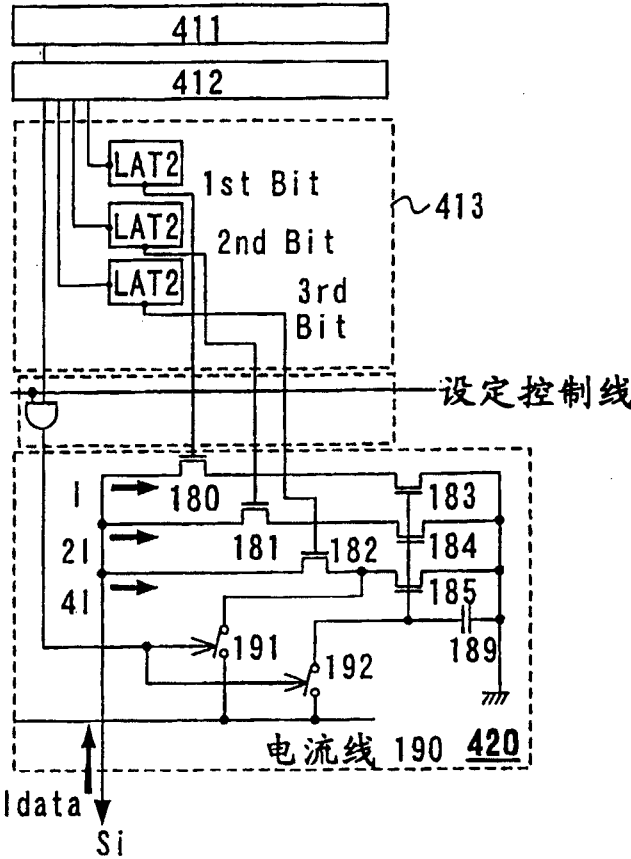


图 62

图 63A

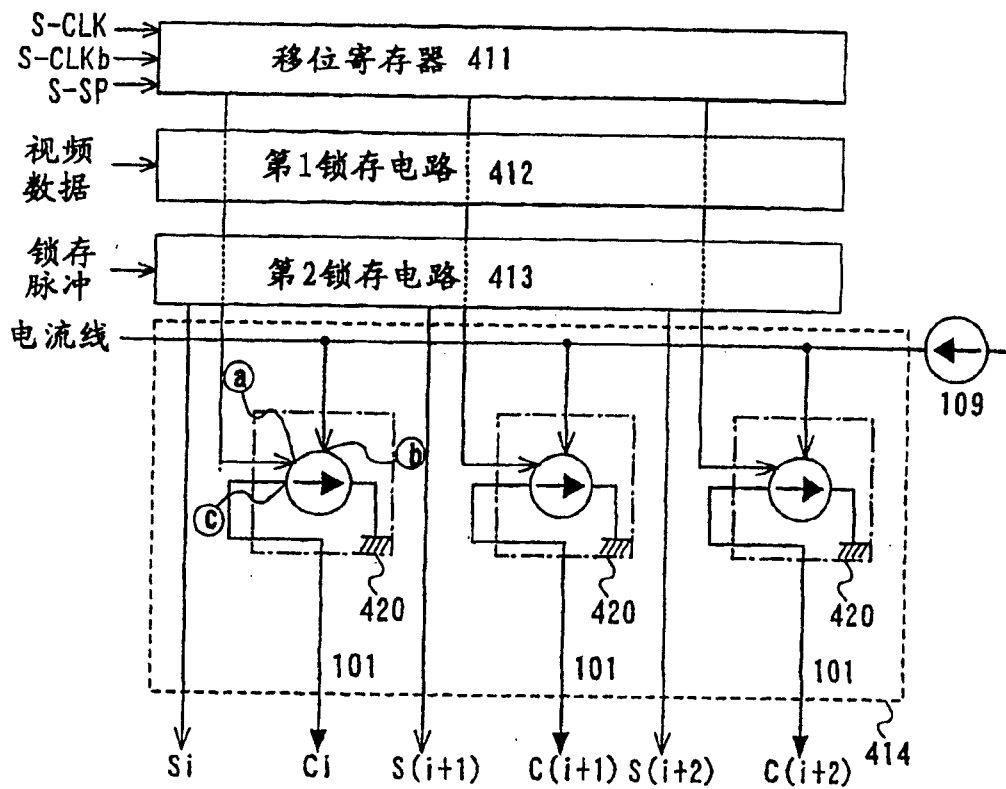
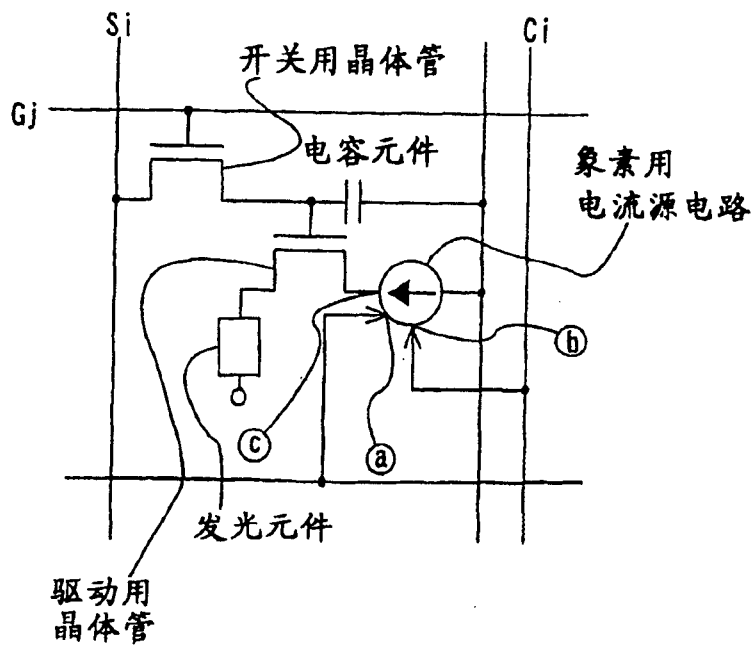


图 63B



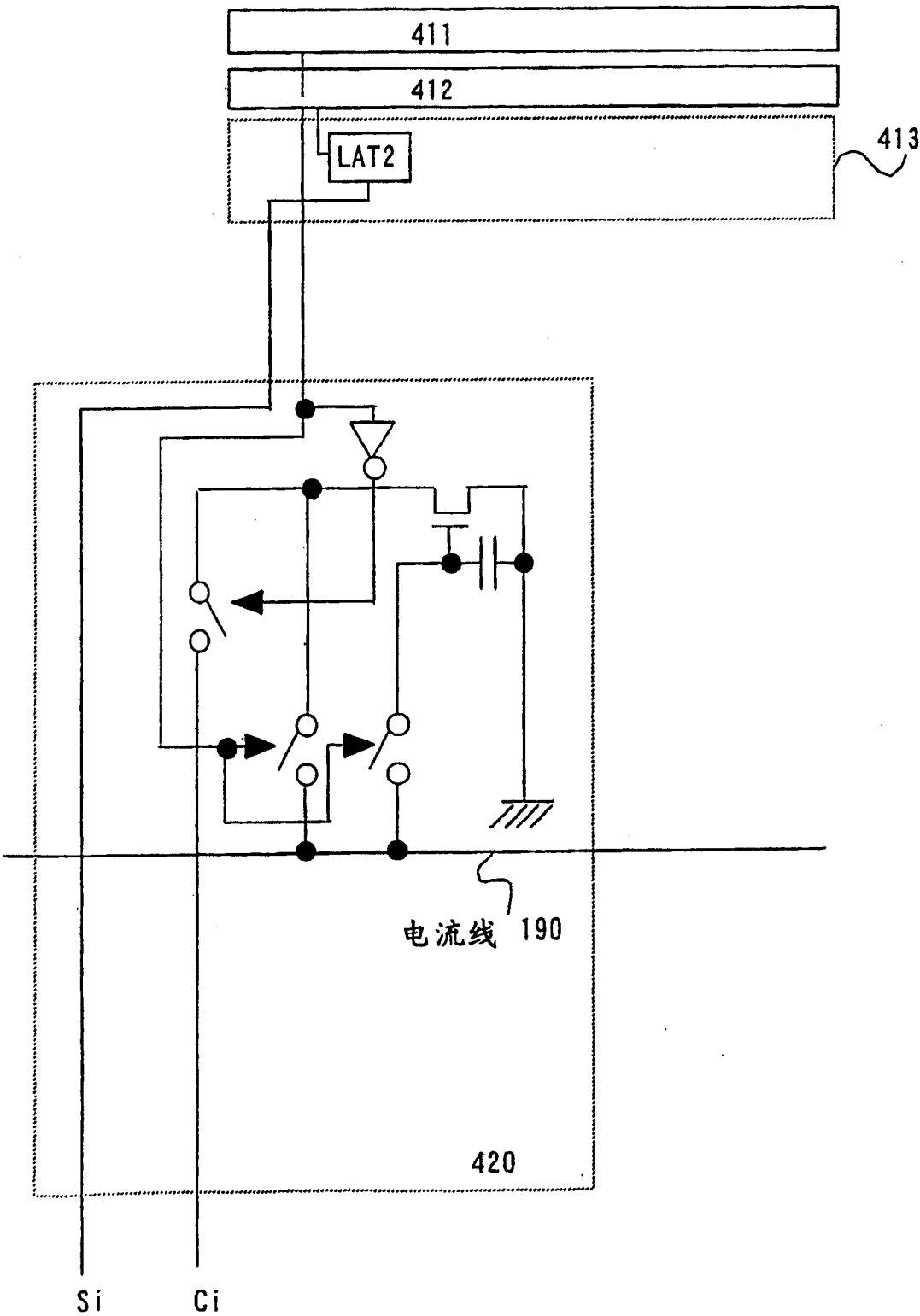


图 64

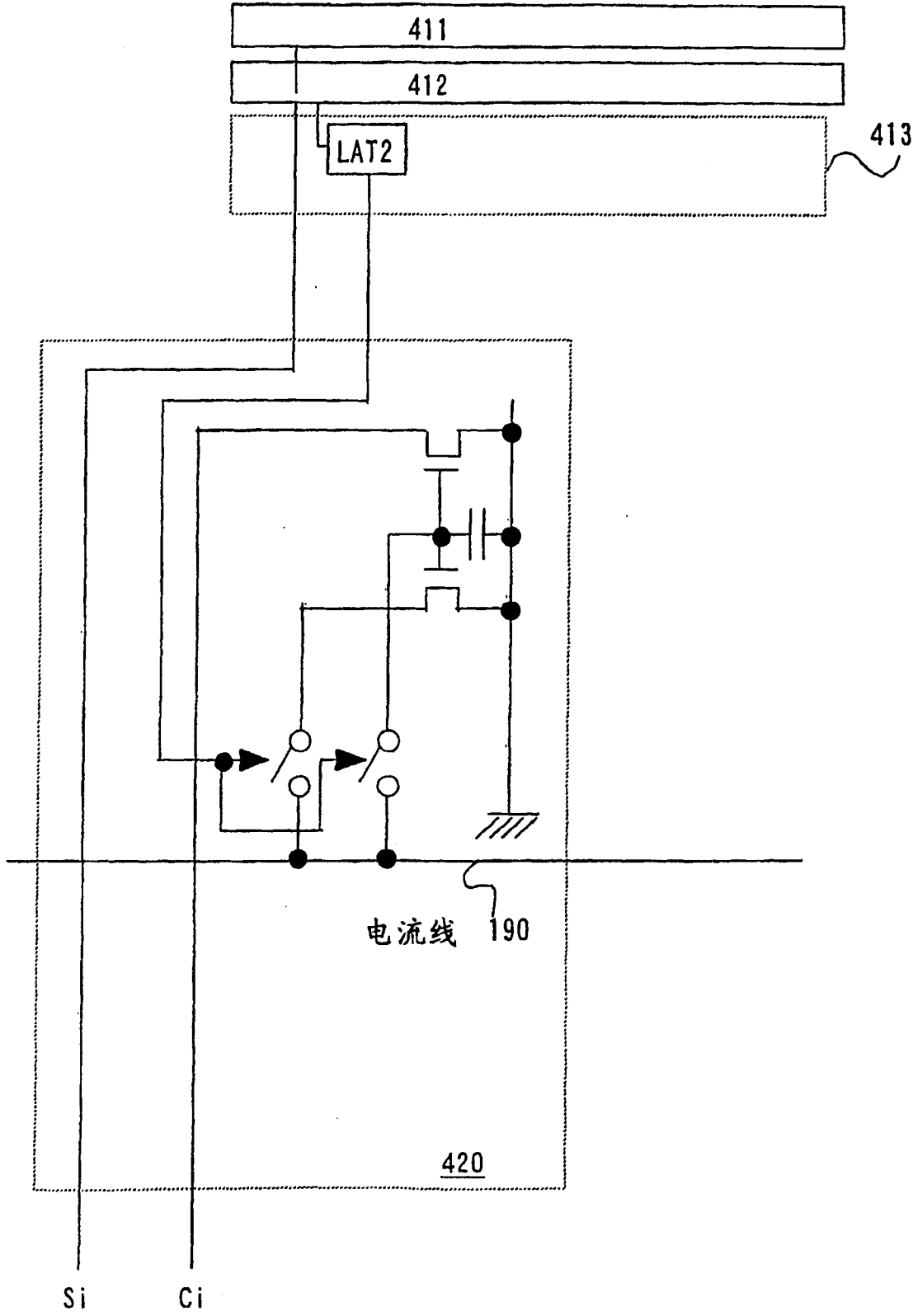


图 65

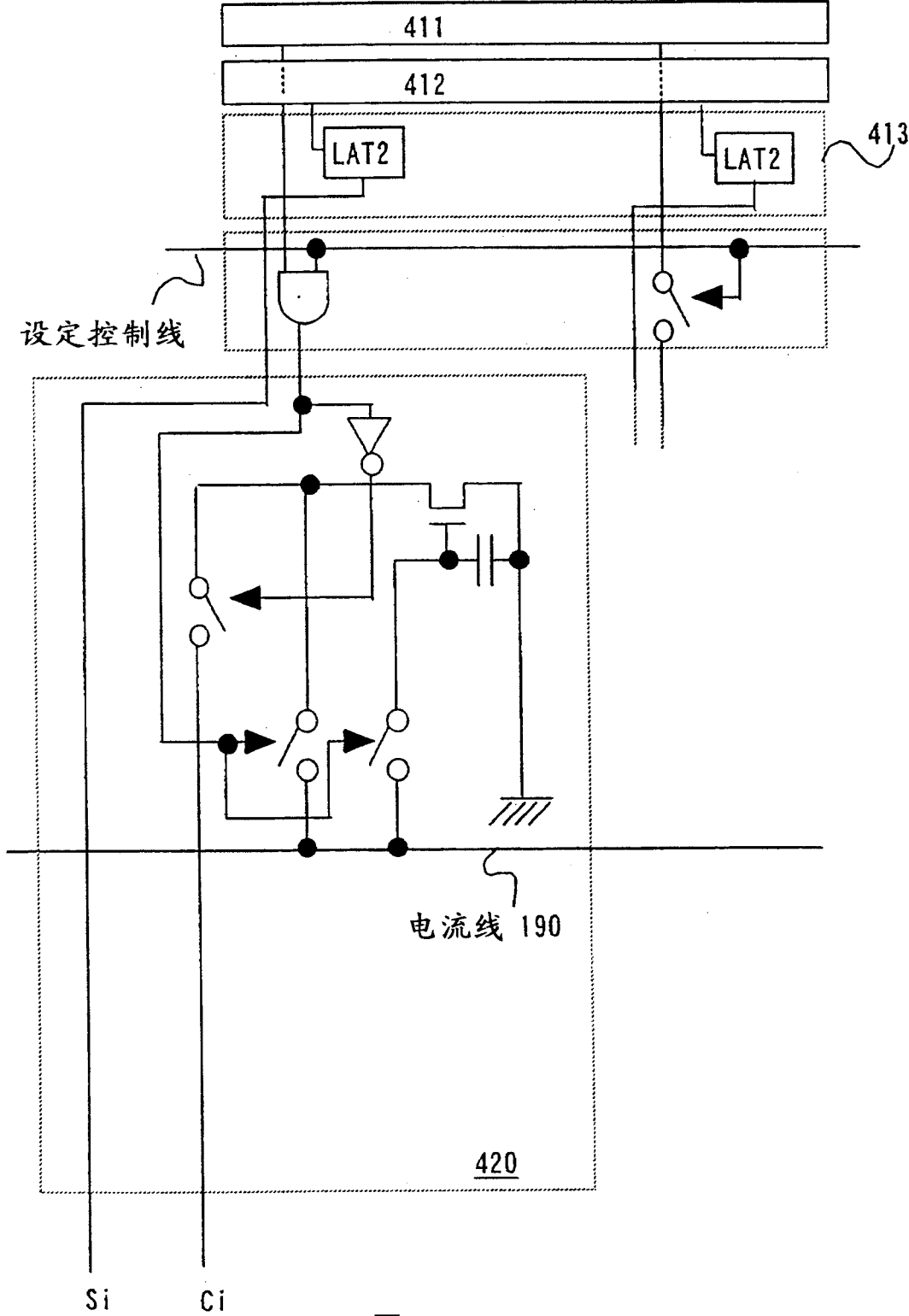


图 66

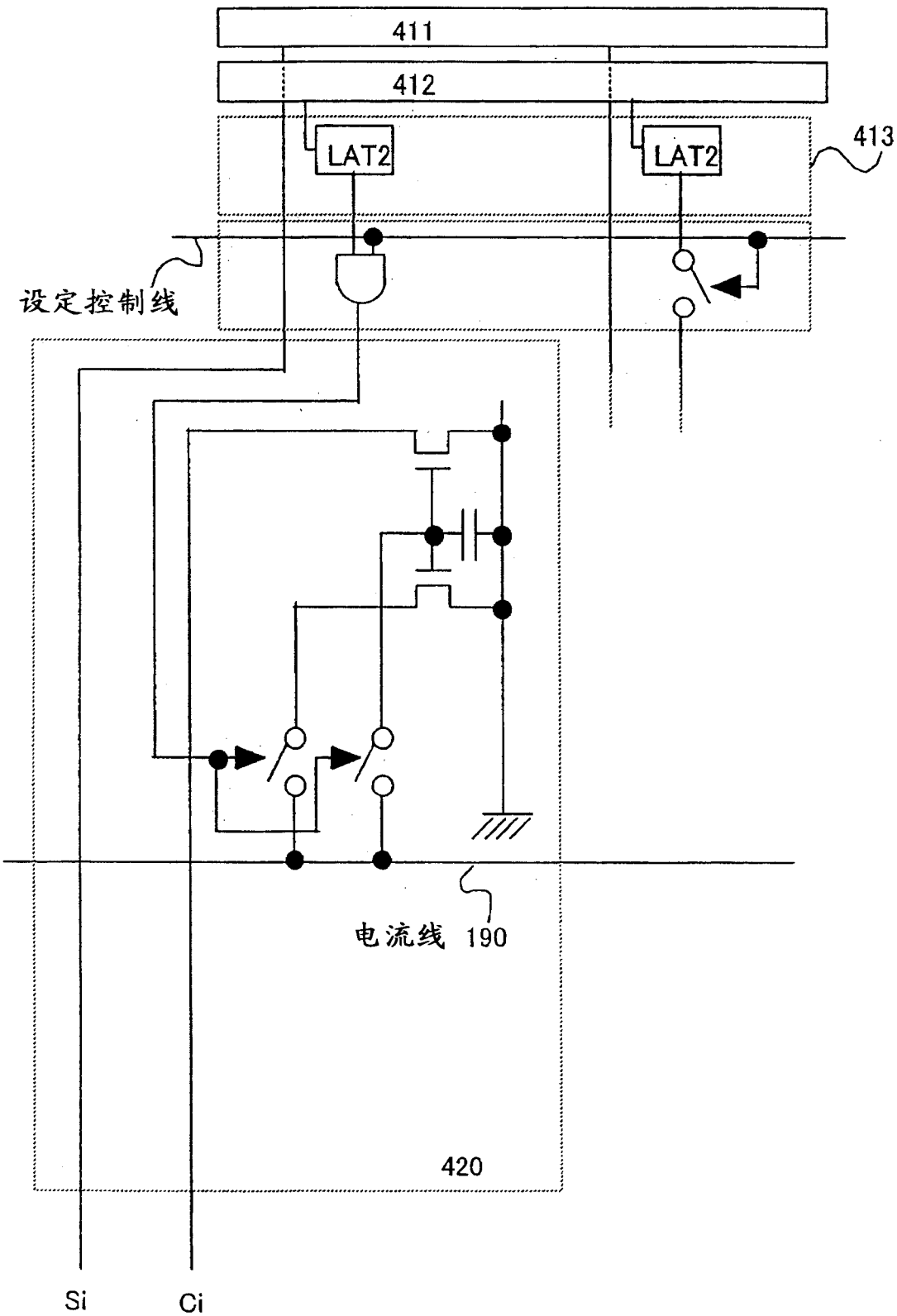


图 67

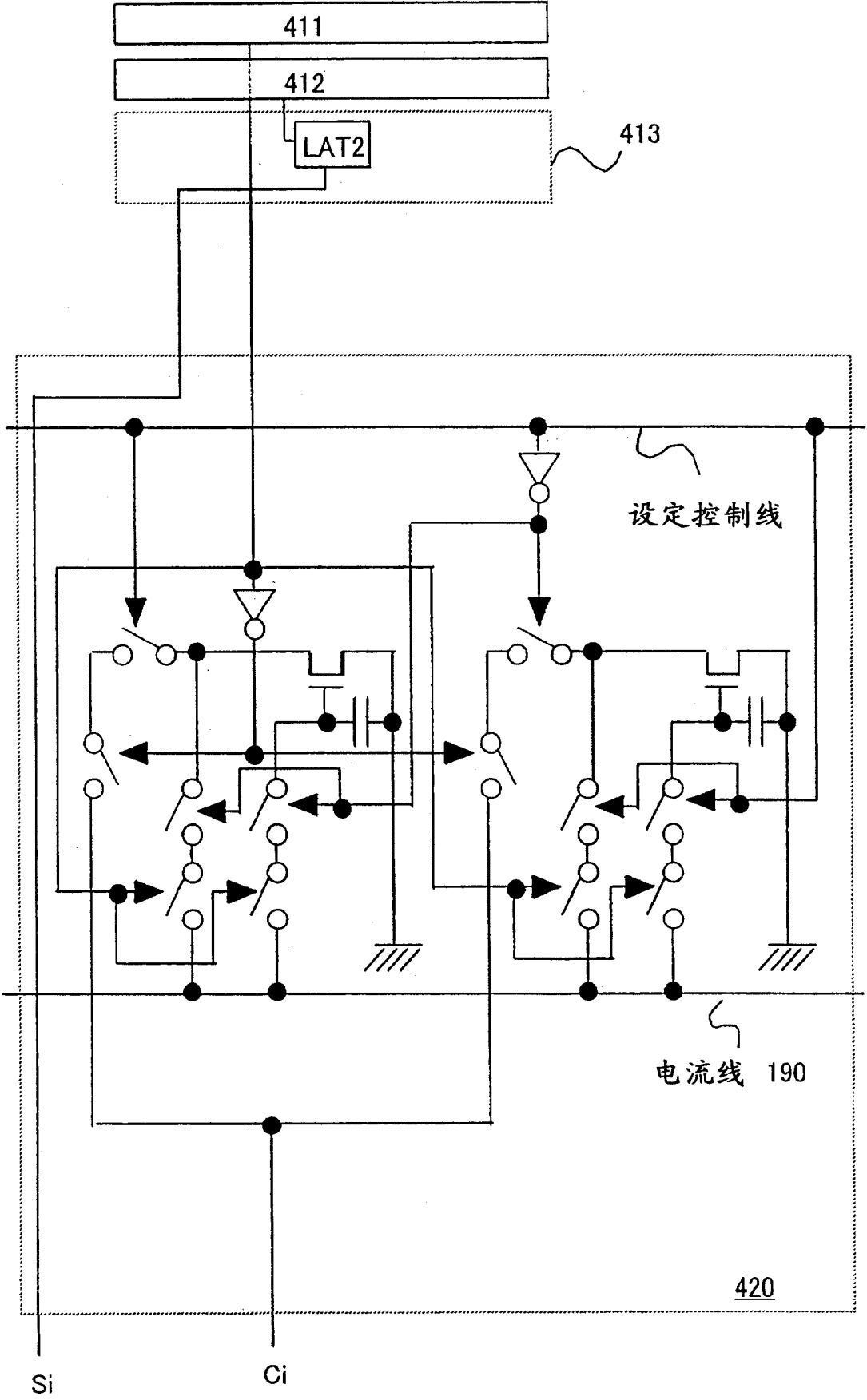


图 68

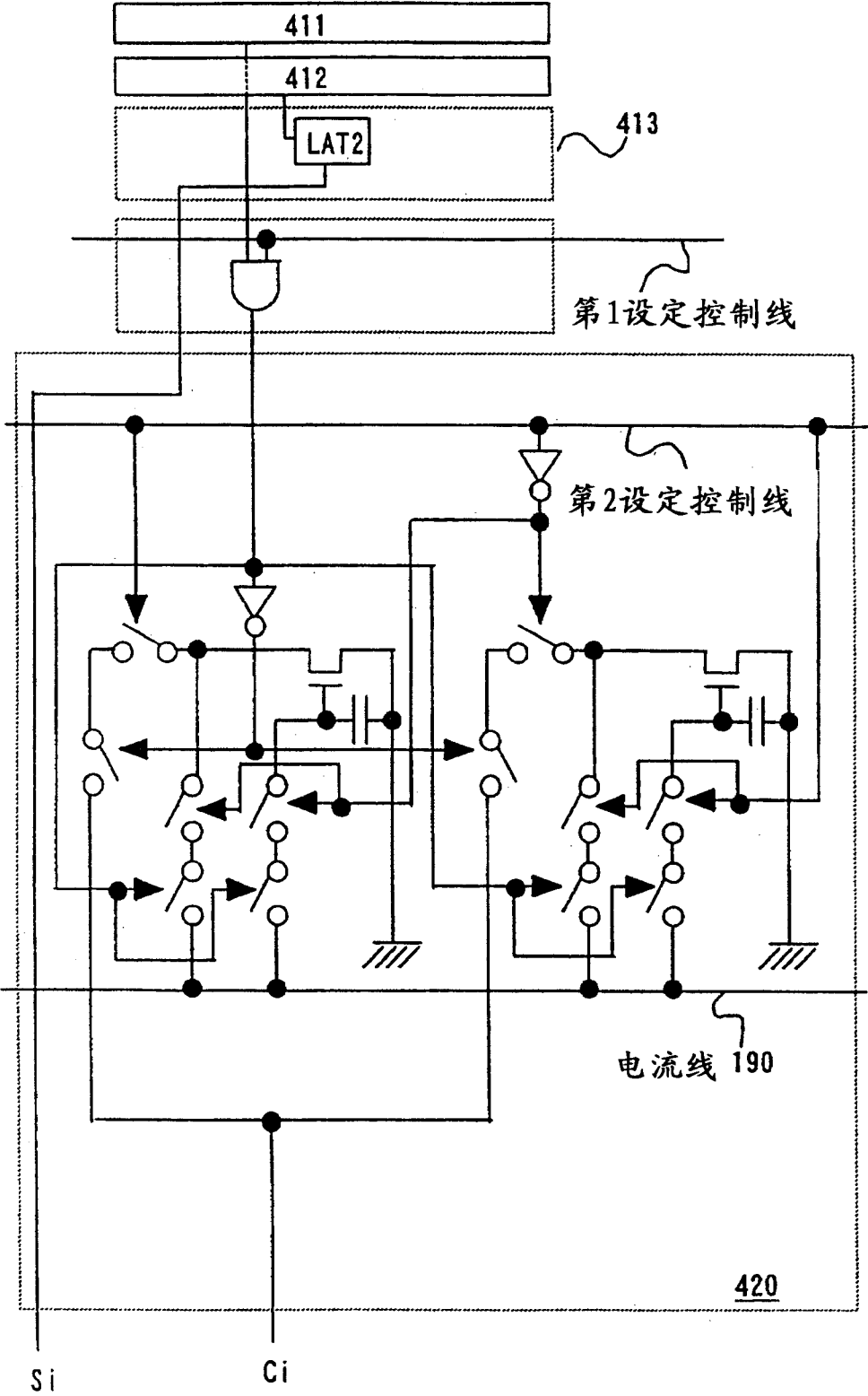


图 69

图 70A

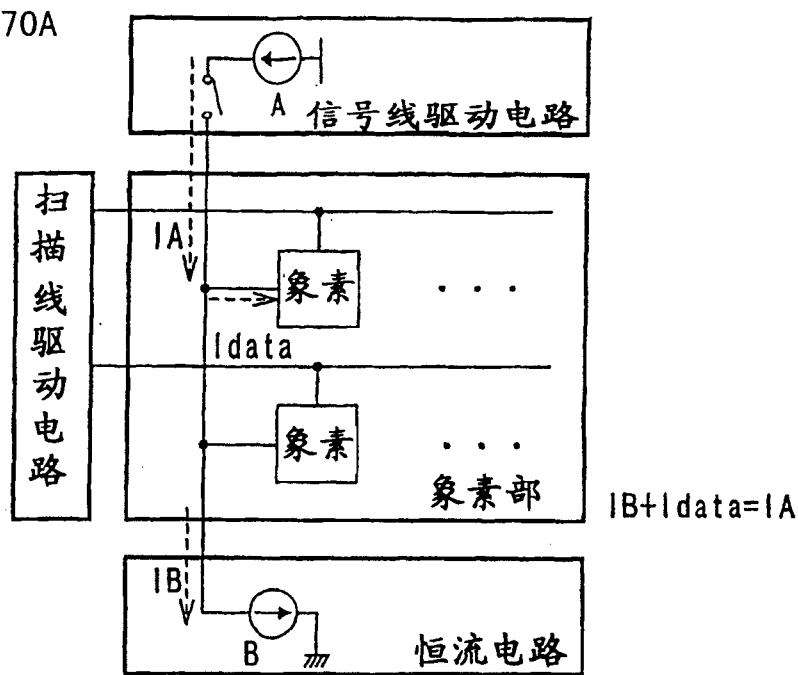


图 70B

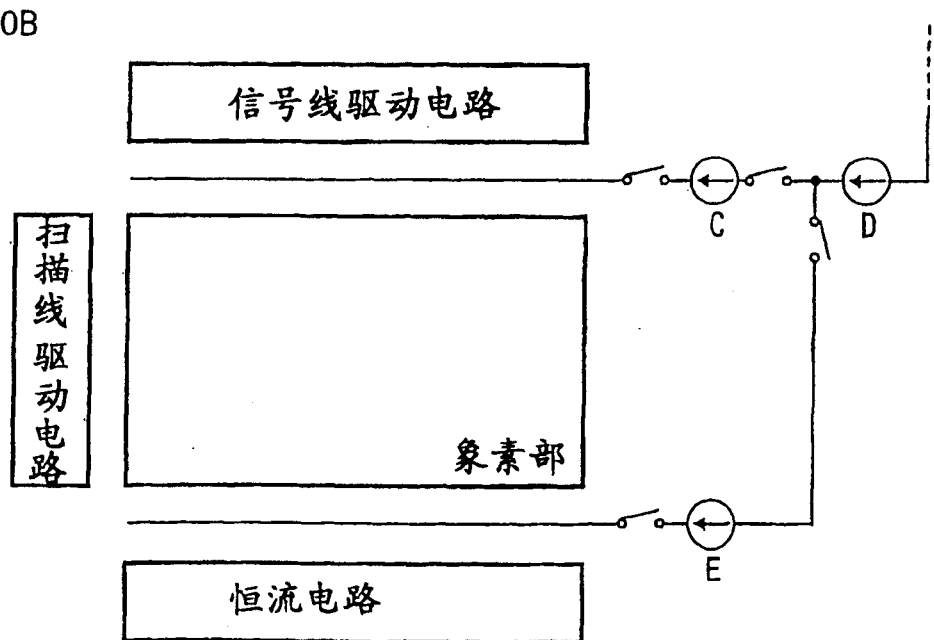


图 71A

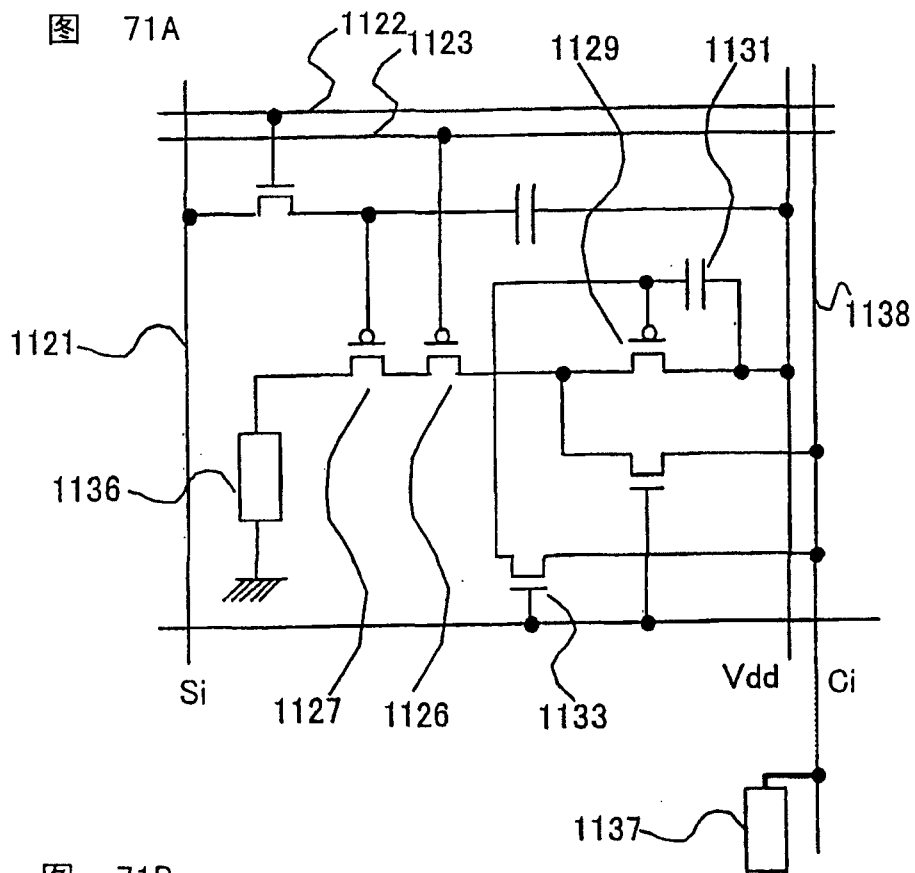
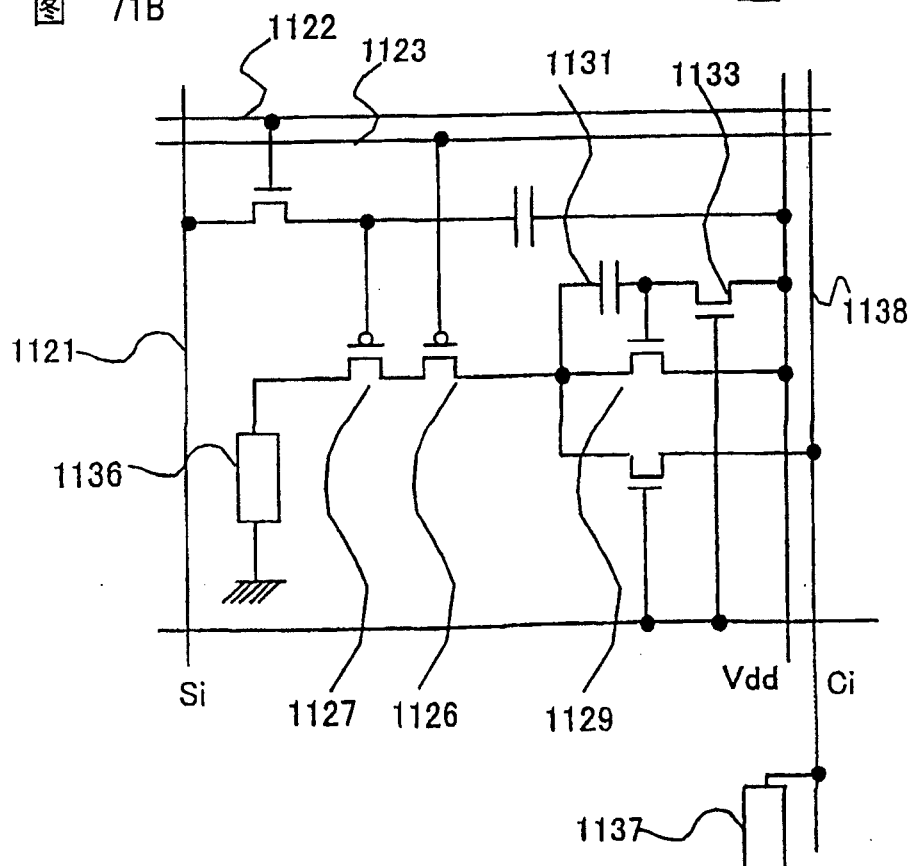
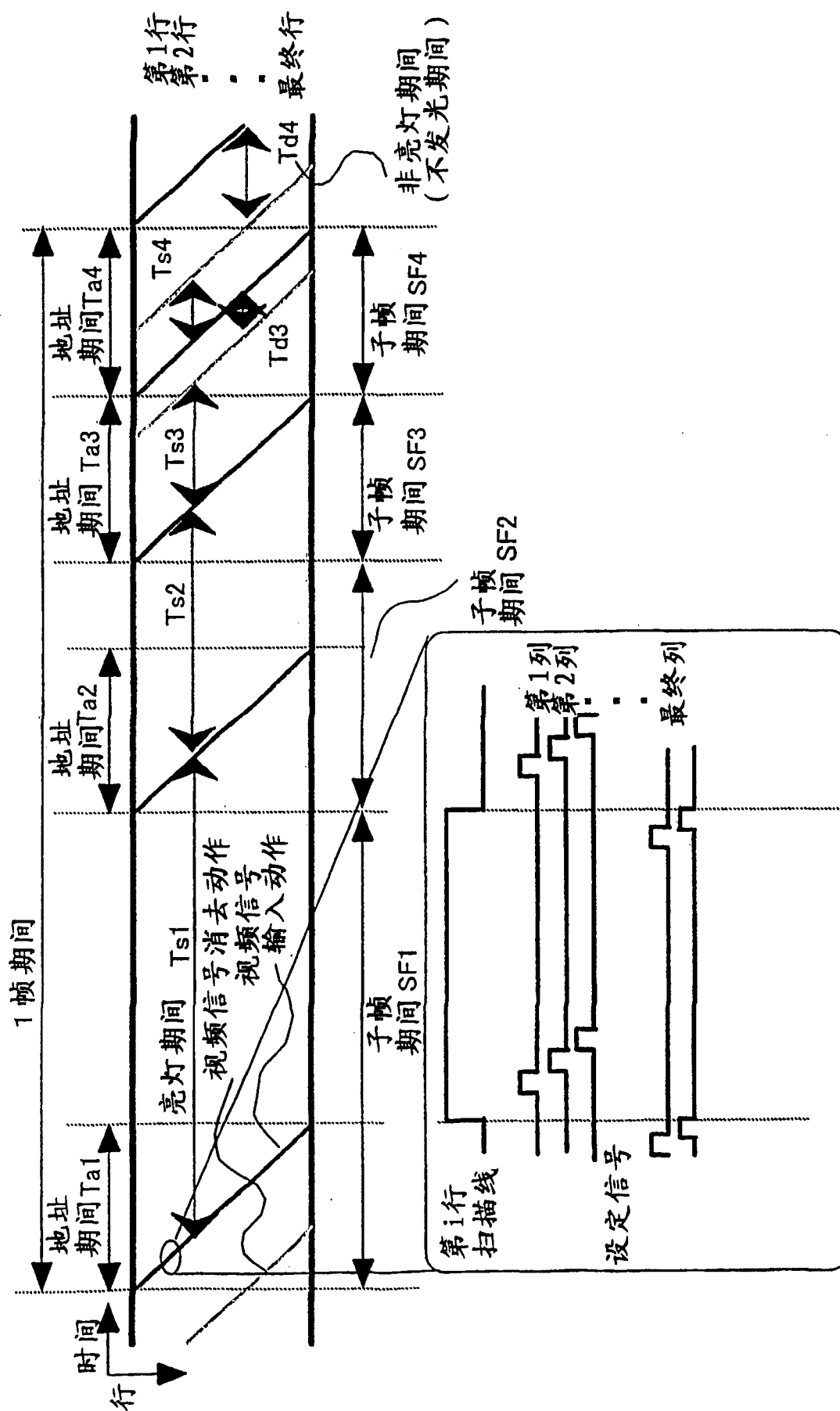


图 71B





72

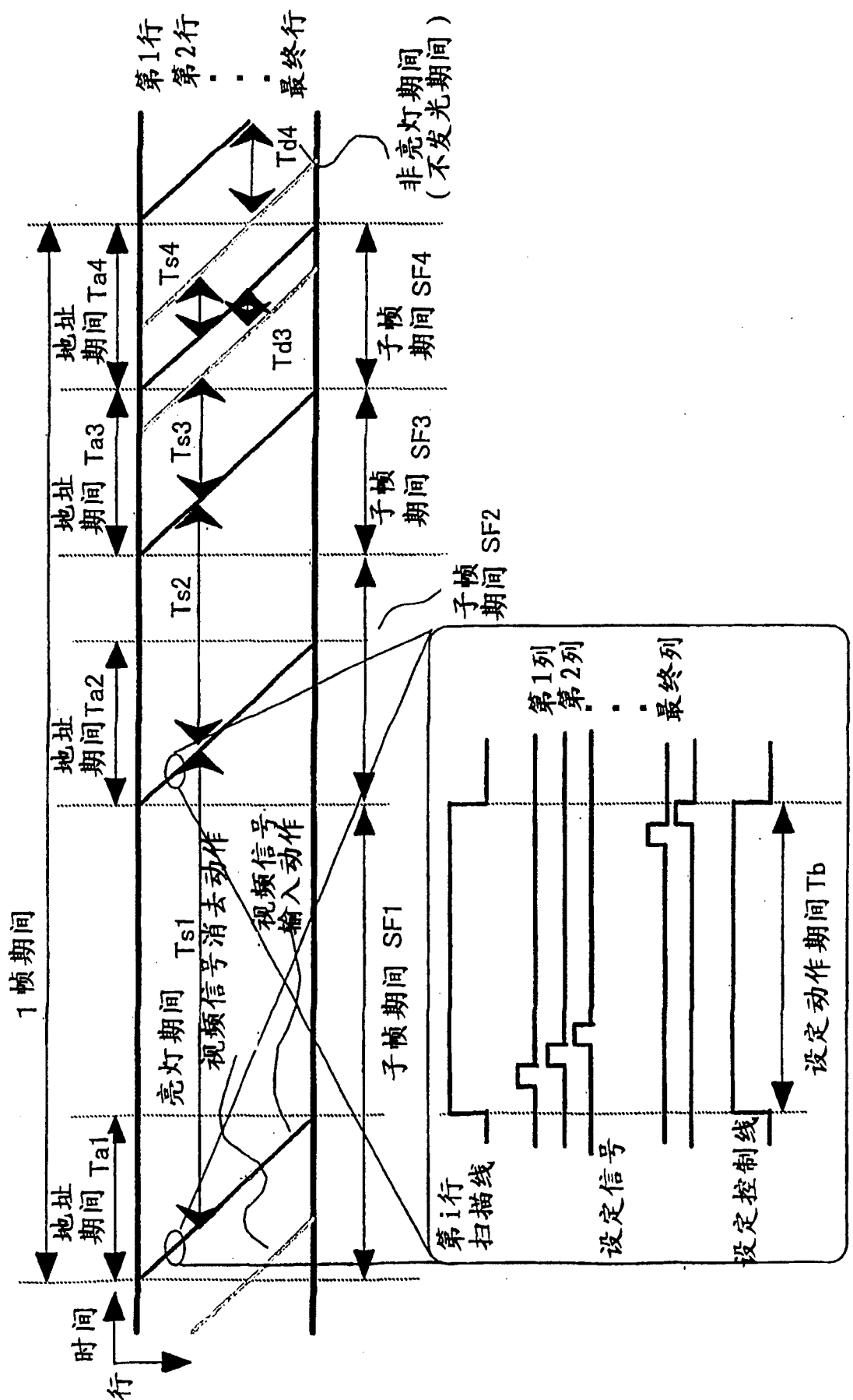


图 73

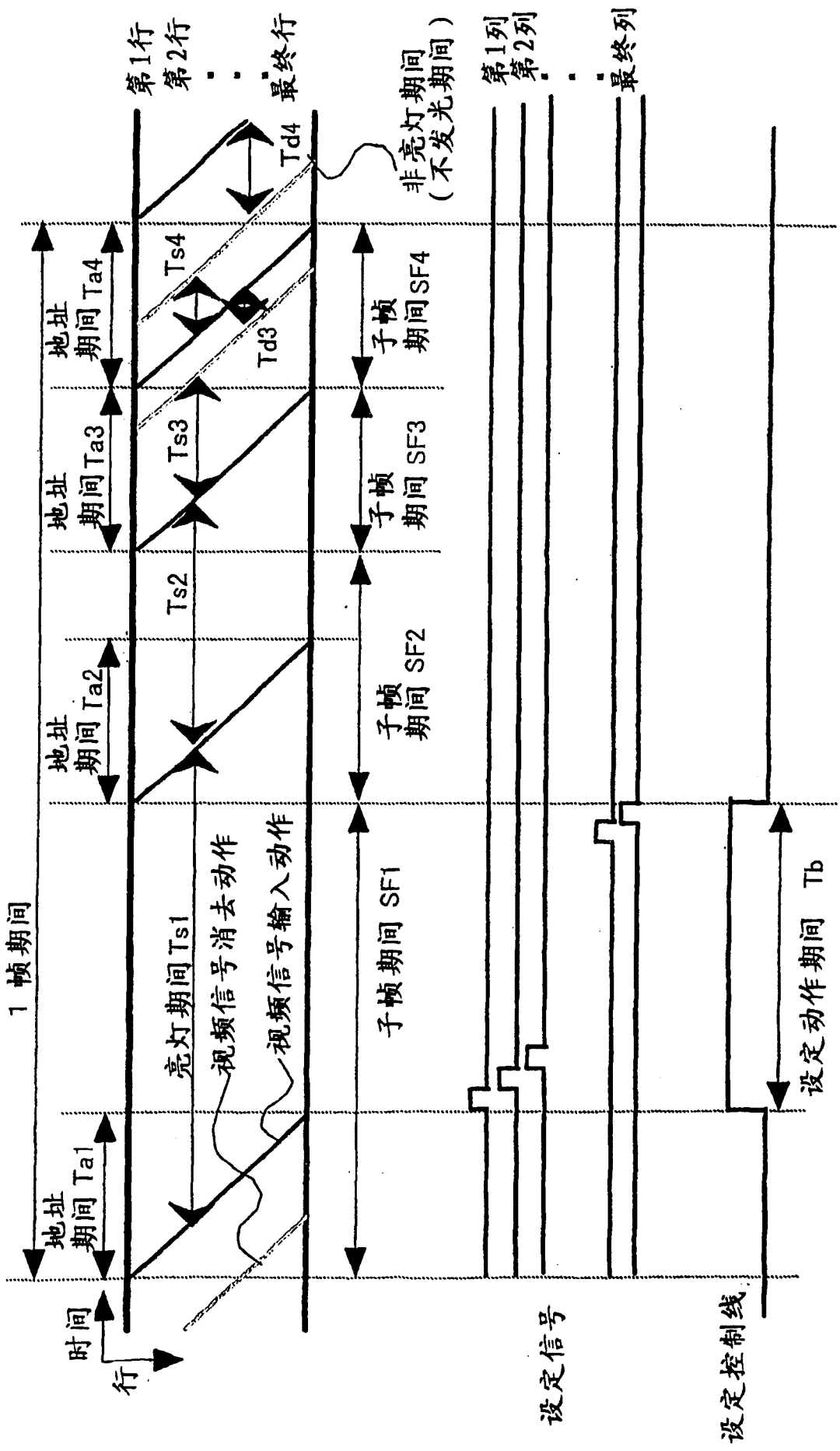


图 74

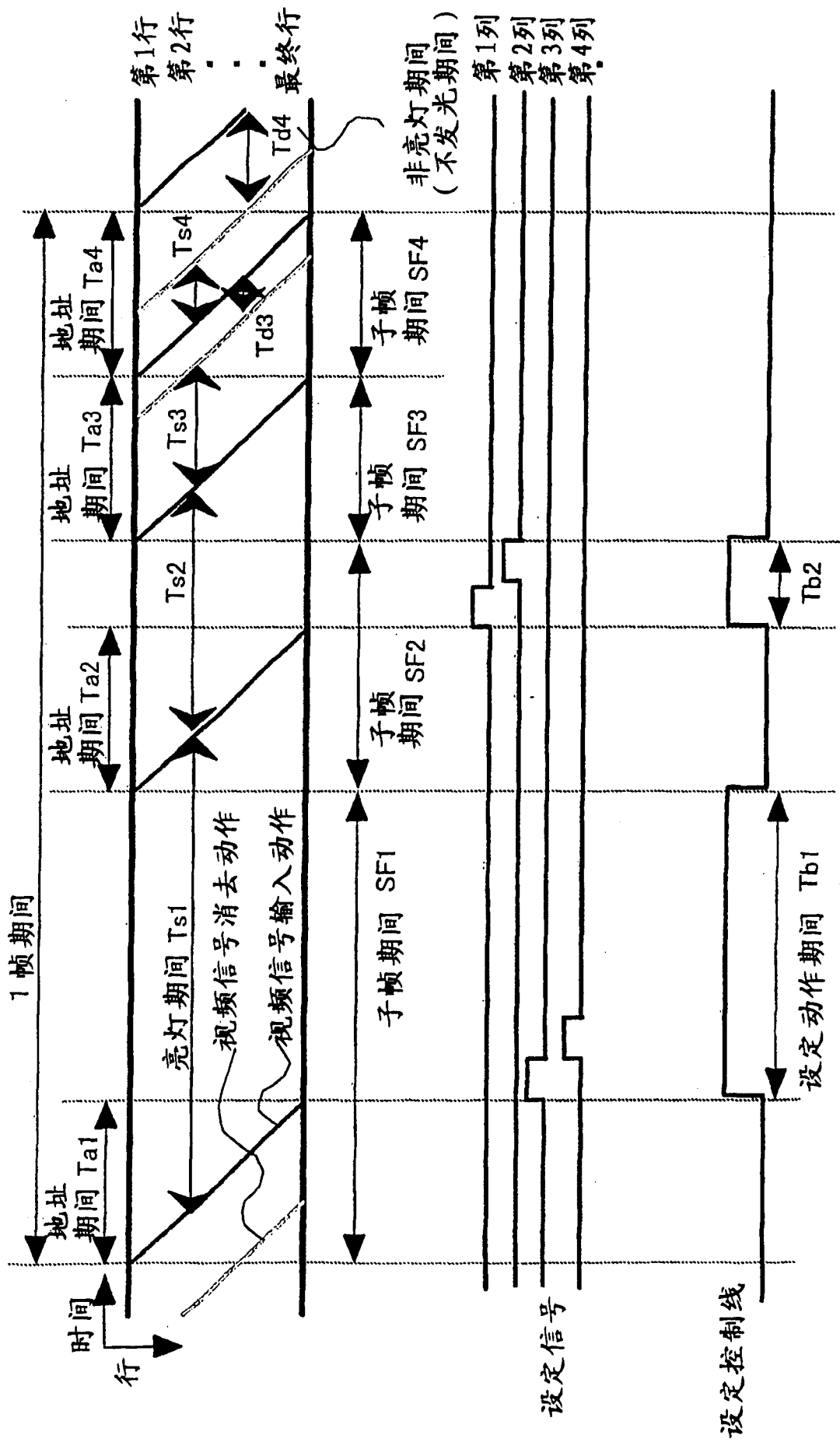


图 75

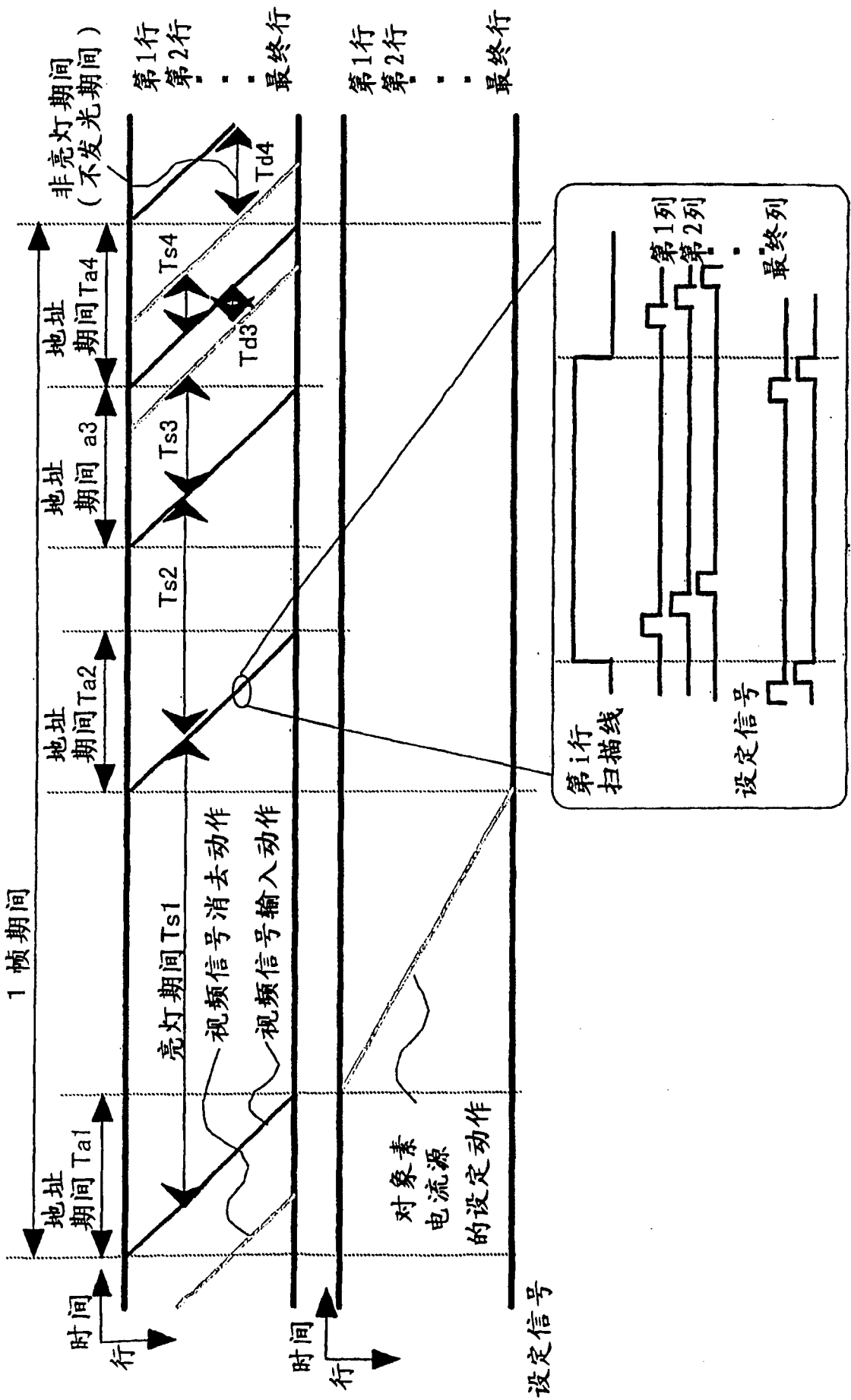


图 76

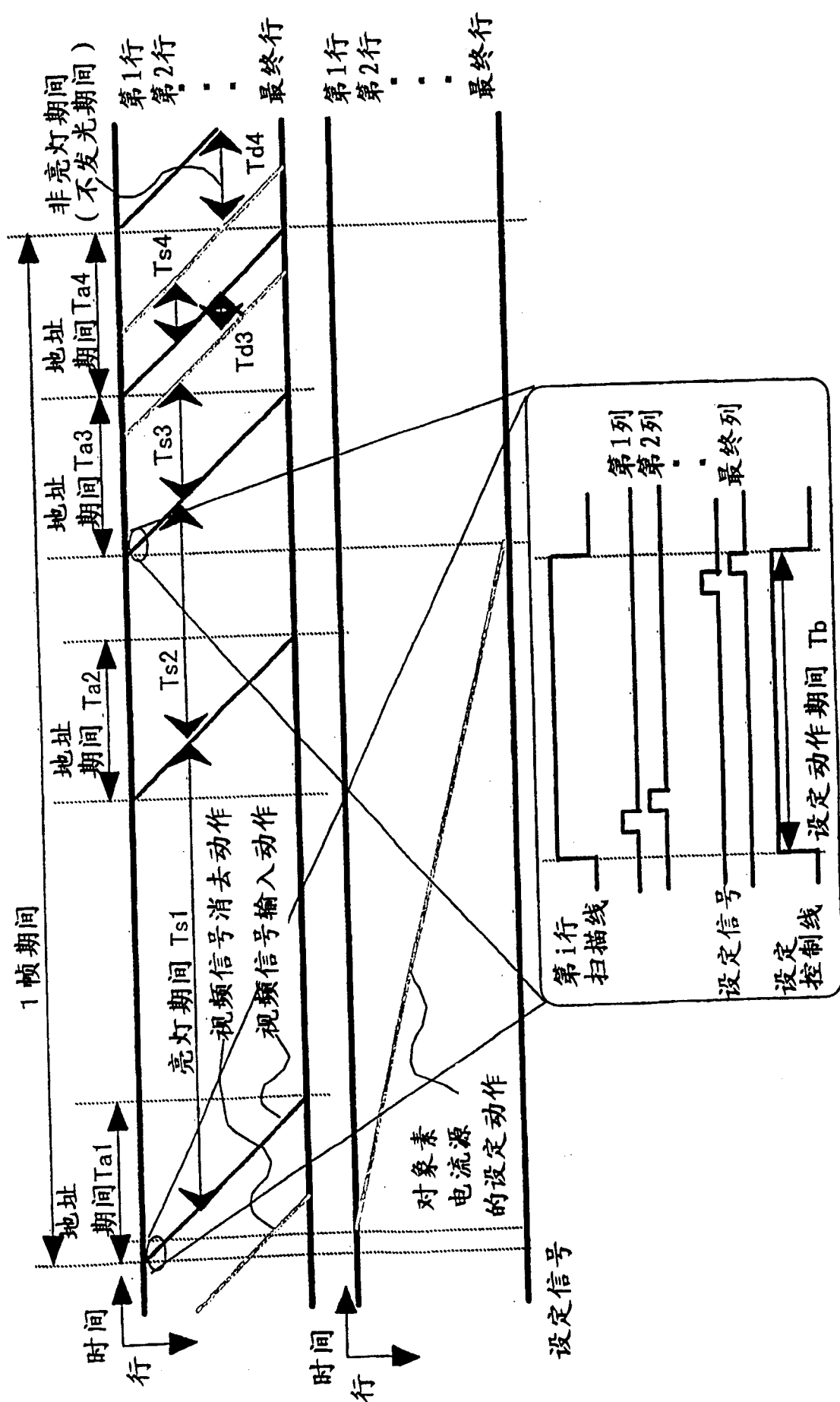


图 77

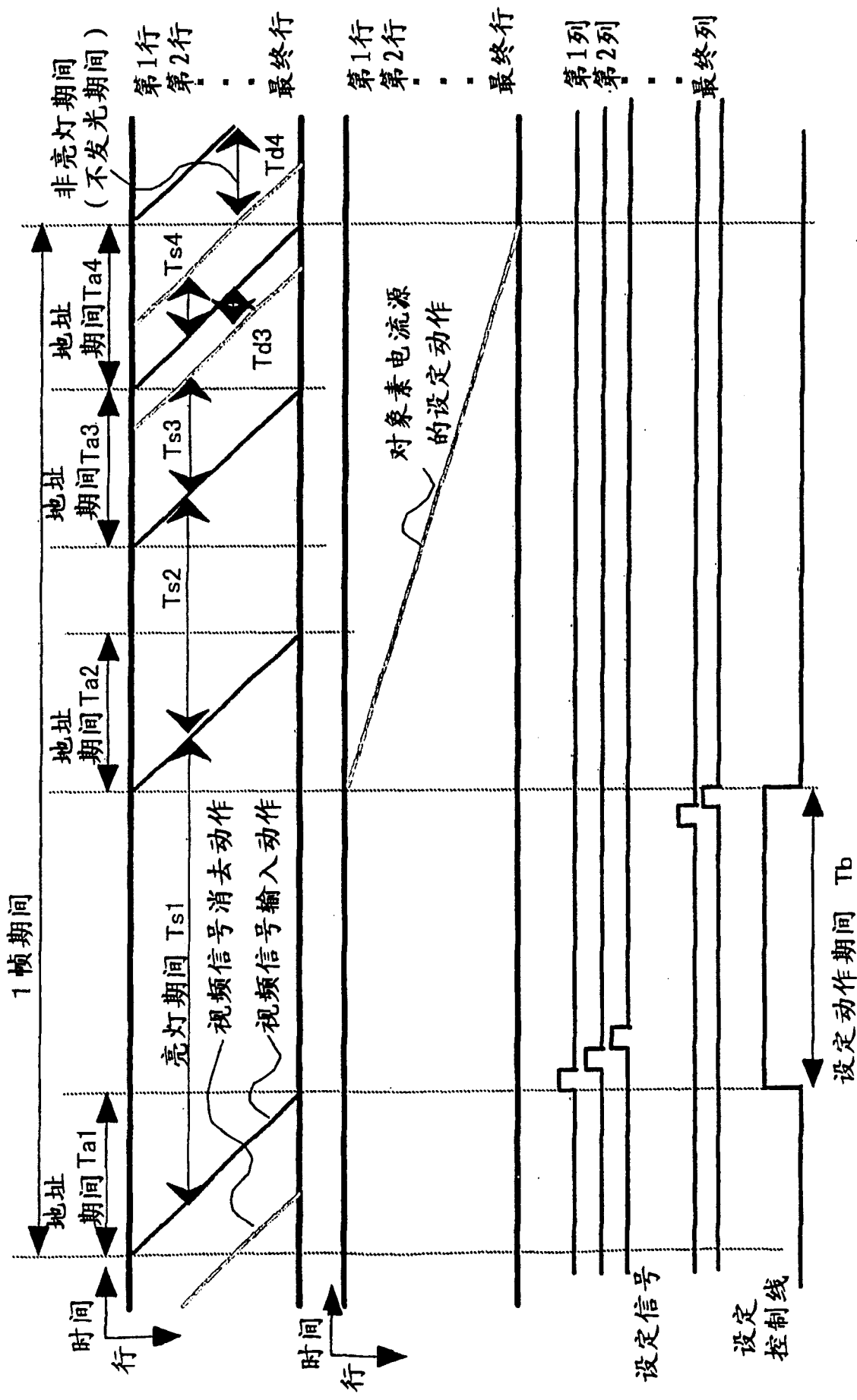


图 78

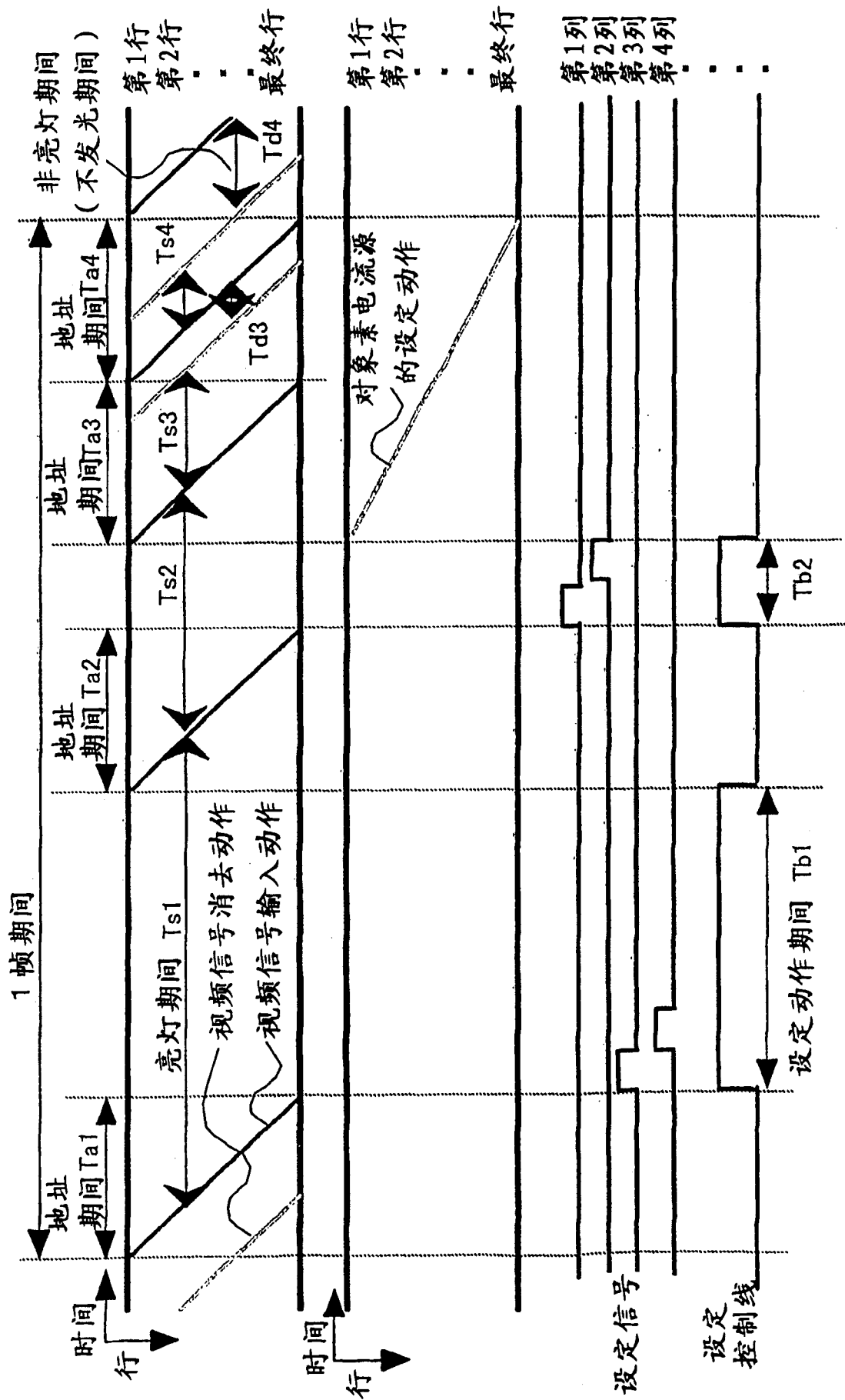


图 79

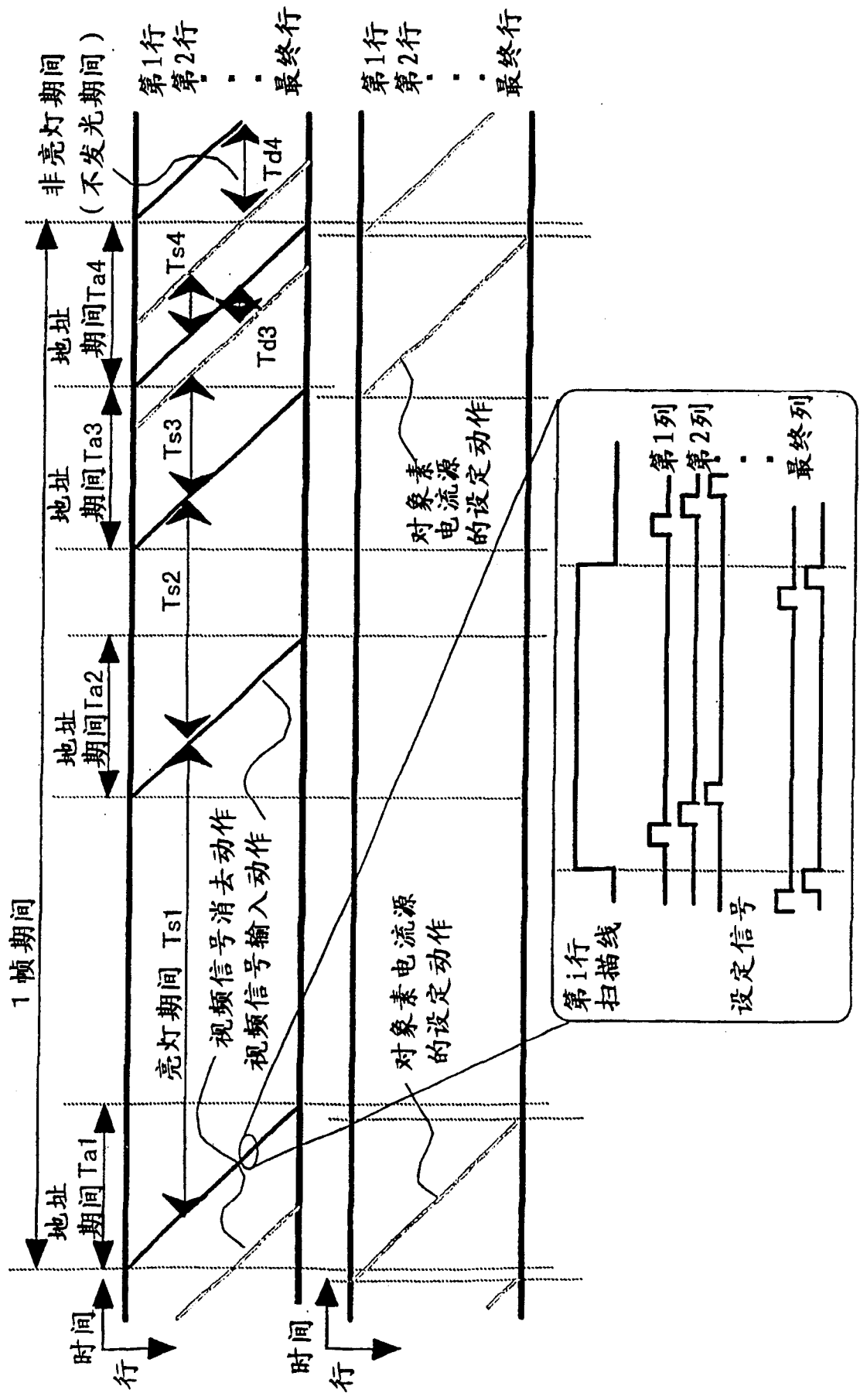


图 80

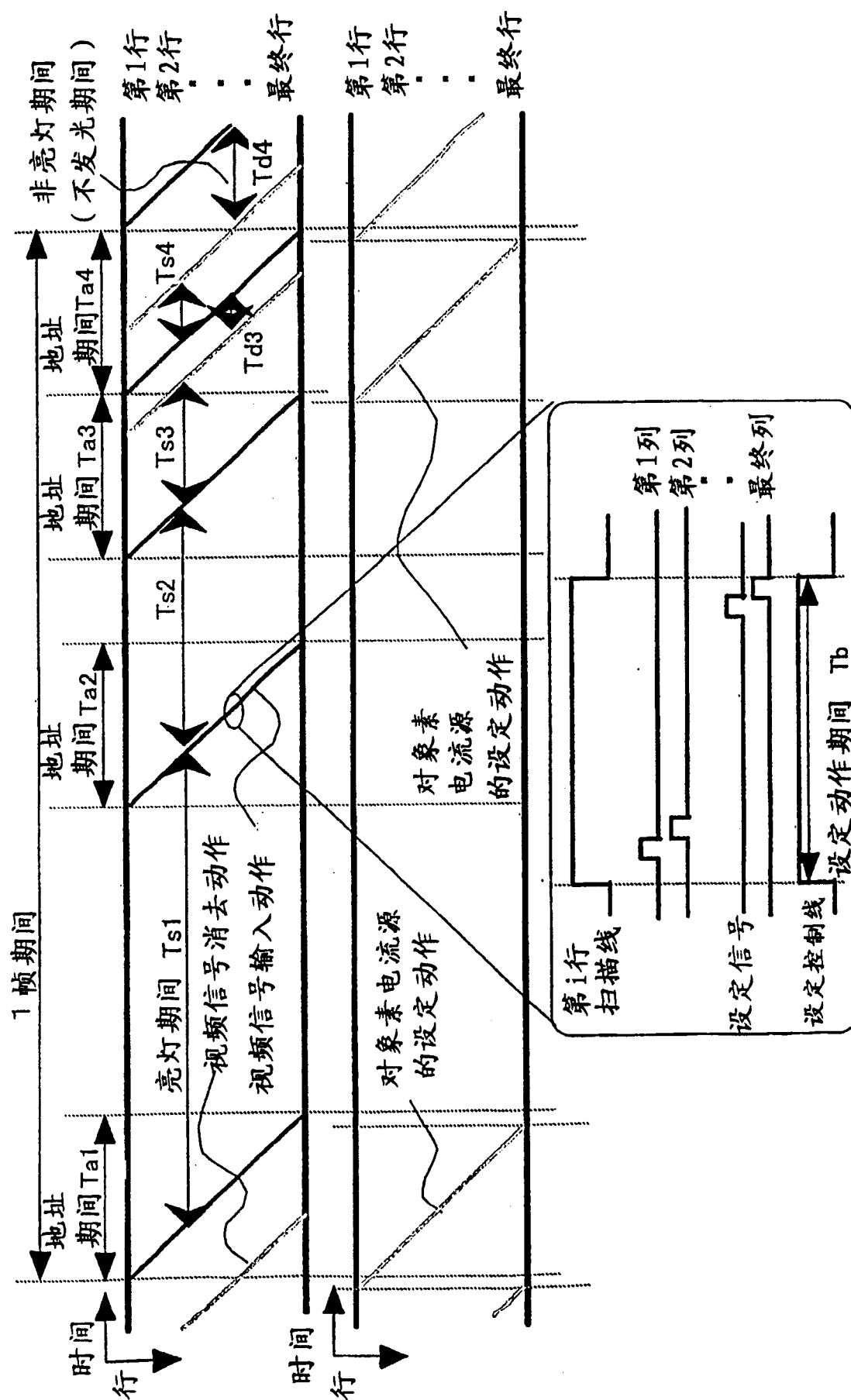


图 81

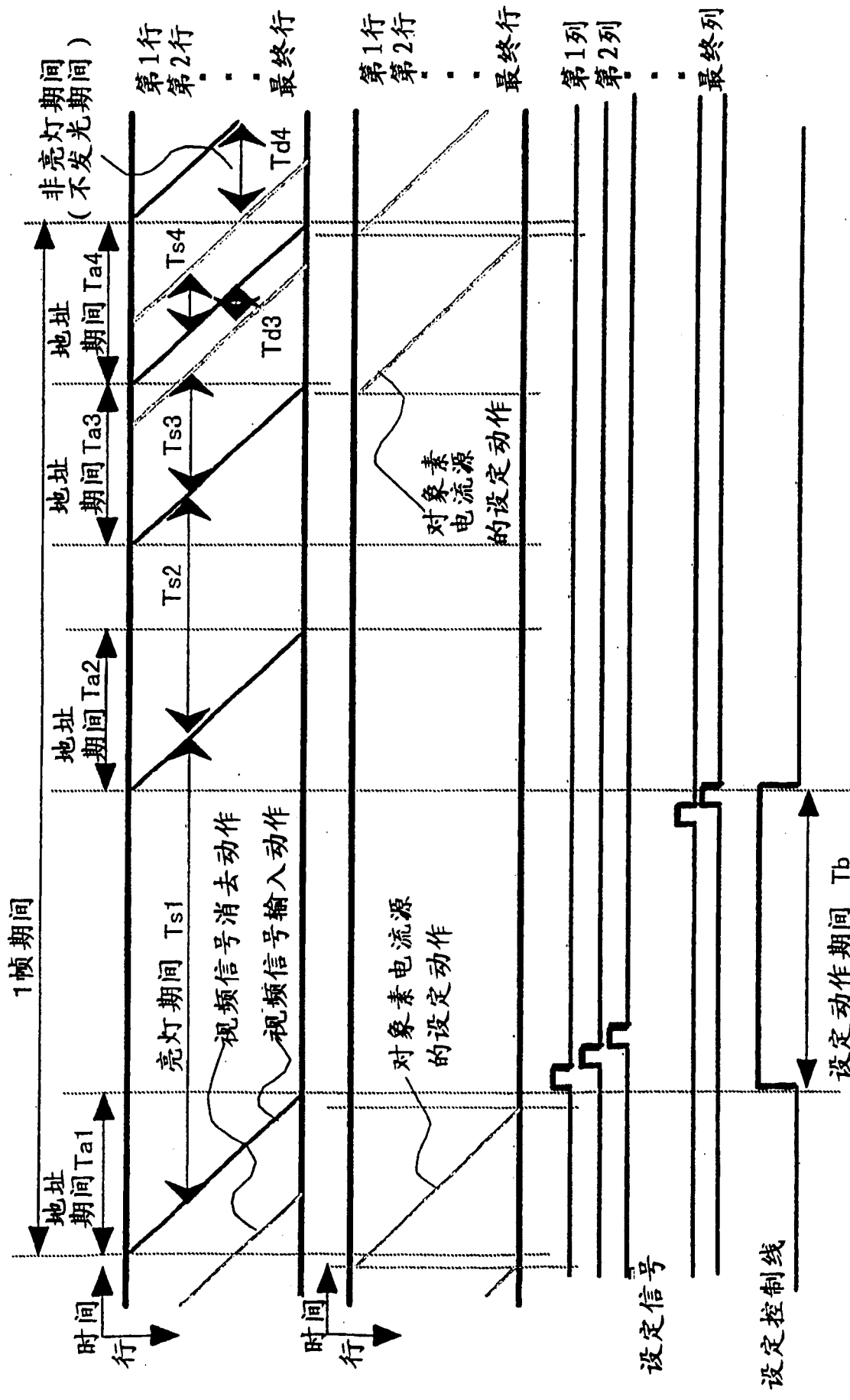


图 82

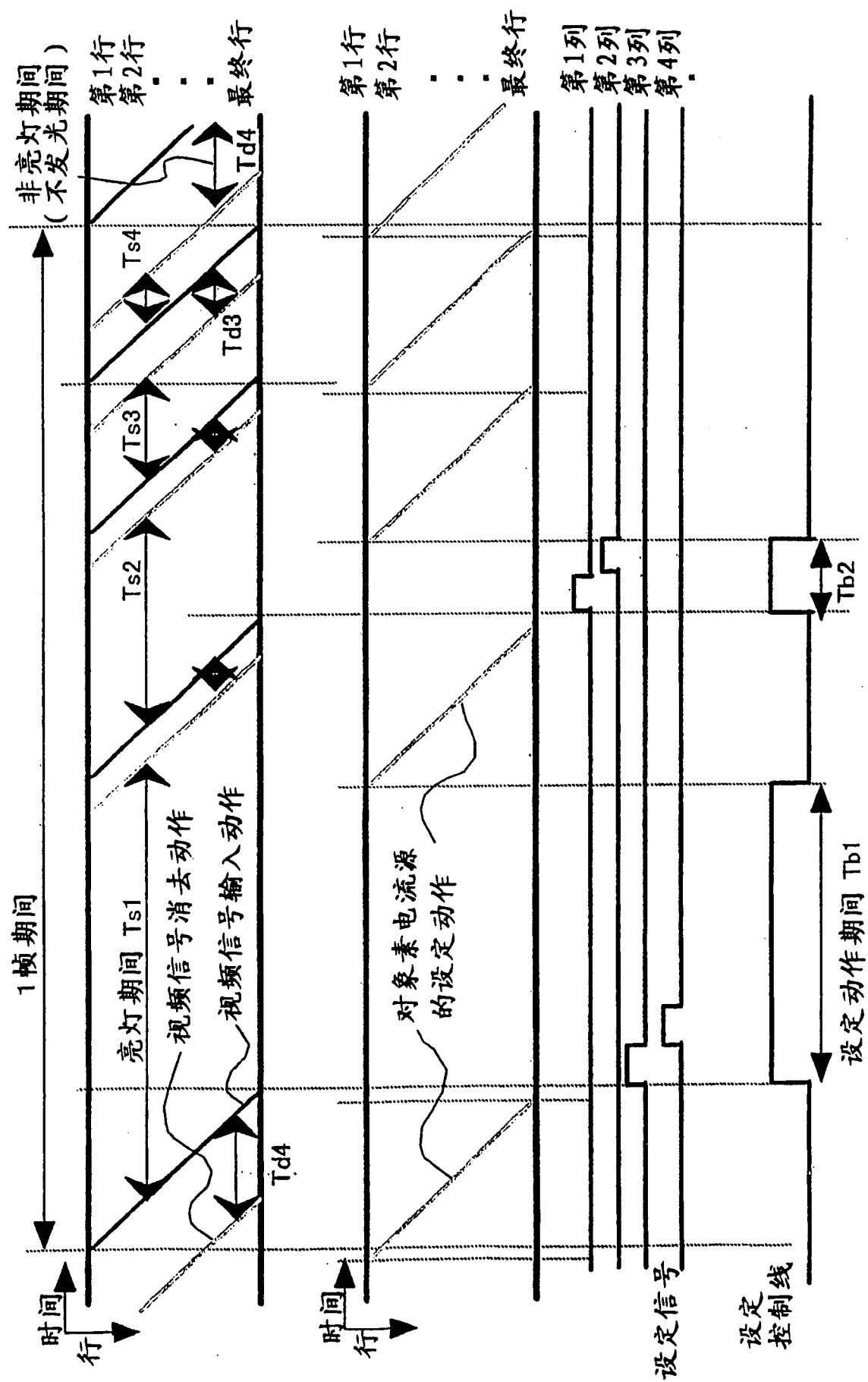


图 84

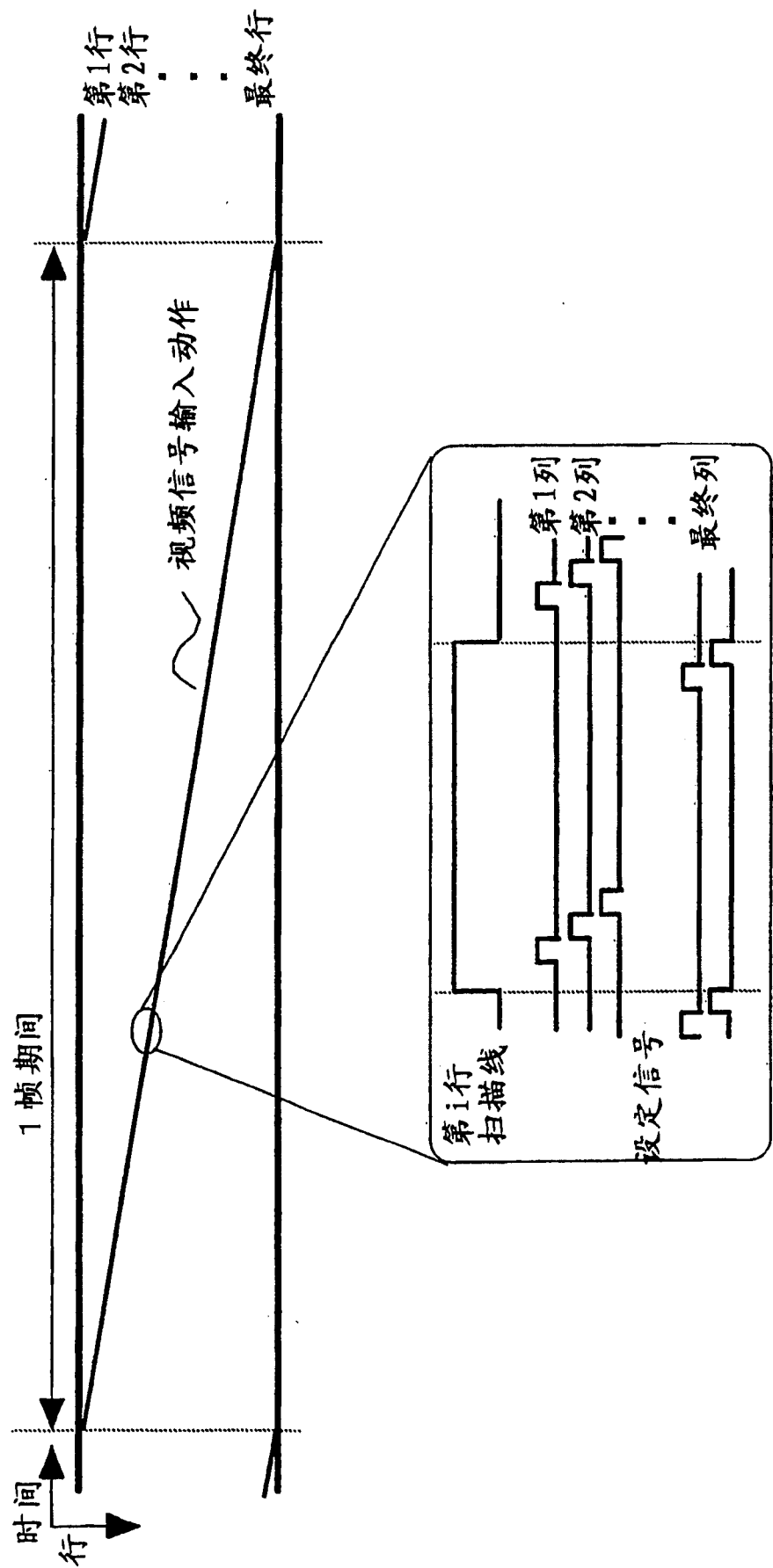


图 85

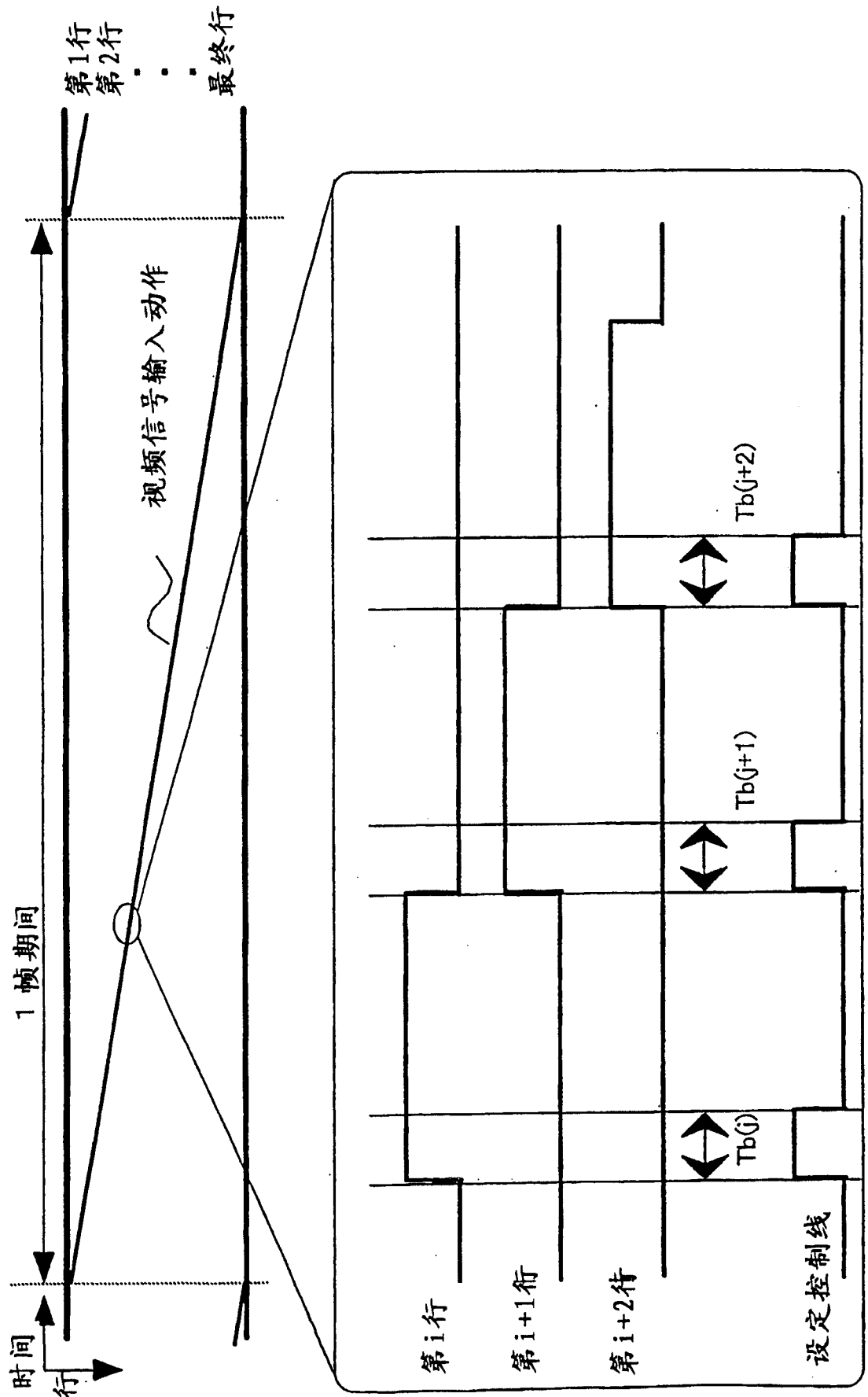


图 86

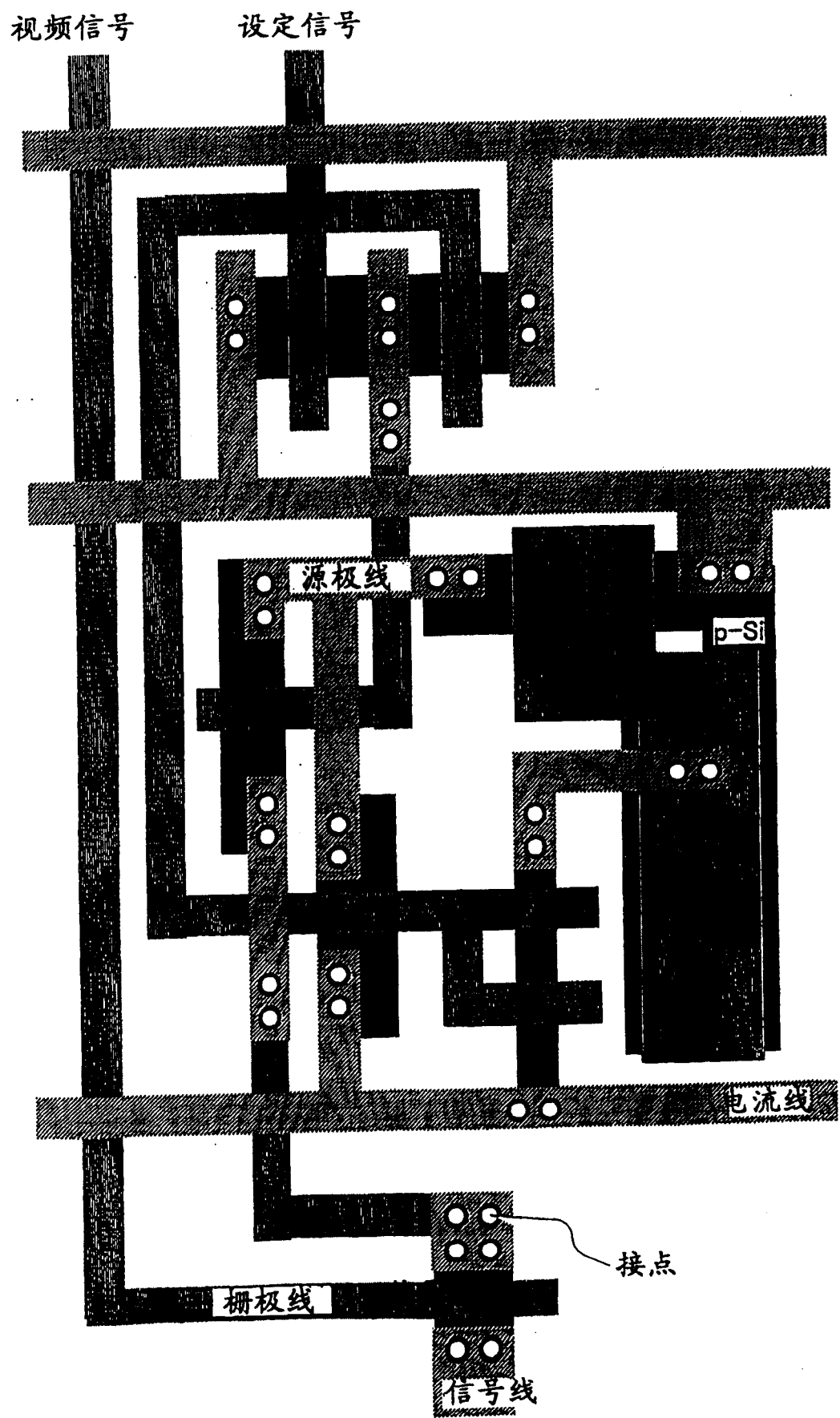


图 87

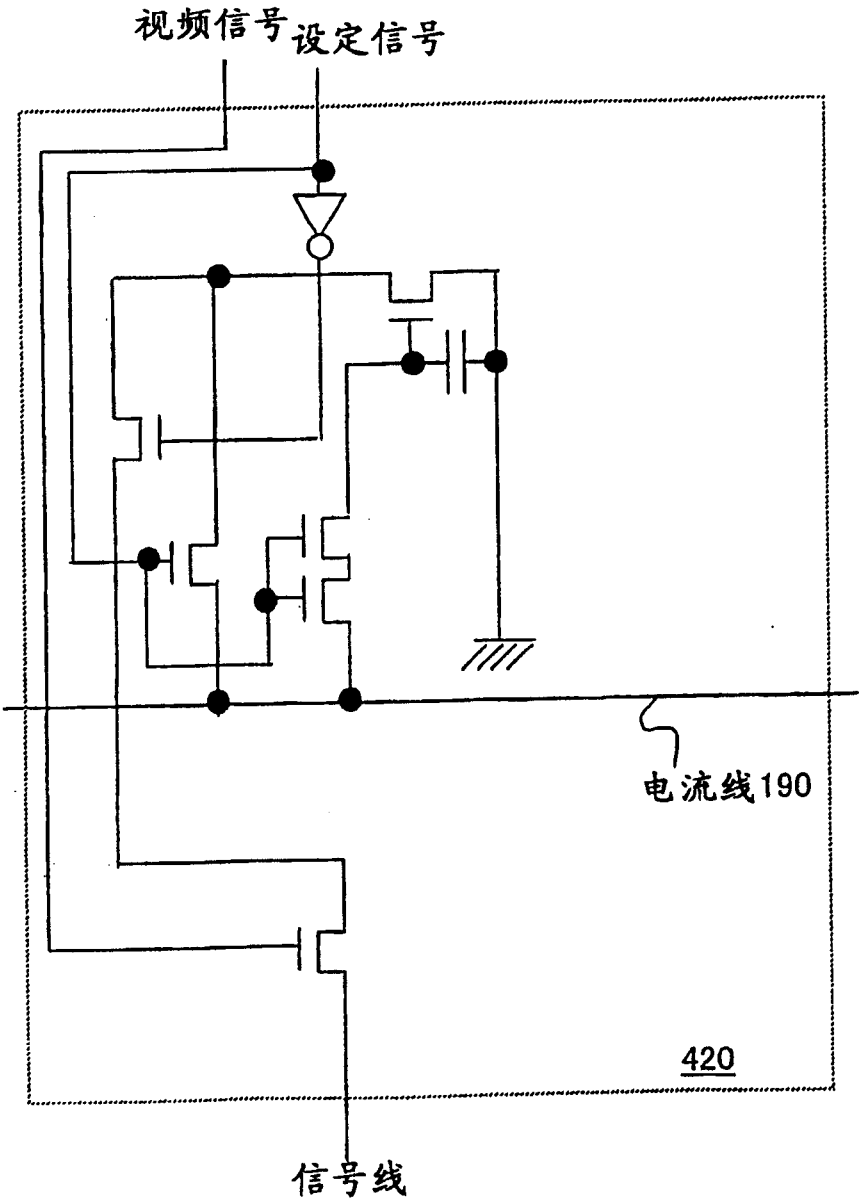


图 88