

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7634010号
(P7634010)

(45)発行日 令和7年2月20日(2025.2.20)

(24)登録日 令和7年2月12日(2025.2.12)

(51)国際特許分類 F I
H 0 4 R 3/00 (2006.01) H 0 4 R 3/00 3 1 0

請求項の数 10 (全18頁)

(21)出願番号	特願2022-529347(P2022-529347)	(73)特許権者	501089863
(86)(22)出願日	令和2年11月19日(2020.11.19)		サントル ナショナル ドゥ ラ ルシェル
(65)公表番号	特表2023-502428(P2023-502428 A)		シェ サイアンティフィック
(43)公表日	令和5年1月24日(2023.1.24)		フランス国, エフ - 7 5 0 1 6 パリ,
(86)国際出願番号	PCT/EP2020/082758	(73)特許権者	519293911
(87)国際公開番号	WO2021/099509		アンスティテュ ドゥ ルシェルシェ エ
(87)国際公開日	令和3年5月27日(2021.5.27)		ドゥ コーディナシオン アコースティー
審査請求日	令和5年11月10日(2023.11.10)		ク/ミュージック
(31)優先権主張番号	1913122		フランス国, 7 5 0 0 4 パリ, プラス
(32)優先日	令和1年11月22日(2019.11.22)		イゴール ストラピンスキー, 1
(33)優先権主張国・地域又は機関	フランス(FR)	(73)特許権者	507416908
			ソルボンヌ・ユニヴェルシテ
			フランス国・7 5 0 0 6 ・パリ・リュ
			ドゥ レコール ドゥ メドスイーヌ・2 1
			最終頁に続く

(54)【発明の名称】 電気システムのための制御信号生成デバイス

(57)【特許請求の範囲】

【請求項1】

電気システム (S) のための制御信号 (I s ; V s) の生成デバイス (4 0) であって、

- 前記電気システム (S) に由来する入力信号 (V c ; I c) 用の入力端 (4 2) であって、前記入力信号 (V c ; I c) がそれぞれ電圧、電流を表わすアナログ信号である、入力端 (4 2) と、

- 前記制御信号 (I s ; V s) 用の出力端 (4 4) であって、前記制御信号 (I s ; V s) が、それぞれ電流、電圧を表わすアナログ信号であり、前記制御信号 (I s ; V s) が第1の成分および第2の成分を有している、出力端 (4 4) と、

- 前記生成デバイス (4 0) の前記入力端 (4 2) および前記出力端 (4 4) に接続されたアナログブロック (4 6) であって、第1の特徴的受動インピーダンス (R) を有する受動アナログ構成要素 (6 2) とそれぞれ電流、電圧の測定構成要素 (6 4) とそれぞれ電流、電圧の発生器 (6 6) とを有する電気回路 (6 0) を有しているアナログブロック (4 6) と、

- 少なくとも1つのデジタル制御可能な構成要素 (7 0) を有するデジタルブロック (5 0) と、

- 前記アナログブロック (4 6) と前記デジタルブロック (5 0) との間に接続されたアナログ - デジタル変換器 (4 8) と、

- 前記アナログブロック (4 6) と前記デジタルブロック (5 0) との間に接続されたデジタル - アナログ変換器 (5 2) と、を有し、

10

20

前記電気回路(60)の前記受動アナログ構成要素(62)は、前記制御信号(I_s ; V_s)の前記第1の成分を生成するように構成されており、

前記電気回路(60)の前記発生器(66)は、前記制御信号(I_s ; V_s)の前記第2の成分を生成するように構成されており、

前記電気回路(60)は、前記制御信号(I_s ; V_s)を得るために生成される前記第1の成分および第2の成分を合計するように構成されており、

前記アナログ-デジタル変換器(48)は、前記アナログブロック(46)の前記測定構成要素(64)により行なわれた前記入力信号(V_c ; I_c)の測定をデジタルに変換して、変換済み入力信号(S_{E-C})を得るように構成されており、

前記デジタルブロック(50)の前記制御可能な構成要素(70)は、前記変換済み入力信号(S_{E-C})および第2の特徴的受動インピーダンス(r)を有する受動デジタル構成要素に接続されたデジタルコントローラ(S_c)のモデル($S_c r$)の関数として、デジタル出力信号(S_{s-num})を生成するように構成されており、

前記第2の特徴的インピーダンス(r)の値は、前記第1の特徴的インピーダンス(R)の値の関数として選択され、

前記デジタル-アナログ変換器(52)は、前記発生器(66)の制御を得るためにデジタル出力信号(S_{s-num})をアナログに変換するように構成されており、

前記発生器(66)によって生成された前記制御信号(I_s ; V_s)の前記第2の成分は、前記デジタルブロック(50)から得た前記制御の関数である、生成デバイス(40)。

【請求項2】

前記受動アナログ構成要素(62)と前記受動デジタル構成要素とが同じ性質のものである、請求項1に記載のデバイス(40)。

【請求項3】

前記受動アナログ構成要素(62)および前記受動デジタル構成要素の各々が抵抗である、請求項1または2に記載のデバイス(40)。

【請求項4】

- 前記入力信号(V_c)が電圧を表わし、前記制御信号(I_s)が電流を表わす場合、前記第2の特徴的インピーダンス(r)は、前記第1の特徴的インピーダンス(R)以上であり、

- 前記入力信号(I_c)が電流を表わし、前記制御信号(V_s)が電圧を表わす場合、前記第2の特徴的インピーダンス(r)は、前記第1の特徴的インピーダンス(R)以下である、請求項1ないし3のいずれか一項に記載のデバイス(40)。

【請求項5】

- 前記入力信号(V_c)が電圧を表わし、前記制御信号(I_s)が電流を表わす場合、前記測定構成要素(64)が電圧測定構成要素であり、前記発生器(66)が電流発生器であり、前記受動アナログ構成要素(62)は、前記入力端(42)および前記出力端(44)と並列に、前記発生器(66)および前記測定構成要素(64)と並列に接続されており、

- 前記入力信号(I_c)が電流を表わし、前記制御信号(V_s)が電圧を表わす場合、前記測定構成要素(64)が電流測定構成要素であり、前記発生器(66)が電圧発生器であり、前記受動アナログ構成要素(62)は、前記入力端(42)と前記出力端(44)との間で、前記発生器(66)および前記測定構成要素(64)と直列に接続されている、請求項1ないし4のいずれか一項に記載のデバイス(40)。

【請求項6】

- 前記入力信号(V_c)が電圧を表わし、前記制御信号(I_s)が電流を表わす場合、前記モデル($S_c r$)が、前記受動デジタル構成要素と直列に接続された前記デジタルコントローラ(S_c)のモデルであり、

- 前記入力信号(I_c)が電流を表わし、前記制御信号(V_s)が電圧を表わす場合、前記モデル($S_c r$)が、前記受動デジタル構成要素と並列に接続された前記デジタルコ

10

20

30

40

50

ントローラ (S c) のモデルである、請求項 1 ないし 5 のいずれか一項に記載のデバイス (4 0) 。

【請求項 7】

前記制御可能な構成要素 (7 0) が、

- 前記アナログ - デジタル変換器 (4 8) 由来の前記変換済み入力信号 (S E-C) を、前記第 2 の特徴的インピーダンス (r) の関数としての、出力波を表わす第 1 の中間信号 (S int1) へと変換し、
- 前記第 1 の中間信号 (S int1) を、前記第 2 の特徴的インピーダンス (r) の関数としての、それぞれ電圧、電流を表わす第 2 の中間信号 (S int2) へと変換し、
- 前記第 2 の中間信号 (S int2) および前記モデル (S c r) の関数として、第 3 の中間信号 (S int3) を計算し、
- 前記第 3 の中間信号 (S int3) を、前記第 2 の特徴的インピーダンス (r) の関数としての、出力波を表わす第 4 の中間信号 (S int4) へと変換し、
- それぞれ電圧、電流を表わしている前記第 4 の中間信号 (S int4) を、前記第 2 の特徴的インピーダンス (r) の関数として前記制御可能な構成要素 (7 0) の前記デジタル出力信号 (S s-num) へと変換する、ように構成されている、請求項 1 ないし 6 のいずれか一項に記載のデバイス (4 0) 。

10

【請求項 8】

前記制御可能な構成要素 7 0 は、マイクロプロセッサ、デジタル信号プロセッサ、マイクロコントローラおよびプログラマブルゲートアレイからなるリストの中から選択される、請求項 7 に記載のデバイス (4 0) 。

20

【請求項 9】

請求項 1 ないし 8 のいずれか一項に記載のデバイス (4 0) を有する、スピーカなどのオーディオシステム。

【請求項 1 0】

請求項 1 ないし 8 のいずれか一項に記載の生成デバイス (4 0) から電気システム (S) 用の制御信号 (I s ; V s) を生成する方法であって、

- 前記生成デバイス (4 0) の前記入力端 (4 2) で前記電気システム (S) に由来する入力信号 (V c ; I c) を受信するステップであって、前記入力信号 (V c ; I c) が、それぞれ電圧、電流を表わすアナログ信号であるステップと、
- 前記アナログブロック (4 6) の前記測定構成要素 (6 4) により行なわれた前記入力信号 (V c ; I c) の測定をデジタルに変換して、変換済み入力信号 (S E-C) を得るステップと、
- 前記デジタルブロック (5 0) の前記制御可能な構成要素 (7 0) を介してデジタル出力信号 (S s-num) を生成するステップと、
- 前記デジタル出力信号 (S s-num) をアナログに変換して、前記電気回路 (6 0) の前記発生器 (6 6) の制御を得るステップと、
- 前記電気回路 (6 0) の前記受動アナログ構成要素 (6 2) を介して前記制御信号 (I s ; V s) の前記第 1 の成分を生成するステップと、
- 前記デジタルブロック (5 0) から得た前記制御の関数として前記電気回路 (6 0) の前記発生器 (6 6) を介して前記制御信号 (I s ; V s) の前記第 2 の成分を生成するステップと、
- 前記電気回路 (6 0) によって生成された前記第 1 の成分および前記第 2 の成分を合計して、前記制御信号 (I s ; V s) を得るステップと、を有する方法。

30

40

【発明の詳細な説明】

【技術分野】

【 0 0 0 1】

本発明は、電気システムのための制御信号生成デバイスに関する。本発明は同様に、このようなデバイスを含むオーディオシステムにも関する。本発明は同様に、付随する方法にも関する。

50

【背景技術】

【0002】

受動性 (passivite')とは、システムが自然発生的にエネルギーを生み出すことができず、エネルギーを単に貯蔵しおよび/または消散することしかできないという事実を説明する (de'crit)。一例として、スピーカに接続された抵抗、ダイオード、コイルまたはコンデンサ (線形または非線形) のネットワークは、スピーカの機械的および音響的挙動を修正するものの、持続的振動 (ラーセン効果 (effet Larsen)) または不安定性 (instabilite's) を発生させることはない。受動性は、このロバスト性を保証する。より一般的には、受動的物理システムは、正の消散済み出力 (puissance) P_{dis} (または、保守的な (conservative) ケースではゼロ) で、 $dE(t)/dt = P_{ext}(t) - P_{dis}(t)$ (貯蔵エネルギーの時間的変動 = 外部から寄与される出力 - 消散出力) タイプの出力バランスを満たす。

10

【0003】

複雑な制御の場合、制御は、リアルタイムデジタル形態で、すなわちアナログ - デジタル変換器、電気信号発生器およびハードウェアデジタルコンピュータを含む組み込み型システムを用いて実装され得る。このとき、制御信号の計算は、ここではTと記される遅延と等価である待ち時間の後にレンダリングされる。このような遅延は、計算のために費される時間に起因してデジタルハードウェアシステム (マイクロプロセッサ、DSP、マイクロコントローラ、FPGA) によって行なわれるあらゆる制御に固有のものである。

【0004】

ここで、フィードバックループ内に遅延を含めることで、受動性特性が劣化し、ひいては制御が効果の無いものとなり、さらにはその不安定化が引き起こされる可能性がある。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

したがって、システムの受動制御を可能にするデバイスに対する必要性が存在する。

【課題を解決するための手段】

【0006】

このために、本発明は、電気システム用の制御信号の生成デバイスであって、

- 電気システムに由来する入力信号用の入力端 (entre'e) であって、入力信号がそれぞれ電圧、電流を表わす (representatif d'une tension, respectivement d'un courant) アナログ信号である、入力端と、
- 制御信号用の出力端 (sortie) であって、制御信号が、それぞれ電流、電圧を表わすアナログ信号であり、制御信号が第1の成分および第2の成分を有している、出力端と、
- 生成デバイスの入力端および出力端に接続されたアナログブロックであって、第1の特徴的受動インピーダンス (impedance caracteristique passive) を有する受動アナログ構成要素とそれぞれ電流、電圧の測定構成要素とそれぞれ電流、電圧の発生器とを有する電気回路を有しているアナログブロックと、
- 少なくとも1つのデジタル制御可能な構成要素を有するデジタルブロックと、
- アナログブロックとデジタルブロックとの間に接続されたアナログ - デジタル変換器と、
- アナログブロックとデジタルブロックとの間に接続されたデジタル - アナログ変換器と、を有し、

30

40

電気回路の受動アナログ構成要素 (composant) は、制御信号の第1の成分 (composante) を生成するように構成されており、電気回路の発生器は、制御信号の第2の成分を生成するように構成されており、電気回路は、制御信号を得るために生成される第1の成分および第2の成分を合計するように構成されており、

アナログ - デジタル変換器は、アナログブロックの測定構成要素により行なわれた入力信号の測定 (値) (mesure) をデジタルに変換して、変換済み入力信号を得るように構成されており、

50

デジタルブロックの制御可能な構成要素は、変換済み入力信号および第 2 の特徴的受動インピーダンスを有する受動デジタル構成要素に接続されたデジタルコントローラのモデル (mode ' lisation) の関数として (en fonction de)、デジタル出力信号を生成するように構成されており、第 2 の特徴的インピーダンスの値は、第 1 の特徴的インピーダンスの値の関数として選択され、

デジタル - アナログ変換器は、発生器の制御を得るためにデジタル出力信号をアナログに変換するように構成されており、発生器によって生成された制御信号の第 2 の成分は、デジタルブロックから得た制御の関数である、生成デバイスに関する。

【 0 0 0 7 】

他の有利な態様によると、生成デバイスは、単独でまたは技術的に可能な全ての組合せにしたがって、以下の特徴のうちの 1 つまたは複数を有している。

- 受動アナログ構成要素と受動デジタル構成要素とは、同じ性質のものである。
- 受動アナログ構成要素および受動デジタル構成要素の各々は、抵抗である。
- 入力信号が電圧を表わし、制御信号が電流を表わす場合、第 2 の特徴的インピーダンスは、第 1 の特徴的インピーダンス以上である。
- 入力信号が電流を表わし、制御信号が電圧を表わす場合、第 2 の特徴的インピーダンスは、第 1 の特徴的インピーダンス以下である。
- 入力信号が電圧を表わし、制御信号が電流を表わす場合、測定構成要素は電圧測定構成要素であり、発生器は電流発生器であり、受動アナログ構成要素は、入力端および出力端と並列に、発生器および測定構成要素と並列に、接続されている。
- 入力信号が電流を表わし、制御信号が電圧を表わす場合、測定構成要素は電流測定構成要素であり、発生器は電圧発生器であり、受動アナログ構成要素は、入力端と出力端との間で、発生器および測定構成要素と直列に接続されている。
- 入力信号が電圧を表わし、制御信号が電流を表わす場合、モデルは、受動デジタル構成要素と直列に接続されたデジタルコントローラのモデルであり、
- 入力信号が電流を表わし、制御信号が電圧を表わす場合、モデルは、受動デジタル構成要素と並列に接続されたデジタルコントローラのモデルである。

- 制御可能な構成要素は、

- ・ アナログ - デジタル変換器由来の変換済み入力信号を、第 2 の特徴的インピーダンスの関数としての、出力波を表わす第 1 の中間信号へと変換し、

- ・ 第 1 の中間信号を、第 2 の特徴的インピーダンスの関数としての、それぞれ電圧、電流を表わす第 2 の中間信号へと変換し、

- ・ 第 2 の中間信号およびモデルの関数として、第 3 の中間信号を計算し、

- ・ 第 3 の中間信号を、第 2 の特徴的インピーダンスの関数としての、出力波を表わす第 4 の中間信号へと変換し、

- ・ それぞれ電圧、電流を表わしている第 4 の中間信号を、第 2 の特徴的インピーダンスの関数として制御可能な構成要素のデジタル出力信号 (S_{s-num}) へと変換する、ように構成されている。

- 制御可能な構成要素 7 0 は、マイクロプロセッサ、デジタル信号プロセッサ、マイクロコントローラおよびプログラマブルゲートアレイからなるリストの中から選択される。

【 0 0 0 8 】

本発明は同様に、先に説明されたデバイスを有する、スピーカなどのオーディオシステムに関する。

【 0 0 0 9 】

本発明は同様に、先に説明された生成デバイスから電気システム用の制御信号を生成する方法であって、

- 生成デバイスの入力端で電気システムに由来する入力信号を受信するステップであって、入力信号が、それぞれ電圧、電流を表わすアナログ信号であるステップと、

- アナログブロックの測定構成要素により行なわれた入力信号の測定をデジタルに変換して、変換済み入力信号を得るステップと、

10

20

30

40

50

- デジタルブロックの制御可能な構成要素を介してデジタル出力信号を生成するステップと、
- デジタル出力信号をアナログに変換して、電気回路の発生器の制御を得るステップと、
- 電気回路の受動アナログ構成要素を介して制御信号の第 1 の成分を生成するステップと、
- デジタルブロックから得た制御の関数として電気回路の発生器を介して制御信号の第 2 の成分を生成するステップと、
- 電気回路によって生成された第 1 の成分および第 2 の成分を合計して、制御信号を得るステップと、を有する方法にも関する。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】物理システム S とデジタルコントローラ S c との間の直接接続の概略図である。

【図 2】遅延 (アウトバウンド T / 2 およびインバウンド T / 2) を導入する受動的伝送ライン (ligne de transmission passive) を介したデジタルコントローラ S c に対する図 1 の物理システム S の接続の概略図である。

【図 3】ハードウェアアナログブロックおよびハードウェアデジタルブロックによって形成される遅延型受動コントローラに対する物理システム S の接続の概略図である。

【図 4】アドミタンスタイプのコントローラの場合における図 3 のアナログブロックの概略図である。

【図 5】インピーダンスタイプのコントローラの場合における図 3 のアナログブロックの概略図である。

【図 6】アドミタンスタイプのコントローラの場合における受動アナログ構成要素に接続されたコントローラ S c を含むシステム S c r の概略図である。

【図 7】インピーダンスタイプのコントローラの場合における受動アナログ構成要素に接続されたコントローラ S c を含むシステム S c r の概略図である。

【図 8】図 3 のデジタルブロックの構成要素によって実装される方法の概略図である。

【発明を実施するための形態】

【 0 0 1 1 】

本発明の他の特徴および利点は、図面を参照しながら単なる一例として本発明の実施形態についての以下の説明を読んだ時点で明らかになるものである。

【 0 0 1 2 】

図 1 は、技術的現状を概略的に例示する。この図 1 において、電氣的に制御すべき物理システム S は、リアルタイムハードウェアデジタルコンピュータ 2 0 およびアナログ - デジタル変換器 2 2 およびデジタル - アナログ変換器 2 4 を介して、離散的時間型受動デジタルコントローラ S c (contro^{leur} nume^{rique} passif Sc a ^{temps} discret) に対し直接接続されている。この図 1 に示されているように、システム S に戻された信号内の遅延 T は、受動性特性を劣化させる。

【 0 0 1 3 】

本発明の原理は、図 2 に示されている仮想の受動電気伝送ライン 3 0 内に、ハードウェアコンピュータに固有の遅延 T を人工的に封入することからなる。このような伝送ラインは、アウトバウンド T / 2 およびインバウンド T / 2 の遅延を導入する。伝送ライン内への遅延 T の人工的封入の原点にある原理を以下に要約する。

【 0 0 1 4 】

システム S (それぞれ S c) は、電圧 V s および電流 I s (それぞれ電圧 V s c および電流 I s c) によって特徴付けられる (少なくとも) 1 つの電気ポートを有する。これら 2 つのシステムを伝送ラインのいずれかの側に仮想的に接続してみる。伝播は、2 つの輸送方程式 (e^{quations} de transport) によって記述され、その解は、W⁺ と記されるアウトバウンド / リターン波 (ここで、所与のシステム S または S c について、W⁺ はアウトバウンド波を、W⁻ はインバウンド波を示す) 。ここでは、特徴的インピーダンス r (オーム単位) の媒体で、無損失の次元伝送が考慮される。

10

20

30

40

50

【 0 0 1 5 】

SおよびS_cに結び付けられたアウトバウンドリターン波の変数は、それぞれW_{s^{+/-}}およびW_{s_c^{+/-}}と記される。瞬間tにおけるS_c内の到来波(onde entrante)は、瞬間t - T/2におけるSの外向き波(onde sortante)に等しい、つまりW_{s_c⁻}(t) = W_{s⁺}(t - T/2)であり、相互に、SからS_cへW_{s⁻}(t) = W_{s_c⁺}(t - T/2)であり、これは、合計往復持続時間Tを含意する。

【 0 0 1 6 】

電圧(V_s、V_{s_c})および電流(I_s、I_{s_c})は、以下の変数変化を介してインバウンド/アウトバウンド波の変数W_{s^{+/-}}およびW_{s_c^{+/-}}へと変換され、

【数1】

$$W^{+/-}(t) = \sqrt{\frac{2}{r}} [V(t) +/- r I(t)], \quad (1)$$

これは、選択された特徴的インピーダンスrに依存し、詳細には、Sの電気ポートにおける変換は、以下の式で表現される。

【数2】

$$V_s(t) = \sqrt{\frac{r}{2}} W_{sc}^{+}(t-T/2) + r I_s(t). \quad (2)$$

【 0 0 1 7 】

式(2)中、瞬間的關係(遅延無し)がrを通してV_sとI_sとの間に出現する。この關係は、Sとコンピュータとの間に受動アナログ構成要素を置くことによって物理的に実現されるものである。

【 0 0 1 8 】

変換の残りの部分、すなわち(i) V_sとI_sとの間の瞬間的關係から除去される変換(2)、(ii) (V_c、I_c)を(W_{s_c⁺}、W_{s_c⁻})に結び付けるS_cについての変換(1)、はコンピュータ内にデジタル移植される。

【 0 0 1 9 】

さらに、静止システムS_cについては、W_{s⁺}とW_{s_c⁻}との間の遅延T/2をW_{s_c⁺}とW_{s⁻}との間に伝播させて、W_{s_c⁺}とW_{s⁻}との間の遅延T(そしてW_{s⁺}およびW_{s_c⁻}の間の遅延無し)を同等に考慮することができる。

【 0 0 2 0 】

したがって、物理システムSを受動デジタルコントローラS_cと直接インタフェースするのではなくむしろ、本発明は、以下のことからなる。

- 物理システムSを、発生器と受動アナログ構成要素とを含むアナログ回路とインタフェースすること。ここで、受動アナログ構成要素のインピーダンスは、仮想電気伝送ラインの特徴的インピーダンスを表わすように意図されている、
- コントローラS_cが伝送ラインを通して見られるような形で、ハードウェアデジタルコンピュータ20を(適切なアルゴリズムにしたがって)修正すること。この修正は、先の方程式(1)を再現する一連の代数的演算の中に封入されたシステムS_cr(もはやS_cではなく)をシミュレートすることからなる。

【 0 0 2 1 】

この構成は、受動形態でハードウェアコンピュータ内に固有の遅延を組み込むことを可能にする。

【 0 0 2 2 】

一般的原理の実装

10

20

30

40

50

図3は、電気システムSの制御信号を生成するデバイス40を例示する。「電気システム」は、電氣的に制御されるシステムを意味する。

【0023】

生成デバイス40は、アドミタンスタイプまたはインピーダンスタイプのシステムである。アドミタンスタイプのシステムは、電圧を受取り、電流を戻すことのできるシステムである。インピーダンスタイプのシステムは、電流を受取り、電圧を戻すことのできるシステムである (Un système de type impédance est un système propre à recevoir un courant et à retourner une tension.)。

【0024】

生成デバイス40は、入力端42、出力端44、アナログブロック46、アナログ-デジタル変換器48、デジタルブロック50およびデジタル-アナログ変換器52を含む。

【0025】

入力端42は、電気システムS由来の入力信号 V_c 、 I_c を受信することができる。入力信号 V_c 、 I_c は、生成デバイス40がアドミタンスタイプのものである場合には電圧 V_c を表わすアナログ信号であり、生成デバイス40がインピーダンスタイプのものである場合には電流 I_c を表わすアナログ信号である。

【0026】

出力端44は、電気システムSに対して制御信号 I_s 、 V_s を送ることができる。制御信号 I_s 、 V_s は、生成デバイス40がアドミタンスタイプのものである場合は電流 I_s を表わすアナログ信号であり、生成デバイス40がインピーダンスタイプのものである場合は電圧 V_s を表わすアナログ信号である。

【0027】

アナログブロック46は、生成デバイス40の入力端42および出力端44に接続されている。

【0028】

図4および5によって例示されているように、アナログブロック46は、受動アナログ構成要素62、入力信号 V_c 、 I_c を測定する構成要素64、および発生器66を含むハードウェア電気回路60を含む。

【0029】

詳細には、図4 (ノートンタイプ (Type Norton)) によって例示されているように、生成デバイス40がアドミタンスタイプのものである場合、測定構成要素64は、電圧測定構成要素、例えば電圧計であり、発生器66は、電流発生器である。受動アナログ構成要素62は、入力端42と出力端44との間で並列に、そして発生器66および測定構成要素64と並列に接続されている。

【0030】

図5 (テブナタイプ (Type Thevenin)) によって例示されている実施例においては、生成デバイス40がインピーダンスタイプのものである場合、測定構成要素64は、電流測定構成要素、例えば電流計であり、発生器66は電圧発生器である。受動アナログ構成要素62は、入力端42と出力端44との間で、発生器66および測定構成要素64と直列に接続されている。

【0031】

図4および5に例示されている実施例では、受動アナログ構成要素62は、消散性構成要素 (composant dissipatif)、例えば抵抗である。

【0032】

変形形態において、受動アナログ構成要素62は、コンデンサまたはコイルである。

【0033】

電気回路60は、共に電気回路60の構成要素によって生成される第1の成分と第2の成分との合計から結果としてもたらされる電気システムSの制御信号 I_s 、 V_s を生成するように構成されている。

【0034】

10

20

30

40

50

より具体的には、電気回路 60 の受動アナログ構成要素 62 は、受動アナログ構成要素 62 内を入力信号 V_c 、 I_c が通過した結果としてもたらされる制御信号 I_s 、 V_s の第 1 の成分を生成するように構成されている。ノートンの場合、第 1 の成分は電流 I_1 である。テブナンの場合、第 1 の成分は電圧 T_1 である。

【0035】

電気回路 60 の発生器 66 は、発生器 66 が受信した制御の関数として制御信号 I_s 、 V_s の第 2 の成分を生成するように構成されている。制御は、本明細書の残りの部分で説明されるように、デジタルブロック 50 によって生成される。こうして発生器 66 は、デジタルブロック 50 によって制御され、デジタルブロック 50 に由来する受信した制御の関数として第 2 の成分を生成する。ノートンの場合には、第 2 の成分は、電流 I_2 である。テブナンの場合には、第 2 の成分は、電圧 T_2 である。

10

【0036】

アナログ - デジタル変換器 48 は、アナログブロック 46 の出力端とデジタルブロック 50 の入力端との間に接続される。

【0037】

アナログ - デジタル変換器 48 は、アナログブロック 46 の測定構成要素 64 によって行なわれた入力信号 V_c 、 I_c の測定をデジタルへと変換して、デジタルブロック 50 によって読取り可能な変換済み入力信号 S_{E-C} を得るように構成されている。

【0038】

デジタルブロック 50 は、少なくとも 1 つのデジタル制御可能な構成要素 70 を含む。制御可能な構成要素 70 は物理要素である。より具体的には、制御可能な構成要素 70 は、コンピュータである。

20

【0039】

例えば、デジタル制御可能な構成要素 70 は、マイクロプロセッサ、デジタル信号プロセッサ (" Digital Signal Processor " ; DSP)、マイクロコントローラまたはフィールドプログラマブルゲートアレイ (" Field-Programmable Gate Array " ; FPGA) である。

【0040】

制御可能な構成要素 70 は、変換済み入力信号 S_{E-C} と第 2 の特徴的インピーダンスを有する受動デジタル構成要素に接続されたデジタルコントローラ S_c のモデル $S_{c,r}$ との関数として、(電気回路 60 の発生器 66 のデジタル制御に対応する) デジタル出力信号 S_{s-num} を生成するように構成されている。

30

【0041】

受動アナログ構成要素および受動デジタル構成要素は、同じ性質のものである。例えば、受動アナログ構成要素 62 および受動デジタル構成要素の各々は、抵抗である。

【0042】

第 2 の特徴的インピーダンスの値は、第 1 の特徴的インピーダンスの値の関数として選択される。

【0043】

詳細には、生成デバイス 40 がアドミタンスタイプのものである場合、第 2 の特徴的インピーダンスは、第 1 の特徴的インピーダンス以上である。生成デバイス 40 がインピーダンスタイプのものである場合、第 2 の特徴的インピーダンスは、第 1 の特徴的インピーダンス以下である。

40

【0044】

事実上、第 1 の特徴的インピーダンスと第 2 の特徴的インピーダンスとが等しい場合、伝送ラインは、保守的なものである。それでも、実際には、第 1 の特徴的インピーダンスは、一定の精度範囲内でしか知られておらず、これが厳密な同等性を妨げている。例えば、抵抗の場合、第 1 の特徴的インピーダンスは R と記され、第 2 の特徴的インピーダンスは r と記される。アドミタンスの場合には、 $r = R$ であり、仮想ラインにより消散される出力は、 $(1 / R - 1 / r) * S_{s-num}^2$ から求められ、式中 S_{s-num} は、デジタル出力

50

信号である。インピーダンスの場合には、 $r = R$ であり、仮想ラインにより消散される出力は、 $(R - r) \cdot S_{s-num}^2 = 0$ から求められる。

【0045】

デジタルコントローラ S_c は、電気システム S を制御するように意図された、線形または非線形の離散時間動的システム (système dynamique à temps discret) である。このデジタルコントローラ S_c は、アドミタンスタイプのもの (電圧入力 $v(n)$ および電流入力 $i(n)$) であるかまたはインピーダンスタイプのもの (電流入力 $i(n)$ および電圧出力 $v(n)$) である。

【0046】

有利には、デジタルコントローラ S_c は受動的である、すなわち、 $P_{dis}(n) = 0$ として、 $[E(n+1) - E(n)] / T = P_{ext}(n) - P_{dis}(n)$ という方程式を満たす。なお、式中、外部から寄与される出力 $P_{ext}(n)$ は、「入力・出力」の積、すなわち、両方の場合において $v(n) \cdot i(n)$ である。

10

【0047】

受動デジタル構成要素に接続されたデジタルコントローラ S_c のモデル S_{cr} は、コントローラ S_c に対するフィードバックループの追加に対応する。このモデルは、新しい「電圧 $w(n)$ および電流 $j(n)$ 」対を関係付ける。

【0048】

詳細には、図6により例示されている実施例において、受動デジタル構成要素は、インピーダンス抵抗 r であり、生成デバイス40は、アドミタンスタイプのものである。この場合、モデル S_{cr} は、インピーダンス r を有する受動デジタル構成要素と直列に接続されたデジタルコントローラ S_c のモデルである。ループは、 $w(n) = v(n) + r \cdot i(n)$ & $j(n) = i(n)$ の形で表現される。受動デジタル構成要素により消散される出力は、 $P_r(n) = r \cdot i(n)^2$ から得られる。

20

【0049】

図7によって例示されている実施例においては、受動デジタル構成要素はインピーダンス r の抵抗であり、生成デバイス40はインピーダンスタイプのものである。この場合、モデル S_{cr} は、インピーダンス r を有する受動デジタル構成要素と並列に接続されたデジタルコントローラ S_c のモデルである。ループは、 $w(n) = v(n)$ & $j(n) = i(n) + v(n) / r$ の形で表現される。受動デジタル構成要素により消散される出力は、 $P_r(n) = v(n)^2 / r$ から得られる。

30

【0050】

これらの実施例において、アセンブリ S_{cr} は、インピーダンス r を有する受動デジタル構成要素がコントローラ S_c に消散を加えることから、受動的である。実際、 $v(n) \cdot i(n) = -P_r(n) + w(n) \cdot j(n)$ であることから、出力バランスは、以下のようになる。

$$[E(n+1) - E(n)] / T = - [P_{dis}(n) + P_r(n)] + w(n) \cdot j(n)$$

式中、 $w(n) \cdot j(n)$ は、外部からアセンブリ S_{cr} に寄与された出力を表わし、ここで、アセンブリ S_{cr} によって消散された出力は、 $P_{dis}(n) + P_r(n) = P_{dis}(n) = 0$ である。

40

【0051】

一実施例において、デジタルコントローラ S_c は、以下の方程式によって記述される。これらの方程式は、入力 $v(n)$ および出力 $i(n)$ でアドミタンスタイプのものであるデジタルコントローラの場合に提供される。このようなコントローラは、以下のものにより表現される。

- サイズ $N \times$ の状態ベクトル $x(n)$ 、
- 入力 $v(n)$ の関数としてのその状態のダイナミクスについての方程式

$$x(n) / T = [J(x(n)) - M(x(n))] \cdot dH(x(n), x(n)) + G(x(n)) \cdot v(n) \quad (e.1)$$

50

式中、

- ・ $x(n+1) = x(n) + \Delta x(n)$
- ・ J : サイズ $N_x \times N_x$ の反対称行列 (matrice antisymétrique)
- ・ M : サイズ $N_x \times N_x$ の正の対称行列 (matrice symétrique positive)
- ・ G : サイズ N_x のベクトル
- ・ H : 正の定義済み正規スカラー関数 (fonction régulière scalaire)
- ・ Δ : $\Delta H(x(n), \Delta x(n))$. $\Delta x(n) = H(x(n+1)) - H(x(n))$ であるような演算子

- その出力 $i(n)$ についての方程式

$$i(n) = G(x(n))^T \Delta H(x(n), \Delta x(n)) \quad (e.2)$$

10

【0052】

コントローラ Sc のエネルギーは、 $E(n) = H(x(n))$ により定義される。(e.1) および (e.2) によると、このとき以下のように記することができる。

$$[E(n+1) - E(n)] / T = i(n) v(n) - \Delta H(x(n), \Delta x(n))^T M(x(n)) \Delta H(x(n), \Delta x(n))$$

式中、 $\Delta H(x(n), \Delta x(n))^T M(x(n)) \Delta H(x(n), \Delta x(n)) \geq 0$ (正またはゼロの消散出力)

【0053】

離散時間システムの受動性は、以下により保証される。

$$[E(n+1) - E(n)] / T \leq i(n) \cdot v(n)$$

20

【0054】

方程式 (e.1) および (e.2) のための解法の構築は、文献中に見出すことができる (例えば Itôh T., & Abe, K. による論文 (1988年)、Hamiltonian-conserving discrete canonical equations based on variational difference quotients. 「Journal of Computational Physics」, 76(1), 85~102、または、Falaize, A., & Helie, T. による論文 (2016年)、Passive guaranteed simulation of analog audio circuits: a port-Hamiltonian approach. 「Applied Sciences」, 6(10), 273) を参照のこと。

30

【0055】

この場合、インピーダンス r を有する受動デジタル構成要素に接続されたコントローラ Sc を含むシステム Scr のモデルは、以下の方程式によって提供される。まず、システム Scr と結び付けられた入出力ループは、以下のように記される (図6を参照のこと)。

$$v(n) = w(n) - r \cdot i(n)$$

これを、方程式 (e.1) に代入すると以下ようになる。

$$x(n) / T = [J(x(n)) - M^*(x(n))] \Delta H(x(n), \Delta x(n)) + G(x(n)) w(n)$$

なお、 $M^*(x(n)) = M(x(n)) + r G^T(x(n)) G(x(n)) \geq 0$ である。

40

【0056】

したがって、同じ解法が、 Sc および Scr をシミュレートするために使用可能である。実際、 Sc から Scr に行くためには、同じ特性を有する M と M^* (正の対称行列) とを置換するだけで充分である。

【0057】

デジタル出力信号 S_{s-num} を生成するために、制御可能な構成要素 70 は、例えば図8の流れ図に例示されているステップを含む方法を実装するように構成されている。

【0058】

該方法は、アナログ-デジタル変換器 48 に由来する変換済み入力信号 S_{E-C} を、第2の

50

特徴的インピーダンスの関数としての出力波を表わす第 1 の中間信号 S_{int1} へと変換するステップ 100 を含むように構成されている。より具体的には、第 1 の中間信号 S_{int1} は、仮想伝送ラインの出力波、すなわち物理システム S からデジタルコントローラ S_c まで特徴的インピーダンス r の仮想伝送ラインによって伝送される波動を表わす。

【0059】

例えば、生成デバイス 40 がアドミタンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、第 1 の中間信号 S_{int1} は、変換済み入力信号 S_{E-C} に

【数 3】

$$\sqrt{\frac{2}{r}}$$

10

を乗算し、先行する瞬間において得られた第 4 の中間信号 S_{int4} を減算することによって得られる。現瞬間における第 4 の中間信号 S_{int4} の獲得は、本明細書の残りの部分で説明される。

【0060】

例えば、生成デバイス 40 がインピーダンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、第 1 の中間信号 S_{int1} は、変換済み入力信号 S_{E-C} に

【数 4】

$$\sqrt{2r}$$

20

を乗算し、先行する瞬間において得られた第 4 の中間信号 S_{int4} を加算することによって得られる。現瞬間における第 4 の中間信号 S_{int4} の獲得は、本明細書の残りの部分で説明される。

【0061】

該方法は、第 1 の中間信号 S_{int1} を、コントローラ S_c に対して印加すべき電圧または電流を表わす第 2 の特徴的インピーダンスの関数としての第 2 の中間信号 S_{int2} へと変換するステップ 110 を含む。

【0062】

例えば、生成デバイス 40 がアドミタンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、第 2 の中間信号 S_{int2} は、第 1 の中間信号 S_{int1} に

【数 5】

$$\sqrt{2r}$$

40

を乗算することによって得られる。

【0063】

例えば、生成デバイス 40 がインピーダンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、第 2 の中間信号 S_{int2} は、第 1 の中間信号 S_{int1} に

【数 6】

$$\sqrt{\frac{2}{r}}$$

50

を乗算することによって得られる。

【 0 0 6 4 】

該方法は、第 3 の中間信号 S_{int3} を、第 2 の中間信号 S_{int2} およびモデル $S_{c r}$ の関数として計算するステップ 1 2 0 を含む。したがって、第 3 の中間信号 S_{int3} は、特徴的インピーダンス r の伝送ラインとインタフェースされた元の受動システム S_c を再現するデジタル信号 $S_{c r}$ のシミュレーションによって得られる。したがって、このステップにより、受動デジタル構成要素に接続されたコントローラ S_c により形成されたアセンブリによって出力される電流または電圧の値を得ることが可能になる。

【 0 0 6 5 】

生成デバイス 4 0 がアドミタンスタイプのものである場合、第 3 の中間信号 S_{int3} は電流を表わす。生成デバイス 4 0 がインピーダンスタイプのものである場合、第 3 の中間信号 S_{int3} は電圧を表わす。

10

【 0 0 6 6 】

該方法は、第 3 の中間信号 S_{int3} を、第 2 の特徴的インピーダンス r の関数としての出力波を表わす第 4 の中間信号 S_{int4} へと変換するステップ 1 3 0 を含む。

【 0 0 6 7 】

例えば、生成デバイス 4 0 がアドミタンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、第 4 の中間信号 S_{int4} は、第 3 の中間信号 S_{int3} に

【数 7】

$$\sqrt{2r}$$

20

を乗算しかつ第 1 の中間信号 S_{int1} を加算することによって得られる。

【 0 0 6 8 】

例えば、生成デバイス 4 0 がインピーダンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、第 4 の中間信号 S_{int4} は、第 3 の中間信号 S_{int3} に

【数 8】

$$\sqrt{\frac{2}{r}}$$

30

を乗算しかつ第 1 の中間信号 S_{int1} を減算することによって得られる。

【 0 0 6 9 】

該方法は、第 4 の中間信号 S_{int4} を、第 2 の特徴的インピーダンス r の関数としての制御可能な構成要素 7 0 のデジタル出力信号 S_{s-num} へと変換するステップ 1 4 0 を含む。

【 0 0 7 0 】

例えば、生成デバイス 4 0 がアドミタンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、デジタル出力信号 S_{s-num} は、第 3 の中間信号 S_{int3} に

【数 9】

$$\left(-\sqrt{\frac{2}{r}}\right)$$

40

を乗算することによって得られる。

【 0 0 7 1 】

例えば、生成デバイス 4 0 がインピーダンスタイプのものであり、受動デジタル構成要素がインピーダンス r の抵抗である場合、デジタル出力信号 S_{s-num} は、第 3 の中間信号 S_{int3} に

50

int3に

【数 1 0】

$$(-\sqrt{2r})$$

を乗算することによって得られる。

【0 0 7 2】

デジタル - アナログ変換器 5 2 は、アナログブロック 4 6 の入力端とデジタルブロック 5 0 の出力端との間に接続される。

10

【0 0 7 3】

有利には、アナログ - デジタル変換器 4 8 とデジタル - アナログ変換器 5 2 とは、共通のクロック信号について同期化される。

【0 0 7 4】

デジタル - アナログ変換器 5 2 は、デジタル出力信号 S_{s-num} をアナログに変換して、発生器 6 6 による制御信号 I_s 、 V_s の第 2 の成分の生成を誘発する発生器 6 6 のアナログ制御を得るように構成されている。

【0 0 7 5】

ここで、生成デバイス 4 0 の動作について説明する。

【0 0 7 6】

最初に、生成デバイス 4 0 は、入力として電気システム S 由来の入力信号 V_c 、 I_c を受信する。

20

【0 0 7 7】

電気回路 6 0 の受動アナログ構成要素 6 2 は、入力信号 V_c 、 I_c の関数として、制御信号 I_s 、 V_s の第 1 の成分を生成する。

【0 0 7 8】

電気回路 6 0 の発生器 6 6 は、デジタルブロック 5 0 に由来する受信した制御の関数として、制御信号 I_s 、 V_s の第 2 の成分を生成する。

【0 0 7 9】

生成された第 1 の成分および第 2 の成分は、電気回路 6 0 の出力端で合計されて、制御信号 I_s 、 V_s を形成する。

30

【0 0 8 0】

発生器 6 6 の制御は、以下のステップによって得られる。入力信号 V_c 、 I_c の測定を、アナログ - デジタル変換器 4 8 によってデジタルに変換して、変換済み入力信号 S_{E-C} を得る。

【0 0 8 1】

デジタルブロック 5 0 の制御可能な構成要素 7 0 が次に、発生器 6 6 のデジタル制御に対応するデジタル出力信号 S_{s-num} を生成する。

【0 0 8 2】

デジタル出力信号 S_{s-num} は、デジタル - アナログ変換器 5 2 によってアナログに変換され、これにより、発生器 6 6 のアナログ制御を得ることが可能になる。受信した制御の関数として、発生器 6 6 は、制御信号 I_s 、 V_s の第 2 の成分を生成する。

40

【0 0 8 3】

したがって、生成デバイス 4 0 は、電気制御式システム S を受動的に調節するように設計されている。これにより、特に、制御すべき連続時間システムと離散時間システムとの間の遅延の存在下で接続の受動性を保つことが可能となる。技術的現状の結果は連続領域のみかまたはデジタル領域のみに関わることから、「連続時間 / 離散時間」の特異性のためにこれらの結果があてはまらないことになる。

【0 0 8 4】

アナログハードウェア要素（連続時間部分上）、デジタルハードウェア要素およびアル

50

ゴリズム要素（離散時間部分上）を組み合わせることによって、生成デバイス40は、「半物理的、半デジタル」の受動的仮想伝送ラインの実現を可能にする。

【0085】

生成デバイス40は同様に、該方法の開発において、その物理ハードウェア形態Rとそのデジタルクローンrとを人工的に区別することによって、これらの形態における伝送ラインの特徴的インピーダンスを組み合わせることのむずかしさを考慮に入れている。このアプローチと消散性分析とを組み合わせることでRとrとの間の順序関係が導かれる。すなわち、該方法は、Rに関する不確実性（温度、経時的変動などに対する潜在的感応性）を考慮して、受動性を保証することを可能にする条件を提供する。

【0086】

生成デバイス40は、特に、オーディオシステム、例えばスピーカ、特に、HiFi用に補正されたスピーカ、スタジオおよびコンサートホール用の吸音装置、拡張楽器を制御するため、または、仮想楽器の線形もしくは非線形インピーダンス負荷の物理的再構築のために使用されるように意図されている。

【0087】

より一般的には、生成デバイス40は、作動されるあらゆる物理システム、例えば航空および輸送用の吸振器および吸音装置、振動表面コントローラ（スピーカ無しの音響拡散）またはメカトロニクスシステムスタビライザに対し適応可能である。

【0088】

当業者であれば、本発明が本明細書中に記載の実施例に限定されないことを理解するものである。例えば、物理システムSから収集されたかもしくはそうでない物理センサからの追加情報（条件付けされデジタルに変換された信号）またはデジタル信号（標的軌道、設定値または他のタイプの情報）をコントローラScに提供することができるという点に留意すべきである。同様に、デジタルコントローラを、デジタル接続ポートを有する均衡のとれた出力システムまたは受動システムで置換することも可能であると思われる、という点にも留意すべきである。

10

20

30

40

50

【図面】

【図 1】

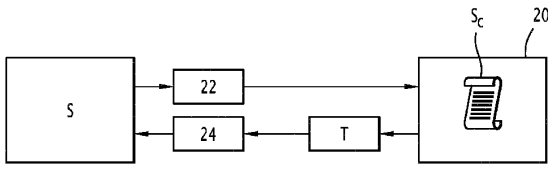


FIG.1

【図 2】

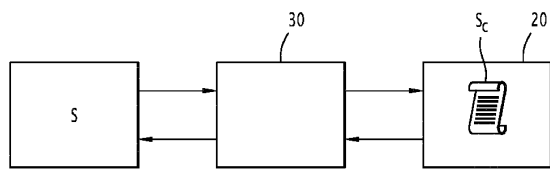


FIG.2

10

【図 3】

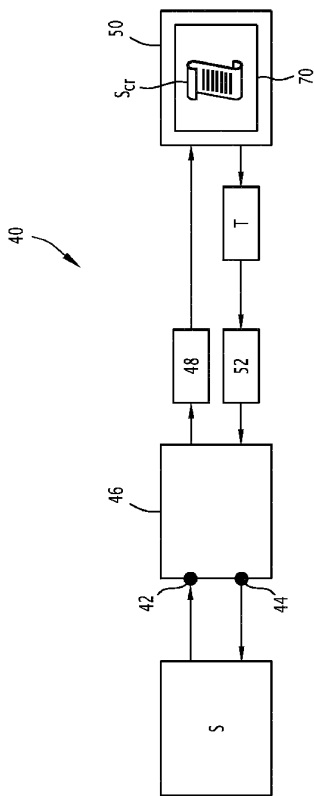


FIG.3

【図 4】

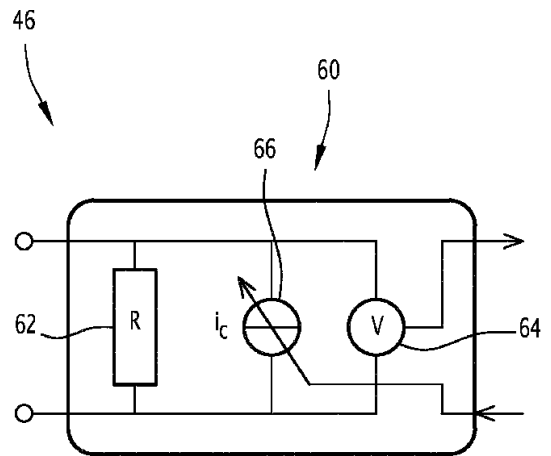


FIG.4

20

30

40

50

【 図 5 】

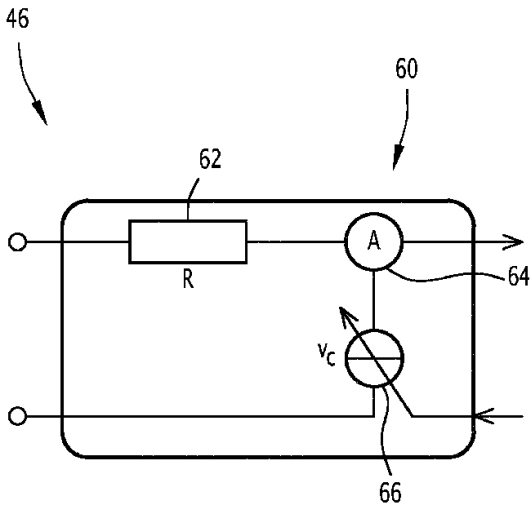


FIG.5

【 図 6 】

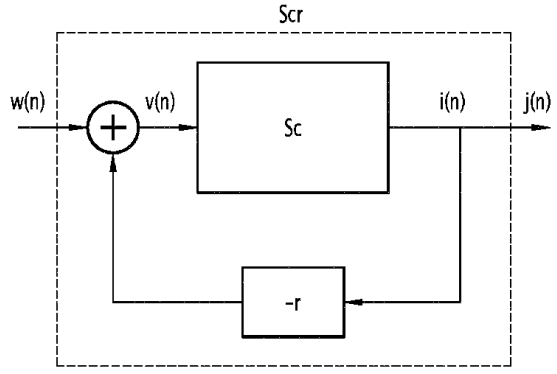


FIG.6

【 図 7 】

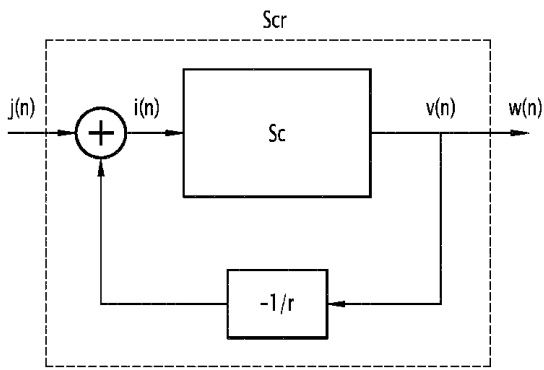


FIG.7

【 図 8 】

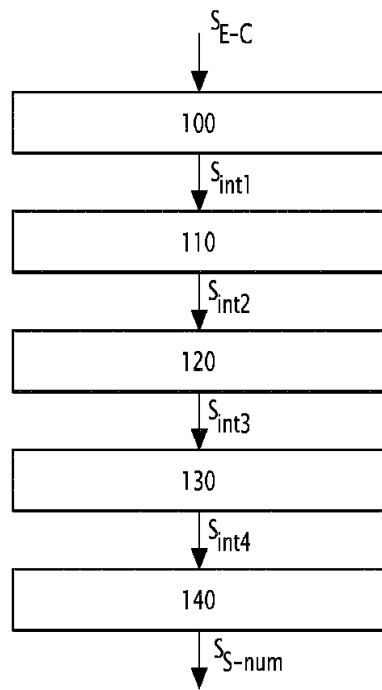


FIG.8

10

20

30

40

50

フロントページの続き

- (74)代理人 100099759
弁理士 青木 篤
- (74)代理人 100123582
弁理士 三橋 真二
- (74)代理人 100092624
弁理士 鶴田 準一
- (74)代理人 100114018
弁理士 南山 知広
- (74)代理人 100153729
弁理士 森本 有一
- (72)発明者 トマ エリー
フランス国, 75013 パリ, リュ ドゥ ジャブロ 75
- (72)発明者 トリスタン ルブラン
フランス国, 75020 パリ, リュ ベルグラン, 30
- 審査官 堀 洋介
- (56)参考文献 国際公開第2018/116861(WO, A1)
特開2019-161368(JP, A)
国際公開第2017/164380(WO, A1)
特開2011-019209(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H04R 3/00 - 3/14
H04R 9/00 - 9/06
G10K 11/178