



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월03일
 (11) 등록번호 10-1141489
 (24) 등록일자 2012년04월23일

(51) 국제특허분류(Int. Cl.)
 H01G 4/30 (2006.01) H01G 4/12 (2006.01)
 (21) 출원번호 10-2010-0126974
 (22) 출원일자 2010년12월13일
 심사청구일자 2010년12월13일
 (56) 선행기술조사문헌
 JP2010092896 A*
 JP2004186342 A*
 KR1020060058675 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 김형준
 경기도 화성시 반송동 나루마을월드메르디앙아파트 635-2602
 김중훈
 경기도 화성시 능동 숲속마을모아미래도1단지아파트 846-402
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 17 항

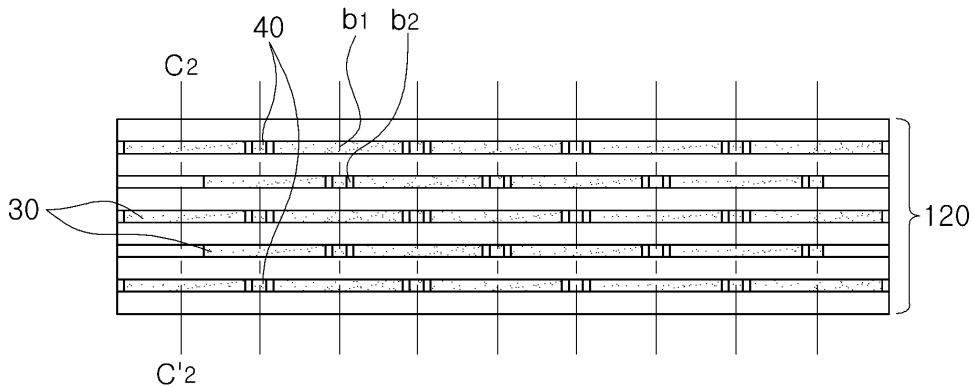
심사관 : 이우석

(54) 발명의 명칭 **적층 세라믹 콘덴서 및 그 제조방법**

(57) 요약

본 발명의 적층 세라믹 콘덴서 및 적층 세라믹 콘덴서 제조방법에 관한 것으로, 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 제조방법은 세라믹 그린시트에 복수개의 스트라이프형 내부 전극 패턴을 평행하게 인쇄하는 단계; 복수개의 스트라이프형 내부 전극 패턴이 인쇄된 세라믹 그린시트를 적층하여 적층체를 형성하는 단계; 제1 내부 전극 패턴과 제2 내부 전극 패턴이 서로 교차 적층되는 구조를 갖도록 상기 적층체를 절단하는 단계; 및 제1 내부 전극 패턴과 제2 내부 전극 패턴이 모두 노출되는 상기 적층체의 측면을 덮도록 세라믹 슬러리를 도포하여 제1 사이드 부 및 제2 사이드 부를 형성하는 단계;를 포함한다.

대표도 - 도3a



(72) 발명자

허강현

경기도 성남시 분당구 정자일로213번길 5,
정자I'PARK 301동 701호 (정자동)

오대복

서울특별시 강남구 선릉로 221, 렉슬아파트 207동
2001호 (도곡동)

특허청구의 범위

청구항 1

복수개의 세라믹 그린시트 위에 서로 평행한 복수개의 스트라이프형 내부 전극 패턴을 상기 스트라이프형 내부 전극 패턴의 장축 방향으로 인쇄하는 단계;

상기 복수개의 스트라이프형 내부 전극 패턴 사이에 각각 라인 패턴을 상기 라인 패턴의 장축 방향으로 인쇄하는 단계; 및

상기 스트라이프형 내부 전극 패턴과 상기 라인 패턴이 인쇄된 세라믹 그린시트를 절단하는 단계;를 포함하고, 상기 스트라이프형 내부 전극 패턴 및 상기 라인 패턴이 인쇄된 층의 각 절단면에 상기 스트라이프형 내부 전극 패턴 및 상기 라인 패턴 중 적어도 어느 하나의 적어도 일부가 노출되도록 하는 적층 세라믹 콘덴서 제조방법.

청구항 2

제1항에 있어서,

상기 라인 패턴은 상기 스트라이프형 내부 전극 패턴을 인쇄와 동시에 또는 인쇄한 후에 인쇄하는 적층 세라믹 콘덴서 제조방법.

청구항 3

제1항에 있어서,

상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격을 a라 정의하고, 라인 패턴의 폭을 b라 정의하면, 상기 a, b는 다음과 같은 [식 1]을 만족하는 적층 세라믹 콘덴서 제조방법.

[식 1]

$$1\mu\text{m} \leq a-2b \leq 200\mu\text{m}$$

청구항 4

제1항에 있어서,

상기 스트라이프형 내부 전극 패턴과 라인 패턴 사이의 간격이 $110\mu\text{m}$ 이하가 되도록 인쇄하는 적층 세라믹 콘덴서 제조방법.

청구항 5

제1항에 있어서,

상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격이 $140\mu\text{m}$ 인 경우, 라인 패턴의 폭이 $60\mu\text{m}$ 이하인 적층 세라믹 콘덴서 제조방법.

청구항 6

제1항에 있어서,

상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격이 $120\mu\text{m}$ 인 경우,

라인 패턴의 폭이 40 μ m 이하인 적층 세라믹 콘덴서 제조방법.

청구항 7

제1항에 있어서,

상기 복수개의 스트라이프형 내부 전극 패턴과 라인 패턴은 인쇄 면적에 대한 인쇄 번짐 면적의 비율이 12% 이하인 적층 세라믹 콘덴서 제조방법.

청구항 8

제1항에 있어서, 상기 절단하는 단계는,

상기 복수개의 세라믹 그린시트를 스트라이프형 내부 전극 패턴이 서로 엇갈리게 교차 적층하는 단계; 및

상기 복수개의 세라믹 그린시트를 절단하여 복수개의 적층 본체를 형성하는 단계;

를 포함하는 적층 세라믹 콘덴서 제조방법.

청구항 9

제8항에 있어서,

상기 스트라이프형 내부 전극 패턴을 서로 엇갈리게 교차 적층하는 단계는,

상기 스트라이프형 내부 전극 패턴의 중앙부와 인접한 세라믹 그린시트에 배치된 라인 패턴의 중앙부가 일직선 상에 배치되도록 상기 복수개의 세라믹 그린 시트를 교차 적층하는 적층 세라믹 콘덴서 제조방법.

청구항 10

제8항에 있어서,

상기 복수개의 세라믹 그린시트를 절단하는 단계는,

상기 복수개의 세라믹 그린시트를 복수개의 스프라이트형 내부 전극 패턴의 수직 방향으로 절단하여 제1 절단면 및 제2 절단면을 갖는 막대형 적층체를 형성하는 단계;

상기 막대형 적층체를 상기 스프라이트형 내부 전극 패턴의 중앙부와 인접한 세라믹 그린시트에 배치된 라인 패턴의 중앙부를 포함하도록 칩 사이즈로 절단하여 제3 절단면 및 제4 절단면을 갖는 적층 본체를 형성하는 단계;

를 포함하는 적층 세라믹 콘덴서 제조방법.

청구항 11

제10항에 있어서,

상기 막대형 적층체를 적층 본체로 절단하기 전 또는 후에,

상기 막대형 적층체의 제1 절단면 및 제2 절단면에 세라믹 슬러리를 도포하여 제1 사이드 부 및 제2 사이드 부를 형성하는 단계

를 더 포함하는 적층 세라믹 콘덴서 제조방법.

청구항 12

제10항에 있어서,

상기 적층 본체의 상기 제3 절단면 및 제4 절단면 각각에 제1 외부 전극 및 제2 외부 전극 형성하는 단계;
를 더 포함하는 적층 세라믹 콘덴서 제조방법.

청구항 13

복수개의 유전체층이 적층되며, 제1 측면, 제2 측면, 제3 측면 및 제4 측면을 포함하는 적층 본체;

상기 적층 본체의 서로 대향하는 제1 측면 및 제3 측면에 각각 형성된 제1 외부 전극 및 제2 외부 전극;

상기 적층 본체의 내부에, 각각 제1 측면 및 제3 측면으로 인출되도록 형성되고, 각각 제3 측면 및 제1 측면으로부터 소정의 간격을 두고 유전체층을 덮도록 형성된 제1 내부 전극 패턴 및 제2 내부 전극 패턴; 및

상기 제3 측면과 제1 내부 전극 패턴 사이 및 상기 제1 측면과 제2 내부 전극 패턴 사이에 각각 형성되는 제2 더미 패턴 및 제1 더미 패턴;

을 포함하고,

상기 제1 내부 전극 패턴이 형성되는 층에는, 상기 제1 내부 전극 패턴 및 상기 제2 더미 패턴 중 적어도 어느 하나의 패턴이 적어도 일부 해당 층에서 상기 제1 내지 제4 측면으로 각각 노출되며,

상기 제2 내부 전극 패턴이 형성되는 층에는, 상기 제2 내부 전극 패턴 및 상기 제1 더미 패턴 중 적어도 어느 하나의 패턴이 적어도 일부 해당 층에서 상기 제1 내지 제4 측면으로 각각 노출되는 적층 세라믹 콘덴서.

청구항 14

제13항에 있어서,

상기 제1 내부 전극 패턴 또는 상기 제2 내부 전극 패턴과 제3 측면 또는 제1 측면과의 거리는 150 μ m 이하인 적층 세라믹 콘덴서.

청구항 15

제13항에 있어서,

상기 적층 본체의 서로 대향하는 제2 측면과 제4 측면에 각각 세라믹 슬러리가 도포되어 형성된 제1 사이드부 및 제2 사이드부;

를 포함하는 적층 세라믹 콘덴서.

청구항 16

제13항에 있어서,

상기 적층 본체의 높이를 h1이라 하고, 적층 본체 내부에 형성된 제1 및 제2 내부 전극 패턴에 의하여 단차가 형성된 부분의 높이를 h2라 한다면, 상기 h1, h2는 다음과 같은 [식 2]을 만족하는 적층 세라믹 콘덴서.

[식 2]

$$(h1-h2)/h1 \leq 0.1$$

청구항 17

제13항에 있어서,

상기 제1 내부 전극 패턴 또는 상기 제2 내부 전극 패턴과 제2 더미 패턴 또는 제1 더미 패턴과의 거리는 70 μ m

이하인 적층 세라믹 콘덴서.

명세서

기술분야

[0001] 본 발명은 적층 세라믹 콘덴서 및 그 제조방법에 관한 것으로, 보다 구체적으로 내구성을 확보하여 신뢰성 높은 적층 세라믹 콘덴서를 제조할 수 있는 방법 및 그에 따라 제조된 적층 세라믹 콘덴서에 관한 것이다.

배경기술

[0002] 콘덴서는 전기를 저장할 수 있는 소자로서, 기본적으로 2개의 전극을 서로 대향시켜, 전압을 걸면 각 전극에 전기가 축적되는 것이다. 직류전압을 인가한 경우에는 전기가 축전 되면서 콘덴서 내부에 전류가 흐르지만, 축전이 완료되면 전류가 흐르지 않게 된다. 한편, 교류전압을 인가한 경우, 전극의 극성이 교번하면서 교류 전류가 계속 흐르게 된다.

[0003] 이러한 콘덴서는 전극 간에 구비되는 절연체의 종류에 따라서, 알루미늄으로 전극을 구성하고 상기 알루미늄 전극 사이에 얇은 산화막을 구비하는 알루미늄 전해 콘덴서, 전극 재료로 탄탈륨을 사용하는 탄탈륨 콘덴서, 전극 사이에 티타늄 바륨과 같은 고유전율의 유전체를 사용하는 세라믹 콘덴서, 전극 사이에 구비되는 유전체로 고유전율계 세라믹을 다층 구조로 사용하는 적층 세라믹 콘덴서(Multi Layer Ceramic Condenser, MLCC), 전극 사이의 유전체로 폴리스티렌 필름을 사용하는 필름 콘덴서 등 여러 종류로 구분될 수 있다.

[0004] 이 중에서 적층 세라믹 콘덴서는 온도 특성 및 주파수 특성이 우수하고 소형으로 구현할 수 있다는 장점이 있어 최근 고주파회로 등 다양한 분야에서 많이 응용되고 있다.

[0005] 종래 기술에 따른 적층 세라믹 콘덴서는, 복수개의 유전체 시트가 적층되어 적층체를 형성하며, 상기 적층체 외부에 서로 다른 극성을 갖는 외부 전극이 형성되고, 상기 적층체의 내부에 교대로 적층된 내부 전극 패턴이 상기 각각의 외부 전극에 연결될 수 있다.

[0006] 상기 유전체 시트 사이에 교대로 형성된 내부전극이 각각 서로 다른 극성을 갖도록 연결되어 용량결합을 일으킴으로써 상기 적층 세라믹 콘덴서가 캐패시턴스 값을 갖게 된다.

[0007] 최근 전자 제품의 소형화 및 고집적화에 따라 적층 세라믹 콘덴서의 경우에도 소형화 고집적화를 위한 연구가 많이 이루어지고 있다. 특히 적층 세라믹 콘덴서의 경우 고용량화 및 소형화를 위하여 유전체층을 박층화하여 고적층화하고, 내부 전극 패턴의 연결성을 향상시키고자 하는 다양한 시도가 이루어지고 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 적층 세라믹 콘덴서의 고적층화 및 소형화를 위하여 내부 전극 패턴의 인쇄 해상도를 향상시키고, 적층된 복수개의 유전체층의 단차를 제거하여 절연 저항의 가속수명을 향상시킨 적층 세라믹 콘덴서 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 제조방법은 복수개의 세라믹 그린시트 위에 서로 평행한 복수개의 스트라이프형 내부 전극 패턴을 상기 스트라이프형 내부 전극 패턴의 장축 방향으로 인쇄하는 단계; 복수개의 스트라이프형 내부 전극 패턴 사이에 각각 라인 패턴을 상기 라인 패턴의 장축 방향으로 인쇄하는 단계; 및 상기 스트라이프형 내부 전극 패턴과 상기 라인 패턴이 인쇄된 세라믹 그린시트를 절단하는 단계;를 포함하고, 상기 스트라이프형 내부 전극 패턴 및 상기 라인 패턴이 인쇄된 층의 각 절단면에 상기 스트라이프형 내부 전극 패턴 및 상기 라인 패턴 중 적어도 어느 하나의 적어도 일부가 노출되도록 할 수 있다.

[0010] 상기 라인 패턴은 스트라이프형 내부 전극 패턴을 인쇄와 동시에 또는 인쇄한 후에 인쇄될 수 있다.

[0011] 상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격을 a라 정의하고, 라인 패턴의 폭을 b라 정의하면, 상기 a, b는 다음과 같은 [식 1]을 만족할 수 있다.

- [0012] [식 1]
- [0013] $1\mu\text{m} \leq a-2b \leq 200\mu\text{m}$
- [0014] 상기 스트라이프형 내부 전극 패턴과 라인 패턴 사이의 간격이 $110\mu\text{m}$ 이하가 되도록 인쇄할 수 있다.
- [0015] 상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격이 $140\mu\text{m}$ 인 경우, 라인 패턴의 폭이 $60\mu\text{m}$ 이하일 수 있다.
- [0016] 상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격이 $120\mu\text{m}$ 인 경우, 라인 패턴의 폭이 $40\mu\text{m}$ 이하일 수 있다.
- [0017] 상기 복수개의 스트라이프형 내부 전극 패턴과 라인 패턴은 인쇄 면적에 대한 인쇄 번짐 면적의 비율이 12% 이하일 수 있다.
- [0018] 상기 절단하는 단계는, 상기 복수개의 세라믹 그린시트를 스트라이프형 내부 전극 패턴이 서로 엇갈리게 교차 적층하는 단계; 및 복수개의 세라믹 그린시트를 절단하여 복수개의 적층 본체를 형성하는 단계;를 포함할 수 있다.
- [0019] 상기 스트라이프형 내부 전극 패턴을 서로 엇갈리게 교차 적층하는 단계는, 상기 스트라이프형 내부 전극 패턴의 중앙부와 인접한 세라믹 그린시트에 배치된 라인 패턴의 중앙부가 일직선 상에 배치되도록 상기 복수개의 세라믹 그린 시트를 교차 적층할 수 있다.
- [0020] 상기 복수개의 세라믹 그린시트를 절단하는 단계는, 상기 복수개의 세라믹 그린시트를 복수개의 스프라이트형 내부 전극 패턴을 가로지르도록 수직 방향으로 절단하여 제1 절단면 및 제2 절단면을 갖는 막대형 적층체를 형성하는 단계; 상기 막대형 적층체를 상기 스프라이트형 내부 전극 패턴의 중앙부와 인접한 세라믹 그린시트에 배치된 라인 패턴의 중앙부를 포함하도록 칩 사이즈로 절단하여 제3 절단면 및 제4 절단면을 갖는 적층 본체를 형성하는 단계;를 포함할 수 있다.
- [0021] 상기 막대형 적층체를 적층 본체로 절단하기 전 또는 후에, 막대형 적층체의 제1 절단면 및 제2 절단면에 세라믹 슬러리를 도포하여 제1 사이드 부 및 제2 사이드 부를 형성하는 단계를 더 포함할 수 있다.
- [0022] 상기 적층 본체의 상기 제3 절단면 및 제4 절단면 각각에 제1 외부 전극 및 제2 외부 전극을 형성하는 단계;를 더 포함할 수 있다.
- [0023] 본 발명의 다른 실시예에 따른 적층 세라믹 콘덴서는 복수개의 유전체층이 적층되며, 제1 측면, 제2 측면, 제3 측면 및 제4 측면을 포함하는 적층 본체; 상기 적층 본체의 서로 대향하는 제1 측면 및 제3 측면에 각각 형성된 제1 외부 전극 및 제2 외부 전극; 적층 본체의 내부에, 각각 제1 측면 및 제3 측면으로 인출되도록 형성되고, 각각 제3 측면 및 제1 측면으로부터 소정의 간격을 두고 유전체층을 덮도록 형성된 제1 내부 전극 패턴 및 제2 내부 전극 패턴; 및 제3 측면과 제1 내부 전극 패턴 사이 및 상기 제1 측면과 제2 내부 전극 패턴 사이에 각각 형성되는 제1 더미 패턴 및 제2 더미 패턴;을 포함하고, 상기 제1 내부 전극 패턴이 형성되는 층에는, 상기 제1 내부 전극 패턴 및 상기 제2 더미 패턴 중 적어도 어느 하나의 패턴이 적어도 일부 해당 층에서 상기 제1 내지 제4 측면으로 각각 노출되며, 상기 제2 내부 전극 패턴이 형성되는 층에는, 상기 제2 내부 전극 패턴 및 상기 제1 더미 패턴 중 적어도 어느 하나의 패턴이 적어도 일부 해당 층에서 상기 제1 내지 제4 측면으로 각각 노출되도록 할 수 있다.
- [0024] 상기 제1 내부 전극 패턴 또는 상기 제2 내부 전극 패턴과 제3 측면 또는 제1 측면과의 거리는 $150\mu\text{m}$ 이하일 수 있다.
- [0025] 상기 적층 본체의 서로 대향하는 제2 측면과 제4 측면에 각각 세라믹 슬러리가 도포되어 형성된 제1 사이드부 및 제2 사이드 부;를 더 포함할 수 있다.
- [0026] 상기 적층 본체의 높이를 h_1 이라 하고, 단차가 형성된 부분의 높이를 h_2 라 한다면, 상기 h_1 , h_2 는 다음과 같은 [식 2]을 만족할 수 있다.
- [0027] [식 2]
- [0028] $(h_1-h_2)/h_1 \leq 0.1$

상기 제1 내부 전극 패턴 또는 상기 제2 내부 전극 패턴과 제2 더미 패턴 또는 제1 더미 패턴과의 거리는 70 μ m 이하일 수 있다.

발명의 효과

[0029] 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 제조방법에 따르면, 스트라이프형 내부 전극 패턴과 라인 패턴을 유전체층을 장축 방향으로 인쇄하기 때문에 인쇄의 해상도를 높일 수 있다. 그리고 인쇄 해상도가 높아짐에 따라 더욱 미세한 크기와 간격으로 배치된 스트라이프형 내부 전극 패턴과 라인 패턴을 인쇄할 수 있다.

[0030] 또한, 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 제조방법에 따르면, 라인 패턴이 인쇄되기 때문에 유전체층의 단차가 해소되어 유전체층의 층간 두께 변화가 거의 작은 칩을 제조할 수 있다. 또한, 내부 전극 패턴이 유전체층의 일부분에 형성되지 않고 유전체층을 덮도록 형성되기 때문에 적층 본체 내부에서의 유전체층의 단차를 해소할 수 있다.

[0031] 또한, 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서의 경우, 내부 전극 패턴이 유전체층을 덮도록 형성되어 제1 내부 전극 패턴과 제2 내부 전극 패턴 사이의 겹침 면적을 확보할 수 있고, 박막의 유전체층 또는 내부 전극 패턴을 형성할 수 있기 때문에 적층 세라믹 콘덴서의 소형화 및 고적층화가 가능해진다.

[0032] 그리고, 적층 본체를 형성한 뒤 적층 본체의 제1 내부 전극 패턴과 제2 내부 전극 패턴이 노출된 적층 본체의 측면에 사이드 부를 원하는 두께를 갖도록 형성할 수 있기 때문에, 내부 전극 패턴이 차지하는 공간을 최대한 확보할 수 있어 제품의 설계 자유도가 향상될 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서의 사시도이다.
- 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 스트라이프형 내부 전극 패턴 및 라인 패턴이 인쇄된 세라믹 그린시트를 나타내는 평면도 및 정면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 복수개의 세라믹 그린시트가 적층된 적층체를 나타내는 정면도이다.
- 도 3b는 본 발명의 일 실시예에 따른 막대형 적층체의 절단 라인을 나타내는 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 적층 본체를 나타내는 사시도이다.
- 도 5a는 도 4의 적층 본체를 A-A' 선을 따라 절단한 단면도이다.
- 도 5b는 도 4의 적층 본체를 B-B' 선을 따라 절단한 단면도이다.
- 도 6은 본 발명의 일 실시예에 따라 사이드 부가 형성된 적층 본체를 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.

[0035] 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.

[0036] 덧붙여 명세서 전체에서, 어떤 구성요소를 '포함' 한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

- [0037] 이하, 도 1 내지 도 6을 참조하여 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 및 그 제조방법에 대하여 알아보자.
- [0038] 도 1은 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서의 사시도이고, 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 스트라이프형 내부 전극 패턴 및 라인 패턴이 인쇄된 세라믹 그린시트를 나타내는 평면도 및 정면도이며, 도 3a은 본 발명의 일 실시예에 따른 복수개의 세라믹 그린시트가 적층된 적층체를 나타내는 정면도이고, 도 3b는 본 발명의 일 실시예에 따른 막대형 적층체의 절단 라인을 나타내는 평면도이며, 도 4는 본 발명의 일 실시예에 따른 적층 본체를 나타내는 사시도이며, 도 5a는 도 4의 적층 본체를 A-A' 선을 따라 절단한 단면도이고, 도 5b는 도 4의 적층 본체를 B-B' 선을 따라 절단한 단면도이며, 도 6은 본 발명의 일 실시예에 따라 사이드 부가 형성된 적층 본체를 절단한 단면도이다.
- [0039] 도 1을 참조하면, 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서(1)는 복수개의 유전체층이 적층된 적층 본체(20), 제1 외부 전극(10a), 제2 외부 전극(10b), 제1 내부 전극 패턴 및 제2 내부 전극 패턴을 포함한다.
- [0040] 복수개의 유전체층을 적층되어 세라믹 적층 본체(20)를 형성할 수 있다. 상기 적층 본체(20)는 순서대로 제1 측면, 제2 측면, 제3 측면 및 제4 측면을 포함하도록 형성될 수 있다.
- [0041] 상기 적층 본체의 서로 대향하는 제1 측면 및 제3 측면에는 제1 외부 전극(10a) 및 제2 외부 전극(10b)이 각각 형성될 수 있다. 상기 적층 본체의 내부에는 제1 내부 전극 패턴 및 제2 내부 전극 패턴이 1개 이상의 유전체층을 사이에 두고 교차 적층될 수 있으며, 상기 제1 내부 전극 패턴과 제2 내부 전극 패턴은 각각 제1 측면 및 제3 측면으로 인출되도록 형성되어 제1 외부 전극(10a) 및 제2 외부 전극(10b)과 각각 연결될 수 있다.
- [0042] 상기 적층 본체를 구성하는 복수개의 유전체층은 소정의 유전율을 갖는 세라믹 그린시트로 제조될 수 있다.
- [0043] 상기 제1 외부 전극(10a) 및 제2 외부 전극(10b)은 전기 전도성이 우수한 물질로 적층 세라믹 콘덴서와 외부 소자를 전기적으로 연결하는 역할을 할 수 있으며, 이에 제한되는 것은 아니나 Ni, Ag 또는 Pd와 같은 물질로 이루어질 수 있다.
- [0044] 상기 적층 본체(20)가 고적층화 될수록 유전체층의 단차가 커지고, 내부 전극 패턴의 두께가 얇아지게 된다. 따라서, 내부 전극 패턴이 쇼트되는 현상이 빈번하게 발생할 수 있다.
- [0045] 그러나, 본 발명의 일 실시예에 따르면 내부 전극 패턴과 내부 전극 패턴 사이에 라인 패턴이 형성되며, 이는 유전체층의 적층시 단차를 해소하는 더미 패턴으로써 역할을 하기 때문에, 유전체층과 내부 전극 패턴이 형성되는 층 사이의 층간 밀도를 줄일 수 있게 된다.
- [0046] 따라서, 복수개의 유전체층이 적층되더라도 복수개의 유전체층 사이 두께 편차가 작아지게 되고, 또한 표면에 단차가 생기는 것을 방지할 수 있다.
- [0047] 또한, 본 발명의 일 실시예에 따르면 박막 내부 전극 패턴 및 유전체층을 형성하더라도, 내부 전극 패턴이 유전체층을 덮도록 형성되기 때문에 상기 적층 본체(20)의 내부에 형성된 제1 내부 전극 패턴 및 제2 내부 전극 패턴의 연결성이 우수해지고, 겹침 면적이 증가하여 적층 세라믹 콘덴서의 용량을 확보할 수 있다.
- [0048] 이하, 본 발명의 일 실시예에 따라 단차가 작은 복수개의 유전체층이 적층된 적층 세라믹 콘덴서 제조방법에 대

하여 알아보자.

- [0049] 도 2a 및 도 2b는 본 발명의 일 실시예에 따라 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)이 인쇄된 세라믹 그린시트를 나타내는 평면도 및 단면도이다.
- [0050] 도 2a를 참조하면, 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서를 제조하기 위하여 복수개의 세라믹 그린시트(100)를 적층하여 유전체층을 형성할 수 있다.
- [0051] 상기 세라믹 그린시트(100)는 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 페이스트가 도포 및 건조되어 형성될 수 있다.
- [0052] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니지만 티탄산바륨(BaTiO₃)계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬(SrTiO₃)계 재료 등을 사용할 수 있으며, 바람직하게는 티탄산바륨(BaTiO₃) 파우더가 사용될 수 있다.
- [0053] 상기 유기 바인더는 세라믹 파우더의 분산성을 확보하기 위한 것으로, 이에 제한되는 것은 아니나 에틸 셀룰로오스, 폴리 비닐 부티랄 및 이들의 혼합물이 사용될 수 있다.
- [0054] 상기 세라믹 그린시트(100)는 세라믹 페이스트를 폴리에틸렌 테레프탈레이트와 같은 캐리어 필름을 도포하여 형성될 수 있으나, 이에 제한되는 것은 아니다.
- [0055] 세라믹 그린시트(100)를 형성한 뒤에, 세라믹 그린시트(100) 위에 복수개의 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)을 인쇄할 수 있다.
- [0056] 상기 스트라이프형 내부 전극 패턴(30) 및 라인 패턴(40)은 전기 전도성이 우수한 물질로 이루어질 수 있으며, 본 발명의 일 실시예에 따르면 도전성 금속을 포함할 수 있다. 그리고, 상기 도전성 금속으로 Ni, Cu, Pd 및 이들의 합금으로 이루어진 군 중에서 선택된 하나 이상이 사용될 수 있다.
- [0057] 상기 스트라이프형 내부 전극 패턴(30)과 상기 라인 패턴(40)은 상기 세라믹 그린시트(100) 위에 도전성 금속을 포함하는 내부 전극 페이스트가 인쇄되어 형성되며, 이에 제한되는 것은 아니나 스크린 인쇄법과 같은 인쇄법을 통해 세라믹 그린시트 위에 인쇄될 수 있다.
- [0058] 본 발명의 일 실시예에 따르면, 상기 세라믹 그린시트(100) 위에 인쇄되는 복수개의 스트라이프형 내부 전극 패턴(30)은 서로 평행하게 인쇄될 수 있으며, 특히 그 장축 방향으로 인쇄될 수 있다.
- [0059] 또한, 상기 복수개의 스트라이프형 내부 전극 패턴(30) 사이에는 라인(line) 형상의 라인 패턴(40)이 인쇄될 수 있다. 상기 라인 패턴(40)은 복수개의 스트라이프형 내부 전극 패턴(30) 패턴 사이에 상기 스트라이프형 내부 전극 패턴(30)과 평행하게 인쇄될 수 있다. 그리고 상기 라인 패턴(40)은 스트라이프형 내부 전극 패턴(30)이 인쇄되는 동시에 함께 인쇄되거나, 스트라이프형 내부 전극 패턴(30)이 인쇄된 다음에 인쇄될 수 있다.
- [0060] 특히, 스크린 인쇄법을 사용하는 경우, 스크린 인쇄법에 사용되는 스크린은 유제막이 형성된 부분과 유제막이 형성되지 않은 부분을 포함하도록 형성되며, 특히 전극 페이스트를 올려놓고 스퀴즈로 스크린을 가압하면 유제막이 형성되지 않은 부분을 통하여 내부 전극 페이스트가 통과하여 내부 전극 패턴이 인쇄될 수 있다.
- [0061] 여기서, 내부 전극 패턴의 단축 방향으로 인쇄하면, 유제막이 형성된 부분과 유제막이 형성되지 않은 부분을 번갈아가며 지나가게 되므로 스퀴즈와 스크린 사이의 마찰이 발생하며 인쇄 방향으로 내부 전극 페이스트가 과도

하게 번지는 현상이 발생할 수 있다.

- [0062] 그러나, 본 발명의 일 실시예에 따르면 스트라이프형 내부 전극 패턴을 인쇄하고, 특히, 스트라이프 방향을 따라서 장축 방향으로 인쇄가 진행되기 때문에 유제막이 형성되지 않는 부분 또는 유제막이 형성된 부분만을 스퀴즈가 지나가게 된다. 따라서, 스퀴즈와 스크린 사이의 마찰이 작게 발생하게 되고, 인쇄 번짐이 작게 일어나게 된다.
- [0063] 결국, 본 발명의 일 실시예에 따르면 스트라이프형 내부 전극 패턴을 장축 방향으로 인쇄하기 때문에 인쇄 번짐이 작아지게 된다. 그에 따라, 인쇄 해상도가 높아지게 되고, 내부 전극 패턴과 내부 전극 패턴 또는 더미 패턴과의 간격이 작아지게 된다.
- [0064] 상기 인쇄 해상도란 인쇄의 선명한 정도를 나타내는 값으로서, 본 발명에 있어서는 인쇄 번짐율을 기준으로 판단하였다. 즉, 인쇄 면적에 대한 인쇄 번짐 면적의 비율인 인쇄 번짐율로 인쇄 해상도를 판단하였고, 인쇄 번짐율이 높을수록 인쇄 해상도는 낮고, 인쇄 번짐율이 낮을수록 인쇄 해상도는 높아진다.
- [0065] 본 발명의 일 실시예에 따르면 스트라이프형 내부 전극 패턴과 라인 패턴의 인쇄 면적에 대한 인쇄 번짐 면적의 비율이 12% 이하가 될 수 있다. 스트라이프형 내부 전극 패턴(30)의 장축 방향으로 인쇄하는 경우 스크린과 스퀴즈 사이의 마찰이 감소하여 인쇄 번짐율이 작아지기 때문이다.
- [0066] 도 2b를 참조하면, 스트라이프형 내부 전극 패턴(30)은 라인 패턴(40)과 서로 소정의 간격으로 이격되도록 형성된다. 라인 패턴(40)은 이후 절단되어 더미 패턴을 형성하므로 내부 전극 패턴과 이격되어 전기적으로 절연되도록 배치된다.
- [0067] 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)을 서로 가까이 인쇄하는 경우 인쇄 번짐에 의하여 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)이 서로 단락되는 현상이 발생할 수 있다.
- [0068] 그러나, 본 발명의 일 실시예에 따르면 장축 방향으로 인쇄하여 인쇄 번짐 비율을 낮추기 때문에, 내부 전극 패턴과 라인 패턴 사이의 간격을 작게 하여도 내부 전극 패턴과 라인 패턴이 단락되는 현상을 방지할 수 있다.
- [0069] 도 2b를 참조하면, 스트라이프형 내부 전극 패턴(30)과 스트라이프형 내부 전극 패턴(30) 사이의 간격을 a라 정의하고, 라인 패턴(40)의 폭을 b라 정의하면, 상기 a, b는 다음과 같은 [식 1]을 만족할 수 있다.
- [0070] [식 1]
- [0071] $1\mu\text{m} \leq a-2b \leq 200\mu\text{m}$
- [0072] 상기 a-2b값은 1 μm 내지 200 μm 인 것이 바람직하다. 상기 a-2b값이 200 μm 보다 큰 경우 스트라이프형 내부 전극 패턴과 라인 패턴이 지나치게 멀어져 단차를 해소하기 위한 목적을 달성하기 어렵고, 1 μm 이하이면 내부 전극 패턴과 라인 패턴이 서로 겹쳐질 수 있기 때문이다.
- [0073] 본 발명의 일 실시예에 따르면 상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격 a가 140 μm 이하인 경우, 라인 패턴의 폭 b가 60 μm 이하인 것이 바람직하다. 60 μm 을 초과하는 경우 스트라이프형 내부 전극 패턴과 라인 패턴이 서로 번져 겹쳐질 수 있기 때문이다.

- [0074] 또한, 본 발명의 다른 실시예에 따르면 상기 복수개의 스트라이프형 내부 전극 패턴 사이의 간격 a가 120 μ m인 경우, 라인 패턴의 폭 b가 40 μ m 이하인 것이 바람직하다. 40 μ m을 초과하는 경우 스트라이프형 내부 전극 패턴과 라인 패턴이 서로 겹쳐질 수 있기 때문이다.
- [0075] 또한, 상기 스트라이프형 내부 전극 패턴과 라인 패턴 사이의 간격이 110 μ m이하인 것이 바람직한데, 110 μ m을 초과하는 경우 패턴 사이 간격이 지나치게 멀어지는 경우 내부 전극 패턴이 용량을 차지할 수 있는 면적을 확보하기 어렵기 때문이다.
- [0076] 본 발명의 일 실시예에 따르면, 인쇄 면적에 대한 인쇄 번짐 면적의 비율이 12% 이하일 수 있다. 스트라이프형 내부 전극 패턴의 장축 방향으로 인쇄하는 경우 스크린에 스퀴즈 사이의 마찰이 감소하기 때문에 번짐 면적이 줄어들 수 있기 때문이다.
- [0077] 도 3a는 본 발명의 일 실시예에 따라 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)이 인쇄된 복수개의 세라믹 그린시트(100)가 적층되어 형성된 적층체(120)를 도시하는 단면도이다.
- [0078] 도 3a를 참조하면, 상기 복수개의 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)이 인쇄된 복수개의 세라믹 그린시트(100)는 인접한 세라믹 그린시트에 형성된 스트라이프형 내부 전극 패턴(30)과 서로 엇갈리게 교차 적층될 수 있다.
- [0079] 도 3a를 참조하면, 상기 세라믹 그린시트(100)가 엇갈리도록 적층된다는 것은 하나의 세라믹 그린시트(100)에 인쇄된 스트라이프형 내부 전극 패턴(30)의 중심부(b1)과 인접한 세라믹 그린시트에 인쇄된 라인 패턴(40)의 중심부(b2)가 일직선상에 놓이도록 배치되는 것을 의미한다.
- [0080] 복수개의 세라믹 그린시트(100)가 엇갈리게 적층된 적층체(120)는 이 후 칩 사이즈로 절단될 수 있다.
- [0081] 도 2a를 참조하면, 복수개의 스트라이프형 내부 전극 패턴(30) 및 라인 패턴(40)이 인쇄된 세라믹 그린시트(100)는 C1-C1' 라인을 따라 절단되어 제1 절단면과 제2 절단면이 형성될 수 있다. 상기 제1 절단면은 도 3a와 일치한 형상을 가질 수 있으며, 제2 절단면은 도 3a에 대칭된 형상을 가질 수 있다.
- [0082] 상기 C1-C1' 라인은 복수개의 스트라이프형 내부 전극 패턴(30)과 라인 패턴(40)을 수직으로 가로지르도록 형성된 라인으로써, 도 2a의 상기 C1-C1' 라인을 따라 절단된 경우 도 3b와 동일한 평면 형상을 갖도록 막대형 적층체(220)로 절단될 수 있다.
- [0083] 막대형 적층체(220)의 경우 도 3a와 동일한 형상의 정면도와, 도 3b와 동일한 형상의 평면도를 가질 수 있다. 그리고 상기 막대형 적층체는 도 3a 및 도 3b를 참조하면, C2-C2' 라인을 따라 절단되어, 칩 사이즈로 절단될 수 있다.
- [0084] 상기 C2-C2' 라인은 스트라이프형 내부 전극 패턴(30)의 중심부(b1)과 라인 패턴의 중심부(b2)를 번갈아가며 포함하도록 형성된다. 따라서, C2-C2' 라인을 따라 절단된 제3 절단면 및 제4 절단면은 각각 내부 전극 패턴과 절단된 더미 패턴이 번갈아가며 형성된 구조를 갖게 된다.
- [0085] 특히, 상기 제3 절단면으로는 제1 내부 전극 패턴(30a)과 제1 더미 패턴(40a)이 번갈아가며 인출되도록 형성되고, 제4 절단면으로는 제2 내부 전극 패턴(30b)과 제2 더미 패턴(40b)이 번갈아가며 인출되도록 형성된다.

- [0086] 도 4를 참조하면, 절단된 적층 본체(320)는 A-A' 방향으로 제1 내부 전극 패턴(30a)과 제1 더미 패턴(40a)이 번갈아가며 인출된 제1 측면과, 제2 내부 전극 패턴(30b)과 제2 더미 패턴(40b)이 번갈아가며 인출된 제3 측면이 형성되며, 상기 제1 측면과 제3 측면은 C2-C2' 라인이 절단되어 형성된 제3 절단면과 제4 절단면에 대응된다.
- [0087] 또한, B-B' 방향으로 절단된 적층 본체(320)는 제1 내부 전극 패턴(30a), 제2 내부 전극 패턴(30b), 제1 더미 패턴(40a) 및 제2 더미 패턴(40b)이 모두 노출된 제2 측면과 제4 측면이 형성되며, 상기 제2 측면과 제4 측면은 서로 대향하는 방향으로 배치된다.
- [0088] 도 5a는 상기 적층 본체(320)를 A-A' 라인을 따라 절단한 단면을 나타내는 도면이다.
- [0089] 도 5a를 참조하면, 상기 적층 본체(320)는 복수개의 유전체층이 적층되어 형성된다. 상기 적층 본체(320)의 내부에는 제1 내부 전극 패턴(30a)과 제2 내부 전극 패턴(30b)이 1개 이상의 유전체층을 사이에 두고 교차 적층된다. 상기 제1 내부 전극 패턴(30a)과 제2 내부 전극 패턴(30b)은 각각 제1 측면 및 제3 측면으로 인출되도록 형성되며 1개 이상의 유전체층을 사이에 두고 서로 마주보도록 배치되어 겹침 면적을 갖도록 형성된다.
- [0090] 상기 적층 본체(320)의 제1 측면에는 제1 내부 전극 패턴(30a)과 전기적으로 연결되는 제1 외부 전극이 형성되며, 상기 적층 본체(320)의 제3 측면에는 제2 내부 전극 패턴(30b)과 전기적으로 연결되는 제2 외부 전극이 형성될 수 있다.
- [0091] 또한, 본 발명의 일 실시예에 따르면 제1 내부 전극 패턴(30a)과 더미 패턴(40a)이 1개 이상의 유전체층을 사이에 두고 서로 번갈아가며 제1 측면으로 인출되도록 형성될 수 있다. 또한, 제2 내부 전극 패턴(30b)과 제1 더미 패턴(40b)은 1개 이상의 유전체층을 사이에 두고 서로 번갈아가며 제3 측면으로 인출되도록 형성될 수 있다.
- [0092] 상기 적층 본체(320)의 제1 측면에는 제1 내부 전극 패턴(30a)과 전기적으로 연결되는 제1 외부 전극이 형성되며, 상기 적층 본체(320)의 제3 측면에는 제2 내부 전극 패턴(30b)과 전기적으로 연결되는 제2 외부 전극이 형성될 수 있다.
- [0093] 도 5a를 참조하면, 상기 제1 내부 전극 패턴(30a)은 제2 외부 전극과 절연되기 위하여 제2 외부 전극이 형성되는 제3 측면으로부터 소정의 간격(D1)을 두고 모든 유전체층을 덮도록 형성될 수 있다. 그리고 상기 제2 내부 전극 패턴(30b)은 제1 외부 전극과 절연되기 위하여 제1 외부 전극이 형성되는 제1 측면으로부터 소정의 간격(D2)을 두고 모든 유전체층을 덮도록 형성될 수 있다.
- [0094] 그러나 제1 내부 전극 패턴(30a) 또는 제2 내부 전극 패턴(30b)과 제3 측면 또는 제1 측면 사이는 상대적으로 층간 밀도가 작은 구간에 해당하므로 적층 본체에서 단차가 생기는 구간이 될 수 있다. 그에 따라, 제1 측면과 제3 측면으로 갈수록 적층 본체의 두께가 얇아지는 현상이 발생할 수 있다.
- [0095] 따라서, 본 발명의 일 실시예에 따르면 상기 제1 내부 전극 패턴(30a)과 제3 측면 사이 또는 제2 내부 전극 패턴(30b)과 제1 측면 사이의 공간에 각각 제2 더미 패턴(40b) 및 제1 더미 패턴(40a)이 배치될 수 있다.
- [0096] 상기 제1 더미 패턴(40a) 및 제2 더미 패턴(40b)은 라인 패턴(40)이 칩 사이즈로 절단되어 형성된 패턴으로써, 제1 내부 전극 패턴(30a)과 제3 측면 사이 또는 제2 내부 전극 패턴(30b)과 제1 측면 사이의 공간에 배치되어 층간 단차가 발생하는 것을 방지하여 균일한 두께의 적층 본체가 형성되게 한다.
- [0097] 그리고 본 발명의 일 실시예에 따르면 제1 내부 전극 패턴(30a)과 제2 더미 패턴(40b)은 동일한 유전체층에 형

성되며, 그에 따라서 d1의 간격만큼 이격되도록 형성될 수 있으며, 상기 간격 d1은 제1 내부 전극 패턴(30a)과 제2 더미 패턴(40b)이 전기적 절연성을 유지할 수 있을 만큼의 최소한의 절연거리에 해당한다.

[0098] 또한, 본 발명의 일 실시예에 따르면, 제2 내부 전극 패턴(30b)과 제1 더미 패턴(30a)은 동일한 유전체층에 형성되며, 서로 d2의 간격만큼 이격되도록 형성될 수 있다. 그리고 상기 d2는 제2 내부 전극 패턴(30b)과 제1 더미 패턴(30a) 사이의 전기적 절연성을 유지할 수 있는 만큼의 최소한의 절연거리에 해당한다.

[0099] 본 발명의 일 실시예에 따르면 상기 내부 전극 패턴은 스트라이프형 내부 전극 패턴이 절단되어 형성되고, 더미 패턴은 라인 패턴이 절단되어 형성되었다. 상기 내부 전극 패턴과 더미 패턴은 상기 스트라이프형 내부 전극 패턴과 라인 패턴이 적층 및 압착되어 형성된 것으로서, 그 간격은 더욱 작아질 수 있다.

[0100] 도 5a를 참조하면, 제1 내부 전극 패턴(30a)과 제3 측면 사이의 거리를 D1, 제2 내부 전극 패턴(30b)과 제1 측면 사이의 거리를 D2, 제1 내부 전극 패턴과 제2 더미 패턴 사이의 거리를 d1 그리고 제2 내부 전극 패턴과 제1 더미 패턴 사이의 거리를 d2 라고 도시하였다.

[0101] 본 발명의 일 실시예에 따르면, 상기 내부 전극 패턴과 측면 사이의 거리에 해당하는 D1, D2는 150 μ m이하일 수 있다. 150 μ m를 초과하는 경우 내부 전극 패턴의 용량을 확보하기 어렵기 때문이다.

[0102] 본 발명의 일 실시예에 따르면, 상기 내부 전극 패턴과 더미 패턴 사이의 간격 d1, d2는 70 μ m 이하일 수 있는데, 70 μ m 이상의 값을 갖는 경우 내부 전극 패턴의 용량을 확보하기 어렵고 단차를 완화하기 어렵기 때문이다.

[0103] 도 5b는 도 4의 적층 본체(320)의 B-B'라인을 따라 절단한 단면을 나타내는 도면이다.

[0104] 도 5b를 참조하면, 상기 적층 본체(320)는 복수개의 유전체층이 적층되어 형성된다. 그리고 상기 적층 본체(320) 내부에는 복수개의 내부 전극 패턴(30) 최소한의 절연성을 유지하기 위한 최소 면적을 제외한 모든 유전체층을 덮도록 형성되어 적층되어 B-B' 방향으로 단차가 형성되지 않는다.

[0105] 이에 따라, 복수개의 박막 유전체층을 형성하더라도 각각의 유전체층은 A-A' 방향과 B-B' 방향으로 모두 단차가 형성되지 않기 때문에 복수개의 유전체층은 거의 균일한 두께를 가질 수 있다.

[0106] 더 나아가, 균일한 두께를 갖는 복수개의 유전체층이 적층된 적층 본체(320) 역시 두께가 거의 균일할 수 있다.

[0107] 보다 구체적으로, 상기 적층 본체(320)의 높이를 h1이라 하고, 적층 본체 내부에 형성된 제1 및 제2 내부 전극 패턴에 의하여 단차가 형성된 부분의 높이를 h2라 한다면, 상기 h1, h2는 다음과 같은 [식 2]을 만족할 수 있다.

[0108] [식 2]

[0109] $(h1-h2)/h1 \leq 0.1$

[0110] 다시 말해, 상기 적층 본체(320)의 높이 h1과 단차가 형성된 부분의 높이 h2의 차이는 10% 이하일 수 있다. 그에 따라 적층 본체(320)는 균일한 두께를 가질 수 있다.

[0111] 상기 단차가 형성되어 들어간 부분의 높이가 작을수록 균일한 두께를 갖는 적층 본체(320)를 형성할 수 있다. 상기 적층 본체(320)의 높이 차가 작을수록 복수개의 유전체층은 균일한 두께를 가질 수 있고, 그에 따라 단차 발생에 의해 발생했던 층간 쇼트 불량 등의 문제를 해소할 수 있다.

[0112] 본 발명의 일 실시예에 따라 제조된 적층 세라믹 콘덴서(1)의 경우 유전체층을 덮도록 내부 전극 패턴이 형성되기 때문에 적층되었을 때 복수개의 유전체층은 균일한 두께를 갖게 된다. 따라서, 단차가 거의 없는 적층 본체를 형성할 수 있다.

[0113] 본 발명의 일 실시예에 따르면, 유전체층을 덮도록 내부 전극 패턴을 형성하기 때문에 제1 내부 전극 패턴과 제2 내부 전극 패턴이 모두 노출된 측면으로 세라믹 슬러리가 도포되어 제1 사이드 부 및 제2 사이드 부를 형성할 수 있는 데, 그에 따라 두께 산포가 균일한 유전체층이 적층된 세라믹 콘덴서를 제조할 수 있고, 소정의 두께를 갖는 제1 사이드 부 및 제2 사이드 부가 형성된 적층 세라믹 콘덴서를 제조할 수 있다.

[0114] 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 제조방법에 따르면, 스트라이프형 내부 전극 패턴과 라인 패턴을 유전체층을 장축 방향으로 인쇄하기 때문에 인쇄의 해상도를 높일 수 있다. 그리고 인쇄 해상도가 높아짐에 따라 내부 전극 패턴과 더미 패턴의 최소한의 간격을 확보할 수 있고, 그에 따라 칩의 소형화가 가능해진다.

[0115] 또한, 본 발명의 일 실시예에 따른 적층 세라믹 콘덴서 제조방법에 따르면, 단차를 해소할 수 있는 더미 패턴이 인쇄되기 때문에 유전체층의 단차가 해소되어 유전체층의 층간 두께 변화가 거의 작은 칩을 제조할 수 있다. 또한, 내부 전극 패턴이 유전체층의 일부분에 형성되지 않고 유전체층을 덮도록 형성되기 때문에 적층 본체 내부에서의 유전체층의 단차를 해소할 수 있다. 적층 세라믹 콘덴서의 단차를 최소화하므로 내부 전극 패턴의 전기적 연결성을 확보할 수 있고 제품의 신뢰도를 향상시킬 수 있다.

[0116] [실시예]

표 1

스트라이프형 내부 전극 패턴 사이의 간격 (a)	라인 패턴 폭(b)	인쇄 겹침 여부
140 μ m	30 μ m	X
	40 μ m	X
	50 μ m	X
	60 μ m	X
	70 μ m	○
120 μ m	30 μ m	X
	40 μ m	X
	50 μ m	○

[0118] 본 발명의 일 실시예에 따라 복수개의 스트라이프형 내부 전극 패턴 사이의 간격인 a가 140 μ m 및 120 μ m가 되도록 라인 패턴을 인쇄하였다.

[0119] 그리고, 상기 스트라이프형 내부 전극 패턴과 인접한 스트라이프형 내부 전극 패턴 사이에 라인 패턴의 폭 b를 달리하여 스트라이프형 내부 전극 패턴과 라인 패턴의 인쇄 겹침 여부를 확인하였다.

[0120] 상기 표를 참조하면, 스트라이프형 내부 전극 패턴 사이의 간격 a가 140 μ m 이하인 경우, 60 μ m 이하의 폭을 갖는 라인 패턴을 인쇄한 경우 스트라이프형 내부 전극 패턴과 라인 패턴 사이의 인쇄 겹침이 일어나지 않는 것을

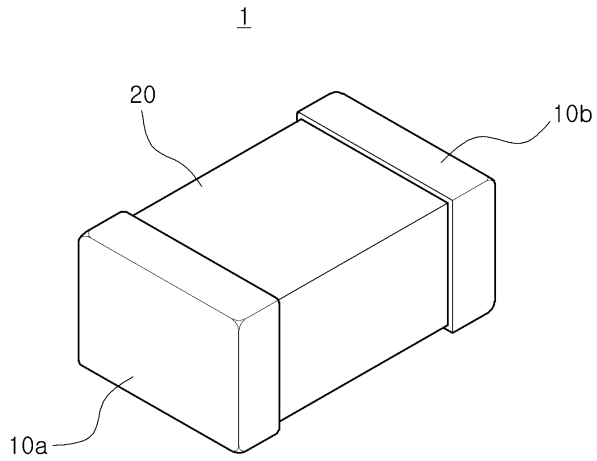
확인할 수 있었다.

[0121]

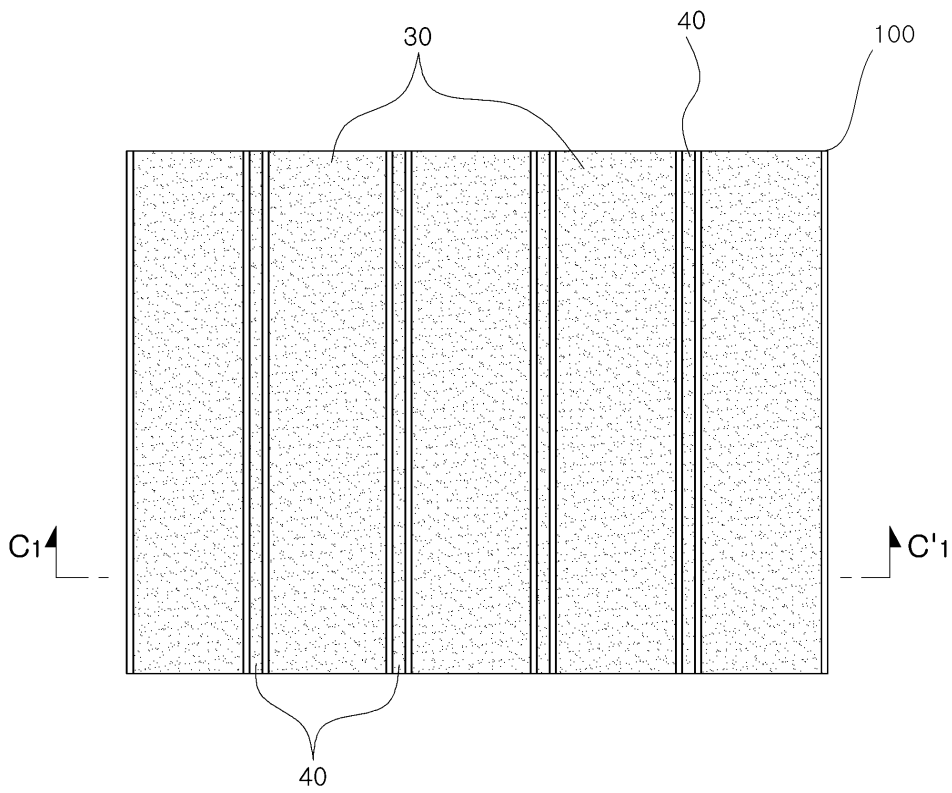
또한, 스트라이프형 내부 전극 패턴 사이의 간격 a 가 $120\mu\text{m}$ 이하인 경우, $40\mu\text{m}$ 이하의 라인 패턴을 인쇄한 경우 인쇄 결침이 일어나지 않은 것을 확인할 수 있었다.

도면

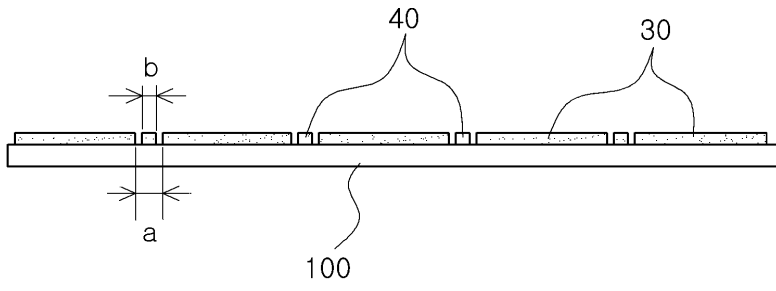
도면1



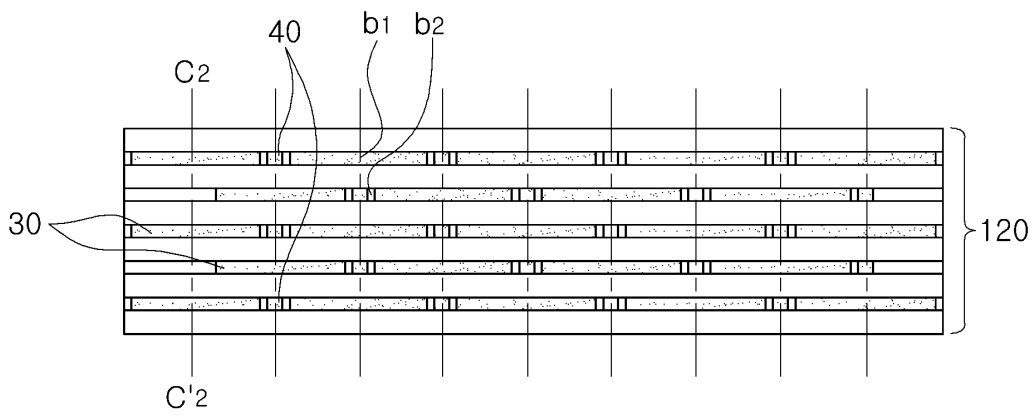
도면2a



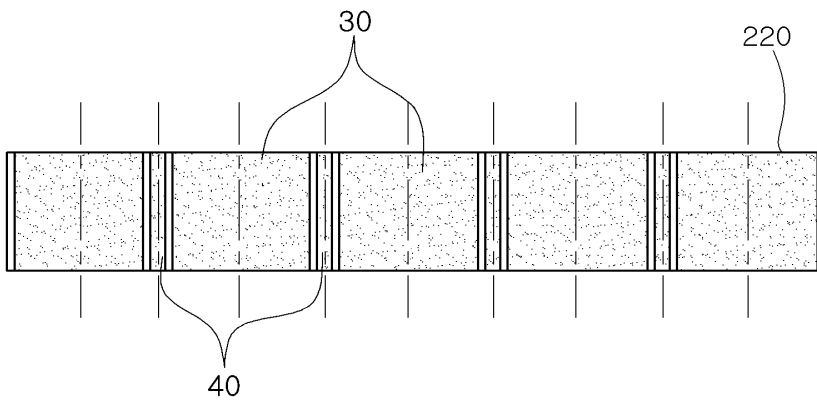
도면2b



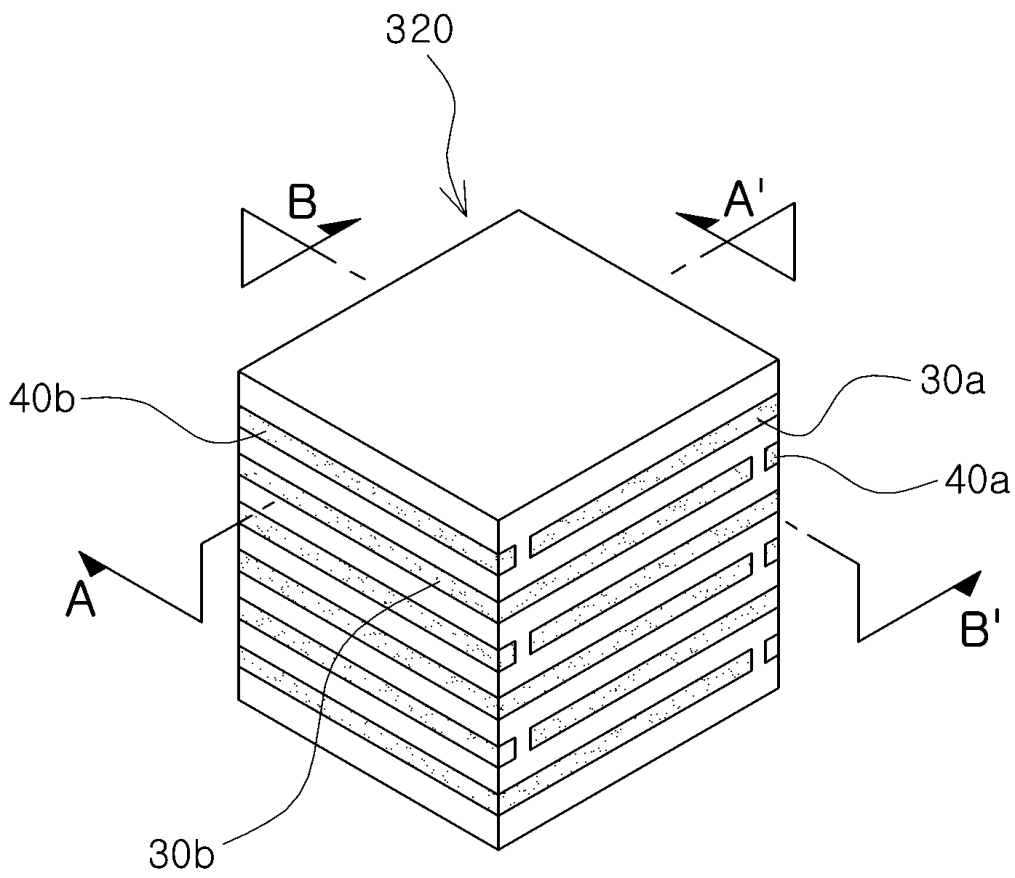
도면3a



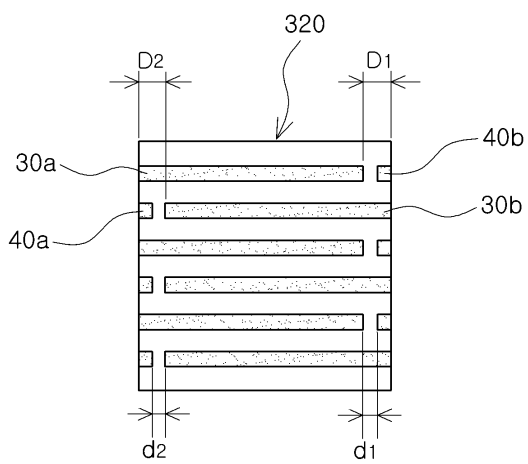
도면3b



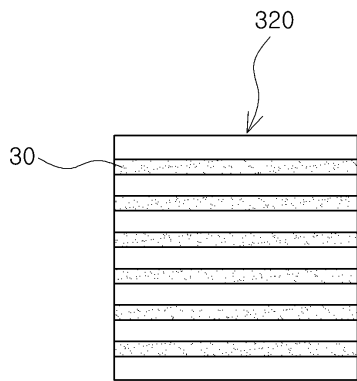
도면4



도면5a



도면5b



도면6

