(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 6 月 9 日 (09.06.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/116286 A1

(51) 国际专利分类号:
*G02F 1/1362* (2006.01) *G01R 27/26* (2006.01)
*G02F 1/1368* (2006.01)

(21) 国际申请号: PCT/CN2020/137506

(22) 国际申请日: 2020 年 12 月 18 日 (18.12.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011411637.1 2020年12月3日 (03.12.2020) CN

(71) 申请人: **TCL 华星光电技术有限公司 (TCL CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **刘梦阳 (LIU, Mengyang)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦C座2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) **Title:** ARRAY SUBSTRATE AND METHOD FOR MEASURING CAPACITANCE OF ARRAY SUBSTRATE

(54) **发明名称:** 阵列基板及测量阵列基板电容的方法

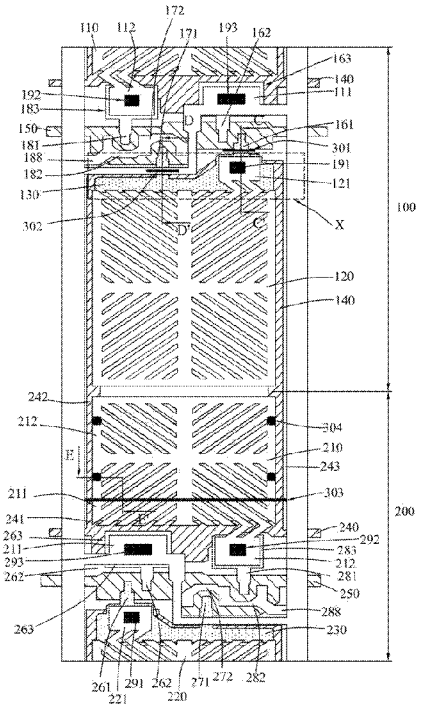



图 6

(57) **Abstract:** Disclosed in the present disclosure are an array substrate and a method for measuring a capacitance of the array substrate. The method comprises: in a pixel unit to be measured, disconnecting a connection between a first thin film transistor and a data line, and a connection between a shared thin film transistor and the data line, so that a secondary pixel electrode is only electrically connected to the data line; in an adjacent pixel unit, cutting a primary pixel electrode and a common electrode line, and forming at least one via hole, so that the primary pixel electrode is only electrically connected to the common electrode line; and measuring a capacitance between the secondary pixel electrode of the pixel unit to be measured and the primary pixel electrode of the adjacent pixel unit, so as to obtain a capacitance between the data line and the common electrode line in the pixel unit to be measured.

(57) **摘要**: 本揭示公开一种阵列基板及测量所述阵列基板电容的方法。所述方法包含：在待测像素单元中，切断第一薄膜晶体管及共享薄膜晶体管与数据线之间的连接，使从像素电极仅与数据线电连接；在相邻像素单元中，切割主像素电极及公共电极线，并设置至少一个导通孔，以使主像素电极仅与公共电极线电连接；及测量待测像素单元的从像素电极与相邻像素单元的主像素电极之间的电容，以获得待测像素单元中的数据线与公共电极线之间的电容。

WO 2022/116286 A1

[见续页]

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

# 阵列基板及测量阵列基板电容的方法

## 技术领域

[0001] 本揭示涉及显示技术领域，特别是涉及一种阵列基板及测量阵列基板电容的方法。

## 背景技术

[0002] 薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display，TFT-LCD)是由薄膜晶体管阵列基板、彩色滤光片基板及设置在前述两基板之间的液晶层所构成。TFT-LCD显示影像的机制为：施加电压使前述两基板之间产生电场，来偏转液晶层中的液晶分子，被偏转后的液晶分子折射背光模组的光线进而产生画面。然而，薄膜晶体管阵列基板中的数据线和公共电极线之间的重叠电容(overlap capacitance)易引起串扰(crosstalk)现象，其会影响所述两基板之间的实际电压差值，进而影响画面的显示。为避免此问题，通常会对薄膜晶体管阵列基板中的重叠电容进行测量分析。

[0003] 在现今测量薄膜晶体管阵列基板的重叠电容的方法中，为配合测量电容的仪器的探针尺寸，必须在薄膜晶体管阵列基板的非显示区中设置分别从数据线和公共电极线延伸出且具有比数据线和公共电极线更大的面积的端子。通过将仪器的两探针置于分别从数据线和公共电极线延伸出的两端子上来进行重叠电容的测量。

## 发明概述

## 技术问题

[0004] 现今的测量方法无法直接测量分析薄膜晶体管阵列基板的显示区中的数据线和公共电极线的重叠电容，因此有需要研发一种阵列基板及测量阵列基板电容的方法。

## 问题的解决方案

## 技术解决方案

[0005] 为了解决现今测量方法无法直接测量分析阵列基板显示区中的重叠电容的技术

问题，本揭示提供了下列解决方案。

[0006] 本揭示提供了一种测量阵列基板电容的方法，其包含下列步骤。提供阵列基板，其中所述阵列基板包含位于衬底基板上的多个像素单元。每一像素单元包含主像素电极、从像素电极、数据线、公共电极线、共享薄膜晶体管及第一薄膜晶体管。数据线设置在所述从像素电极靠近所述主像素电极的一侧且与所述从像素电极电连接。公共电极线设置在所述主像素电极靠近所述从像素电极的三侧边，以及设置在所述从像素电极靠近所述主像素电极的三侧边。共享薄膜晶体管的漏极与所述数据线相连接。第一薄膜晶体管的漏极与所述数据线相连接。在待测的像素单元中，切断所述共享薄膜晶体管的漏极与所述数据线之间的连接，以及所述第一薄膜晶体管的漏极与所述数据线之间的连接，以使所述从像素电极仅与所述数据线电连接。在与所述待测像素单元相邻的像素单元中，沿着在平行于所述数据线的方向上延伸的切割线切断所述主像素电极及所述公共电极线，以使所述主像素电极分离成靠近所述数据线的第一区域及远离所述数据线的第二区域，以及使所述公共电极线被分离成靠近所述数据线的第一区段与在所述主像素电极相对两侧的第二区段及第三区段。所述相邻像素单元的主像素电极与所述待测像素单元的从像素电极相邻。所述相邻像素单元的公共电极线的第二区段及第三区段分别与在所述待测像素单元的从像素电极的相对两侧边的公共电极线相连接。在所述相邻像素单元中，设置至少一个导通孔在所述主像素电极的第二区域中，以使所述主像素电极的第二区域仅与所述公共电极线的第二区段及第三区段中的至少一者电连接。测量所述待测像素单元的从像素电极与所述相邻像素单元的主像素电极的第二区域之间的电容，以获得所述待测像素单元中的数据线与公共电极线之间的电容。

[0007] 在一实施例中，每一像素单元还包含第二薄膜晶体管。第二薄膜晶体管的漏极与所述主像素电极电连接。

[0008] 在一实施例中，每一像素单元还包含栅极线，设置于主像素电极与从像素电极之间，且形成共享薄膜晶体管、第一薄膜晶体管及第二薄膜晶体管的栅级。

[0009] 在一实施例中，所述阵列基板还包含第一绝缘层及第二绝缘层。所述公共电极线及所述栅极线设置在所述衬底基板上。第一绝缘层覆盖所述公共电极线及所

述栅极线。所述数据线、所述共享薄膜晶体管的漏极、第一薄膜晶体管的漏极及第二薄膜晶体管的漏极设置在第一绝缘层上。第二绝缘层覆盖所述数据线、所述共享薄膜晶体管的漏极、第一薄膜晶体管的漏极及第二薄膜晶体管的漏极。所述主像素电极及所述从像素电极设置在第二绝缘层上。

[0010] 在一实施例中，在每一像素单元中，数据线是通过贯穿第二绝缘层的第一过孔与所述从像素电极电连接，且第二薄膜晶体管的漏极是通过贯穿第二绝缘层的第二过孔与所述主像素电极电连接。在所述相邻像素单元中，所述主像素电极的第二区域是通过贯穿第一绝缘层及第二绝缘层的所述导通孔与所述公共电极线电连接。

[0011] 在一实施例中，在每一像素单元中，共享薄膜晶体管的漏极、第一薄膜晶体管的漏极与所述数据线为一体成形的结构。

[0012] 在一实施例中，所述在所述待测像素单元中切断所述共享薄膜晶体管的漏极与所述数据线之间的连接及所述第一薄膜晶体管的漏极与所述数据线之间的连接、所述在所述相邻像素单元中切断所述主像素电极及所述公共电极线，以及所述在所述相邻像素单元中设置至少一个导通孔在所述主像素电极的第二区域中，均是通过激光进行。

[0013] 在一实施例中，每一像素单元中的主像素电极及像素电极均具有四畴结构，以使像素单元具有八畴结构。

[0014] 本揭示还提供了一种阵列基板，其包含位于衬底基板上的多个像素单元。每一像素单元包含主像素电极、从像素电极、数据线、公共电极线、共享薄膜晶体管及第一薄膜晶体管。数据线设置在所述从像素电极靠近所述主像素电极的一侧且与所述从像素电极电连接。公共电极线设置在所述主像素电极靠近所述从像素电极的三侧边，以及设置在所述从像素电极靠近所述主像素电极的三侧边。共享薄膜晶体管的漏极与所述数据线相连接。第一薄膜晶体管的漏极与所述数据线相连接。在待测像素单元中，设置有用以分离所述共享薄膜晶体管的漏极与所述数据线的第一沟槽，以及用以分离所述第一薄膜晶体管的漏极与所述数据线的第二沟槽，使得从像素电极仅与数据线电连接。在与所述待测像素单元相邻的像素单元中，设置有在平行于所述数据线的方向上延伸的第三沟槽，

建构成将所述主像素电极分离成靠近所述数据线的第一区域及远离所述数据线的第二区域，以及建构成将所述公共电极线分离成靠近所述数据线的第一区段及在所述主像素电极相对两侧的第二区段及第三区段。所述相邻像素单元的主像素电极与所述待测像素单元的从像素电极相邻，且所述相邻像素单元的公共电极线的第二区段及第三区段分别与在所述待测像素单元的从像素电极的相对两侧边的公共电极线相连接。所述第二区域设有至少一个导通孔，建构成使所述主像素电极的第二区域仅与所述公共电极线的第二区段及第三区段中的至少一者电连接。

[0015] 在一实施例中，每一像素单元还包含第二薄膜晶体管。第二薄膜晶体管的漏极与所述主像素电极电连接。

[0016] 在一实施例中，每一像素单元还包含栅极线，设置于主像素电极与从像素电极之间，且形成共享薄膜晶体管、第一薄膜晶体管及第二薄膜晶体管的栅级。

[0017] 在一实施例中，所述阵列基板还包含第一绝缘层及第二绝缘层。所述公共电极线及所述栅极线设置在所述衬底基板上。第一绝缘层覆盖所述公共电极线及所述栅极线。所述数据线、所述共享薄膜晶体管的漏极及第一薄膜晶体管的漏极设置在第一绝缘层上。第二绝缘层覆盖所述数据线、所述共享薄膜晶体管的漏极及第一薄膜晶体管的漏极。所述主像素电极及所述从像素电极设置在第二绝缘层上。

[0018] 在一实施例中，在每一像素单元中，数据线是通过贯穿第二绝缘层的第一过孔与所述从像素电极电连接。第二薄膜晶体管的漏极是通过贯穿第二绝缘层的第二过孔与所述主像素电极电连接。在所述相邻像素单元中，所述主像素电极的第二区域是通过贯穿第一绝缘层及第二绝缘层的所述导通孔与所述公共电极线电连接。

[0019] 在一实施例中，在每一像素单元中，共享薄膜晶体管的漏极、第一薄膜晶体管的漏极与所述数据线为一体成形的结构。

[0020] 在一实施例中，每一像素单元中的主像素电极及像素电极均具有四畴结构，以使像素单元具有八畴结构。

## 发明的有益效果

## 有益效果

[0021] 在本揭示所提供的阵列基板中，待测像素单元的从像素电极仅与数据线电连接，相邻像素单元的主像素电极仅与公共电极线电连接，相邻像素单元的主像素电极与待测像素单元的从像素电极相邻，在相邻像素单元的主像素电极的相对两侧边的公共电极线分别与在待测像素单元的从像素电极的相对两侧边的公共电极线彼此相连。因此，可通过测量待测像素单元的从像素电极与相邻像素单元的主像素电极之间的电容，来获得待测像素单元中的数据线与公共电极线之间的电容。据此，本揭示所提供的阵列基板便于测量分析阵列基板的显示区中的数据线和公共电极线的重叠电容，而无需在管阵列基板的非显示区中设置分别从数据线和公共电极线延伸出的的端子。再者，本揭示所提供的测量阵列基板电容的方法可直接测量分析阵列基板的显示区中的数据线和公共电极线的重叠电容。

## 对附图的简要说明

### 附图说明

[0022] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0023] 图1为本揭示实施例的阵列基板的示意图。

[0024] 图2为图1的像素单元的示意图。

[0025] 图3为图2的像素单元沿A-A’线的剖面示意图。

[0026] 图4为图2的像素单元沿B-B’线的剖面示意图。

[0027] 图5为本揭示实施例的待测像素单元及相邻像素单元的示意图。

[0028] 图6为图5的B区域的放大示意图。

[0029] 图7为图6的B区域中的待测像素单元及相邻像素单元沿C-C’线的剖面示意图。

[0030] 图8为图6的B区域中的待测像素单元及相邻像素单元沿D-D’线的剖面示意图。

[0031] 图9为图6的B区域中的待测像素单元及相邻像素单元沿E-E’线的剖面示意图。

## 发明实施例

## 本发明的实施方式

[0032] 下面将结合附图，对本揭示实施例中的技术方案进行清楚、完整地描述。所描述的实施例仅仅是本揭示一部分实施例，而非全部的实施例。基于本揭示中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本揭示保护的范围。

[0033] 在本揭示的描述中，术语“上”、“下”、“垂直”、“平行”、“内”、“外”、“中心”及“侧边”等所指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本揭示和简化描述。再者，“第一”及“第二”等术语仅用于描述目的，而不能理解为指示或暗示相对重要性。以“第一”及“第二”等术语限定的特征可明示或者隐含地包括一个或者更多个所述特征。

[0034] 本揭示提供了一种测量阵列基板电容的方法，其包含下列步骤。

[0035] 步骤1：提供阵列基板。请参阅图1，阵列基板1包含显示区2及围绕显示区2的非显示区3。阵列基板1的显示区2设有多个像素单元4。请参阅图2，每一像素单元4设置在阵列基板1的衬底基板5上。每一像素单元4包含主像素电极10、从像素电极20、数据线30、公共电极线40、栅极线50、共享薄膜晶体管60、第一薄膜晶体管70及第二薄膜晶体管80。

[0036] 请参阅图2，主像素电极10及像素电极20均具有四畴结构，以使像素单元4具有八畴结构。数据线30设置在从像素电极20靠近主像素电极10的一侧，且通过第一过孔91与从像素电极20电连接。具体地，从像素电极20具有突出部21。突出部21在衬底基板5上的投影与数据线30在衬底基板5上的投影至少部分重叠。第一过孔91在衬底基板5上的投影落于突出部21与数据线30重叠的投影内。数据线30通过第一过孔91直接与从像素电极20的突出部21电连接。

[0037] 请参阅图2，公共电极线40设置在主像素电极10靠近从像素电极20的三侧边，以及设置在从像素电极20靠近主像素电极10的三侧边。栅极线50设置于主像素电极10与从像素电极20之间，且形成共享薄膜晶体管60、第一薄膜晶体管70及第二薄膜晶体管80的栅级。共享薄膜晶体管60、第一薄膜晶体管70及第二薄膜晶体管80设置在主像素电极10及从像素电极20之间。

[0038] 请参阅图2，共享薄膜晶体管60还包含漏极61及源极62。共享薄膜晶体管60的漏极61与数据线30相连接。具体地，漏极61与数据线30具有一体成形的结构。共享薄膜晶体管60的源极62通过第三过孔93与主像素电极10电连接。具体地，主像素电极10具有第一突出部11，且源极62具有源极延伸部63。第一突出部11在衬底基板5上的投影与源极延伸部63在衬底基板5上的投影至少部分重叠。第三过孔93在衬底基板5上的投影落于第一突出部11与源极延伸部63重叠的投影内。共享薄膜晶体管60的源极延伸部63通过第三过孔93直接与主像素电极10的第一突出部11电连接。

[0039] 请参阅图2，第一薄膜晶体管70还包含漏极71及源极72。在第一薄膜晶体管70中，漏极71与数据线30相连接。具体地，漏极71与数据线30具有一体成形的结构。第二薄膜晶体管80还包含漏极81及源极82。第二薄膜晶体管80的漏极81通过第二过孔92与主像素电极10电连接。具体地，主像素电极10还具有第二突出部12，且漏极81具有漏极延伸部83。第二突出部12在衬底基板5上的投影与漏极延伸部83在衬底基板5上的投影至少部分重叠。第二过孔92在衬底基板5上的投影落于第二突出部12与漏极延伸部83重叠的投影内。第二薄膜晶体管80的漏极延伸部83通过第二过孔92直接与主像素电极10的第二突出部12电连接。第一薄膜晶体管70的源极72与第二薄膜晶体管80的源极82相连接，形成源极线88。具体地，第一薄膜晶体管70的源极72与第二薄膜晶体管80的源极82具有一体成形的结构。

[0040] 请参阅图2至图4，阵列基板1还包含第一绝缘层6及第二绝缘层7。公共电极线40及栅极线50设置在衬底基板5上，且可由同一金属层制成。第一绝缘层6覆盖公共电极线40及栅极线50。共享薄膜晶体管60的漏极61及源极62、第一薄膜晶体管70的漏极71、第二薄膜晶体管80的漏极81、包含第一薄膜晶体管70的源极72与第二薄膜晶体管80的源极82的源极线88，以及数据线30设置在第一绝缘层6上，且可由同一金属层制成。如前所述，源极62具有源极延伸部63，以及漏极81具有漏极延伸部83。因此，源极延伸部63及漏极延伸部83亦设置在第一绝缘层6上。第二绝缘层7覆盖漏极61、源极62、源极延伸部63、漏极71、漏极81、漏极延伸部83、源极线88及数据线30。主像素电极10及从像素电极20设置在第二绝

缘层7上，且可由同一金属层制成。如前所述，从像素电极20具有突出部21，以及主像素电极10具有第一突出部11及第二突出部12。因此，从像素电极20的突出部21，以及主像素电极10的第一突出部11及第二突出部12亦设置在第二绝缘层7上。因此，数据线30通过贯穿第二绝缘层7的第一过孔91与从像素电极20电连接。第二薄膜晶体管70的漏极71是通过贯穿第二绝缘层7的第二过孔92与主像素电极10电连接。共享薄膜晶体管60的源极62通过贯穿第二绝缘层7的第三过孔93与主像素电极10电连接。

[0041] 请参阅图5，多个像素单元4包含待测像素单元100及相邻像素单元200。待测像素单元100及相邻像素单元200具有与像素单元4相同的结构。为清楚说明，以不同的标号表示在待测像素单元100及相邻像素单元200中与像素单元4相同的元件。

[0042] 请参阅图5及图6，待测像素单元100包含主像素电极110、从像素电极120、数据线130、公共电极线140、栅极线150、共享薄膜晶体管160、第一薄膜晶体管170及第二薄膜晶体管180。数据线130通过贯穿第二绝缘层7的第一过孔191与从像素电极120电连接。具体地，从像素电极120具有突出部121。突出部121在衬底基板5上的投影与数据线130在衬底基板5上的投影至少部分重叠。第一过孔191在衬底基板5上的投影落于突出部121与数据线130重叠的投影内。数据线130通过第一过孔191直接与从像素电极120的突出部121电连接。共享薄膜晶体管160包含漏极161及源极162。共享薄膜晶体管160的源极162通过贯穿第二绝缘层7的第三过孔193与主像素电极110电连接。具体地，主像素电极110具有第一突出部111，且源极162具有源极延伸部163。第一突出部111在衬底基板5上的投影与源极延伸部163在衬底基板5上的投影至少部分重叠。第三过孔193在衬底基板5上的投影落于第一突出部111与源极延伸部163重叠的投影内。共享薄膜晶体管160的源极延伸部163通过第三过孔193直接与主像素电极110的第一突出部111电连接。第一薄膜晶体管170还包含漏极171及源极172。第二薄膜晶体管180还包含漏极181及源极182。第二薄膜晶体管180的漏极181通过贯穿第二绝缘层7的第二过孔192与主像素电极110电连接。具体地，主像素电极110还具有第二突出部112，且漏极181具有漏极延伸部183。第二突出部112在衬底基板5上的投影与漏极

延伸部183在衬底基板5上的投影至少部分重叠。第二过孔192在衬底基板5上的投影落于第二突出部112与漏极延伸部183重叠的投影内。第二薄膜晶体管180的漏极延伸部183通过第二过孔192直接与主像素电极110的第二突出部112电连接。第一薄膜晶体管170的源极172与第二薄膜晶体管180的源极182相连接，形成源极线188。待测像素单元100中各元件的相对位置及关系，与像素单元4各元件的相对位置及关系相同，在此不再详细描述。

[0043] 请参阅图5及图6，相邻像素单元200包含主像素电极210、从像素电极220、数据线230、公共电极线240、栅极线250、共享薄膜晶体管260、第一薄膜晶体管270及第二薄膜晶体管280。数据线230通过贯穿第二绝缘层7的第一过孔291与从像素电极220电连接。具体地，从像素电极220具有突出部221。突出部221在衬底基板5上的投影与数据线230在衬底基板5上的投影至少部分重叠。第一过孔291在衬底基板5上的投影落于突出部221与数据线230重叠的投影内。数据线230通过第一过孔291直接与从像素电极220的突出部221电连接。共享薄膜晶体管260包含漏极261及源极262。共享薄膜晶体管260的源极262通过贯穿第二绝缘层7的第三过孔293与主像素电极210电连接。具体地，主像素电极210具有第一突出部211，且源极262具有源极延伸部263。第一突出部211在衬底基板5上的投影与源极延伸部263在衬底基板5上的投影至少部分重叠。第三过孔293在衬底基板5上的投影落于第一突出部211与源极延伸部263重叠的投影内。共享薄膜晶体管260的源极延伸部263通过第三过孔293直接与主像素电极210的第一突出部111电连接。第一薄膜晶体管270还包含漏极271及源极272。第二薄膜晶体管280还包含漏极281及源极282。第二薄膜晶体管280的漏极281通过贯穿第二绝缘层7的第二过孔292与主像素电极210电连接。具体地，主像素电极210还具有第二突出部212，且漏极281具有漏极延伸部283。第二突出部212在衬底基板5上的投影与漏极延伸部283在衬底基板5上的投影至少部分重叠。第二过孔292在衬底基板5上的投影落于第二突出部212与漏极延伸部283重叠的投影内。第二薄膜晶体管280的漏极延伸部283通过第二过孔292直接与主像素电极210的第二突出部212电连接。第一薄膜晶体管270的源极272与第二薄膜晶体管280的源极282相连接，形成源极线288。相邻像素单元200中各元件的相对位置及关系，与像素单元4各元件

的相对位置及关系相同，在此不再详细描述。

[0044] 请参阅图5及图6，相邻像素单元200的主像素电极210与待测像素单元100的从像素电极120相邻。在相邻像素单元200的主像素电极210的相对两侧边的公共电极线240分别与在待测像素单元100的从像素电极120的相对两侧边的公共电极线140彼此相连。

[0045] 步骤2：请参阅图5至图8，在待测像素单元100中，切断共享薄膜晶体管160的漏极161与数据线130之间的连接，以及第一薄膜晶体管170的漏极171与数据线130之间的连接，以使从像素电极120仅与数据线130电连接。在一实施例中，可利用激光沿切割线301切断共享薄膜晶体管160的漏极161与数据线130之间的连接。在此切割后，形成第一沟槽3011。激光切割的深度可依实际需要调整。在此实施例中，第一沟槽3011贯穿第二绝缘层7及共享薄膜晶体管160的漏极161。在一实施例中，亦可将激光切割的深度调整成使第一沟槽3011贯穿第二绝缘层7、共享薄膜晶体管160的漏极161及第一绝缘层6的一部分。再者，亦可利用激光沿切割线302切断第一薄膜晶体管170的漏极171与数据线130之间的连接。在此切割后，形成第二沟槽3021。在此实施例中，第二沟槽3021贯穿第二绝缘层7及第一薄膜晶体管170的漏极171。在一实施例中，亦可将激光切割的深度调整成使第一沟槽3011贯穿第二绝缘层7、第一薄膜晶体管170的漏极171及第一绝缘层6的一部分。在步骤2后，数据线130仅通过贯穿第二绝缘层7的第一过孔191与从像素电极120电连接。具体地，数据线130仅通过第一过孔191直接与从像素电极120的突出部121电连接。

[0046] 步骤3：请参阅图5、图6及图9，在相邻像素单元200中，沿着在平行于数据线230的方向上延伸的切割线303切断主像素电极210及公共电极线240，以使主像素电极210分离成靠近数据线230的第一区域211及远离数据线230的第二区域212，以及使公共电极线240分离成靠近数据线230的第一区段241及在主像素电极210相对两侧的第二区段242及第三区段243。公共电极线240的第二区段242及第三区段243分别与在待测像素单元100的从像素电极120的相对两侧边的公共电极线140相连接。可利用激光沿切割线303切割主像素电极210及公共电极线240。在此切割后，形成第三沟槽3031。第三沟槽3031贯穿主像素电极210、第二绝缘层

7、第二绝缘层6、及公共电极线240。在此实施例中，切割线303及第三沟槽3031为平行于数据线230的直线，但不限于此。切割线303及第三沟槽3031亦可为沿着在平行于数据线230的方向上延伸的任何非直线，例如曲线。

[0047] 步骤4：请参阅图5、图6及图9，在相邻像素单元200中，设置至少一个导通孔304在主像素电极210的第二区域212中，以使主像素电极210的第二区域212仅与公共电极线240的第二区段242及第三区段243中的至少一者电连接。在一实施例中，可利用激光形成贯穿第一绝缘层6及第二绝缘层7并电连接主像素电极210的第二区域212与公共电极线240的导通孔304。在此实施例中，导通孔304在衬底基板5上的投影，落入主像素电极210的第二区域212与公共电极线240在衬底基板5上的重叠投影内。导通孔304的投影面积等于主像素电极210的第二区域212与公共电极线240的重叠投影面积。在一实施例中，导通孔304的投影，亦可与主像素电极210的第二区域212与公共电极线240的重叠投影部分重叠。导通孔304的投影面积亦可大于或小于主像素电极210的第二区域212与公共电极线240的重叠投影面积。导通孔304的数量和相对位置可依实际需求调整。增加导通孔304的数量，可确保主像素电极210的第二区域212与公共电极线240电连接。在此实施例中，在公共电极线240的第二区段242及第三区段243上各设置两个导通孔304，但不限于此。

[0048] 在一实施例中，可根据需要，任意调整前述步骤1至步骤4的顺序。

[0049] 步骤5：请参阅图5及图6，测量待测像素单元100的从像素电极120与相邻像素单元200的主像素电极210的第二区域212之间的电容，以获得待测像素单元100中的数据线130与公共电极线140之间的电容。如前所述，相邻像素单元200的主像素电极210与待测像素单元100的从像素电极110相邻。在步骤2后，待测像素单元100的从像素电极120仅与数据线130电连接。在步骤4后，相邻像素单元200的主像素电极210的第二区域212仅与公共电极线240的第二区段242及第三区段243中的至少一者电连接。公共电极线240的第二区段242及第三区段243分别与在待测像素单元100的从像素电极120的相对两侧边的公共电极线130彼此相连。因此，本揭示所提供的方法，可通过测量待测像素单元100的从像素电极120与相邻像素单元200的主像素电极210的第二区域212之间的电容，来获得待测像素单

元100在X区中的数据线130与公共电极线140之间的电容。具体地，只要将测量电容的仪器的两探针分别置于待测像素单元100的从像素电极120与相邻像素单元200的主像素电极210的第二区域212上并进行测量，即可获得待测像素单元100中的数据线130与公共电极线140之间的电容。

[0050] 本揭示所提供的方法可直接测量分析阵列基板的显示区中的像素单元的数据线和公共电极线的重叠电容，而无需在管阵列基板的非显示区中设置分别从数据线和公共电极线延伸出的端子。

[0051] 本揭示还提供了一种阵列基板，其为进行前述方法步骤1-4后所获得的阵列基板。请参阅图1，阵列基板1包含显示区2及围绕显示区2的非显示区3。阵列基板1的显示区2设有多个像素单元4。请参阅图2，每一像素单元4设置在阵列基板1的衬底基板5上。每一像素单元4包含主像素电极10、从像素电极20、数据线30、公共电极线40、栅极线50、共享薄膜晶体管60、第一薄膜晶体管70及第二薄膜晶体管80。数据线30设置在从像素电极20靠近主像素电极10的一侧，且通过第一过孔91与从像素电极20电连接。具体地，从像素电极20具有突出部21。数据线30通过第一过孔91直接与从像素电极20的突出部21电连接。公共电极线40设置在主像素电极10靠近从像素电极20的三侧边，以及设置在从像素电极20靠近主像素电极10的三侧边。栅极线50设置于主像素电极10与从像素电极20之间，且形成共享薄膜晶体管60、第一薄膜晶体管70及第二薄膜晶体管80的栅级。共享薄膜晶体管60、第一薄膜晶体管70及第二薄膜晶体管80设置在主像素电极10及从像素电极20之间。

[0052] 请参阅图2，共享薄膜晶体管60还包含漏极61及源极62。共享薄膜晶体管60的漏极61与数据线30相连接。具体地，漏极61与数据线30具有一体成形的结构。共享薄膜晶体管60的源极62通过第三过孔93与主像素电极10电连接。具体地，主像素电极10具有第一突出部11，且源极62具有源极延伸部63。共享薄膜晶体管60的源极延伸部63通过第三过孔93直接与主像素电极10的第一突出部11电连接。第一薄膜晶体管70还包含漏极71及源极72。在第一薄膜晶体管70中，漏极71与数据线30相连接。具体地，漏极71与数据线30具有一体成形的结构。第二薄膜晶体管80还包含漏极81及源极82。第二薄膜晶体管80的漏极81通过第二过孔9

2与主像素电极10电连接。具体地，主像素电极10还具有第二突出部12，且漏极81具有漏极延伸部83。第二薄膜晶体管80的漏极延伸部83通过第二过孔92直接与主像素电极10的第二突出部12电连接。第一薄膜晶体管70的源极72与第二薄膜晶体管80的源极82相连接，形成源极线88。具体地，第一薄膜晶体管70的源极72与第二薄膜晶体管80的源极82具有一体成形的结构。

[0053] 请参阅图2至图4，阵列基板1还包含第一绝缘层6及第二绝缘层7。公共电极线40及栅极线50设置在衬底基板5上。第一绝缘层6覆盖公共电极线40及栅极线50。共享薄膜晶体管60的漏极61及源极62、第一薄膜晶体管70的漏极71、第二薄膜晶体管80的漏极81、包含第一薄膜晶体管70的源极72与第二薄膜晶体管80的源极82的源极线88，以及数据线30设置在第一绝缘层6上。如前所述，源极62具有源极延伸部63，以及漏极81具有漏极延伸部83。因此，源极延伸部63及漏极延伸部83亦设置在第一绝缘层6上。第二绝缘层7覆盖漏极61、源极62、源极延伸部63、漏极71、漏极81、漏极延伸部83、源极线88及数据线30。主像素电极10及从像素电极20设置在第二绝缘层7上。如前所述，从像素电极20具有突出部21，以及主像素电极10具有第一突出部11及第二突出部12。因此，从像素电极20的突出部21，以及主像素电极10的第一突出部11及第二突出部12亦设置在第二绝缘层7上。数据线30通过贯穿第二绝缘层7的第一过孔91与从像素电极20电连接。第二薄膜晶体管70的漏极71是通过贯穿第二绝缘层7的第二过孔92与主像素电极10电连接。共享薄膜晶体管60的源极62通过贯穿第二绝缘层7的第三过孔93与主像素电极10电连接。

[0054] 请参阅图5，多个像素单元4包含待测像素单元100及相邻像素单元200。待测像素单元100及相邻像素单元200具有与像素单元4相同的结构。为清楚说明，以不同的标号表示在待测像素单元100及相邻像素单元200中与像素单元4相同的元件。

[0055] 请参阅图5及图6，待测像素单元100包含主像素电极110、从像素电极120、数据线130、公共电极线140、栅极线150、共享薄膜晶体管160、第一薄膜晶体管170及第二薄膜晶体管180。数据线130通过贯穿第二绝缘层7的第一过孔191与从像素电极120电连接。具体地，从像素电极120具有突出部121。数据线130通过

第一过孔191直接与从像素电极120的突出部121电连接。共享薄膜晶体管160包含漏极161及源极162。共享薄膜晶体管160的源极162通过贯穿第二绝缘层7的第三过孔193与主像素电极110电连接。具体地，主像素电极110具有第一突出部111，且源极162具有源极延伸部163。共享薄膜晶体管160的源极延伸部163通过第三过孔193直接与主像素电极110的第一突出部111电连接。第一薄膜晶体管170还包含漏极171及源极172。第二薄膜晶体管180还包含漏极181及源极182。第二薄膜晶体管180的漏极181通过贯穿第二绝缘层7的第二过孔192与主像素电极110电连接。具体地，主像素电极110还具有第二突出部112，且漏极181具有漏极延伸部183。第二薄膜晶体管180的漏极延伸部183通过第二过孔192直接与主像素电极110的第二突出部112电连接。第一薄膜晶体管170的源极172与第二薄膜晶体管180的源极182相连接，形成源极线188。待测像素单元100中各元件的相对位置及关系，与像素单元4各元件的相对位置及关系相同，在此不再详细描述。

[0056] 请参阅图5及图6，相邻像素单元200包含主像素电极210、从像素电极220、数据线230、公共电极线240、栅极线250、共享薄膜晶体管260、第一薄膜晶体管270及第二薄膜晶体管280。数据线230通过贯穿第二绝缘层7的第一过孔291与从像素电极220电连接。具体地，从像素电极220具有突出部221。数据线230通过第一过孔291直接与从像素电极220的突出部221电连接。共享薄膜晶体管260包含漏极261及源极262。共享薄膜晶体管260的源极262通过贯穿第二绝缘层7的第三过孔293与主像素电极210电连接。具体地，主像素电极210具有第一突出部211，且源极262具有源极延伸部263。共享薄膜晶体管260的源极延伸部263通过第三过孔293直接与主像素电极210的第一突出部111电连接。第一薄膜晶体管270还包含漏极271及源极272。第二薄膜晶体管280还包含漏极281及源极282。第二薄膜晶体管280的漏极281通过贯穿第二绝缘层7的第二过孔292与主像素电极210电连接。具体地，主像素电极210还具有第二突出部212，且漏极281具有漏极延伸部283。第二薄膜晶体管280的漏极延伸部283通过第二过孔292直接与主像素电极210的第二突出部212电连接。第一薄膜晶体管270的源极272与第二薄膜晶体管280的源极282相连接，形成源极线288。相邻像素单元200中各元件的相对位置及关系，与像素单元4各元件的相对位置及关系相同，在此不再详细描述。

[0057] 请参阅图5及图6，相邻像素单元200的主像素电极210与待测像素单元100的从像素电极120相邻。在相邻像素单元200的主像素电极210的相对两侧边的公共电极线240分别与在待测像素单元100的从像素电极120的相对两侧边的公共电极线140彼此相连。

[0058] 请参阅图5至图8，在待测像素单元100中，设置有用以分离共享薄膜晶体管160的漏极161与数据线130的第一沟槽3011，以及用以分离第一薄膜晶体管170的漏极171与数据线130的第二沟槽3021，使得从像素电极120仅与数据线130电连接。具体地，数据线130仅通过贯穿第二绝缘层7的第一过孔191与从像素电极120电连接。更具体地，数据线130仅通过第一过孔191直接与从像素电极120的突出部121电连接。在一实施例中，可利用激光沿切割线301切断共享薄膜晶体管160的漏极161与数据线130之间的连接，以形成第一沟槽3011。再者，亦可利用激光沿切割线302切断第一薄膜晶体管170的漏极171与数据线130之间的连接，以形成第二沟槽3021。激光切割的深度可依实际需要调整。在此实施例中，第一沟槽3011贯穿第二绝缘层7及共享薄膜晶体管160的漏极161，且第二沟槽3021贯穿第二绝缘层7及第一薄膜晶体管170的漏极171。

[0059] 请参阅图5、图6及图9，在相邻像素单元200中，设置有在平行于数据线230的方向上延伸的第三沟槽3031，建构成将主像素电极210分离成靠近数据线230的第一区域211及远离数据线230的第二区域212，以及建构成将公共电极线240分离成靠近数据线230的第一区段241及在主像素电极210相对两侧的第二区段242及第三区段243。公共电极线240的第二区段242及第三区段243分别与在待测像素单元100的从像素电极120的相对两侧边的公共电极线140相连接。在一实施例中，可利用激光沿着在平行于数据线230的方向上延伸的的切割线303切割主像素电极210及公共电极线240，以形成第三沟槽3031。第三沟槽3031贯穿主像素电极210、第二绝缘层7、第二绝缘层6、及公共电极线240。在此实施例中，切割线303及第三沟槽3031为平行于数据线230的直线，但不限于此。切割线303及第三沟槽3031亦可为沿着在平行于数据线230的方向上延伸的任何非直线，例如曲线。

[0060] 请参阅图5、图6及图9，主像素电极210的第二区域212设置有至少一个导通孔3

04，建构成使主像素电极210的第二区域212仅与公共电极线240的第二区段242及第三区段243中的至少一者电连接。在一实施例中，可利用激光形成贯穿第一绝缘层6及第二绝缘层7并电连接主像素电极210的第二区域212与公共电极线240的导通孔304。导通孔304的数量和相对位置可依实际需求调整。增加导通孔304的数量，可确保主像素电极210的第二区域212与公共电极线240电连接。在此实施例中，在公共电极线240的第二区段242及第三区段243上各设置两个导通孔304，但不限于此。

[0061] 阵列基板1中各元件的其它相对位置及关系，请参考前面对于本揭示所提供的方法的描述，在此不再详细描述。

[0062] 如前所述，相邻像素单元200的主像素电极210与待测像素单元100的从像素电极110相邻。待测像素单元100的从像素电极120仅与数据线130电连接。相邻像素单元200的主像素电极210的第二区域212仅与公共电极线240的第二区段242及第三区段243中的至少一者电连接。公共电极线240的第二区段242及第三区段243分别与在待测像素单元100的从像素电极120的相对两侧边的公共电极线130彼此相连。因此，本揭示所提供的阵列基板，可通过测量待测像素单元100的从像素电极120与相邻像素单元200的主像素电极210的第二区域212之间的电容，来获得待测像素单元100中的数据线130与公共电极线140之间的电容。具体地，只要将测量电容的仪器的两探针分别置于待测像素单元100的从像素电极120与相邻像素单元200的主像素电极210的第二区域212上并进行测量，即可获得待测像素单元100在X区中的数据线130与公共电极线140之间的电容。

[0063] 本揭示所提供的阵列基板，可通过直接测量待测像素单元的从像素电极与相邻像素单元的主像素电极之间的电容，来获得待测像素单元中的数据线与公共电极线之间的电容。本揭示所提供的阵列基板便于直接测量分析阵列基板的显示区中的像素单元的数据线和公共电极线的重叠电容，而无需在管阵列基板的非显示区中设置分别从数据线和公共电极线延伸出的的端子。

[0064] 虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本发明的保护范围以权利要求界定的范围为准。本领域的普通技术人员，在不脱离本发明的保护范围内，均可作各种更动与润饰。例如，上述实施例是以

具有八畴结构的像素单元作为例示，然而本领域的普通技术人员可将本发明的概念应用于具有多畴结构的像素单元中。

# 权利要求书

[权利要求 1] 一种测量阵列基板电容的方法，其包含：

提供阵列基板，其中所述阵列基板包含位于衬底基板上的多个像素单元，且每一像素单元包含：

主像素电极；

从像素电极；

数据线，设置在所述从像素电极靠近所述主像素电极的一侧，与所述从像素电极电连接；

公共电极线，设置在所述主像素电极靠近所述从像素电极的三侧边，以及设置在所述从像素电极靠近所述主像素电极的三侧边；

共享薄膜晶体管，其中共享薄膜晶体管的漏极与所述数据线相连接；及

第一薄膜晶体管，其中第一薄膜晶体管的漏极与所述数据线相连接；

在待测的像素单元中，切断所述共享薄膜晶体管的漏极与所述数据线之间的连接，以及所述第一薄膜晶体管的漏极与所述数据线之间的连接，以使所述从像素电极仅与所述数据线电连接；

在与所述待测像素单元相邻的像素单元中，沿着在平行于所述数据线的方向上延伸的切割线切断所述主像素电极及所述公共电极线，以使所述主像素电极分离成靠近所述数据线的第一区域及远离所述数据线的第二区域，以及使所述公共电极线被分离成靠近所述数据线的第一区段与在所述主像素电极相对两侧的第二区段及第三区段，其中所述相邻像素单元的主像素电极与所述待测像素单元的从像素电极相邻，且所述相邻像素单元的公共电极线的第二区段及第三区段分别与在所述待测像素单元的从像素电极的相对两侧边的公共电极线相连接；

在所述相邻像素单元中，设置至少一个导通孔在所述主像素电极的第二区域中，以使所述主像素电极的第二区域仅与所述公共电极线的第二区段及第三区段中的至少一者电连接；及

测量所述待测像素单元的从像素电极与所述相邻像素单元的主像素电

极的第二区域之间的电容，以获得所述待测像素单元中的数据线与公共电极线之间的电容。

[权利要求 2] 根据权利要求1所述的测量阵列基板电容的方法，其中每一像素单元还包含第二薄膜晶体管，且第二薄膜晶体管的漏极与所述主像素电极电连接。

[权利要求 3] 根据权利要求2所述的测量阵列基板电容的方法，其中每一像素单元还包含栅极线，设置于主像素电极与从像素电极之间，且形成共享薄膜晶体管、第一薄膜晶体管及第二薄膜晶体管的栅级。

[权利要求 4] 根据权利要求3所述的测量阵列基板电容的方法，其中：

所述阵列基板还包含第一绝缘层及第二绝缘层；

所述公共电极线及所述栅极线设置在所述衬底基板上；

第一绝缘层覆盖所述公共电极线及所述栅极线；

所述数据线、所述共享薄膜晶体管的漏极、第一薄膜晶体管的漏极及第二薄膜晶体管的漏极设置在第一绝缘层上；

第二绝缘层覆盖所述数据线、所述共享薄膜晶体管的漏极、第一薄膜晶体管的漏极及第二薄膜晶体管的漏极；及

所述主像素电极及所述从像素电极设置在第二绝缘层上。

[权利要求 5] 根据权利要求4所述的测量阵列基板电容的方法，其中：

在每一像素单元中，数据线是通过贯穿第二绝缘层的第一过孔与所述从像素电极电连接，且第二薄膜晶体管的漏极是通过贯穿第二绝缘层的第二过孔与所述主像素电极电连接；及

在所述相邻像素单元中，所述主像素电极的第二区域是通过贯穿第一绝缘层及第二绝缘层的所述导通孔与所述公共电极线电连接。

[权利要求 6] 根据权利要求1所述的测量阵列基板电容的方法，其中在每一像素单元中，共享薄膜晶体管的漏极、第一薄膜晶体管的漏极与所述数据线为一体成形的结构。

[权利要求 7] 根据权利要求1所述的测量阵列基板电容的方法，其中所述在所述待测像素单元中切断所述共享薄膜晶体管的漏极与所述数据线之间的连

接及所述第一薄膜晶体管的漏极与所述数据线之间的连接、所述在所述相邻像素单元中切断所述主像素电极及所述公共电极线，以及所述在所述相邻像素单元中设置至少一个导通孔在所述主像素电极的第二区域中，均是通过激光进行。

[权利要求 8] 根据权利要求1所述的测量阵列基板电容的方法，其中每一像素单元中的主像素电极及像素电极均具有四畴结构，以使像素单元具有八畴结构。

[权利要求 9] 一种阵列基板，其包含位于衬底基板上的多个像素单元，其中每一像素单元包含：

主像素电极；

从像素电极；

数据线，设置在所述从像素电极靠近所述主像素电极的一侧，与所述从像素电极电连接；

公共电极线，设置在所述主像素电极靠近所述从像素电极的三侧边，以及设置在所述从像素电极靠近所述主像素电极的三侧边；

共享薄膜晶体管，其中共享薄膜晶体管的漏极与所述数据线相连接；及

第一薄膜晶体管，其中第一薄膜晶体管的漏极与所述数据线相连接；

在待测像素单元中，设置有用以分离所述共享薄膜晶体管的漏极与所述数据线的第一沟槽，以及用以分离所述第一薄膜晶体管的漏极与所述数据线的第二沟槽，使得从像素电极仅与数据线电连接；

在与所述待测像素单元相邻的像素单元中，设置有在平行于所述数据线的方向上延伸的第三沟槽，建构成将所述主像素电极分离成靠近所述数据线的第一区域及远离所述数据线的第二区域，以及建构成将所述公共电极线分离成靠近所述数据线的第一区段及在所述主像素电极相对两侧的第二区段及第三区段；

所述相邻像素单元的主像素电极与所述待测像素单元的从像素电极相邻，且所述相邻像素单元的公共电极线的第二区段及第三区段分别与

在所述待测像素单元的从像素电极的相对两侧边的公共电极线相连接；以及

所述第二区域设有至少一个导通孔，建构成使所述主像素电极的第二区域仅与所述公共电极线的第二区段及第三区段中的至少一者电连接。

[权利要求 10] 根据权利要求9所述的阵列基板，其中每一像素单元还包含第二薄膜晶体管，且第二薄膜晶体管的漏极与所述主像素电极电连接。

[权利要求 11] 根据权利要求10所述的阵列基板，其中每一像素单元还包含栅极线，设置于主像素电极与从像素电极之间，且形成共享薄膜晶体管、第一薄膜晶体管及第二薄膜晶体管的栅级。

[权利要求 12] 根据权利要求11所述的阵列基板，其中：

所述阵列基板还包含第一绝缘层及第二绝缘层；

所述公共电极线及所述栅极线设置在所述衬底基板上；

第一绝缘层覆盖所述公共电极线及所述栅极线；

所述数据线、所述共享薄膜晶体管的漏极及第一薄膜晶体管的漏极设置在第一绝缘层上；

第二绝缘层覆盖所述数据线、所述共享薄膜晶体管的漏极及第一薄膜晶体管的漏极；

所述主像素电极及所述从像素电极设置在第二绝缘层上。

[权利要求 13] 根据权利要求12所述的阵列基板，其中：

在每一像素单元中，数据线是通过贯穿第二绝缘层的第一过孔与所述从像素电极电连接，且第二薄膜晶体管的漏极是通过贯穿第二绝缘层的第二过孔与所述主像素电极电连接；及

在所述相邻像素单元中，所述主像素电极的第二区域是通过贯穿第一绝缘层及第二绝缘层的所述导通孔与所述公共电极线电连接。

[权利要求 14] 根据权利要求9所述的阵列基板，其中在每一像素单元中，共享薄膜晶体管的漏极、第一薄膜晶体管的漏极与所述数据线为一体成形的结构。

[权利要求 15] 根据权利要求9所述的阵列基板，其中每一像素单元中的主像素电极及像素电极均具有四畴结构，以使像素单元具有八畴结构。

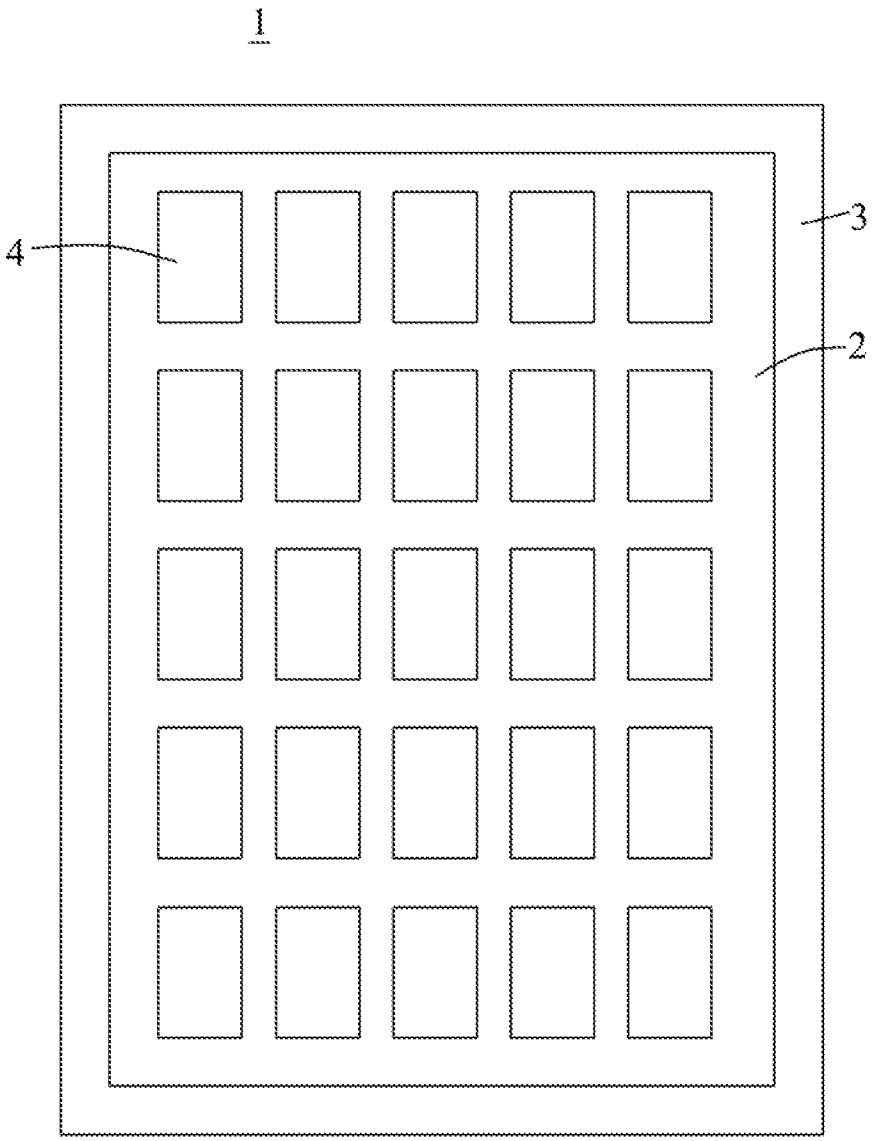



图 1

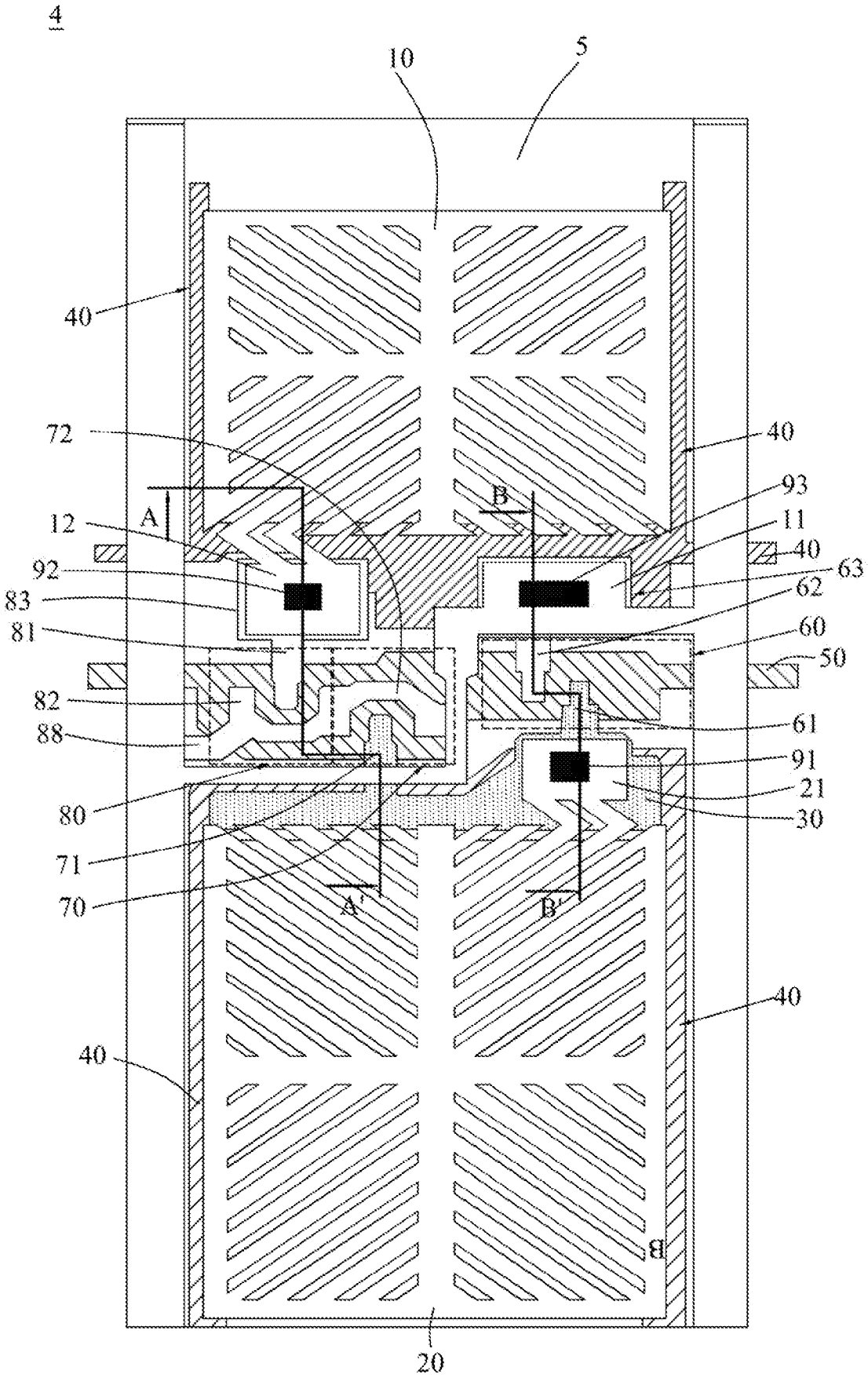

4
10
5
40
72
40
A
B
12
93
11
92
40
63
83
62
81
60
50
82
61
88
91
21
80
30
71
70
A'
B'
40
40
20

图 2

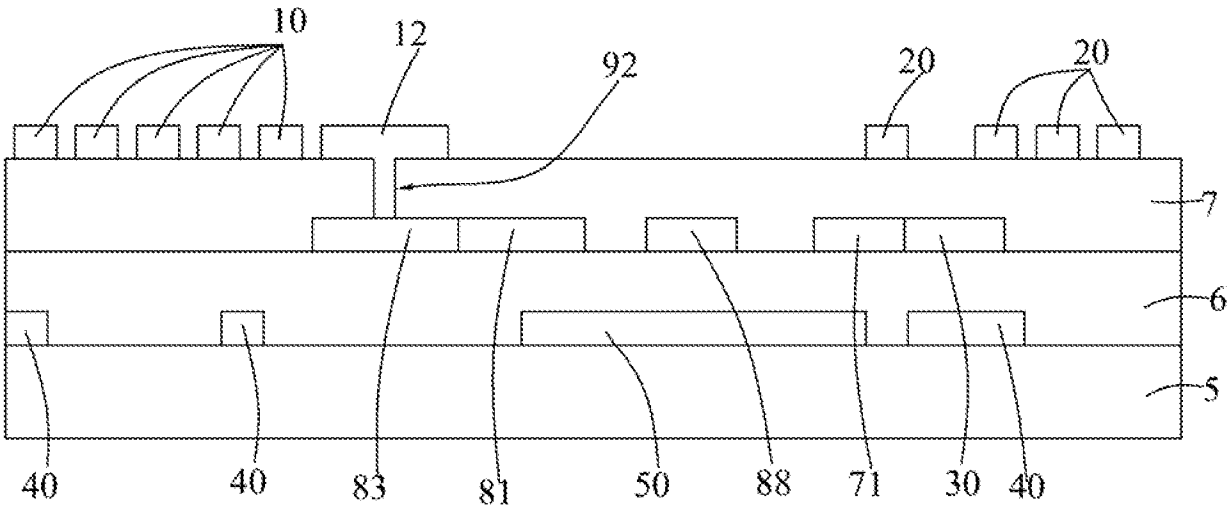

10
12
92
20
20
7
6
5
40
40
83
81
50
88
71
30
40

图 3

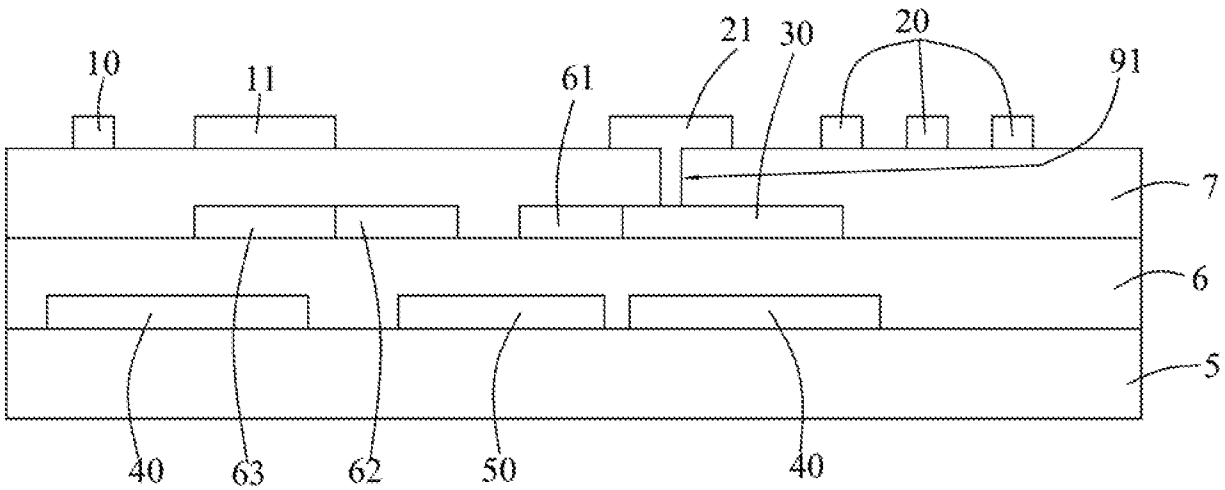

10
11
61
21
30
20
91
7
6
5
40
63
62
50
40

图 4

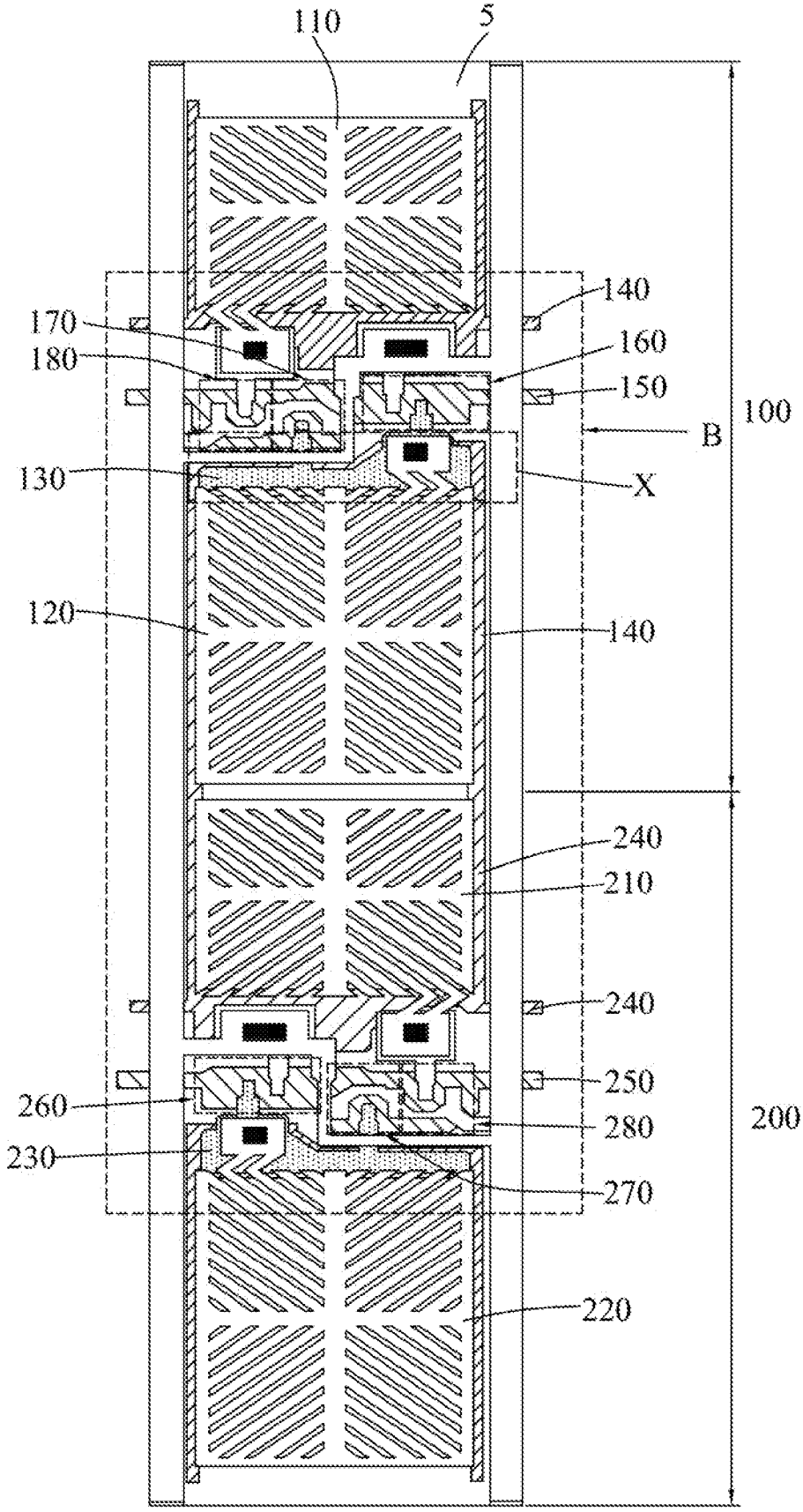

110
5
140
170
160
180
150
100
B
130
X
120
140
240
210
240
250
260
280
200
230
270
220

图 5

160{161, 162, 150} 170{171, 172, 150} 180{181, 182, 150} 260{261, 262, 250} 270{271, 272, 250} 280{281, 282, 250}

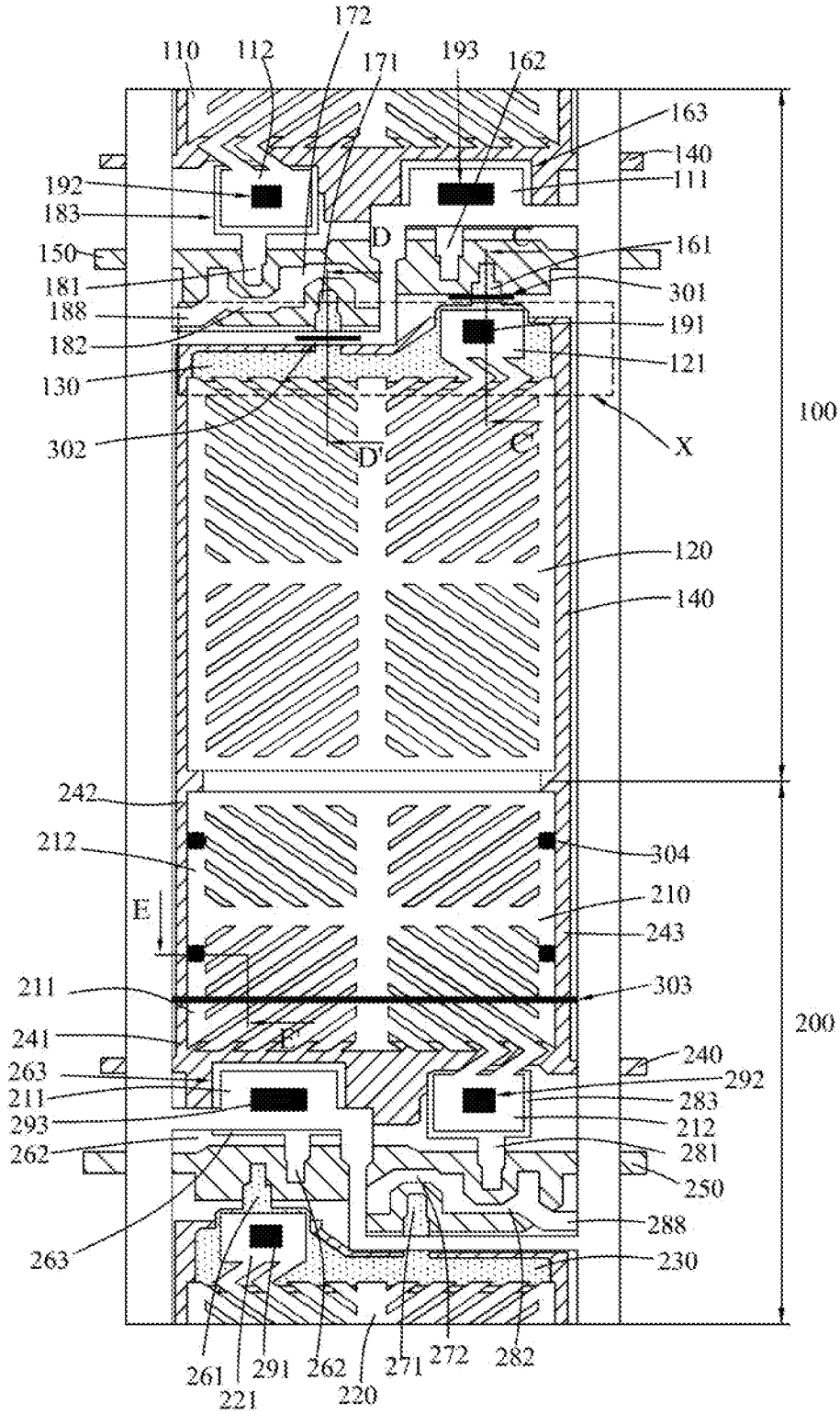



图 6

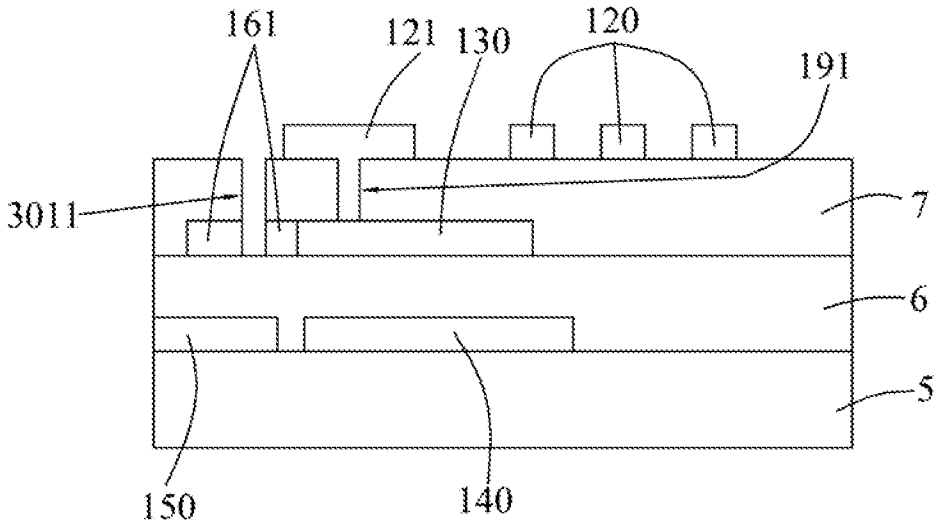

161
121
130
120
191
3011
7
6
5
150
140

图 7

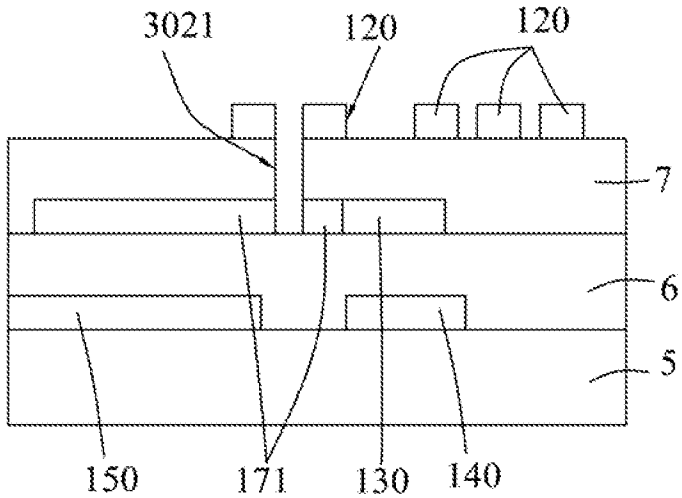

3021
120
120
7
6
5
150
171
130
140

图 8

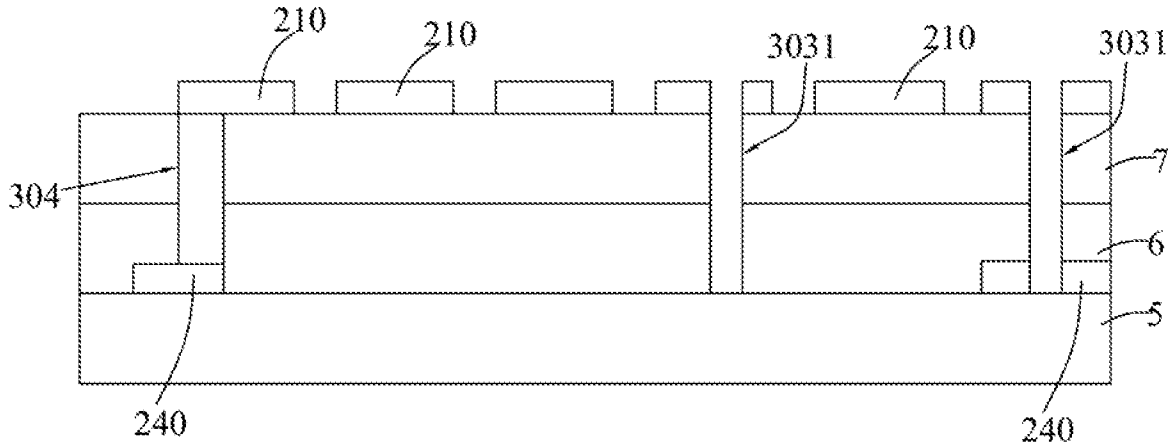



图 9

# INTERNATIONAL SEARCH REPORT

International application No.
**PCT/CN2020/137506**

## A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i; G02F 1/1368(2006.01)i; G01R 27/26(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNKI, CNPAT, IEEE: 公共电极, 共用电极, 公用电极, 共通电极, 通用电极, 共同电极, 共有电极, 公共端, 共享电极, 公共电平, 共电极, 公共走线, 信号线, 数据线, 漏极线, 电容, 重叠, 交叠, 层叠, 测量, 检测, 测试, 探测, 测定, 量测, 测验, 评测, 检查, 像素电极, 分离, 切割, 切断, 沟, 槽, vcom, com, electrode, common, data, signal, line, wire, overlap, capacitance, test, check, measure, monitor, pixel, cut, groove, trench

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | US 2015293387 A1 (SAMSUNG DISPLAY CO., LTD.) 15 October 2015 (2015-10-15)<br>description, paragraphs [0040]-[0138], and figures 1-10 | 1-15 |
| A | CN 1773442 A (SHARP CORPORATION) 17 May 2006 (2006-05-17)<br>entire document | 1-15 |
| A | CN 107315114 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 November 2017 (2017-11-03)<br>entire document | 1-15 |
| A | CN 104536169 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 April 2015 (2015-04-22)<br>entire document | 1-15 |
| A | CN 101140744 A (NEC ELECTRONICS CORP.) 12 March 2008 (2008-03-12)<br>entire document | 1-15 |

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| **12 August 2021** | **30 August 2021** |
| Name and mailing address of the ISA/CN<br>**China National Intellectual Property Administration (ISA/CN)**<br>**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China**<br>Facsimile No. **(86-10)62019451** | Authorized officer<br><br>Telephone No. |

**INTERNATIONAL SEARCH REPORT**
**Information on patent family members**

International application No.
**PCT/CN2020/137506**

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|---|---|---|---|---|---|---|---|
| US | 2015293387 | A1 | 15 October 2015 | KR | 102184447 | B1 | 01 December 2020 |
| | | | | KR | 20150117752 | A | 21 October 2015 |
| | | | | US | 10216051 | B2 | 26 February 2019 |
| CN | 1773442 | A | 17 May 2006 | KR | 100740394 | B1 | 16 July 2007 |
| | | | | GB | 0424688 | D0 | 08 December 2004 |
| | | | | JP | 4628250 | B2 | 09 February 2011 |
| | | | | CN | 100381996 | C | 16 April 2008 |
| | | | | JP | 2006184273 | A | 13 July 2006 |
| | | | | GB | 2419950 | A | 10 May 2006 |
| | | | | US | 2006114247 | A1 | 01 June 2006 |
| | | | | KR | 20060052547 | A | 19 May 2006 |
| CN | 107315114 | A | 03 November 2017 | CN | 107315114 | B | 30 August 2019 |
| CN | 104536169 | A | 22 April 2015 | US | 9678398 | B2 | 13 June 2017 |
| | | | | WO | 2016106850 | A1 | 07 July 2016 |
| | | | | US | 2016246141 | A1 | 25 August 2016 |
| | | | | CN | 104536169 | B | 12 January 2018 |
| CN | 101140744 | A | 12 March 2008 | JP | 2008065058 | A | 21 March 2008 |
| | | | | US | 2008062341 | A1 | 13 March 2008 |
| | | | | JP | 4775850 | B2 | 21 September 2011 |
| | | | | CN | 101140744 | B | 30 November 2011 |

# 国际检索报告

国际申请号
PCT/CN2020/137506

A. 主题的分类

G02F 1/1362(2006.01)i; G02F 1/1368(2006.01)i; G01R 27/26(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F G01R

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

EPODOC, WPI, CNKI, CNPAT, IEEE: 公共电极，共用电极，公用电极，共通电极，通用电极，共同电极，共有电极，公共端，共享电极，公共电平，共电极，公共走线，信号线，数据线，漏极线，电容，重叠，交叠，层叠，测量，检测，测试，探测，测定，量测，测验，评测，检查，像素电极，分离，切割，切断，沟，槽，vcom, com, electrode, common, data, signal, line, wire, overlap, capacitance, test, check, measure, monitor, pixel, cut, groove, trench

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| A | US 2015293387 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 10月 15日 (2015-10-15)<br>说明书第[0040]-[0138]段，附图1-10 | 1-15 |
| A | CN 1773442 A (夏普株式会社) 2006年 5月 17日 (2006-05-17)<br>全文 | 1-15 |
| A | CN 107315114 A (京东方科技集团股份有限公司) 2017年 11月 3日 (2017-11-03)<br>全文 | 1-15 |
| A | CN 104536169 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015-04-22)<br>全文 | 1-15 |
| A | CN 101140744 A (恩益禧电子股份有限公司) 2008年 3月 12日 (2008-03-12)<br>全文 | 1-15 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2021年 8月 12日 | 2021年 8月 30日 |

| ISA/CN的名称和邮寄地址 | 受权官员 |
|---|---|
| 中国国家知识产权局(ISA/CN)<br>中国 北京市海淀区蓟门桥西土城路6号 100088 | 赵致民 |
| 传真号 (86-10)62019451 | 电话号码 86-(10)-53961446 |

# 国际检索报告
## 关于同族专利的信息

国际申请号
PCT/CN2020/137506

| 检索报告引用的专利文件 | | | 公布日<br>(年/月/日) | 同族专利 | | | 公布日<br>(年/月/日) |
|---|---|---|---|---|---|---|---|
| US | 2015293387 | A1 | 2015年 10月 15日 | KR | 102184447 | B1 | 2020年 12月 1日 |
| | | | | KR | 20150117752 | A | 2015年 10月 21日 |
| | | | | US | 10216051 | B2 | 2019年 2月 26日 |
| CN | 1773442 | A | 2006年 5月 17日 | KR | 100740394 | B1 | 2007年 7月 16日 |
| | | | | GB | 0424688 | D0 | 2004年 12月 8日 |
| | | | | JP | 4628250 | B2 | 2011年 2月 9日 |
| | | | | CN | 100381996 | C | 2008年 4月 16日 |
| | | | | JP | 2006184273 | A | 2006年 7月 13日 |
| | | | | GB | 2419950 | A | 2006年 5月 10日 |
| | | | | US | 2006114247 | A1 | 2006年 6月 1日 |
| | | | | KR | 20060052547 | A | 2006年 5月 19日 |
| CN | 107315114 | A | 2017年 11月 3日 | CN | 107315114 | B | 2019年 8月 30日 |
| CN | 104536169 | A | 2015年 4月 22日 | US | 9678398 | B2 | 2017年 6月 13日 |
| | | | | WO | 2016106850 | A1 | 2016年 7月 7日 |
| | | | | US | 2016246141 | A1 | 2016年 8月 25日 |
| | | | | CN | 104536169 | B | 2018年 1月 12日 |
| CN | 101140744 | A | 2008年 3月 12日 | JP | 2008065058 | A | 2008年 3月 21日 |
| | | | | US | 2008062341 | A1 | 2008年 3月 13日 |
| | | | | JP | 4775850 | B2 | 2011年 9月 21日 |
| | | | | CN | 101140744 | B | 2011年 11月 30日 |