

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-209543

(P2012-209543A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 29/786 (2006.01)	HO1L 29/78	616U 5F083
HO1L 21/336 (2006.01)	HO1L 29/78	618B 5F1O1
HO1L 21/8242 (2006.01)	HO1L 29/78	616V 5F11O
HO1L 27/108 (2006.01)	HO1L 29/78	620
HO1L 27/115 (2006.01)	HO1L 29/78	616A

審査請求 未請求 請求項の数 20 O L (全 53 頁) 最終頁に続く

(21) 出願番号	特願2012-48731 (P2012-48731)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成24年3月6日(2012.3.6)	(72) 発明者	肥塚 純一 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(31) 優先権主張番号	特願2011-54610 (P2011-54610)	(72) 発明者	大野 普司 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(32) 優先日	平成23年3月11日(2011.3.11)	(72) 発明者	佐藤 優一 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	高橋 正弘 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
			最終頁に続く

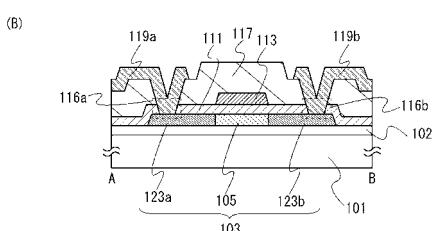
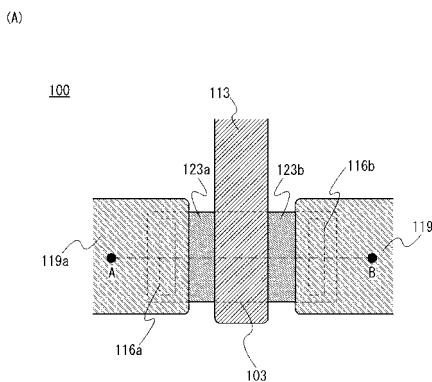
(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】微細化による電気特性の変動が生じにくい半導体装置を提供する。

【解決手段】第1の領域と、第1の領域を介して対向する一対の第2の領域と、を含む酸化物半導体膜と、酸化物半導体膜上に設けられるゲート絶縁膜と、ゲート絶縁膜上に設けられて、かつ第1の領域に重畳する第1の電極と、を有し、第1の領域は、c軸配向した結晶部を有する非単結晶の酸化物半導体領域であり、一対の第2の領域は、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域であることを特徴とする半導体装置である。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第1の領域と、前記第1の領域を介して対向する一対の第2の領域と、を含む酸化物半導体膜と、

前記酸化物半導体膜上に設けられるゲート絶縁膜と、

前記ゲート絶縁膜上に設けられて、かつ前記第1の領域に重畳する第1の電極と、を有し、

前記第1の領域は、c軸配向した結晶部を有する非単結晶の酸化物半導体領域であり、

前記一対の第2の領域は、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域であることを特徴とする半導体装置。 10

【請求項 2】

請求項1において、

前記一対の第2の領域は、前記ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域上に、ドーパントを含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域が設けられていることを特徴とする半導体装置。

【請求項 3】

請求項1または請求項2において、

前記一対の第2の領域に電気的に接続された第2の電極および第3の電極を有することを特徴とする半導体装置。 20

【請求項 4】

請求項3において、

前記第2の電極および第3の電極は、前記一対の第2の領域の上面に接していることを特徴とする半導体装置。 20

【請求項 5】

請求項3において、

前記第2の電極および第3の電極は、前記一対の第2の領域の下面に接していることを特徴とする半導体装置。 20

【請求項 6】

請求項1乃至請求項5のいずれか一において、

前記ゲート絶縁膜は、前記第1の領域及び前記一対の第2の領域上に設けられていることを特徴とする半導体装置。 30

【請求項 7】

請求項1乃至請求項5のいずれか一において、

前記ゲート絶縁膜は、前記第1の領域上に設けられていることを特徴とする半導体装置。 30

【請求項 8】

請求項1乃至請求項7のいずれか一において、

前記ゲート絶縁膜は、酸化物絶縁膜であることを特徴とする半導体装置。

【請求項 9】

請求項1乃至請求項8のいずれか一において、

前記一対の第2の領域は、前記ドーパントとして、リン、砒素、アンチモン、ホウ素から選ばれた1以上の元素を含み、

前記一対の第2の領域に含まれる前記ドーパントの濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 以上 $1 \times 10^{-2} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。 40

【請求項 10】

第1の領域と、前記第1の領域を介して対向した一対の第2の領域と、前記第1の領域および前記一対の第2の領域の間に設けられた一対の第3の領域と、を含む酸化物半導体膜と、

前記酸化物半導体膜上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられて、かつ前記第1の領域に重畳する第1の電極と、を有

50

し、

前記第1の領域は、c軸配向した結晶部を有する非単結晶の酸化物半導体領域であり、

前記一対の第2の領域および前記一対の第3の領域は、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域であり、

前記一対の第2の領域のドーパント濃度は、前記一対の第3の領域のドーパント濃度より高いことを特徴とする半導体装置。

【請求項11】

請求項10において、

前記一対の第2の領域および前記一対の第3の領域は、前記ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域上に、ドーパントを含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域が設けられていることを特徴とする半導体装置。
10

【請求項12】

請求項10または請求項11において、

前記第1の電極の側面に設けられたサイドウォール絶縁膜と、

前記一対の第2の領域に電気的に接続された第2の電極および第3の電極と、を有することを特徴とする半導体装置。

【請求項13】

請求項12において、

前記第2の電極および第3の電極は、前記一対の第2の領域の上面に接していることを特徴とする半導体装置。
20

【請求項14】

請求項12において、

前記第2の電極および第3の電極は、前記一対の第2の領域の下面に接していることを特徴とする半導体装置。

【請求項15】

請求項10乃至請求項14のいずれか一において、

前記ゲート絶縁膜は、前記第1の領域、前記一対の第2の領域、および前記一対の第3の領域上に設けられていることを特徴とする半導体装置。
30

【請求項16】

請求項10乃至請求項15のいずれか一において、

前記ゲート絶縁膜は、酸化物絶縁膜であり、

前記サイドウォール絶縁膜は、窒化物絶縁膜であることを特徴とする半導体装置。

【請求項17】

請求項10乃至請求項16のいずれか一において、

前記ゲート絶縁膜および前記サイドウォール絶縁膜は、酸化物絶縁膜であることを特徴とする半導体装置。
40

【請求項18】

請求項10乃至請求項17のいずれか一において、

前記一対の第2の領域および前記一対の第3の領域は、前記ドーパントとして、リン、砒素、アンチモン、ホウ素から選ばれた一以上の元素を含み、

前記一対の第2の領域および前記一対の第3の領域に含まれる前記ドーパントの濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 以上 $1 \times 10^{-2} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。
40

【請求項19】

請求項10乃至請求項18のいずれか一において、

前記一対の第2の領域および前記一対の第3の領域は、前記ドーパントとして、リン、砒素、アンチモン、ホウ素から選ばれた一以上の元素を含み、

前記一対の第2の領域に含まれる前記ドーパント濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 以上 $1 \times 10^{-2} \text{ cm}^{-3}$ 以下であり、
50

前記一对の第3の領域に含まれる前記ドーパント濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{21} \text{ cm}^{-3}$ 未満であることを特徴とする半導体装置。

【請求項 20】

請求項1乃至請求項19のいずれか一において、

前記酸化物半導体膜は、In、Ga、SnおよびZnから選ばれた二以上の元素を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する本発明は、酸化物半導体を用いた半導体装置に関する。 10

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指す。本明細書中のトランジスタは半導体装置であり、該トランジスタを含む電気光学装置、半導体回路および電子機器は全て半導体装置に含まれる。

【背景技術】

【0003】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコンまたは多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路(ICS)などにも利用されている。 20

【0004】

上記シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を「酸化物半導体」とよぶこととする。

【0005】

例えば、酸化物半導体として、Zn-O系の金属酸化物、In-Ga-Zn-O系の金属酸化物を用いてトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている(特許文献1および特許文献2参照)。

【0006】

また、酸化物半導体を用いたトランジスタにおいて、ソース領域およびドレイン領域と、ソース電極およびドレイン電極との間に、緩衝層として窒素を含む導電性の高い酸化物半導体を設けることで、酸化物半導体と、ソース電極およびドレイン電極とのコンタクト抵抗を低減する技術が開示されている(特許文献3参照)。 30

【0007】

また、酸化物半導体を含むトップゲート構造のトランジスタにおいて、チャネル形成領域、ソース領域およびドレイン領域をセルフアラインに形成する技術が開示されている(非特許文献1参照)。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2010-135774号公報

【非特許文献】

【0009】

【非特許文献1】Jae Chul Park et al., "High performance amorphous oxide thin film transistors with self-aligned top-gate structure" IEDM2009, pp191-194

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】**【0010】**

トランジスタを用いた集積回路の集積度を高くするためには、トランジスタの微細化が必要である。

【0011】

一般に、シリコン半導体を用いたトランジスタの微細化において、極端にチャネル長が短縮されたトランジスタは、しきい値電圧がマイナス方向に変動するなど電気特性に変動が生じる。この現象を抑制することは、シリコン半導体を用いたトランジスタの微細化における課題の1つである。

【0012】

また、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタと比較して、室温においてオフ電流が小さいことが知られており、これは熱励起により生じるキャリアが少ないので、つまりキャリア密度が小さいためと考えられる。そして、キャリア密度が小さい材料を用いたトランジスタにおいても、チャネル長を短くすることでしきい値電圧の変動などが現れる。

【0013】

そこで、本発明の一態様は、微細化による電気特性の変動が生じにくい半導体装置を提供することを課題とする。

【課題を解決するための手段】**【0014】**

酸化物半導体を用いたトランジスタにおいて、該トランジスタの微細化による電気特性の変動を抑制するためには、チャネル形成領域を含む酸化物半導体膜にドーパントを含む領域を設けることである。詳細には、酸化物半導体膜にドーパントを含む一対の領域及びチャネル形成領域を設けることである。このようにすることで、該ドレイン領域で発生し、かつ該チャネル形成領域に加わる電界を緩和するため、しきい値電圧の変動など、チャネル長を短くすることで生じる影響を低減できる。なお、本明細書において、ドーパントとは、チャネル形成領域を含む酸化物半導体膜に添加される元素、不純物の総称である。

【0015】

また、上記酸化物半導体膜は非単結晶であり、詳細には、該非単結晶のa b面に垂直な方向から見て、三角形、もしくは、六角形、または正三角形、もしくは正六角形の原子配列を有し、かつc軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子が層状に配列した結晶部を含む。なお、本明細書では、該結晶部を有する酸化物半導体をC A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r)とよぶことにする。また、該チャネル形成領域をC A A C - O Sとして、可視光または紫外光の照射、および熱やバイアスなどが加わることによるトランジスタの電気特性の変動を抑制し、半導体装置の信頼性を向上させることができる。

【0016】

また、上記ドーパントを含む領域は、多結晶を主とした複数の結晶部を有する酸化物半導体領域で構成されている。このように、上記ドーパントを含む領域においても、複数の結晶部を有する酸化物半導体領域とすることで、トランジスタの電気特性の変動を抑制することができる。

【0017】

つまり、本発明の一態様は、第1の領域と、第1の領域を介して対向する一対の第2の領域と、を含む酸化物半導体膜と、酸化物半導体膜上に設けられるゲート絶縁膜と、ゲート絶縁膜上に設けられて、かつ第1の領域に重畳する第1の電極と、を有し、第1の領域は、c軸配向した結晶部を有する非単結晶の酸化物半導体領域であり、一対の第2の領域は、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域である半導体装置である。

【0018】

10

20

30

40

50

また、上記ドーパントを含む領域は、複数の結晶部を有する酸化物半導体領域上に、c 軸配向した結晶部を有する非単結晶の酸化物半導体領域が設けられていてもよい。

【0019】

上記酸化物半導体膜は、In、Ga、Sn およびZn から選ばれた二以上の元素を含む酸化物半導体膜とすることが好ましい。

【0020】

さらに、上記半導体装置は、一対の第2の領域に電気的に接続された第2の電極および第3の電極を有する。

【0021】

一対の第2の領域は、第1の電極をマスクとし、ゲート絶縁膜を通過させてドーパントを添加することにより、セルファアラインに形成することができる。一対の第2の領域は少なくともソース領域およびドレイン領域として機能し、チャネル形成領域である第1の領域の両端にドーパントを含む一対の第2の領域を設けることで、第1の領域に加わる電界を緩和することができ、トランジスタのしきい値電圧の変動など、チャネル長を短くすることで生じる影響を低減することができる。

10

【0022】

また、第1の電極の側面にサイドウォール絶縁膜を設けて、該第1の電極をマスクとし、該サイドウォール絶縁膜を通過させてドーパントを添加することにより、一対の第2の領域よりドーパント濃度が低い一対の第3の領域をセルファアラインに形成することができる。

20

【0023】

つまり、一対の第3の領域は、チャネル形成領域として機能する第1の領域と、一対の第2の領域との間に形成される。一対の第3の領域よりドーパント濃度が高い一対の第2の領域は、ソース領域およびドレイン領域として機能する。一対の第2の領域よりドーパント濃度が低い一対の第3の領域は、チャネル形成領域に加わる電界を緩和する領域、すなわち電界緩和領域として機能する。このように電界緩和領域を設けることにより、トランジスタのしきい値電圧の変動など、チャネル長を短くすることで生じる影響を低減することができる。また、一対の第2の領域および一対の第3の領域とともに、複数の結晶部を有する酸化物半導体領域で構成されている。

30

【0024】

そこで、本発明の他の一態様は、第1の領域と、第1の領域を介して対向した一対の第2の領域と、第1の領域および一対の第2の領域の間に設けられた一対の第3の領域と、を含む酸化物半導体膜と、酸化物半導体膜上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられて、かつ第1の領域に重疊する第1の電極と、を有し、第1の領域は、c 軸配向した結晶部を有する非単結晶の酸化物半導体領域であり、一対の第2の領域および一対の第3の領域は、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域であり、一対の第2の領域のドーパント濃度は、一対の第3の領域のドーパント濃度より高い半導体装置である。

30

【0025】

また、一対の第2の領域および一対の第3の領域ともに、複数の結晶部を有する酸化物半導体領域上に、c 軸配向した結晶部を有する非単結晶の酸化物半導体領域が設けられていてもよい。

40

【0026】

例えば、一対の第2の領域および一対の第3の領域に添加されるドーパントは15族元素またはホウ素とする。例えば、該ドーパントは、リン、砒素、およびアンチモンならびにホウ素から選ばれた一以上の元素とし、一対の第2の領域および一対の第3の領域に含まれるドーパント濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 以上 $1 \times 10^{-2} \text{ cm}^{-3}$ 以下が好ましい。さらに、一対の第2の領域のドーパント濃度は、 $5 \times 10^{-2} \text{ cm}^{-3}$ 以上 $1 \times 10^{-2} \text{ cm}^{-3}$ 以下とし、一対の第3の領域のドーパント濃度は $5 \times 10^{-8} \text{ cm}^{-3}$ 以上 $5 \times 10^{-2} \text{ cm}^{-3}$ 未満とすることがさらに好ましい。

50

【0027】

また、本発明の一態様のトランジスタはトップゲート構造のトランジスタであり、第2の電極および第3の電極が一対の第2の領域の上面に接するトップコンタクト構造であってもよく、一対の第2の領域の下面に接するボトムコンタクト構造であってもよい。

【0028】

上記において、チャネル形成領域を含む酸化物半導体膜にドーパントを添加する際、第1の電極をマスクとして、ゲート絶縁膜を通過させずにドーパントを添加してもよい。例えば、ゲート絶縁膜の形成される範囲を第1の領域上のみとしてもよい。

【0029】

また、ゲート絶縁膜を酸化物絶縁膜で形成し、サイドウォール絶縁膜を窒化物絶縁膜から形成する場合、該窒化物絶縁膜および該酸化物絶縁膜のエッチングレートの違いにより、該ゲート絶縁膜（該酸化物絶縁膜）は、該サイドウォール絶縁膜（該窒化物絶縁膜）を形成する際のエッチングストッパーとして機能し、該ゲート絶縁膜の下面と接する酸化物半導体膜への過剰なエッチングを抑制することができる。結果として、該ゲート絶縁膜は第1の領域、一対の第2の領域および一対の第3の領域上に残存した構造となる。

10

【0030】

また、サイドウォール絶縁膜およびゲート絶縁膜を共に酸化物絶縁膜とする際は、該酸化物絶縁膜および第1の電極のエッチングレートの違いを利用して、一対の第2の領域および一対の第3の領域上に設けられている該ゲート絶縁膜をエッチングすることができる。結果として、該ゲート絶縁膜は第1の領域上に残存した構造となる。

20

【発明の効果】

【0031】

本発明の一態様によって、微細化による電気特性の変動が生じにくい半導体装置を提供することができる。

【図面の簡単な説明】

【0032】

【図1】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図2】本発明の一態様である半導体装置の作製方法を示す図。

【図3】本発明の一態様である半導体装置の作製方法を示す図。

30

【図4】本発明の一態様である半導体装置の作製方法を示す図。

【図5】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図6】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図7】本発明の一態様である半導体装置の作製方法を示す図。

【図8】本発明の一態様である半導体装置の一例を示す断面図。

【図9】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図10】本発明の一態様である半導体装置の作製方法を示す図。

【図11】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図12】本発明の一態様である半導体装置の一例を示す上面図および断面図。

【図13】本発明の一態様である半導体装置の作製方法を示す図。

40

【図14】本発明の一態様である半導体装置の一例を示す断面図。

【図15】本発明の一態様である半導体装置の一例を示す断面図。

【図16】本発明の一態様である半導体装置の一例を示す断面図。

【図17】ドーパントを添加した後の酸化物半導体の構造を示す図。

【図18】ドーパントを添加した前後での酸化物半導体の電子状態を示す図。

【図19】ドーパントを添加した後の酸化物半導体の断面T E M像を示す図。

【図20】本発明の一態様である半導体装置の回路図の一例を示す図。

【図21】本発明の一態様である半導体装置の回路図の一例を示す図。

【図22】本発明の一態様である半導体装置の回路図の一例を示す図。

【図23】本発明の一態様である半導体装置の回路図の一例を示す図。

【図24】C P Uの具体例を示すブロック図およびその一部の回路図を示す図。

50

【発明を実施するための形態】

【0033】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0034】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0035】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0036】

本明細書において、「膜」という用語は、CVD法（プラズマCVD法などを含む。）またはスピッタリング法などにより、被形成面の全面に形成されたものと、該被形成面の全面に形成されたものに対して半導体装置の作製工程に係る処理を行った後のものと、に用いる。

【0037】

「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0038】

(実施の形態1)

本実施の形態では、本発明の一態様であるトランジスタの構造および作製方法について、図1乃至図8を用いて説明する。

【0039】

トランジスタ100の構造および特徴

図1(A)は、トランジスタ100の上面図である。なお、図1(A)において、下地絶縁膜102、ゲート絶縁膜111および層間絶縁膜117は、便宜上、図示していない。

【0040】

図1(A)より、第1の電極113は、第1の領域105(図示せず)と一対の第2の領域123a、123bとを含む酸化物半導体膜103上に設けられている。そして、第2の電極119aは、開口部116aを介して一対の第2の領域123a、123bのうちの123aに、第3の電極119bは開口部116bを介して123bにそれぞれ接して設けられている。また、第2の電極119aおよび第3の電極119bは、一対の第2の領域123a、123bの上面とそれぞれ接していることから、トランジスタ100はトップゲート構造かつトップコンタクト構造のトランジスタである。

【0041】

図1(B)は、トランジスタ100におけるA-B間の断面図である。図1(B)より、基板101上に下地絶縁膜102が設けられており、下地絶縁膜102上には、第1の領域105、および一対の第2の領域123a、123bを含む酸化物半導体膜103が設けられている。一対の第2の領域123a、123bは第1の領域105を介して対向して設けられている。

【0042】

酸化物半導体膜103上にゲート絶縁膜111が設けられている。ゲート絶縁膜111上

10

20

30

40

50

には、第1の領域105と重畠した第1の電極113が設けられている。

【0043】

ゲート絶縁膜111、および第1の電極113上には、層間絶縁膜117が設けられている。

【0044】

第2の電極119aおよび第3の電極119bは、図1(B)に示すように、ゲート絶縁膜111および層間絶縁膜117に設けられた開口部116a、116bを介して一対の第2の領域123a、123bと接して設けられている。なお、ゲート絶縁膜111は、第1の領域105、および一対の第2の領域123a、123bに接して設けられている。

10

【0045】

第1の領域105、および一対の第2の領域123a、123bを含む酸化物半導体膜103は、In、Ga、SnおよびZnから選ばれた二以上の元素を含む金属酸化物である。なお、該金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上のものである。このように、バンドギャップの広い金属酸化物を用いることで、トランジスタ100のオフ電流を低減することができる。

【0046】

また、トランジスタ100において、第1の領域105はチャネル形成領域として機能する。

20

【0047】

第1の領域105は、先に記述したCAAC-OSである。上記したように、CAAC-OSとは、非単結晶であり、該非単結晶のab面に垂直な方向から見て、三角形もしくは六角形、または正三角形もしくは正六角形の原子配列を有し、かつc軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子が層状に配列した結晶部を含む酸化物半導体をいう。

【0048】

また、CAAC-OSは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC-OSは結晶部を含むが、1つの結晶部と他の結晶部の境界を明確に判別できないこともある。

30

【0049】

CAAC-OSを構成する酸素の一部は窒素で置換されてもよい。また、CAAC-OSを構成する個々の結晶部のc軸は一定の方向(例えば、CAAC-OSが形成される基板面やCAAC-OSの表面や膜面、界面等に垂直な方向)に揃っていてもよい。あるいは、CAAC-OSを構成する個々の結晶部のab面の法線は一定の方向(例えば、CAAC-OSが形成される基板面、CAAC-OSの表面や膜面、界面等に垂直な方向)を向いていてもよい。

【0050】

CAAC-OSは、その組成等に応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成等に応じて、可視光に対して透明であったり不透明であったりする。

40

【0051】

また、第1の領域105の水素濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{-8} \text{ cm}^{-3}$ 以下、より好ましくは $5 \times 10^{-7} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{-6} \text{ cm}^{-3}$ 以下である。チャネル形成領域である第1の領域105がCAAC-OSであり、且つ水素濃度が低減されているトランジスタ100は、光照射の前後およびBT(ゲート・熱バイアス)ストレス試験前後において、しきい値電圧の変動が小さいことから安定した電気特性を有し、信頼性の高いトランジスタといえる。

【0052】

一対の第2の領域123a、123bはドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域である。一対の第2の領域123a、123bはドーパントとして、リ

50

ン、砒素、およびアンチモン、ならびにホウ素から選ばれた一以上の元素が添加されている。

【0053】

一对の第2の領域123a、123bは、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域であることにより、仮に一对の第2の領域123a、123bが、第1の領域105と同様にドーパントを含んでいないCAC-O₅である場合(酸化物半導体膜103すべてがドーパントを含んでいないCAC-O₅である場合)に比べて、導電率が高い。つまり、酸化物半導体膜103のチャネル方向における抵抗成分は低減することができ、トランジスタ100のオン電流を増加させることができる。

【0054】

そこで、一对の第2の領域123a、123bは、導電率が0.1S/cm以上1000S/cm以下、好ましくは10S/cm以上1000S/cm以下とする。ただし、導電率が低すぎると、トランジスタ100のオン電流が低下してしまう。また、一对の第2の領域123a、123bの導電率を増大させるために、ドーパント濃度を増加させると、キャリア密度を増加させることができると、ドーパント濃度を増加させすぎると、一对の第2の領域123a、123bの導電性を低下させる場合がある。

【0055】

従って、一对の第2の領域123a、123bのドーパント濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好ましい。また、トランジスタ100の作製工程におけるドーパントを添加する工程で、第1の電極113はマスクとして機能し、第1の領域105と一对の第2の領域123a、123bはセルフアラインに形成される。

【0056】

一对の第2の領域123a、123bは、トランジスタ100において、少なくともソース領域およびドレイン領域として機能する。一对の第2の領域123a、123bをチャネル形成領域の第1の領域105の両端に設けることで、チャネル形成領域である第1の領域105に加わる電界を緩和させることができる。

【0057】

詳細には、一对の第2の領域123a、123bをチャネル形成領域の第1の領域105の両端に設けることで、第1の領域105に形成されるチャネルにおけるバンド端の曲がりを小さくする効果を示す。したがって、トランジスタ100はしきい値電圧がマイナス方向に変動するなど、チャネル長を短くすることで生じる影響を低減できる。

【0058】

そして、一对の第2の領域123a、123bは、第2の電極119aおよび第3の電極119bとの接触抵抗が低減しているため、トランジスタ100のオン電流を増加させることができる。

【0059】

トランジスタ100の作製方法

次に、トランジスタ100の作製方法について、図2乃至図4を用いて説明する。

【0060】

基板101は、材質などに大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板101として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板101として用いてもよい。

【0061】

また、基板101として、可撓性基板を用いてもよい。可撓性基板上にトランジスタを設ける場合、可撓性基板上に直接的にトランジスタを作製してもよいし、他の基板にトランジスタを作製した後、これを剥離し、可撓性基板に転置してもよい。なお、トランジスタ

10

20

30

40

50

を剥離し、可撓性基板に転置するためには、上記他の基板とトランジスタとの間に、剥離が容易な領域を設けるとよい。

【0062】

まず、基板101上に下地絶縁膜102を形成する。下地絶縁膜102は、下記の材料を用いて単層構造、または積層構造として形成する。

【0063】

また、下地絶縁膜102の材料としては、酸化シリコン、酸化ガリウム、もしくは酸化アルミニウムなどの酸化物絶縁膜、または窒化シリコン、もしくは窒化アルミニウムなどの窒化物絶縁膜、または酸化窒化シリコン、酸化窒化アルミニウム、もしくは窒化酸化シリコンから選ばれる絶縁膜を用いることができる。なお、下地絶縁膜102は、後に形成する酸化物半導体膜103と接する部分において酸素を含むことが好ましい。なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものをいい、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。10

【0064】

窒化アルミニウム膜、窒化酸化アルミニウム膜および窒化シリコン膜は、熱伝導率が高いため、下地絶縁膜102に用いることで、トランジスタ100の放熱性を良好にすることができます。

【0065】

さらに、トランジスタ100の作製にあたり、LiやNaなどのアルカリ金属は、不純物であるため含有量を少なくすることが好ましい。基板101にアルカリ金属などの不純物を含むガラス基板を用いる場合、アルカリ金属の侵入防止のため、下地絶縁膜102として、上記窒化物絶縁膜を形成することが好ましい。20

【0066】

下地絶縁膜102は、スパッタリング法、CVD法、塗布法などで形成することができる。下地絶縁膜102の厚さに限定はないが、下地絶縁膜102の厚さは50nm以上とすることが好ましい。これは、下地絶縁膜102は、基板101からの不純物（例えば、LiやNaなどのアルカリ金属など）の拡散を防止する他に、トランジスタ100の作製工程におけるエッチング工程によって、基板101がエッチングされることを防ぐために用いるからである。

【0067】

また、下地絶縁膜102は、後に形成する酸化物半導体膜103と接する部分において酸素を含むことが好ましいことから、下地絶縁膜102として、加熱により酸素放出される膜を用いてもよい。なお、「加熱により酸素放出される」とは、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて、酸素原子に換算した酸素の放出量が $1.0 \times 10^{-8} \text{ cm}^{-3}$ 以上、好ましくは $3.0 \times 10^{-6} \text{ cm}^{-3}$ 以上であることをいう。30

【0068】

以下、酸素の放出量をTDS分析で酸素原子に換算して定量する方法について説明する。

【0069】

TDS分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値とを用いることにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。40

【0070】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量(N_{O_2})は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率50

が極微量であるため考慮しない。

【0071】

【数1】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

【0072】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を TDS 分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜を TDS 分析したときのスペクトルの積分値である。 は、TDS 分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照できる。なお、上記した酸素の放出量の数値は、電子科学株式会社製の昇温脱離分析装置 EMD-WA1000S/W を用い、標準試料として $1 \times 10^{-6} \text{ cm}^{-3}$ の水素原子を含むシリコンウェハを用いて測定した数値である。

10

【0073】

また、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

20

【0074】

なお、 N_{O_2} は酸素分子の放出量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の 2 倍となる。

【0075】

加熱により酸素放出される膜の一例として、酸素が過剰な酸化シリコン ($SiO_x (x > 2)$) がある。酸素が過剰な酸化シリコン ($SiO_x (x > 2)$) とは、シリコン原子数の 2 倍より多い酸素原子を単位体積当たりに含むものである。単位体積当たりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

30

【0076】

下地絶縁膜 102 に加熱により酸素放出される膜を用いることで、後に形成する酸化物半導体膜 103 に酸素が供給され、下地絶縁膜 102 および酸化物半導体膜 103 の界面準位を低減できる。従って、トランジスタ 100 の動作に起因して生じうる電荷などが、下地絶縁膜 102 および酸化物半導体膜 103 の界面に捕獲されることを抑制でき、トランジスタ 100 を電気特性の劣化の少ないトランジスタとすることができます。

【0077】

次に、下地絶縁膜 102 上に、すべての領域において CAAc-Os である酸化物半導体膜 130 を形成する。

【0078】

すべての領域において CAAc-Os である酸化物半導体膜 130 を形成する方法としては例えば以下の 2 種類の方法がある。(1) 1 つの方法は、酸化物半導体膜を形成する工程を、基板を加熱しながら 1 度行う方法であり、(2) もう 1 つの方法は、酸化物半導体膜を形成する工程を 2 度に分けて、それぞれ酸化物半導体膜を形成した後に加熱処理を行う方法である。

40

【0079】

はじめに、(1) の方法で酸化物半導体膜 130 を形成する場合について説明する。

【0080】

下地絶縁膜 102 上に、基板 101 を加熱しながら酸化物半導体膜 130 を形成する(図 2(A) 参照)。なお、酸化物半導体膜 130 は、スパッタリング法、分子線エピタキシ法、原子層堆積法またはパルスレーザー蒸着法により形成すればよい。酸化物半導体膜

50

130の厚さとしては10nm以上100nm以下、好ましくは10nm以上30nm以下とすればよい。

【0081】

酸化物半導体膜130は、In、Ga、ZnおよびSnから選ばれた2種以上を含む金属酸化物材料を用いればよい。例えば、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、酸化インジウム、酸化スズ、酸化亜鉛などを用いればよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。このとき、酸化物半導体膜の化学量論比に対し、Oを過剰にすると好ましい。Oを過剰にすることで酸化物半導体膜の酸素欠損に起因するキャリアの生成を抑制することができる。10

【0082】

酸化物半導体膜130として、In-Ga-Zn-O系の材料を用いる場合、In、Ga、及びZnを含む金属酸化物ターゲットの一例として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比] の組成比を有するものがある。さらに、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比] の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol数比] の組成比を有するターゲット、または $In_2O_3 : Ga_2O_3 : ZnO = 2 : 1 : 8$ [mol数比] の組成比を有するターゲットを用いることもできる。20

【0083】

なお、一例として、酸化物半導体膜130としてIn-Zn-O系の材料を用いる場合、原子数比で、 $In / Zn = 0.5$ 以上 5.0 以下、好ましくは $In / Zn = 1$ 以上 2.0 以下、さらに好ましくは $In / Zn = 1.5$ 以上 1.5 以下とする。InとZnの原子数比を前述の範囲とすることで、トランジスタ100の電界効果移動度を向上させることができる。ここで、化合物の原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とすると好ましい。30

【0084】

酸化物半導体膜として、化学式 $InMO_3 (ZnO)_m$ ($m > 0$) で表記される材料を用いてもよい。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMnまたはGaおよびCoなどを用いてもよい。

【0085】

また、基板101を加熱する温度としては、150 以上 450 以下とすればよく、好ましくは基板温度が200 以上 350 以下とする。なお、酸化物半導体膜130の形成時に、基板101を加熱する温度を高くすることで、非晶質部に対して結晶部の占める割合の多いCAC-O/Sとすることができる。40

【0086】

次に、(2)の方法で酸化物半導体膜130を形成する場合について説明する。

【0087】

基板101を基板温度は200 以上 400 以下に保ちながら、下地絶縁膜102の上に1層目の酸化物半導体膜を形成し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で、550 以上 基板歪み点未満の加熱処理を行う。該加熱処理によって、1層目の酸化物半導体膜の表面を含む領域にc軸配向した結晶(板状結晶を含む)が形成される。そして、2層目の酸化物半導体膜を1層目の酸化物半導体膜よりも厚く形成する。その後、再び550 以上 基板歪み点以下の加熱処理を行い、表面を含む領域に、当該c軸配向した結50

晶（板状結晶を含む）が形成された1層目の酸化物半導体膜を結晶成長の種として、2層目の酸化物半導体膜を上方に結晶成長させる。なお、1層目の酸化物半導体膜および2層目の酸化物半導体膜は、上記した酸化物半導体膜130に適用できる金属酸化物材料を用いればよい。なお、1層目の酸化物半導体膜は1nm以上10nm以下で形成するのが好ましい。

【0088】

スパッタリング法を用いて、方法(1)、方法(2)のいずれかで酸化物半導体膜130を形成する際、できる限り酸化物半導体膜130に含まれる水素濃度を低減させることができ。水素濃度を低減させるには、スパッタリング装置の処理室内に供給する雰囲気ガスとして、水素、水、水酸基または水素化物などの不純物が除去された高純度の希ガス（代表的にはアルゴン）、酸素、および希ガスと酸素との混合ガスを適宜用いる。さらには、該処理室の排気は、水の排気能力の高いクライオポンプおよび水素の排気能力の高いスパッタイオンポンプを組み合わせて用いればよい。

10

【0089】

上記のようにすることで、水素の混入が低減された酸化物半導体膜130を形成することができる。なお、上記スパッタリング装置を用いても、酸化物半導体膜130は少なからず窒素を含んで形成される。例えば、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定される酸化物半導体膜130の窒素濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 未満となる。

20

【0090】

また、下地絶縁膜102および酸化物半導体膜130は、真空下で連続して形成してもよい。例えば、基板101の表面に付着した水素を含む不純物を、加熱処理またはプラズマ処理で除去した後、大気に暴露することなく下地絶縁膜102を形成し、続けて大気に暴露することなく酸化物半導体膜130を形成してもよい。このようにすることで、基板101の表面に付着した水素を含む不純物を低減し、また、基板101と下地絶縁膜102、下地絶縁膜102と酸化物半導体膜130との界面に、大気成分が付着することを抑制できる。その結果、電気特性が良好で、信頼性の高いトランジスタ100を作製することができる。

30

【0091】

酸化物半導体膜130を形成する際または形成後において、酸化物半導体膜130の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体における酸素欠損は、その酸素欠損の一部がドナーとなり、キャリアである電子を生じる。つまりトランジスタ100においても、酸化物半導体膜130の酸素欠損の一部はドナーとなり、キャリアである電子が生じることで、トランジスタ100のしきい値電圧がマイナス方向に変動する。そして、酸化物半導体膜130において、該電子の生成は、酸化物半導体膜130と下地絶縁膜102との界面近傍で生じる酸素欠損において顕著である。

30

【0092】

そこで、酸化物半導体膜130を形成後に、第1の加熱処理を行い、酸化物半導体膜131を形成する（図2(B)参照）。

40

【0093】

第1の加熱処理は、酸化物半導体膜130から水素（水、水酸基または水素化物を含む）を放出させると共に、下地絶縁膜102に含まれる酸素の一部を放出させ、酸化物半導体膜130中、および下地絶縁膜102と酸化物半導体膜130との界面近傍に酸素を拡散させる。つまり、第1の加熱処理は、下地絶縁膜102と酸化物半導体膜130との界面準位、および酸化物半導体膜130の酸素欠損を低減させ、完成したトランジスタ100の酸化物半導体膜103と下地絶縁膜102との界面におけるキャリア捕獲の影響を小さくすることができる。従って、第1の加熱処理は、トランジスタ100のしきい値電圧がマイナス方向へ変動することを抑制することができる。

【0094】

また、酸化物半導体膜130中の酸素欠損の一部だけではなく、酸化物半導体膜130中

50

の水素もドナーとなりキャリアである電子を生じる。第1の加熱処理によって、酸化物半導体膜130は膜中の水素濃度が低減され、高純度化された酸化物半導体膜131となる。酸化物半導体膜131の水素濃度は、 $5 \times 10^{-8} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{-8} \text{ cm}^{-3}$ 以下、より好ましくは $5 \times 10^{-7} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{-6} \text{ cm}^{-3}$ 以下である。なお、酸化物半導体膜131中の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定されるものである。

【0095】

第1の加熱処理によって、水素濃度が十分に低減されて高純度化され、且つ十分な酸素を供給されて酸素欠損に起因する欠陥準位が低減された酸化物半導体膜131を用いることで、トランジスタ100のオフ電流を低減させることができる。具体的には、室温(25)でのオフ電流(ここでは、単位チャネル幅($1 \mu\text{m}$)あたりの値)は 100 zA (1 zA (ゼプトアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは 10 zA 以下となる。なお、LiやNaなどのアルカリ金属は、不純物であるため含有量を少なくすることが好ましく、酸化物半導体膜131中に $2 \times 10^{-6} \text{ cm}^{-3}$ 以下、好ましくは、 $1 \times 10^{-5} \text{ cm}^{-3}$ 以下の濃度とすることが好ましい。さらに、アルカリ土類金属も不純物であるため含有量を少なくすることが好ましい。

【0096】

第1の加熱処理の温度は、150以上基板歪み点温度未満、好ましくは250以上450以下、さらに好ましくは300以上450以下とし、酸化性雰囲気または不活性雰囲気で行う。ここで、酸化性雰囲気は、酸素、オゾンまたは窒化酸素などの酸化性ガスを 10 ppm 以上含有する雰囲気をいう。また、不活性雰囲気は、前述の酸化性ガスが 10 ppm 未満であり、その他、窒素または希ガスで充填された雰囲気をいう。処理時間は3分~24時間とする。24時間を超える加熱処理は生産性の低下を招くため好ましくない。

【0097】

第1の加熱処理に用いる加熱装置に特別な限定はなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、電気炉や、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

【0098】

次に、フォトリソグラフィ工程によりレジストマスクを酸化物半導体膜131上に形成し、該レジストマスクを用いて、酸化物半導体膜131を所望の形状にエッチングし、島状の酸化物半導体膜132を形成する(図2(C)参照)。なお、該レジストマスクは、フォトリソグラフィ工程の他にインクジェット法、印刷法等を適宜用いることができる。該エッチングは、島状の酸化物半導体膜132の端部がテーパ形状となるようにエッチングすることができる。島状の酸化物半導体膜132の端部をテーパ形状とすることで、本工程以降のトランジスタ100の作製において、形成される膜の被覆性を向上させることができ、該膜の断切れを防止することができる。テーパ形状は、該レジストマスクを後退させつつエッチングすることで形成することができる。

【0099】

本工程におけるエッチング処理は、ドライエッチングまたはウェットエッチングで行うことができ、これらを組み合わせて行ってもよい。ウェットエッチングするエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2(体積比))などを用いることができる。また、

10

20

30

40

50

I T O O 7 N (関東化学社製) を用いてもよい。

【0100】

ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0101】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(Br_2)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

10

【0102】

ドライエッティングとしては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。所望の形状に加工できるように、エッティング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度など)を適宜調節する。

【0103】

次に、酸化物半導体膜132上に、ゲート絶縁膜111を形成する。ゲート絶縁膜111は、下地絶縁膜102に適用できる材料を用いて、単層構造または積層構造として形成する。また、ゲート絶縁膜111の厚さは、1nm以上300nm以下、より好ましくは5nm以上50nm以下とするとよい。

20

【0104】

また、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、ハフニウムアルミネート(HfAl_xO_y ($x > 0$ 、 $y > 0$))、などのhigh-k材料を用いることができる。high-k材料は、誘電率が高いため、例えば、酸化シリコン膜をゲート絶縁膜に用いた場合と同じゲート絶縁膜容量を有したまま、物理的なゲート絶縁膜の厚さを厚くすることができる。それゆえ、ゲートリーク電流を低減できる。なお、ゲート絶縁膜111として、該high-k材料を単層構造として用いてもよいし、下地絶縁膜102に適用できる材料との積層構造としてもよい。

30

【0105】

なお、酸化物半導体膜132と接する部分においては、酸素を含むことが好ましいことから、ゲート絶縁膜111は、酸化物絶縁膜または加熱により酸素放出する膜を用いることが好ましい。

【0106】

ゲート絶縁膜111を形成した後、第2の加熱処理を行い、島状の酸化物半導体膜140を形成する(図2(D)参照。)。第2の加熱処理は、酸化物半導体膜132から水素(水、水酸基または水素化物を含む)を放出させると共に、下地絶縁膜102およびゲート絶縁膜111に含まれる酸素の一部を放出し、酸化物半導体膜132中、下地絶縁膜102と酸化物半導体膜132との界面近傍、および酸化物半導体膜132とゲート絶縁膜111との界面近傍に酸素を拡散させることができる。つまり、第2の加熱処理は、酸化物半導体膜132の酸素欠損、下地絶縁膜102と酸化物半導体膜132との界面準位、および酸化物半導体膜132とゲート絶縁膜111との界面準位を低減させることができる。

40

【0107】

第2の加熱処理の条件および装置は、第1の加熱処理に適用できる条件および装置を適宜用いればよい。

【0108】

なお、第1の加熱処理を兼ねて第2の加熱処理を行ってもよいが、第1の加熱処理および第2の加熱処理の両方を行うことで、効率よく上記界面準位、および上記酸素欠損を低減す

50

ることができる。

【0109】

次に、ゲート絶縁膜111上に、第1の電極113に適用できる導電材料を用いて導電膜112を形成する(図3(A)参照)。導電膜112の厚さとしては、下記導電材料の電気抵抗や、作製工程にかかる時間を考慮し、適宜決めることができる。例えば、10nm以上500nm以下で形成すればよい。

【0110】

第1の電極113に適用できる導電材料は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金とする。また、導電膜112は、該導電材料を用いて、単層構造または積層構造として形成する。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

10

【0111】

次に、フォトリソグラフィ工程によりレジストマスクを導電膜112上に形成し、該レジストマスクを用いて、導電膜112を所望の形状にエッチングし、第1の電極113を形成する(図3(B)参照)。第1の電極113は、少なくともゲート電極として機能し、ゲート配線としても機能する構成としてもよい。なお、該レジストマスクは、フォトリソグラフィ工程の他にインクジェット法、印刷法等を適宜用いることができ、該エッチングは酸化物半導体膜130を加工する際と同様のドライエッチングまたはウェットエッチングを適宜用いることができる。

20

【0112】

また、ゲート絶縁膜111および第1の電極113となる導電膜は、大気に暴露することなく、連続で形成することが好ましい。

【0113】

また、第1の電極113とゲート絶縁膜111との間に、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜(InN、ZnNなど)を設けることが好ましい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、トランジスタ100の電気特性において、しきい値電圧をプラスにすることができ、トランジスタ100を所謂ノーマリーオフのトランジスタとすることができます。例えば、窒素を含むIn-Ga-Zn-O膜を用いる場合、少なくとも酸化物半導体膜140より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn-O膜を用いる。

30

【0114】

次に、酸化物半導体膜140にドーパント150を添加する処理を行う(図3(C)参照)。

40

【0115】

添加するドーパント150は、15族元素またはホウ素とし、具体的にはリン、砒素、およびアンチモンならびにホウ素のいずれかから選択されるー以上とする。また、酸化物半導体膜140にドーパント150を添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。

【0116】

イオンドーピング法またはイオンインプランテーション法を用いることで、ドーパント150の添加深さ(添加領域)が制御し易くなり、酸化物半導体膜140にドーパント150を精度良く添加することができる。また、イオンドーピング法またはイオンインプランテーション法によりドーパント150を添加する際に、基板101を加熱しながら行って

50

もよい。

【0117】

なお、酸化物半導体膜140にドーパント150を添加する処理は、複数回行っても良い。酸化物半導体膜140にドーパント150を添加する処理を複数回行う場合、ドーパント150は複数回すべてにおいて同じ元素であってもよいし、1回の処理毎に変えてよい。

【0118】

酸化物半導体膜140にドーパント150を添加する際、第1の電極113はマスクとして機能し、ドーパント150は第1の電極113と重なる領域の酸化物半導体膜140には添加されず、チャネル形成領域となる第1の領域105が形成される。

10

【0119】

さらに、ドーパント150が添加された領域は、ドーパント150の添加のダメージにより結晶性が低減し、非晶質領域となる。ドーパント150を添加する量などを調節することによって、ダメージ量を低減させ、完全な非晶質領域とならないように形成することもできる。つまり、ドーパント150が添加された領域は、少なくとも第1の領域105よりも非晶質領域の割合が大きい領域となる。完全な非晶質領域とさせないほうが、次に行う第3の加熱処理による結晶化が容易に行われるため、好ましい。

【0120】

次に、ドーパント150を添加した後に、第3の加熱処理を行う。第3の加熱処理を行うことで、ドーパント150が添加された領域を、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領域である一対の第2の領域123a、123bにすることができる（図3（D）参照）。

20

【0121】

一対の第2の領域123a、123bは、ソース領域およびドレイン領域として機能する。また、一対の第2の領域123a、123bである複数の結晶部を有する酸化物半導体領域は、第1の領域105であるCAC-OSとは異なる。なお、第3の加熱処理によって、第1の領域105であるCAC-OSの結晶性が向上することもある。

【0122】

第3の加熱処理の温度は、450以上基板歪み点温度未満、好ましくは650以上基板歪み点温度未満とし、減圧雰囲気下、酸化性雰囲気下または不活性雰囲気下で行う。ここで、酸化性雰囲気は、酸素、オゾンまたは窒化酸素などの酸化性ガスを10ppm以上含有する雰囲気をいう。また、不活性雰囲気は、前述の酸化性ガスが10ppm未満であり、その他、窒素または希ガスで充填された雰囲気をいう。処理時間は1時間～24時間とする。24時間を超える加熱処理は生産性の低下を招くため好ましくない。

30

【0123】

第3の加熱処理に用いる加熱装置は、第1の加熱処理および第2の加熱処理に適用できる装置を用いることができる。

【0124】

このように、第1の電極113をマスクとして、ドーパント150を酸化物半導体膜140に添加し、その後、第3の加熱処理を行うことで、チャネル形成領域となる第1の領域105と、ソース領域およびドレイン領域となる一対の第2の領域123a、123bとを、セルフアラインに形成することできる。

40

【0125】

次に、ゲート絶縁膜111、および第1の電極113上に層間絶縁膜117となる絶縁膜を形成し、フォトリソグラフィ工程によって、層間絶縁膜117となる絶縁膜上にレジストマスクを形成し、該レジストマスクを用いてエッチングし、開口部116a、116bを形成する（図4（A）参照）。なお、該レジストマスクは、フォトリソグラフィ工程の他にインクジェット法、印刷法等を適宜用いることができ、該エッチングは酸化物半導体膜130を加工する際と同様のドライエッティングまたはウェットエッティングを適宜用いることができる。

50

【0126】

層間絶縁膜117には、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜または窒化シリコン膜を用い、スパッタリング法、CVD法などで形成すればよい。このとき、層間絶縁膜117には、加熱により酸素を放出しにくい膜を用いることが好ましい。これは、一対の第2の領域123a、123bの導電率を低下させないためである。具体的には、CVD法により、シランガスを主材料とし、酸化窒素ガス、窒素ガス、水素ガスおよび希ガスから適切な原料ガスを混合して成膜すればよい。また、基板温度を300以上550以下とすればよい。CVD法を用いることで、加熱により酸素を放出しにくい膜とすることができます。

【0127】

次に、開口部116a、116bを介して、一対の第2の領域123a、123bと接するように導電膜を形成し、フォトリソグラフィ工程によって該導電膜上にレジストマスクを形成し、該レジストマスクを用いて該導電膜をエッチングし、第2の電極119aおよび第3の電極119bを形成する(図4(B)参照)。なお、第2の電極119aおよび第3の電極119bは、第1の電極113と同様にして形成することができる。

【0128】

第2の電極119aおよび第3の電極119bは、それぞれ、少なくともソース電極およびドレイン電極として機能し、さらにはソース配線およびドレイン配線としても機能する。

【0129】

以上より、トランジスタ100を作製することができる。

【0130】

トランジスタ100の変形例1

また、第3の加熱処理を、550以上基板歪み点温度未満、かつ酸化性雰囲気で行うことで、一対の第2の領域123a、123b内に、ドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109b上に、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107bを形成することができる。

【0131】

この場合において完成したトランジスタ160の上面図を図5(A)に示す。さらに、図5(A)のA-B間ににおける断面図を図5(B)に示す。

【0132】

トランジスタ160の一対の第2の領域123a、123bは、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107b、およびドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109bによって構成される(図5(B)参照)。なお、酸化物半導体領域107a、107bと酸化物半導体領域109a、109bとのドーパント濃度は同じである。

【0133】

また、第2の電極119aおよび第3の電極119bは、開口部116a、116bを介して酸化物半導体領域107a、107bと接している。トランジスタ160のその他の構成は、トランジスタ100と同様である。

【0134】

また、上記した条件で第3の加熱処理を1時間行うと、上記酸化物半導体領域107a、107bは、一対の第2の領域123a、123bの上面から一対の第2の領域123a、123bの下面方向に、少なくとも2nm形成される。また、上記条件で行う第3の加熱処理の時間を長くすることによって、上記酸化物半導体領域107a、107bを厚く形成することができる。

【0135】

そして、トランジスタ100とトランジスタ160とでは、一対の第2の領域123a、123bの構成が異なるだけであり、トランジスタ100に係る説明はトランジスタ16

10

20

30

40

50

0においても適用される。

【0136】

トランジスタ160においても、第1の領域105に形成されるチャネルにおけるバンド端の曲がりを小さくする効果を示し、トランジスタ160はしきい値電圧がマイナス方向に変動するなど、チャネル長を短くすることで生じる影響を低減できる。さらに、一対の第2の領域123a、123bは、第2の電極119aおよび第3の電極119bとの接触抵抗、および一対の第2の領域123a、123bのチャネル方向における抵抗成分が低減しているため、トランジスタ160のオン電流を増加させることができる。

【0137】

また、トランジスタ160は、一対の第2の領域123a、123bが酸化物半導体領域107a、107bおよび酸化物半導体領域109a、109bであることから、仮に一対の第2の領域123a、123bが非晶質な領域である場合に比べ、光照射の前後およびBT(ゲート・熱バイアス)ストレス試験前後におけるしきい値電圧の変動が小さいと考えられ、信頼性の高いトランジスタである。

【0138】

トランジスタ100の変形例2

トランジスタ100の作製方法の第1の電極113を形成する際に、ゲート絶縁膜111も同時にエッチングすることで、酸化物半導体膜103の第1の領域105上のみにゲート絶縁膜121を設けることができる。

【0139】

この場合において完成したトランジスタ170の上面図を図6(A)に示す。さらに、図6(A)のA-B間ににおける断面図を図6(B)に示す。トランジスタ170の上面構造はトランジスタ100と同様であり、トップゲート構造かつトップコンタクト構造のトランジスタである。

【0140】

そして、トランジスタ100とトランジスタ170とでは、ゲート絶縁膜111の形状が異なるだけであり、トランジスタ100に係る説明はトランジスタ170においても適用される。

【0141】

トランジスタ170においても、第1の領域105に形成されるチャネルにおけるバンド端の曲がりを小さくする効果を示し、トランジスタ170はしきい値電圧がマイナス方向に変動するなど、チャネル長を短くすることで生じる影響を低減できる。さらに、一対の第2の領域123a、123bは、第2の電極119aおよび第3の電極119bとの接触抵抗、および一対の第2の領域123a、123bのチャネル方向における抵抗成分が低減しているため、トランジスタ170のオン電流を増加させることができる。

【0142】

また、トランジスタ170は、一対の第2の領域123a、123bが複数の結晶部を有する酸化物半導体領域であることから、仮に一対の第2の領域123a、123bが非晶質な領域である場合に比べ、光照射の前後およびBT(ゲート・熱バイアス)ストレス試験前後におけるしきい値電圧の変動が小さいと考えられ、信頼性の高いトランジスタである。

【0143】

トランジスタ170の作製方法について、図3、図7および図8を用いて説明する。トランジスタ170は、導電膜112を形成する工程(図3(A)参照)までは、トランジスタ100と同様である。

【0144】

導電膜112を形成したあと、導電膜112およびゲート絶縁膜111にエッチング処理を行うことで、第1の電極113および後に形成される酸化物半導体膜103の第1の領域105上のみに重畠するゲート絶縁膜121を形成することができる(図7(A)参照)。

10

20

30

40

50

【0145】

また、ゲート絶縁膜121は第1の領域105のみに接しているため、酸化物半導体膜140の形状(段差)に沿って設けられていない。言い換えると、ゲート絶縁膜121には酸化物半導体膜140の段差を乗り越えている部分がない。したがって、完成したトランジスタ170においても、ゲート絶縁膜121は酸化物半導体膜103の段差を乗り越えている部分がないため、ゲート絶縁膜121の断切れなどを起因とするリーク電流を低減し、かつゲート絶縁膜121の耐圧を高めることができる。よって、ゲート絶縁膜121を5nm近くまで薄膜化して用いてもトランジスタ170を動作させることができる。なお、ゲート絶縁膜121を薄膜化することで、チャネル長を短くすることで生じる影響を低減でき、かつトランジスタの動作速度を高めることができる。

10

【0146】

さらに、トランジスタ170はゲート絶縁膜121が段差を乗り越えている部分がないため、第1の電極113と一対の第2の領域123a、123bとの間に生じる寄生容量がほとんどない。それゆえ、トランジスタ170はチャネル長を縮小した場合においても、しきい値電圧の変動を低減することができる。

【0147】

以降は、トランジスタ100と同様の工程を行うことで、トランジスタ170を形成することができる。なお、トランジスタ170において、ドーパント150を添加する処理は、トランジスタ100とは異なり、第1の電極113をマスクとし、酸化物半導体膜140の一部が露出した状態で添加されることになる(図7(B)参照)。

20

【0148】

トランジスタ170のように、酸化物半導体膜140の一部が露出した状態でドーパント150を添加する場合は、ドーパント150の添加方法として、イオンドーピング法またはイオンインプランテーション法以外の方法を用いることもできる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、被添加物(ここでは、酸化物半導体膜140)に対して該プラズマを照射させるプラズマ処理である。該プラズマを発生させる装置としては、ドライエッチング装置やプラズマCVD装置、高密度プラズマCVD装置などを用いることができる。また、該プラズマ処理は、基板101を加熱しながら行ってよい。

30

【0149】

また、トランジスタ170においても、ドーパント150を添加したあとに行う第3の加熱処理を、550以上基板歪み点温度未満、かつ酸化性雰囲気で行うことで、ドーパント150含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109b上にドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107bが設けられた一対の第2の領域123a、123bを形成することができる(図8参照)。なお、図8における各符号は、トランジスタ100(図1参照)、トランジスタ160(図5参照)およびトランジスタ170(図6参照)の各符号に対応する。

40

【0150】

このように、開示する発明の一態様では、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなるため、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、同等の機能を保ったまま半導体装置が小型化されるため、大きさを同程度とする場合には、さらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により、酸化物半導体を用いたトランジスタの微細化が達成されことで、これに付随する様々な効果を得ることが可能である。なお、本実施の形態は、他の実施の形態および実施例と適宜組み合わせができる。

【0151】

50

(実施の形態 2)

本実施の形態では、本発明の他の一態様であるトランジスタ 200 の構造および作製方法について、図 9 乃至図 14 を用いて説明する。トランジスタ 200 は、実施の形態 1 で説明したトランジスタ 100 と比較して、第 1 の電極 113 の端面にサイドウォール絶縁膜 215 が設けられており、酸化物半導体膜 103 の第 1 の領域 105 および一対の第 2 の領域 123a、123b の間に、一対の第 3 の領域 223a、223b が設けられていることが異なる。

【0152】

また、トランジスタ 200 は、本発明の他の一態様であることから、実施の形態 1 で説明した内容は、本実施の形態においても適用される。

10

【0153】

トランジスタ 200 の構造および特徴

図 9 (A) は、トランジスタ 200 の上面図である。なお、図 9 (A) において、下地絶縁膜 102、ゲート絶縁膜 111 および層間絶縁膜 117 は、便宜上、図示していない。

【0154】

図 9 (A) より、第 1 の電極 113 は、第 1 の領域 105 (図示せず) 、一対の第 2 の領域 123a、123b、及び一対の第 3 の領域 223a、223b (図示せず) とを含む酸化物半導体膜 103 上に設けられている。第 1 の電極 113 の側面にサイドウォール絶縁膜 215 が設けられている。そして、第 2 の電極 119a および第 3 の電極 119b は、開口部 116a、116b を介して一対の第 2 の領域 123a、123b 上に設けられている。また、第 2 の電極 119a および第 3 の電極 119b は、一対の第 2 の領域 123a、123b の上面と接している。トランジスタ 200 はトップゲート構造かつトップコンタクト構造のトランジスタである。

20

【0155】

図 9 (B) は、トランジスタ 200 における A - B 間の断面図である。図 9 (B) より、基板 101 上に下地絶縁膜 102 が設けられており、下地絶縁膜 102 上には、第 1 の領域 105、一対の第 2 の領域 123a、123b および一対の第 3 の領域 223a、223b を含む酸化物半導体膜 103 が設けられている。一対の第 2 の領域 123a、123b は第 1 の領域 105 を介して対向して設けられている。一対の第 3 の領域 223a、223b は、第 1 の領域 105 および一対の第 2 の領域 123a、123b の間に設けられている。

30

【0156】

酸化物半導体膜 103 上にゲート絶縁膜 111 が設けられている。ゲート絶縁膜 111 上には、第 1 の領域 105 と重畠した第 1 の電極 113 が設けられている。第 1 の電極 113 の両側面には、サイドウォール絶縁膜 215 が接して設けられている。

【0157】

ゲート絶縁膜 111、第 1 の電極 113 およびサイドウォール絶縁膜 215 上には、層間絶縁膜 117 が設けられている。

【0158】

第 2 の電極 119a および第 3 の電極 119b は、層間絶縁膜 117 に設けられた開口部 116a、116b を介して一対の第 2 の領域 123a、123b と接して設けられている。なお、ゲート絶縁膜 111 は、第 1 の領域 105、一対の第 2 の領域 123a、123b および一対の第 3 の領域 223a、223b に接している。

40

【0159】

第 2 の電極 119a および第 3 の電極 119b の端部は、テーパ形状であってもよいが、第 1 の電極 113 の端部は垂直な形状であることが好ましい。第 1 の電極 113 の端部を垂直な形状とし、第 1 の電極 113 上にサイドウォール絶縁膜 215 となる絶縁膜を形成し、異方性の高いエッチングを行うことで、サイドウォール絶縁膜 215 を形成することができるからである。

【0160】

50

また、詳細は後述するが、図9(A)および図9(B)より、一対の第3の領域223a、223bは、酸化物半導体膜103がサイドウォール絶縁膜215と重畠する領域に相当する。そして、サイドウォール絶縁膜215は、第1の電極113の側面およびゲート絶縁膜111と接する領域以外の少なくとも一部は湾曲形状を有している。

【0161】

酸化物半導体膜103は、実施の形態1と同様にIn、Ga、SnおよびZnから選ばれた二以上の元素を含む金属酸化物であり、バンドギャップの広い金属酸化物を用いることで、トランジスタ200のオフ電流を低減することができる。

【0162】

また、トランジスタ200において、第1の領域105はチャネル形成領域として機能し、さらにCAC-O_Sであり、且つ水素濃度が低減されている。それゆえ、トランジスタ200は、光照射の前後およびBT(ゲート・熱バイアス)ストレス試験前後において、しきい値電圧の変動が小さいことから安定した電気特性を有し、信頼性の高いトランジスタといえる。
10

【0163】

一対の第2の領域123a、123bは実施の形態1と同様であり、仮に一対の第2の領域123a、123bが、第1の領域105と同様にドーパントを含んでいないCAC-O_Sである場合(酸化物半導体膜103すべてがドーパントを含んでいないCAC-O_Sである場合)に比べて、導電率が高い。また、一対の第3の領域223a、223bにおいても、一対の第2の領域123a、123bと同様にドーパントを含んでおり、導電率が高い。つまり、酸化物半導体膜103のチャネル方向における抵抗成分は低減されており、トランジスタ200のオン電流を増加させることができる。
20

【0164】

また、トランジスタ200において、一対の第2の領域123a、123bおよび一対の第3の領域223a、223bの導電率ならびにドーパント濃度は、実施の形態1と同様の範囲であり、ドーパント濃度を増加させすぎると導電性を低下させることになり、トランジスタ200のオン電流が低下する。

【0165】

従って、一対の第2の領域123a、123bおよび一対の第3の領域223a、223bのドーパント濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下であることが好ましい。さらに、一対の第2の領域123a、123bのドーパント濃度は、一対の第3の領域223a、223bのドーパント濃度より高い。具体的には、一対の第2の領域123a、123bのドーパント濃度は、 $5 \times 10^{20} \text{ cm}^{-3}$ 以上 $1 \times 10^{22} \text{ cm}^{-3}$ 以下とし、一対の第3の領域223a、223bのドーパント濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{21} \text{ cm}^{-3}$ 未満とするのが好ましい。また、これらドーパント濃度の差は、トランジスタ200にはサイドウォール絶縁膜215が設けられているため、ドーパントを添加する工程においてセルファーラインに形成される。
30

【0166】

トランジスタ200は、一対の第2の領域123a、123bのうち、第2の領域123aと第1の領域105の間に一対の第3の領域223a、223bのうち第3の領域223aを、第2の領域123bと第1の領域105の間に第3の領域223bをそれぞれ設けることで、第1の領域105に加わる電界を緩和させることができる。一対の第2の領域123a、123bは、ソース領域およびドレイン領域として機能する。また、一対の第3の領域223a、223bは、電界緩和領域として機能する。
40

【0167】

詳細には、一対の第2の領域123a、123bのうち、第2の領域123aと第1の領域105の間に一対の第3の領域223a、223bのうち第3の領域223aを、第2の領域123bと第1の領域105の間に第3の領域223bをそれぞれ設けることで、第1の領域105に形成されるチャネルにおけるバンド端の曲がりがほとんど生じない。したがって、トランジスタ200は、しきい値電圧がマイナス方向に変動するなど、チャ
50

ネル長を短くすることで生じる影響を低減できる。

【0168】

そして、一対の第2の領域123a、123bは、第2の電極119aおよび第3の電極119bとの接触抵抗が低減しているため、トランジスタ200のオン電流を増加させることができる。

【0169】

トランジスタ200の作製方法

次に、トランジスタ200の作製方法について、図2、図3および図10を用いて説明する。

【0170】

トランジスタ200の作製方法について、酸素が拡散されて、かつ水素濃度が十分に低減された酸化物半導体膜140、およびゲート絶縁膜111を形成する工程(図2(D)に相当する工程)、ならびに酸化物半導体膜140上に第1の電極113に適用できる導電材料を用いて導電膜112を形成する工程(図3(A)に相当する工程)までは、トランジスタ100と同じであるため、実施の形態1を参照できる。

10

【0171】

次に、フォトリソグラフィ工程を行って、導電膜112上にレジストマスクを形成し、該レジストマスクを用いてエッチングして、第1の電極113を形成する(図10(A)参照)。該エッチングは、上記したように第1の電極113の端部が垂直な形状となるよう異方性の高いエッチングを行うことが好ましい。異方性の高いエッチング条件としては、該レジストマスクに対して導電膜112の選択比が極端に高いことが好ましい。

20

【0172】

次に、酸化物半導体膜140にドーパント150を添加する処理(第1のドーパント添加処理)を行う(図10(B)参照)。なお、第1のドーパント添加処理において、ドーパント150の種類(添加する元素)、およびドーパント150を添加する方法は、実施の形態1と同様である。

20

【0173】

第1のドーパント添加処理において、第1の電極113はマスクとして機能し、ドーパント150はゲート絶縁膜111を通過して酸化物半導体膜140に添加される。これにより、ドーパント150が添加された酸化物半導体領域214a、214bが形成される。また、酸化物半導体膜140の第1の電極113と重なる領域には添加されないため、第1の領域105が形成される。

30

【0174】

次に、サイドウォール絶縁膜215を形成する。サイドウォール絶縁膜215は、下地絶縁膜102およびゲート絶縁膜111で説明した絶縁膜のいずれかで形成される。

【0175】

トランジスタ200は、第1の領域105、一対の第2の領域123a、123bおよび一対の第3の領域223a、223bのいずれの領域においても、ゲート絶縁膜111が接して設けられている。このような構造とするには、ゲート絶縁膜111とサイドウォール絶縁膜215をエッチングレートの異なる絶縁膜とすればよい。このようにすることで、サイドウォール絶縁膜215を形成する際に、ゲート絶縁膜111をエッティングストップとして機能させることができる。ゲート絶縁膜111をエッティングストップとして用いることにより、酸化物半導体膜140への過剰なエッティングを抑制することができる。さらに、サイドウォール絶縁膜215を形成する際のエッティングの終点(エンドポイント)も容易に検出できる。また、ゲート絶縁膜111をエッティングストップとして機能させることで、サイドウォール絶縁膜215の幅(図9(B)のサイドウォール絶縁膜215がゲート絶縁膜111と接している箇所の幅)の制御が容易になる。一対の第3の領域223a、223bの範囲は、サイドウォール絶縁膜215の幅に対応して決まる。一対の第3の領域223a、223bの範囲を大きくすると、それだけチャネル形成領域である第1の領域105に加わる電界を緩和することができる。

40

50

【 0 1 7 6 】

まず、ゲート絶縁膜 111 および第 1 の電極 113 上に、サイドウォール絶縁膜 215 となる絶縁膜 114 を形成する（図 10（C）参照）。絶縁膜 114 は、下地絶縁膜 102 またはゲート絶縁膜 111 と同様にして形成することができ、実施の形態 1 で説明した窒化物絶縁膜のいずれかとすることが好ましい。また、絶縁膜 114 の厚さは特に限定はないが、第 1 の電極 113 の形状に対する被覆性を考慮して、適宜選択すればよい。

【 0 1 7 7 】

絶縁膜 114 をエッティングすることによりサイドウォール絶縁膜 215 を形成する。該エッティングは、異方性の高いエッティングであり、サイドウォール絶縁膜 215 は、絶縁膜 114 に異方性の高いエッティング工程を行うことでセルフアラインに形成することができる。ここで、異方性の高いエッティングとしては、ドライエッティングが好ましく、例えば、エッティングガスとして、トリフルオロメタン（ CHF_3 ）、オクタフルオロシクロブタン（ C_4F_8 ）、テトラフルオロメタン（ CF_4 ）などのフッ素を含むガスを用いることができ、ヘリウム（He）やアルゴン（Ar）などの希ガスまたは水素（ H_2 ）を添加しても良い。さらに、ドライエッティングとして、基板に高周波電圧を印加する、反応性イオンエッティング法（RIE 法）を用いるのが好ましい。

【 0 1 7 8 】

また、後に形成される一対の第 3 の領域 223a、223b のドーパント濃度は、サイドウォール絶縁膜 215 の厚さに対応することから、一対の第 3 の領域 223a、223b のドーパント濃度が上記した値となるように、サイドウォール絶縁膜 215 の厚さ、さらには第 1 の電極 113 の厚さを決めればよい。なお、ここでのサイドウォール絶縁膜 215 の厚さとは、サイドウォール絶縁膜 215 において、ゲート絶縁膜 111 と接している面から、第 1 の電極 113 と接している面の最頂部までをいう。

【 0 1 7 9 】

また、一対の第 3 の領域 223a、223b の範囲は、サイドウォール絶縁膜 215 の幅に対応して決まり、サイドウォール絶縁膜 215 の幅は、第 1 の電極 113 の厚さにも対応することから、一対の第 3 の領域 223a、223b の範囲が、所望の範囲となるように、第 1 の電極 113 の厚さを決めればよい。

【 0 1 8 0 】

次に、酸化物半導体領域 214a、214b にドーパント 150 を添加する処理（第 2 のドーパント添加処理）を行う（図 10（D）参照）。なお、ドーパント 150 の種類（添加する元素）、およびドーパント 150 を添加する方法は実施の形態 1 と同様である。

【 0 1 8 1 】

第 2 のドーパント添加処理においても、第 1 の電極 113 はマスクとして機能し、ドーパント 150 はゲート絶縁膜 111 およびサイドウォール絶縁膜 215 を通過して、酸化物半導体領域 214a、214b に添加される。そして、添加されるドーパント 150 は、ゲート絶縁膜 111 だけを通過して添加される領域より、ゲート絶縁膜 111 およびサイドウォール絶縁膜 215 を通過して添加される領域のほうが少ない。従って、酸化物半導体領域 214a、214b にドーパント濃度差をセルフアラインに設けることができる。

【 0 1 8 2 】

本実施の形態においても、ドーパント 150 が添加された領域は、ドーパント 150 の添加のダメージにより結晶性が低減し、非晶質領域となる。ドーパント 150 を添加する量などを調節することによって、ダメージ量を低減させ、完全な非晶質領域とならないよう形成することもできる。つまり、ドーパント 150 が添加された領域は、少なくとも第 1 の領域 105 よりも非晶質領域の割合が大きい領域となるということである。完全な非晶質領域とさせないほうが、次に行う第 3 の加熱処理による結晶化が容易に行われるため、好ましい。

【 0 1 8 3 】

次に、トランジスタ 100 の作製工程と同様に、第 3 の加熱処理を行い、ドーパント 150 が添加された領域を、ドーパントを含んで、かつ複数の結晶部を有する酸化物半導体領

10

20

30

40

50

域である一対の第2の領域123a、123bおよび一対の第3の領域223a、223bとすることができる(図10(E)参照)。なお、第3の加熱処理の加熱条件および加熱装置は、実施の形態1での説明と同様である。

【0184】

このように、第1の電極113をマスクとして、ドーパント150を酸化物半導体膜140に添加し、その後、第3の加熱処理を行うことで、チャネル形成領域となる第1の領域105と、ソース領域およびドレイン領域となる一対の第2の領域123a、123bと、電界緩和領域となる一対の第3の領域223a、223bとをセルファアラインに形成することができる。

【0185】

以降は、トランジスタ100の作製工程と同様に、層間絶縁膜117を形成し、ゲート絶縁膜111および層間絶縁膜117に開口部116a、116bを形成し、開口部116a、116bを介して一対の第2の領域123a、123bと接する第2の電極119aおよび第3の電極119bを形成する。なお、層間絶縁膜117、開口部116a、116b、第2の電極119aおよび第3の電極119bを形成する工程は、実施の形態1での説明と同様である。

10

【0186】

以上により、トランジスタ200を作製することができる(図9参照)。

【0187】

また、上記は第1のドーパント添加処理および第2のドーパント添加処理というように、2回のドーパント添加処理を行っている。しかし、第1のドーパント添加処理を行う前に、サイドウォール絶縁膜215を形成し、そのあと、所望のドーパント濃度となるようにドーパント添加処理を行い、トランジスタ200を形成してもよい。なお、該所望のドーパント濃度とは、トランジスタ200の一対の第2の領域123a、123bおよび一対の第3の領域223a、223bにおけるドーパント濃度である。

20

【0188】

トランジスタ200の変形例1

また、第3の加熱処理を、550以上基板歪み点温度未満、かつ酸化性雰囲気で行うことで、一対の第2の領域123a、123b内に、ドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109b上に、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107bを形成することができ、一対の第3の領域223a、223bにおいても、ドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域209a、209b上にドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域207a、207bを形成することができる。

30

【0189】

この場合において完成したトランジスタ260の上面図を図11(A)に示す。さらに、図11(A)のA-B間ににおける断面図を図11(B)に示す。

【0190】

トランジスタ260の一対の第2の領域123a、123bは、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107b、およびドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109bによって構成される(図11(B)参照)。なお、酸化物半導体領域107a、107bと酸化物半導体領域109a、109bとのドーパント濃度は同じである。

40

【0191】

また、トランジスタ260の一対の第3の領域223a、223bは、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域207a、207b、およびドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域209a、209bによって構成される(図11(B)参照)。

【0192】

50

上記したように、一対の第3の領域 223a、223b は、一対の第2の領域 123a、123b よりドーパント濃度が低いことから、酸化物半導体領域 207a、207b および酸化物半導体領域 209a、209b は、酸化物半導体領域 107a、107b および酸化物半導体領域 109a、109b よりドーパント濃度が低い。なお、酸化物半導体領域 207a、207b と酸化物半導体領域 209a、209b とのドーパント濃度は同じである。

【0193】

また、第2の電極 119a および第3の電極 119b は、開口部 116a、116b を介して酸化物半導体領域 107a、107b と接している。トランジスタ 260 のその他の構成は、トランジスタ 160 と同様である。10

【0194】

また、上記した条件で第3の加熱処理を1時間行うと、上記酸化物半導体領域 107a、107b は、一対の第2の領域 123a、123b の上面から一対の第2の領域 123a、123b の下面方向に、少なくとも 2nm 形成される。また、上記条件で行う第3の加熱処理の時間を長くすることによって、上記酸化物半導体領域 107a、107b を厚く形成することができる。

【0195】

そして、トランジスタ 200 とトランジスタ 260 とでは、一対の第2の領域 123a、123b および一対の第3の領域 223a、223b の構成が異なるだけであり、トランジスタ 200 に係る説明はトランジスタ 260 においても適用される。20

【0196】

トランジスタ 260 においても、第1の領域 105 に形成されるチャネルにおけるバンド端の曲がりを小さくする効果を示し、トランジスタ 260 はしきい値電圧がマイナス方向に変動するなど、チャネル長を短くすることで生じる影響を低減できる。さらに、第2の電極 119a および第3の電極 119b と一対の第2の領域 123a、123b との接触抵抗を低減することができ、トランジスタ 260 のオン電流を増加させることができる。

【0197】

また、トランジスタ 260 は、一対の第2の領域 123a、123b が酸化物半導体領域 107a、107b および酸化物半導体領域 109a、109b であることから、仮に一対の第2の領域 123a、123b が非晶質な領域である場合に比べ、光照射の前後およびBT（ゲート・熱バイアス）ストレス試験前後におけるしきい値電圧の変動が小さいと考えられ、信頼性の高いトランジスタである。30

【0198】

トランジスタ 200 の変形例 2

トランジスタ 200 の作製方法の第1の電極 113 を形成する際に、ゲート絶縁膜 111 も同時にエッチングすることで、酸化物半導体膜 103 の第1の領域 105 上のみにゲート絶縁膜 121 を設けることができる。

【0199】

この場合において完成したトランジスタ 270 の上面図を図 12(A) に示す。さらに、図 12(A) の A - B 間における断面図を図 12(B) に示す。トランジスタ 270 の上面構造はトランジスタ 200 と同様であり、トップゲート構造かつトップコンタクト構造のトランジスタである。40

【0200】

そして、トランジスタ 200 とトランジスタ 270 とでは、ゲート絶縁膜の形状が異なるだけであり、トランジスタ 200 に係る説明はトランジスタ 270 においても適用される。

【0201】

それゆえ、トランジスタ 270 においても、第1の領域 105 に形成されるチャネルにおけるバンド端の曲がりを小さくする効果を示し、トランジスタ 270 はしきい値電圧がマイナス方向に変動するなど、チャネル長を短くすることで生じる影響を低減できる。さら50

に、第2の電極119aおよび第3の電極119bと一対の第2の領域123a、123bとの接触抵抗を低減することができ、トランジスタ270のオン電流を増加させることができる。

【0202】

また、トランジスタ270は、一対の第2の領域123a、123bが複数の結晶部を有する酸化物半導体領域であることから、仮に一対の第2の領域123a、123bが非晶質な領域である場合に比べ、光照射の前後およびBT(ゲート・熱バイアス)ストレス試験前後におけるしきい値電圧の変動が小さいと考えられ、信頼性の高いトランジスタである。

【0203】

トランジスタ270の作製方法について、図3、図13および図14を用いて説明する。トランジスタ270は、導電膜112を形成する工程(図3(A)参照)までは、トランジスタ100と同様である。

【0204】

導電膜112を形成した後、導電膜112およびゲート絶縁膜111をエッチングすることで、第1の電極113および後に形成される酸化物半導体膜103の第1の領域105上のみに重畠するゲート絶縁膜121を形成することができる(図13(A)参照)。

【0205】

また、ゲート絶縁膜121は第1の領域105のみに接しているため、酸化物半導体膜140の形状(段差)に沿って設けられていない。言い換えると、ゲート絶縁膜121には酸化物半導体膜140の段差を乗り越えている部分がない。したがって、完成したトランジスタ270においても、ゲート絶縁膜121に酸化物半導体膜103の段差を乗り越えている部分がないため、ゲート絶縁膜121の断切れなどを起因とするリーク電流を低減し、かつゲート絶縁膜121の耐圧を高めることができる。よって、ゲート絶縁膜121を5nm近くまで薄膜化してもトランジスタ270を動作させることができる。なお、ゲート絶縁膜121を薄膜化することで、チャネル長を短くすることで生じる影響を低減でき、かつトランジスタの動作速度を高めることができる。

【0206】

さらに、トランジスタ270はゲート絶縁膜121が段差を乗り越えている部分がないため、第1の電極113と一対の第2の領域123a、123bおよび一対の第3の領域223a、223bとの間に生じる寄生容量がほとんどない。それゆえ、トランジスタ270はチャネル長を縮小した場合においても、しきい値電圧の変動を低減することができる。

【0207】

次に、第1のドーパント添加処理を行う(図13(B)参照)。該第1のドーパント添加処理は、トランジスタ200と同様にして行えばよい。該第1のドーパント添加処理によって、ドーパント150が添加された酸化物半導体領域214a、214bが形成される。

【0208】

次に、サイドウォール絶縁膜215となる絶縁膜114を形成する(図13(C)参照)。絶縁膜114は、下地絶縁膜102またはゲート絶縁膜111と同様にして形成することができ、実施の形態1で説明した酸化物絶縁膜または窒化物絶縁膜のいずれかとする。また、絶縁膜114の厚さは特に限定はないが、第1の電極113の形状に対する被覆性を考慮して、適宜選択すればよい。

【0209】

トランジスタ200と同様に、絶縁膜114をエッチングすることによりサイドウォール絶縁膜215を形成する。該エッチングの詳細は上記を参照できる。

【0210】

また、サイドウォール絶縁膜215の厚さは、サイドウォール絶縁膜215において、後に酸化物半導体膜103となる酸化物半導体膜140と接している面から、第1の電極1

10

20

30

40

50

13と接している面の最頂部までをいう。そして、後に形成される一対の第3の領域223a、223bのドーパント濃度は、サイドウォール絶縁膜215の厚さに対応することから、一対の第2の領域123a、123bのドーパント濃度が、トランジスタ200で説明した値となるように、サイドウォール絶縁膜215の厚さ、さらには第1の電極113の厚さを決めればよい。

【0211】

また、一対の第2の領域123a、123bの範囲は、サイドウォール絶縁膜215の幅（例えば、図12（B）のサイドウォール絶縁膜215が酸化物半導体膜103と接している箇所の幅）に対応して決まる。一対の第2の領域123a、123bの範囲を大きくすると、それだけ第1の領域105に加わる電界を緩和することができる。

10

【0212】

サイドウォール絶縁膜215の幅は、第1の電極113の厚さにも対応することから、一対の第2の領域123a、123bの範囲が、所望の範囲となるように、第1の電極113の厚さを決めればよい。

【0213】

次に、第2のドーパント添加処理を行う。なお、トランジスタ270において、ドーパント150を添加する処理は、トランジスタ200とは異なり、第1の電極113をマスクとし、サイドウォール絶縁膜215を通過して添加される領域と、酸化物半導体膜140の一部が露出した状態で添加される領域とがある（図13（D）参照）。

20

【0214】

トランジスタ270のように、酸化物半導体膜140の一部が露出した状態でドーパント150を添加する場合は、ドーパント150の添加方法として、イオンドーピング法またはイオンインプランテーション法以外の方法を用いることができる。例えば、添加する元素を含むガス雰囲気にてプラズマを発生させて、被添加物（ここでは、酸化物半導体膜140）に対して該プラズマを照射させるプラズマ処理である。該プラズマを発生させる装置としては、ドライエッチング装置やプラズマCVD装置、高密度プラズマCVD装置などを用いることができる。また、該プラズマ処理は、基板101を加熱しながら行ってよい。

【0215】

以降、トランジスタ200と同様の工程を行うことで、トランジスタ270を作製することができる（図12参照）。

30

【0216】

なお、トランジスタ200と同様に第1のドーパント添加処理を行う前に、サイドウォール絶縁膜215を形成し、その後、所望のドーパント濃度となるようにドーパント添加処理を行い、トランジスタ270を形成してもよい。

【0217】

また、トランジスタ270においても、ドーパント150を添加したあとに行う第3の加熱処理を、550以上基板歪み点温度未満、かつ酸化性雰囲気で行うことで、ドーパント150含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109b上にドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107bが設けられた一対の第2の領域123a、123bを形成することができる（図14参照。）。なお、図14における各符号は、トランジスタ200、トランジスタ260およびトランジスタ270の各符号に対応する。

40

【0218】

このように、開示する発明の一態様では、微細化に伴う問題点を解消するため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなるため、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、同等の機能を保ったまま半導体装置が小型化されるため、大きさを同程度とする場合には、さらに機能が高められた半導体装置を実現することができる。また、チャネル長の

50

縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。なお、本実施の形態は、他の実施の形態および実施例と適宜組み合わせることができる。

【0219】

(実施の形態3)

本実施の形態では、本発明の他の一態様であるトランジスタの構造および作製方法について、図15および図16を用いて説明する。

【0220】

本実施の形態で説明するトランジスタは、実施の形態1で説明したトランジスタ100と比較して、第2の電極119aおよび第3の電極119bが、酸化物半導体膜の一対の第2の領域123a、123bの下面と接していることが異なる。つまり、本実施の形態で示すトランジスタは、トップゲート構造かつボトムコンタクト構造のトランジスタである。また、当該トップゲート構造かつボトムコンタクト構造としたトランジスタの断面図を図15(A)に示す。

【0221】

また、実施の形態1および実施の形態2で説明した全てのトランジスタについても、トップゲート構造かつボトムコンタクト構造のトランジスタとすることができる。例えば、トランジスタ160およびトランジスタ170においても、トップゲート構造かつボトムコンタクト構造とすることができる。トランジスタ160をトップゲート構造かつボトムコンタクト構造としたトランジスタの断面図を図15(B)に、トランジスタ170をトップゲート構造かつボトムコンタクト構造としたトランジスタの断面図を図15(C)に示す。

【0222】

さらに、トランジスタ200をトップゲート構造かつボトムコンタクト構造としたトランジスタの断面図を図16(A)に、トランジスタ260をトップゲート構造かつボトムコンタクト構造としたトランジスタの断面図を図16(B)に、トランジスタ270をトップゲート構造かつボトムコンタクト構造としたトランジスタの断面図を図16(C)に示す。

【0223】

図15(A)乃至図15(C)および図16(A)乃至図16(C)において、各符号はトランジスタ100、トランジスタ160およびトランジスタ170、ならびにトランジスタ200、トランジスタ260およびトランジスタ270の各符号に対応することから、各符号に関する説明は実施の形態1および実施の形態2の説明を適宜参照できる。なお、各符号に関してだけではなく、実施の形態1および実施の形態2で説明したことは、本実施の形態においても適用される。

【0224】

また、図15(A)乃至図15(C)および図16(A)乃至図16(C)が示すトランジスタの作製方法としては、それぞれ対応するトランジスタの作製工程の順番を入れ替えて行えばよい。例えば、第2の電極119aおよび第3の電極119b形成する工程を、下地絶縁膜102を形成する工程の次に行い、以降は、トランジスタ100、トランジスタ160およびトランジスタ170、ならびにトランジスタ200、トランジスタ260およびトランジスタ270の作製工程のうち、第2の電極119aおよび第3の電極119bを形成する工程以外の工程を、順次行えばよい。

【0225】

なお、図15(C)および図16(C)が示すトランジスタにおいて、酸化物半導体膜103を、図15(B)および図16(B)のように、一対の第2の領域123a、123bを、ドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域109a、109b上に、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域107a、107bを設ける構成や、一対の第3の領域223a、2

10

20

30

40

50

23bを、ドーパント150を含んで、かつ複数の結晶部を有する酸化物半導体領域209a、209b上に、ドーパント150を含んで、かつc軸配向した結晶部を有する非単結晶の酸化物半導体領域207a、207bを設ける構成としてもよい。本構成のトランジスタの断面図は図示していない。

【0226】

このように、開示する発明の一態様では、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなるため、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、同等の機能を保ったまま半導体装置が小型化されるため、大きさを同程度とする場合には、さらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

10

【0227】

(実施の形態4)

本実施の形態では、実施の形態1乃至実施の形態3に示したトランジスタのソース領域およびドレイン領域、ならびに電界緩和領域として機能する、ドーパントが添加された領域において、該ドーパントの結合状態、およびドーパントが添加された領域を構成する酸化物半導体の電子状態について、図17および図18を参照して説明する。

20

【0228】

例えば、トランジスタ100において、ドーパントを含んだ領域である一対の第2の領域123a、123bは、ドーパントを含まない第1の領域105より導電率が高い。

【0229】

この導電率の増大は、一対の第2の領域123a、123bを構成する酸化物半導体にドーパントが添加されることにより、該酸化物半導体中にキャリアが生成されるためと予想できる。

【0230】

そこで、本実施の形態は、ドーパントを添加した構造の酸化物半導体において、第一原理分子動力学(First-Principles Molecular Dynamics: F P M D)計算および構造最適化計算による該酸化物半導体の結合状態および電子状態について説明する。なお、該酸化物半導体はIn-Ga-Zn-O系の金属酸化物とし、上記計算の簡略化のため、In-Ga-Zn-O系の金属酸化物は非晶質であると仮定する(以下、a-IGZOと記す。)。さらに、ドーパントはリン(P)原子とする。

30

【0231】

上記計算は、1原子のリンを配置した(添加した)a-IGZOに対して行っている。具体的に、a-IGZOは、単位セルあたり84原子であり、組成比はIn:Ga:Zn:O=1:1:1:4(原子数比)であり、密度は5.9gcm⁻³であり、格子定数はa=b=c=1.02nmかつ $\alpha=\beta=\gamma=90^\circ$ であると仮定している。

40

【0232】

また、上記計算を行うにあたり、計算プログラムは、Accelrys社製の第一原理量子力学プログラムであるCASTEPを用いた。汎関数はGGA-PBEを、擬ポテンシャルはUltrasoftをそれぞれ用いた。カットオフエネルギーは260eV(DOS計算では380eV)、k点の数は $1 \times 1 \times 1$ である。F P M D計算はNVTアンサンブルで行い温度は1500Kとした。総計算時間は0.3psで時間刻み幅は1.0fsである。

【0233】

上記計算における初期構造、および上記計算後の最終構造を図17に示す。図17(A)は初期構造を示す図であり、図17(B)は最終構造を示す図である。該初期構造とは、

50

a - I G Z O に対して、任意の位置にリン原子を配置しただけの構造に相当する。該最終構造とは、上記計算を行ったあと、すなわち、構造最適化後の構造に相当する。また、構造最適化が行われた最終構造は、実施の形態 1 乃至実施の形態 3 で説明したトランジスタにおいて、ドーパントを含む酸化物半導体領域の構造に相当する。

【 0 2 3 4 】

図 17 (A) のように初期構造におけるリン原子は、a - I G Z O を構成している元素の間に配置（添加）されるものとしている。なお、図 17 において、黒丸は酸素原子を表し、白丸は金属原子（I n 原子、Z n 原子またはG a 原子）を表し、灰色の丸はリン原子を表している。

【 0 2 3 5 】

上記計算を行った結果、最終構造におけるリン原子は「一のZ n 原子と結合」、「二の酸素原子と一重結合」、および「一の酸素原子と二重結合」を形成する。つまり、リン原子は酸素原子と結合した状態でZ n 原子に配位している（図 17 (B) 参照）。

【 0 2 3 6 】

なお、リン原子が結合している金属原子がZ n 原子であることは、結合エネルギーの観点から説明できる。

【 0 2 3 7 】

Z n 原子と酸素原子との結合エネルギーは、他の金属原子（I n 原子およびG a 原子）と酸素原子との結合エネルギーより低いことから、Z n 原子と酸素原子との結合は、他の結合に比べて切断されやすい結合であるといえる。従って、構造最適化後は、リン原子が周りの酸素原子を従えてZ n 原子に配位すると考えられる。ただし、このことは、リン原子とZ n 原子と結合する可能性が一番高いということを示すものであり、リン原子が結合する金属原子はZ n 原子に限らず、a - I G Z O を構成する他の金属原子の場合もある。

【 0 2 3 8 】

次に、構造最適化後の構造における状態密度図を図 18 に示す。図 18 (A) はリン原子を配置（添加）していない a - I G Z O における状態密度図である。また、図 18 (B) はリン原子を配置（添加）し、かつ構造最適化後の a - I G Z O (図 17 (B) に相当する。) における状態密度図である。図 18 (B) の実線は、リン原子を配置（添加）し、かつ構造最適化後の a - I G Z O の全状態密度を表し、図 18 (B) の破線は、該構造最適化後の a - I G Z O におけるリン原子の部分状態密度を表す。図 18 (A) および図 18 (B) ともに横軸はエネルギー [eV] 、縦軸は構造最適化後の構造における状態密度 [states / eV] を表す。なお、図 18 (A) および図 18 (B) に示したどちらの状態密度図もエネルギーの原点は、フェルミレベルに取ってある。

【 0 2 3 9 】

図 18 (A) より、全状態密度において、リン原子を配置していない a - I G Z O のフェルミレベルと、価電子帯の上端とが一致しており、バンドギャップ上に伝導帯が形成されている。

【 0 2 4 0 】

図 18 (B) より、全状態密度において、リン原子を配置し、かつ構造最適化後の a - I G Z O のフェルミレベルは、伝導帯の範囲内に存在していることから、該 a - I G Z O にはキャリアが生成しているといえる。さらに、該 a - I G Z O のバンドギャップ内には、リン原子の準位も生じていることがわかる。

【 0 2 4 1 】

以上より、酸化物半導体にドーパントが添加されることによって、該酸化物半導体中にキャリアが生成されることが理解できる。

【 0 2 4 2 】

本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせて用いることができる。

【 0 2 4 3 】

(実施の形態 5)

10

20

30

40

50

本実施の形態では、実施の形態1乃至実施の形態3のいずれかに示したトランジスタを用いた半導体装置の例について説明する。

【0244】

図20(A)に半導体装置を構成する記憶素子(以下、メモリセルとも記す。)の回路図の一例を示す。メモリセルは、酸化物半導体以外の材料をチャネル形成領域に用いたトランジスタ1160と酸化物半導体をチャネル形成領域に用いたトランジスタ1162によって構成される。

【0245】

酸化物半導体をチャネル形成領域に用いたトランジスタ1162は、先の実施の形態に従って作製することができる。

10

【0246】

図20(A)に示すように、トランジスタ1160のゲート電極と、トランジスタ1162のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線(1st Line:ソース線ともよぶ)とトランジスタ1160のソース電極とは、電気的に接続され、第2の配線(2nd Line:ビット線ともよぶ)とトランジスタ1160のドレイン電極とは、電気的に接続されている。そして、第3の配線(3rd Line:第1信号線ともよぶ)とトランジスタ1162のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線(4th Line:第2信号線ともよぶ)と、トランジスタ1162のゲート電極とは、電気的に接続されている。

20

【0247】

酸化物半導体以外の材料、例えば単結晶シリコンをチャネル形成領域に用いたトランジスタ1160は十分な高速動作が可能なため、トランジスタ1160を用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体をチャネル形成領域に用いたトランジスタ1162は、トランジスタ1160に比べてオフ電流が小さいという特徴を有している。このため、トランジスタ1162をオフ状態とすることで、トランジスタ1160のゲート電極の電位を極めて長時間にわたって保持することが可能である。

30

【0248】

トランジスタ1160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0249】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1162がオン状態となる電位として、トランジスタ1162をオン状態とする。これにより、第3の配線の電位が、トランジスタ1160のゲート電極に与えられる(書き込み)。その後、第4の配線の電位を、トランジスタ1162がオフ状態となる電位として、トランジスタ1162をオフ状態とすることにより、トランジスタ1160のゲート電極の電位が保持される(保持)。

40

【0250】

トランジスタ1162のオフ電流はトランジスタ1160に比べて小さいから、トランジスタ1160のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ1160のゲート電極の電位がトランジスタ1160をオン状態とする電位であれば、トランジスタ1160のオン状態が長時間にわたって保持されることになる。また、トランジスタ1160のゲート電極の電位がトランジスタ1160をオフ状態とする電位であれば、トランジスタ1160のオフ状態が長時間にわたって保持される。

50

【0251】

次に、情報の読み出しについて説明する。上述のように、トランジスタ1160のオン状態またはオフ状態が保持された状態において、第1の配線に所定の電位(低電位)が与えられると、トランジスタ1160のオン状態またはオフ状態に応じて、第2の配線の電位は異なる値をとる。例えば、トランジスタ1160がオン状態の場合には、第1の配線の電位に対して、第2の配線の電位が低下することになる。また、トランジスタ1160が

オフ状態の場合には、第2の配線の電位は変化しない。

【0252】

このように、情報が保持された状態において、第2の配線の電位と、所定の電位とを比較することで、情報を読み出すことができる。

【0253】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ1162がオン状態となる電位として、トランジスタ1162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ1160のゲート電極に与えられる。その後、第4の配線の電位を、トランジスタ1162がオフ状態となる電位として、トランジスタ1162をオフ状態とすることにより、新たな情報が保持された状態となる。

10

【0254】

このように、開示する発明に係るメモリセルは、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、メモリセルを有する半導体装置の高速動作が実現される。

【0255】

また、図20(A)のメモリセルを発展させたメモリセルの回路図の一例を図20(B)に示す。

20

【0256】

図20(B)に示すメモリセル1100は、第1の配線SL(ソース線)と、第2の配線BL(ピット線)と、第3の配線S1(第1信号線)と、第4の配線S2(第2信号線)と、第5の配線WL(ワード線)と、トランジスタ1164(第1のトランジスタ)と、トランジスタ1161(第2のトランジスタ)と、トランジスタ1163(第3のトランジスタ)と、から構成されている。トランジスタ1164およびトランジスタ1163は、酸化物半導体以外の材料をチャネル形成領域に用いており、トランジスタ1161は酸化物半導体をチャネル形成領域に用いている。

20

【0257】

ここで、トランジスタ1164のゲート電極と、トランジスタ1161のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第1の配線SLと、トランジスタ1164のソース電極とは、電気的に接続され、トランジスタ1164のドレイン電極と、トランジスタ1163のソース電極とは、電気的に接続されている。そして、第2の配線BLと、トランジスタ1163のドレイン電極とは、電気的に接続され、第3の配線S1と、トランジスタ1161のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S2と、トランジスタ1161のゲート電極とは、電気的に接続され、第5の配線WLと、トランジスタ1163のゲート電極とは電気的に接続されている。

30

【0258】

次に、回路の動作について具体的に説明する。

40

【0259】

メモリセル1100への書き込みを行う場合は、第1の配線SLを0V、第5の配線WLを0V、第2の配線BLを0V、第4の配線S2を2Vとする。データ"1"を書き込む場合には第3の配線S1を2V、データ"0"を書き込む場合には第3の配線S1を0Vとする。このとき、トランジスタ1163はオフ状態、トランジスタ1161はオン状態となる。なお、書き込み終了にあたっては、第3の配線S1の電位が変化する前に、第4の配線S2を0Vとして、トランジスタ1161をオフ状態にする。

【0260】

その結果、データ"1"書き込み後にはトランジスタ1164のゲート電極に接続されるノード（以下、ノードA）の電位が約2V、データ"0"書き込み後にはノードAの電位が約0Vとなる。ノードAには、第3の配線S1の電位に応じた電荷が蓄積されるが、トラン

50

ジスタ 1161 のオフ電流は、単結晶シリコンをチャネル形成領域に用いたトランジスタと比べて小さく、トランジスタ 1164 のゲート電極の電位は長時間にわたって保持される。

【0261】

次に、メモリセルの読み出しを行う場合は、第 1 の配線 S_L を 0 V、第 5 の配線 W_L を 2 V、第 4 の配線 S₂ を 0 V、第 3 の配線 S₁ を 0 V とし、第 2 の配線 B_L に接続されている読み出し回路を動作状態とする。このとき、トランジスタ 1163 はオン状態、トランジスタ 1161 はオフ状態となる。

【0262】

データ "0"、つまりノード A が約 0 V の状態であればトランジスタ 1164 はオフ状態であるから、第 2 の配線 B_L と第 1 の配線 S_L 間の抵抗は高い状態となる。一方、データ "1"、つまりノード A が約 2 V の状態であればトランジスタ 1164 がオン状態であるから、第 2 の配線 B_L と第 1 の配線 S_L 間の抵抗は低い状態となる。読み出し回路は、メモリセルの抵抗状態の違いから、データ "0", "1" を読み出すことができる。なお、書き込み時の第 2 の配線 B_L は 0 V としたが、フローティング状態や 0 V 以上の電位に充電されても構わない。読み出し時の第 3 の配線 S₁ は 0 V としたが、フローティング状態や 0 V 以上の電位に充電されていても構わない。

10

【0263】

なお、データ "1" とデータ "0" は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ "0" の場合にトランジスタ 1164 がオフ状態となり、データ "1" の場合にトランジスタ 1164 がオン状態となるように、また、書き込み時にトランジスタ 1161 がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時にトランジスタ 1163 がオン状態となるように選べばよい。特に 2 V の代わりに、周辺の論理回路の電源電位 V_{DD} を用いてもよい。

20

【0264】

本実施の形態では理解の簡単のため、最小記憶単位（1 ビット）のメモリセルについて説明したが、メモリセルの構成はこれに限られるものではない。複数のメモリセルを適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記メモリセルを複数用いて、NAND 型や NOR 型の半導体装置を構成することが可能である。配線の構成も図 20 (A) や図 20 (B) に限定されず、適宜変更することができる。

30

【0265】

図 21 に、m × n ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。

【0266】

図 21 に示す半導体装置は、m 本の第 5 の配線 W_L (1) ~ W_L (m) および m 本の第 4 の配線 S₂ (1) ~ S₂ (m) と、n 本の第 2 の配線 B_L (1) ~ B_L (n) および n 本の第 3 の配線 S₁ (1) ~ S₁ (n) と、複数のメモリセル 1100 (1, 1) ~ 1100 (m, n) が縦 m 個 (行) × 横 n 個 (列) (m, n は自然数) のマトリクス状に配置されたメモリセルアレイ 1110 を有する。また、第 2 の配線 B_L および第 3 の配線 S₁ と接続する駆動回路 1111 や、第 4 の配線 S₂ および第 5 の配線 W_L と接続する駆動回路 1113 や、読み出し回路 1112 といった周辺回路を有する。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

40

【0267】

各メモリセルの代表として、メモリセル 1100 (i, j) を考える。ここで、メモリセル 1100 (i, j) (i は 1 以上 m 以下の整数、j は 1 以上 n 以下の整数) は、第 2 の配線 B_L (j)、第 3 の配線 S₁ (j)、第 5 の配線 W_L (i) および第 4 の配線 S₂ (i)、および第 1 の配線にそれぞれ接続されている。第 1 の配線には第 1 の配線電位 V_S が与えられている。また、第 2 の配線 B_L (1) ~ B_L (n) および第 3 の配線 S₁ (1) ~ S₁ (n) は駆動回路 1111 および読み出し回路 1112 に、第 5 の配線 W_L (1) ~ W_L (m) および第 4 の配線 S₂ (1) ~ S₂ (m) は駆動回路 1113 にそれぞれ接

50

続されている。

【0268】

図21に示した半導体装置の動作について説明する。本構成では、行ごとの書き込みおよび読み出しを行う。

【0269】

第*i*行のメモリセル1100(*i*、1)~1100(*i*、*n*)に書き込みを行う場合は、第1の配線電位V_Sを0V、第5の配線WL(*i*)を0V、第2の配線BL(1)~BL(*n*)を0V、第4の配線S2(*i*)を2Vとする。このときトランジスタ1161は、オフ状態となる。第3の配線S1(1)~S1(*n*)は、データ"1"を書き込む列は2V、データ"0"を書き込む列は0Vとする。なお、書き込み終了にあたっては、第3の配線S1(1)~S1(*n*)の電位が変化する前に、第4の配線S2(*i*)を0Vとして、トランジスタ1161をオフ状態にする。また、非選択の第5の配線WLは0V、非選択の第4の配線S2は0Vとする。

10

【0270】

その結果、データ"1"の書き込みを行ったメモリセルのトランジスタ1164のゲート電極に接続されるノード(以下、ノードA)の電位は約2V、データ"0"の書き込みを行ったメモリセルのノードAの電位は約0Vとなる(図20(B)及び図21参照)。また、非選択メモリセルのノードAの電位は変わらない。

20

【0271】

第*i*行のメモリセル1100(*i*、1)~1100(*i*、*n*)の読み出しを行う場合は、第1の配線電位V_Sを0V、第5の配線WL(*i*)を2V、第4の配線S2(*i*)を0V、第3の配線S1(1)~S1(*n*)を0Vとし、第2の配線BL(1)~BL(*n*)に接続されている読み出し回路を動作状態とする。読み出し回路では、例えば、メモリセルの抵抗状態の違いから、データ"0"、"1"を読み出すことができる。なお、非選択の第5の配線WLは0V、非選択の第4の配線S2は0Vとする。なお、書き込み時の第2の配線BLは0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。読み出し時の第3の配線S1は0Vとしたが、フローティング状態や0V以上の電位に充電されていても構わない。

20

【0272】

なお、データ"1"とデータ"0"は便宜上の定義であって、逆であっても構わない。また、上述した動作電圧は一例である。動作電圧は、データ"0"の場合にトランジスタ1164がオフ状態となり、データ"1"の場合にトランジスタ1164がオン状態となるように、また、書き込み時にトランジスタ1161がオン状態、書き込み時以外ではオフ状態となるように、また、読み出し時にトランジスタ1163がオン状態となるように選べばよい。特に2Vの代わりに、周辺の論理回路の電源電位V_{DD}を用いてもよい。

30

【0273】

本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせて用いることができる。

30

【0274】

(実施の形態6)

40

本実施の形態では、容量素子を有するメモリセルの回路図の一例を示す。図22(A)に示すメモリセル1170は、第1の配線S_L、第2の配線BL、第3の配線S1、第4の配線S2と、第5の配線WLと、トランジスタ1171(第1のトランジスタ)と、トランジスタ1172(第2のトランジスタ)と、容量素子1173とから構成されている。トランジスタ1171は、酸化物半導体以外の材料をチャネル形成領域に用いており、トランジスタ1172はチャネル形成領域に酸化物半導体を用いている。

【0275】

ここで、トランジスタ1171のゲート電極と、トランジスタ1172のソース電極またはドレイン電極の一方と、容量素子1173の一方の電極とは、電気的に接続されている。また、第1の配線S_Lと、トランジスタ1171のソース電極とは、電気的に接続され

50

、第2の配線B_Lと、トランジスタ1171のドレイン電極とは、電気的に接続され、第3の配線S₁と、トランジスタ1172のソース電極またはドレイン電極の他方とは、電気的に接続され、第4の配線S₂と、トランジスタ1172のゲート電極とは、電気的に接続され、第5の配線W_Lと、容量素子1173の他方の電極とは、電気的に接続されている。

【0276】

次に、回路の動作について具体的に説明する。

【0277】

メモリセル1170への書き込みを行う場合は、第1の配線S_Lを0V、第5の配線W_Lを0V、第2の配線B_Lを0V、第4の配線S₂を2Vとする。データ”1”を書き込む場合には第3の配線S₁を2V、データ”0”を書き込む場合には第3の配線S₁を0Vとする。このとき、トランジスタ1172はオン状態となる。なお、書き込み終了にあたっては、第3の配線S₁の電位が変化する前に、第4の配線W_Lを0Vとして、トランジスタ1172をオフ状態にする。

【0278】

その結果、データ”1”的書き込み後にはトランジスタ1171のゲート電極に接続されるノード（以下、ノードA）の電位が約2V、データ”0”的書き込み後にはノードAの電位が約0Vとなる。

【0279】

メモリセル1170の読み出しを行う場合は、第1の配線S_Lを0V、第5の配線W_Lを2V、第4の配線S₂を0V、第3の配線S₁を0Vとし、第2の配線B_Lに接続されている読み出し回路を動作状態とする。このとき、トランジスタ1172は、オフ状態となる。

【0280】

第5の配線W_Lを2Vとした場合のトランジスタ1171の状態について説明する。トランジスタ1171の状態を決めるノードAの電位は、第5の配線W_L-ノードA間の容量C₁と、トランジスタ1171のゲート電極-ソース電極とドレイン電極間の容量C₂に依存する。

【0281】

なお、読み出し時の第3の配線S₁は0Vとしたが、フローティング状態や0V以上の電位に充電されても構わない。データ”1”とデータ”0”は便宜上の定義であって、逆であっても構わない。

【0282】

書き込み時の第3の配線S₁の電位は、書き込み後にトランジスタ1172がオフ状態となり、また、第5の配線W_L電位が0Vの場合にトランジスタ1171がオフ状態である範囲で、データ”0”、“1”的電位をそれぞれ選べばよい。読み出し時の第5の配線W_L電位は、データ”0”的場合にトランジスタ1171がオフ状態となり、データ”1”的場合にトランジスタ1171がオン状態となるように選べばよい。また、トランジスタ1171のしきい値電圧も、一例である。上述したトランジスタ1171の状態を変えない範囲であれば、どのようなしきい値でも構わない。

【0283】

また、第1のゲート電極、および第2のゲート電極を有する選択トランジスタと、容量素子を有するメモリセルを用いるNOR型の半導体記憶装置の例について図22(B)を用いて説明する。

【0284】

図22(B)に示す本発明の一態様に係る半導体装置は、I行(Iは2以上の自然数)J列(Jは自然数)にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。

【0285】

図22(B)に示すメモリセルアレイは、i行(iは3以上の自然数)j列(jは3以上

10

20

30

40

50

の自然数)にマトリクス状に配列された複数のメモリセル1180と、i本のワード線WL(ワード線WL_1乃至ワード線WL_i)と、i本の容量線CL(容量線CL_1乃至容量線CL_i)と、i本のゲート線BGL(ゲート線BGL_1乃至ゲート線BGL_i)と、j本のビット線BL(ビット線BL_1乃至ビット線BL_j)と、ソース線SLと、を具備する。

【0286】

さらに、複数のメモリセル1180のそれぞれ(メモリセル1180(M,N)(ただし、Nは1以上j以下の自然数、Mは1以上i以下の自然数)ともいう)は、トランジスタ1181(M,N)と、容量素子1183(M,N)と、トランジスタ1182(M,N)と、を備える。

10

【0287】

なお、半導体記憶装置において、容量素子は、第1の容量電極、第2の容量電極、並びに第1の容量電極および第2の容量電極に重畳する誘電体層により構成される。容量素子は、第1の容量電極および第2の容量電極の間に印加される電圧に応じて電荷が蓄積される。

【0288】

トランジスタ1181(M,N)は、Nチャネル型トランジスタであり、ソース電極、ドレイン電極、第1のゲート電極、および第2のゲート電極を有する。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ1181をNチャネル型トランジスタにしなくてもよい。

20

【0289】

トランジスタ1181(M,N)のソース電極およびドレイン電極の一方は、ビット線BL_Nに接続され、トランジスタ1181(M,N)の第1のゲート電極は、ワード線WL_Mに接続され、トランジスタ1181(M,N)の第2のゲート電極は、ゲート線BGL_Mに接続される。トランジスタ1181(M,N)のソース電極およびドレイン電極の一方がビット線BL_Nに接続される構成にすることにより、メモリセル毎に選択的にデータを読み出すことができる。

【0290】

トランジスタ1181(M,N)は、メモリセル1180(M,N)において選択トランジスタとしての機能を有する。

30

【0291】

トランジスタ1181(M,N)としては、酸化物半導体をチャネル形成領域に用いたトランジスタを用いることができる。

【0292】

トランジスタ1182(M,N)は、Pチャネル型トランジスタである。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ1182をPチャネル型トランジスタにしなくてもよい。

【0293】

トランジスタ1182(M,N)のソース電極およびドレイン電極の一方は、ソース線SLに接続され、トランジスタ1182(M,N)のソース電極およびドレイン電極の他方は、ビット線BL_Nに接続され、トランジスタ1182(M,N)のゲート電極は、トランジスタ1181(M,N)のソース電極およびドレイン電極の他方に接続される。

40

【0294】

トランジスタ1182(M,N)は、メモリセル1180(M,N)において、出力トランジスタとしての機能を有する。トランジスタ1182(M,N)としては、例えば単結晶シリコンをチャネル形成領域に用いるトランジスタを用いることができる。

【0295】

容量素子1183(M,N)の第1の容量電極は、容量線CL_Mに接続され、容量素子1183(M,N)の第2の容量電極は、トランジスタ1181(M,N)のソース電極およびドレイン電極の他方に接続される。なお、容量素子1183(M,N)は、保持容

50

量としての機能を有する。

【0296】

ワード線 WL_1 乃至ワード線 WL_i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0297】

ビット線 BL_1 乃至ビット線 BL_j のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0298】

容量線 CL_1 乃至容量線 CL_i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

10

【0299】

ゲート線 BGL_1 乃至ゲート線 BGL_i のそれぞれの電圧は、例えばゲート線駆動回路を用いて制御される。

【0300】

ゲート線駆動回路は、例えばダイオードおよび第1の容量電極がダイオードのアノードおよびゲート線 BGL に電気的に接続される容量素子を備える回路により構成される。

【0301】

トランジスタ $T1181$ の第2のゲート電極の電圧を調整することにより、トランジスタ $T1181$ のしきい値電圧を調整することができる。従って、選択トランジスタとして機能するトランジスタ $T1181$ のしきい値電圧を調整し、オフ状態におけるトランジスタ $T1181$ のソース電極およびドレイン電極の間に流れる電流を極力小さくすることができる。よって、記憶回路におけるデータの保持期間を長くすることができる。また、データの書き込みおよび読み出しに必要な電圧を従来の半導体装置より低くすることができるため、消費電力を低減することができる。

20

【0302】

本実施の形態によって、酸化物半導体をチャネル形成領域に用いたトランジスタに接続するノードの電位を極めて長時間にわたって保持することができるため、小さい消費電力にて、情報の書き込み、保持、読み出しが可能なメモリセルを作製することができる。なお、図22(B)に示すメモリセルアレイにおいて、メモリセル 1180 の代わりに、図22(A)に示すメモリセル 1170 を用いることができる。なお、この際、メモリセル 1170 に合わせて、適宜配線を設ける。

30

【0303】

本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせて用いることができる。

【0304】

(実施の形態7)

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例について、図23を参照して説明する。

【0305】

図23(A)には、いわゆるDRAM(Dynamic Random Access Memory)に相当する構成の半導体装置の一例を示す。図23(A)に示すメモリセルアレイ 1120 は、複数のメモリセル 1130 がマトリクス状に配列された構成を有している。また、メモリセルアレイ 1120 は、 m 本の第1の配線、および n 本の第2の配線を有する。なお、本実施の形態においては、第1の配線をビット線 BL とよび、第2の配線をワード線 WL とよぶ。

40

【0306】

メモリセル 1130 は、トランジスタ $T1131$ と、容量素子 1132 と、から構成されている。トランジスタ $T1131$ のゲート電極は、第1の配線(ワード線 WL)と接続されている。また、トランジスタ $T1131$ のソース電極またはドレイン電極の一方は、第2の配線(ビット線 BL)と接続されており、トランジスタ $T1131$ のソース電極またはドレイ

50

ン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線 C L と接続され、一定の電位が与えられている。トランジスタ 1131 には、先の実施の形態に示すトランジスタが適用される。

【0307】

先の実施の形態において示した酸化物半導体をチャネル形成領域に用いるトランジスタは、単結晶シリコンをチャネル形成領域に用いたトランジスタに比べてオフ電流が小さいという特徴を有する。このため、いわゆるDRAMとして認識されている図23(A)に示す半導体装置に当該トランジスタを適用する場合、実質的な不揮発性メモリを得ることが可能である。

【0308】

図23(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図23(B)に示すメモリセルアレイ 1140 は、複数のメモリセル 1150 がマトリクス状に配列された構成とすることができます。また、メモリセルアレイ 1140 は、第1の配線 B L、第2の配線 B LB (反転ビット線)および第3の配線 W L、電源線 V dd、及び接地電位線 V ss を有する。

【0309】

メモリセル 1150 は、第1のトランジスタ 1151、第2のトランジスタ 1152、第3のトランジスタ 1153、第4のトランジスタ 1154、第5のトランジスタ 1155、および第6のトランジスタ 1156 を有している。第1のトランジスタ 1151 と第2のトランジスタ 1152 は、選択トランジスタとして機能する。また、第3のトランジスタ 1153 と第4のトランジスタ 1154 のうち、一方はnチャネル型トランジスタ(ここでは、第4のトランジスタ 1154)であり、他方はpチャネル型トランジスタ(ここでは、第3のトランジスタ 1153)である。つまり、第3のトランジスタ 1153 と第4のトランジスタ 1154 によってCMOS回路が構成されている。同様に、第5のトランジスタ 1155 と第6のトランジスタ 1156 によってCMOS回路が構成されている。

【0310】

第1のトランジスタ 1151、第2のトランジスタ 1152、第4のトランジスタ 1154、第6のトランジスタ 1156 は、nチャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第3のトランジスタ 1153 と第5のトランジスタ 1155 は、pチャネル型のトランジスタであり、酸化物半導体以外の材料(例えば、単結晶シリコンなど)をチャネル形成領域に用いる。

【0311】

本実施の形態に示す構成、方法などは、他の実施の形態及び実施例に示す構成、方法などと適宜組み合わせて用いることができる。

【0312】

(実施の形態8)

酸化物半導体をチャネル形成領域に用いたトランジスタを少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

【0313】

図24(A)は、CPUの具体的な構成を示すブロック図である。図24(A)に示すCPUは、基板 1190 上に、演算回路(ALU: Arithmetic logic unit) 1191、ALUコントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、タイミングコントローラ 1195、レジスタ 1196、レジスタコントローラ 1197、バスインターフェース(Bus I/F) 1198、書き換え可能なROM 1199、およびROMインターフェース(ROM I/F) 1189 を有している。基板 1190 は、半導体基板、SOI基板、ガラス基板などを用いる。ROM 1199 および ROM I/F 1189 は、別チップに設けても良い。勿論、図24(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

10

20

30

40

50

【 0 3 1 4 】

B u s I / F 1 1 9 8 を介して C P U に入力された命令は、インストラクションデコーダ 1 1 9 3 に入力され、デコードされた後、A L U コントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 に入力される。

【 0 3 1 5 】

A L U コントローラ 1 1 9 2、インタラプトコントローラ 1 1 9 4、レジスタコントローラ 1 1 9 7、タイミングコントローラ 1 1 9 5 は、デコードされた命令に基づき、各種制御を行なう。具体的に A L U コントローラ 1 1 9 2 は、A L U 1 1 9 1 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1 1 9 4 は、C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1 1 9 7 は、レジスタ 1 1 9 6 のアドレスを生成し、C P U の状態に応じてレジスタ 1 1 9 6 の読み出しや書き込みを行なう。

10

【 0 3 1 6 】

また、タイミングコントローラ 1 1 9 5 は、A L U 1 1 9 1、A L U コントローラ 1 1 9 2、インストラクションデコーダ 1 1 9 3、インタラプトコントローラ 1 1 9 4、およびレジスタコントローラ 1 1 9 7 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1 1 9 5 は、基準クロック信号 C L K 1 を元に、内部クロック信号 C L K 2 を生成する内部クロック生成部を備えており、クロック信号 C L K 2 を上記各種回路に供給する。

20

【 0 3 1 7 】

図 2 4 (A) に示す C P U では、レジスタ 1 1 9 6 に、記憶素子（メモリセル）が設けられている。レジスタ 1 1 9 6 の記憶素子（メモリセル）には、実施の形態 5 乃至実施の形態 7 に記載されている記憶素子（メモリセル）を用いることができる。

【 0 3 1 8 】

図 2 4 (A) に示す C P U において、レジスタコントローラ 1 1 9 7 は、A L U 1 1 9 1 からの指示に従い、レジスタ 1 1 9 6 における保持動作の選択を行う。すなわち、レジスタ 1 1 9 6 が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、レジスタコントローラ 1 1 9 7 は選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ 1 1 9 6 内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1 1 9 6 内の記憶素子への電源電圧の供給を停止することができる。

30

【 0 3 1 9 】

電源停止に関しては、図 2 4 (B) または図 2 4 (C) に示すように、記憶素子群と、電源電位 V D D または電源電位 V S S の与えられているノード間に、スイッチング素子を設けることにより行なうことができる。以下に図 2 4 (B) および図 2 4 (C) の回路の説明を行う。

【 0 3 2 0 】

図 2 4 (B) および図 2 4 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体をチャネル形成領域に用いたトランジスタを含む記憶回路の構成の一例を示す。

40

【 0 3 2 1 】

図 2 4 (B) に示す記憶装置は、スイッチング素子 1 1 4 1 と、記憶素子 1 1 4 2 を複数有する記憶素子群 1 1 4 3 とを有している。具体的に、各記憶素子 1 1 4 2 には、先の実施の形態に記載されている記憶素子を用いることができる。記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 には、スイッチング素子 1 1 4 1 を介して、ハイレベルの電源電位 V D D が供給されている。さらに、記憶素子群 1 1 4 3 が有する各記憶素子 1 1 4 2 には、信号 I N の電位と、ローレベルの電源電位 V S S の電位が与えられている。

【 0 3 2 2 】

50

図24(B)では、スイッチング素子1141として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号SigAによりスイッチングが制御される。

【0323】

なお、図24(B)では、スイッチング素子1141がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していても良い。スイッチング素子1141が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていてもよい。

【0324】

また、図24(B)では、スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ハイレベルの電源電位VDDの供給が制御されているが、スイッチング素子1141により、ローレベルの電源電位VSSの供給が制御されていてもよい。

【0325】

また、図24(C)には、記憶素子群1143が有する各記憶素子1142に、スイッチング素子1141を介して、ローレベルの電源電位VSSが供給されている、記憶装置の一例を示す。スイッチング素子1141により、記憶素子群1143が有する各記憶素子1142への、ローレベルの電源電位VSSの供給を制御することができる。

【0326】

記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設け、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUの動作を停止することができ、それにより消費電力を低減することができる。

【0327】

ここでは、CPUを例に挙げて説明したが、DSP(Digital Signal Processor)、カスタムLSI、FPGA(Field Programmable Gate Array)等のLSIにも応用可能である。

【実施例1】

【0328】

本実施例では、ドーパントが添加された酸化物半導体膜の断面構造について説明する。

【0329】

ドーパントの被添加物である酸化物半導体膜の作製方法について説明する。まず、ガラス基板上に、スパッタリング法により酸化シリコン膜を300nm形成した。

【0330】

次に、酸化シリコン膜上にIn-Ga-Zn-O系材料の酸化物半導体膜(以下、IGZO膜)をスパッタリング法により形成した。なお、本実施例では、組成比がIn₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]であるターゲットを用いて、アルゴン流量を30sccmとし、酸素流量を15sccmとし、基板温度を400として厚さ30nmのIGZO膜を形成した。また、本条件で形成したIGZO膜は、実施の形態1乃至実施の形態3で説明したCACOSである。

【0331】

次に、形成したIGZO膜中の水素を放出させるために、加熱温度を450とし、窒素雰囲気下で1時間の加熱処理を行った。

【0332】

次に、加熱したIGZO膜にイオンインプランテーション法でドーパントを添加した。本実施例では、ドーパントをリンイオン(31P⁺)とし、加速電圧を20kVとし、添加量 $1 \times 10^{-6} \text{ cm}^{-2}$ として該IGZO膜に添加した。

10

20

30

40

50

【0333】

次に、ドーパント（リンイオン）を添加したIGZO膜に対して、加熱温度を650とし、1時間の加熱処理を行った。なお、本実施例では、ドーパントを添加した後に行う加熱処理において、窒素雰囲気下で行った場合のIGZO膜を試料1とし、酸素雰囲気下で行った場合のIGZO膜を試料2とする。

【0334】

透過型電子顕微鏡（Transmission Electron Microscope：TEM）を用いて、試料1および試料2の断面TEM観察を行った。なお、比較例としてドーパントを添加した後に加熱処理を行わなかったIGZO膜についてもTEMを用いて、その断面を観察した。図19（A）は比較例の断面TEM像を示し、図19（B）は試料1の断面TEM像を示し、図19（C）は試料2の断面TEM像を示す。なお、図19（A）乃至図19（C）は、倍率800万倍で観察した断面TEM像である。
10

【0335】

図19（A）には格子像が観察されず、また、比較例の電子線回折パターン（図示せず）はハローパターンであった。このことから比較例は非晶質であることが確認された。

【0336】

図19（B）には格子像が確認されることから、試料1は結晶部を有していることが確認された。また、試料1の電子線回折パターン（図示せず）は、電子線が照射される位置によって異なる回折パターンがあった。特に、図19（B）において、IGZO膜のコントラストが異なるところは、結晶配向が異なっていた。したがって、試料1は、複数の結晶部を有していることが確認された。
20

【0337】

図19（C）には格子像が確認されることから、試料2は結晶部を有していることが確認された。また、図19（C）および試料2の電子線回折パターン（図示せず）から、IGZO膜の表面を含む領域はc軸配向を有する結晶部であることが確認された。さらに、該c軸配向を有する結晶部は非単結晶であることから、IGZO膜の表面を含む領域はCAC-O_Sであるといえ、IGZO膜の表面から少なくとも2nmは形成されていた。そして、IGZO膜の表面を含む領域以外は、試料1と同様に複数の結晶部を有していることが確認された。

【0338】

以上より、酸化物半導体膜にドーパントを添加した後に行う加熱処理を行うことで、複数の結晶部を有する酸化物半導体膜を形成できることが確認できた。さらに、該加熱処理の雰囲気によって、形成する酸化物半導体膜の表面を含む領域に、非単結晶であり、かつc軸配向を有する結晶部を含む酸化物半導体（CAC-O_S）を形成できることが確認できた。
30

【符号の説明】**【0339】**

100	トランジスタ
101	基板
102	下地絶縁膜
103	酸化物半導体膜
105	第1の領域
107 a	酸化物半導体領域
107 b	酸化物半導体領域
109 a	酸化物半導体領域
109 b	酸化物半導体領域
111	ゲート絶縁膜
112	導電膜
113	第1の電極
116 a	開口部

10

20

30

40

50

1 1 6 b	開口部	
1 1 7	層間絶縁膜	
1 1 9 a	第2の電極	
1 1 9 b	第3の電極	
1 2 1	ゲート絶縁膜	
1 2 3 a	第2の領域	
1 2 3 b	第2の領域	
1 3 0	酸化物半導体膜	
1 3 1	酸化物半導体膜	
1 3 2	酸化物半導体膜	10
1 4 0	酸化物半導体膜	
1 5 0	ドーパント	
1 6 0	トランジスタ	
1 7 0	トランジスタ	
2 0 0	トランジスタ	
2 0 7 a	酸化物半導体領域	
2 0 7 b	酸化物半導体領域	
2 0 9 a	酸化物半導体領域	
2 0 9 b	酸化物半導体領域	
2 1 4 a	酸化物半導体領域	20
2 1 4 b	酸化物半導体領域	
2 1 5	サイドウォール絶縁膜	
2 2 3 a	第3の領域	
2 2 3 b	第3の領域	
2 6 0	トランジスタ	
2 7 0	トランジスタ	
1 1 0 0	メモリセル	
1 1 1 0	メモリセルアレイ	
1 1 1 1	駆動回路	
1 1 1 2	読み出し回路	30
1 1 1 3	駆動回路	
1 1 2 0	メモリセルアレイ	
1 1 3 0	メモリセル	
1 1 3 1	トランジスタ	
1 1 3 2	容量素子	
1 1 4 0	メモリセルアレイ	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 5 0	メモリセル	40
1 1 5 1	トランジスタ	
1 1 5 2	トランジスタ	
1 1 5 3	トランジスタ	
1 1 5 4	トランジスタ	
1 1 5 5	トランジスタ	
1 1 5 6	トランジスタ	
1 1 6 0	トランジスタ	
1 1 6 1	トランジスタ	
1 1 6 2	トランジスタ	
1 1 6 3	トランジスタ	50

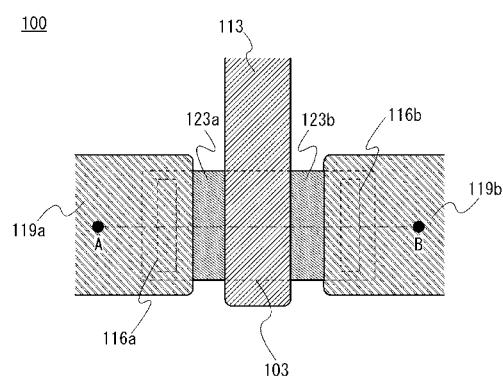
1 1 6 4	トランジスタ
1 1 7 0	メモリセル
1 1 7 1	トランジスタ
1 1 7 2	トランジスタ
1 1 7 3	容量素子
1 1 8 0	メモリセル
1 1 8 1	トランジスタ
1 1 8 2	トランジスタ
1 1 8 3	容量素子
1 1 8 9	ROMインターフェース
1 1 9 0	基板
1 1 9 1	ALU
1 1 9 2	ALUコントローラ
1 1 9 3	インストラクションデコーダ
1 1 9 4	インターラプトコントローラ
1 1 9 5	タイミングコントローラ
1 1 9 6	レジスタ
1 1 9 7	レジスタコントローラ
1 1 9 8	バスインターフェース
1 1 9 9	ROM

10

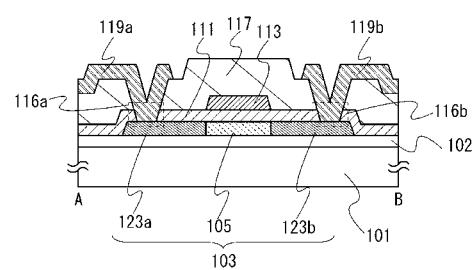
20

【図1】

(A)

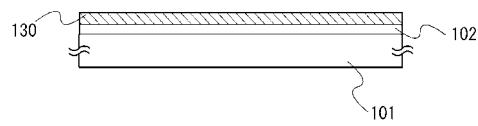


(B)

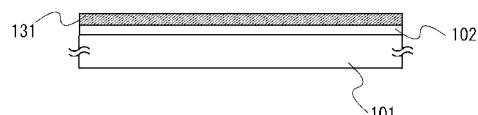


【図2】

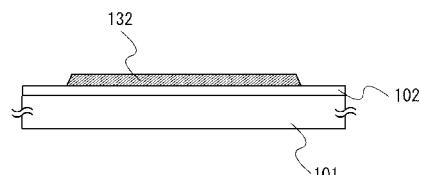
(A)



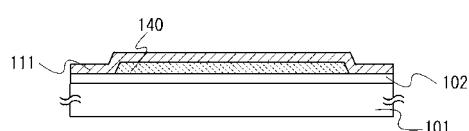
(B)



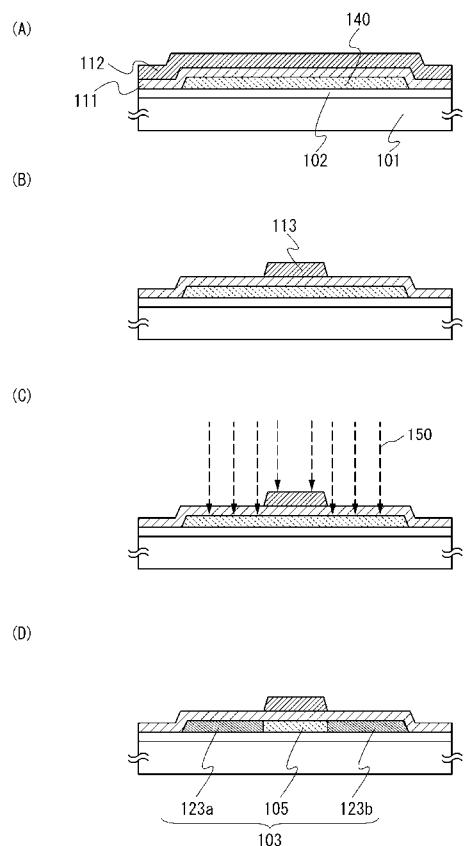
(C)



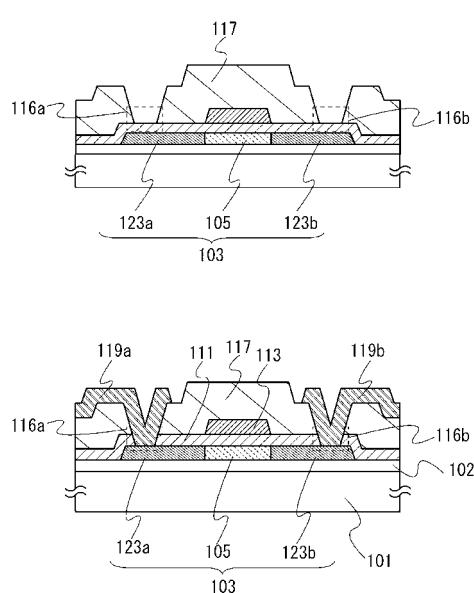
(D)



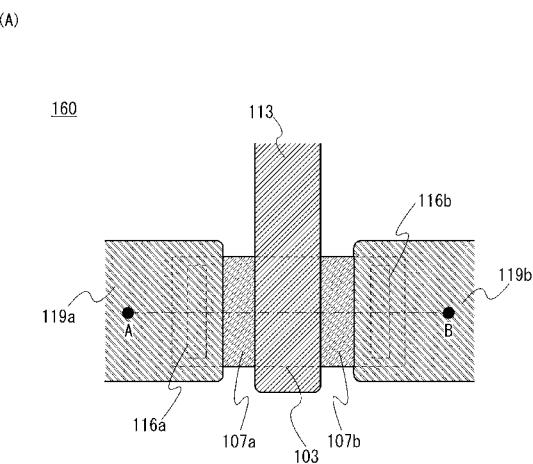
【図3】



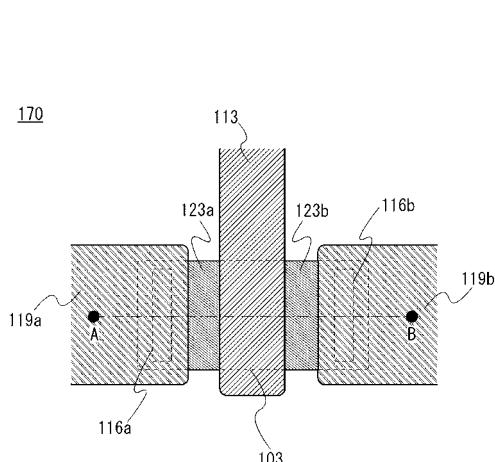
【図4】



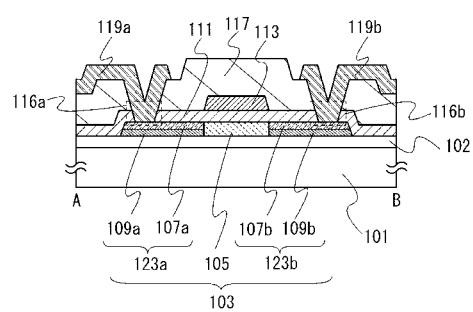
【図5】



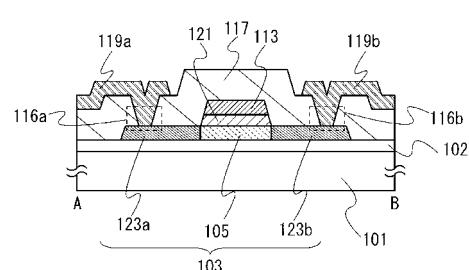
【図6】



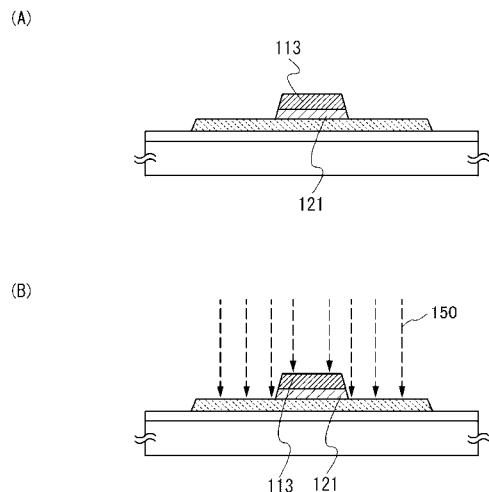
(B)



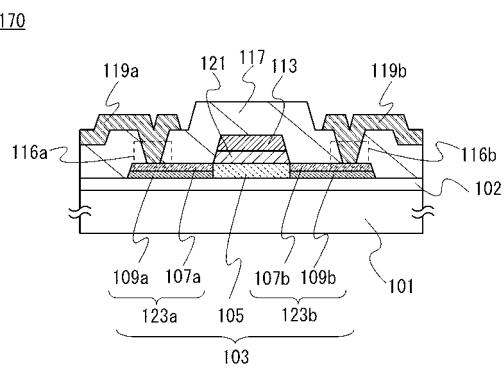
(B)



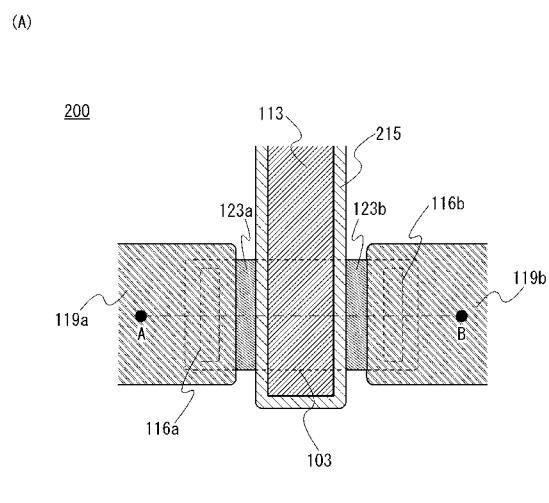
【図7】



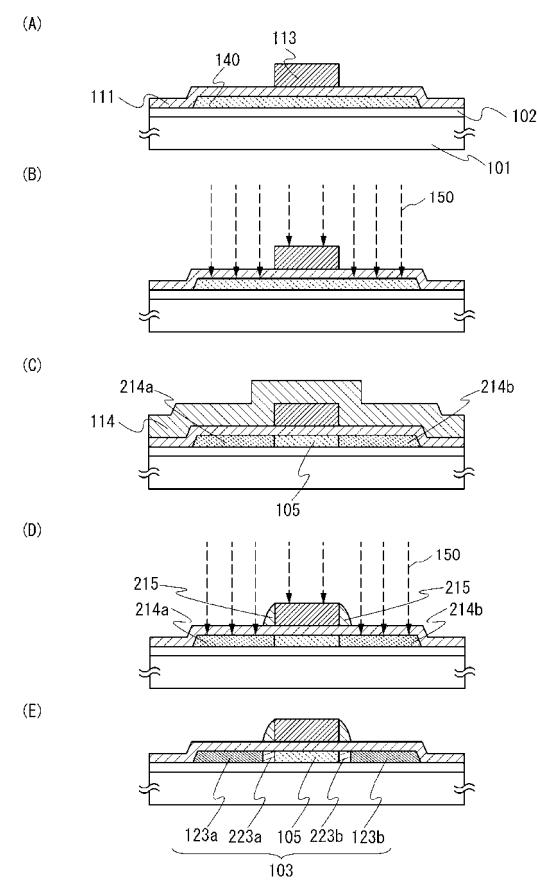
【図8】



【図9】

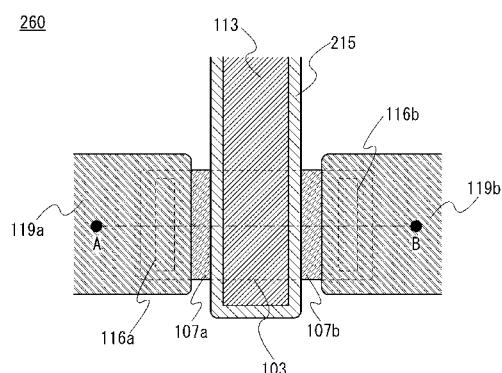


【図10】

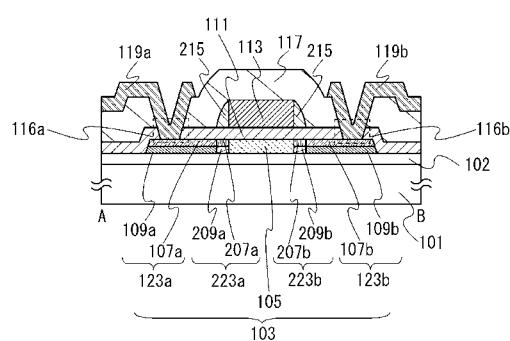


【図 1 1】

(A)

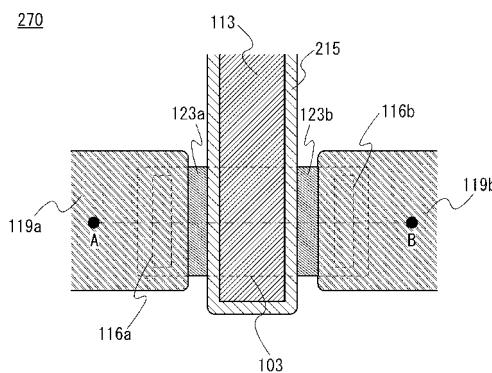


(B)

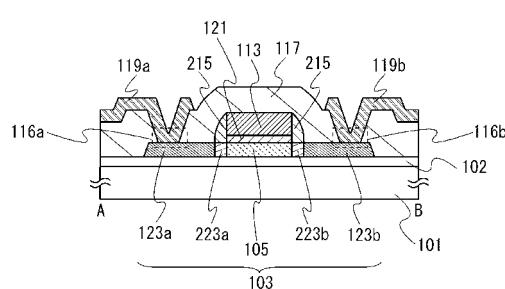


【図 1 2】

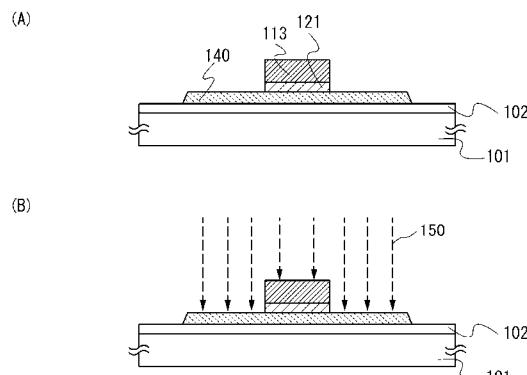
(A)



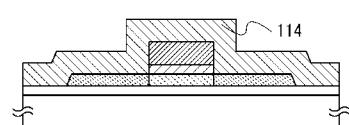
(B)



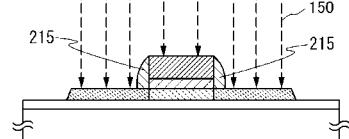
【図 1 3】



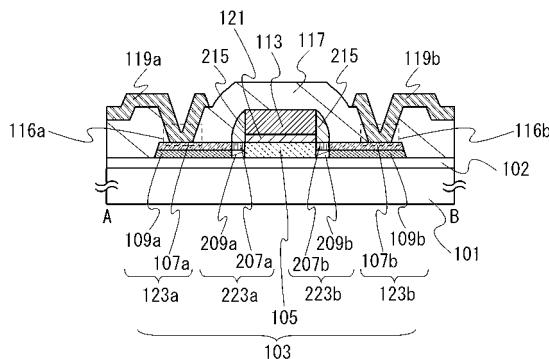
(C)



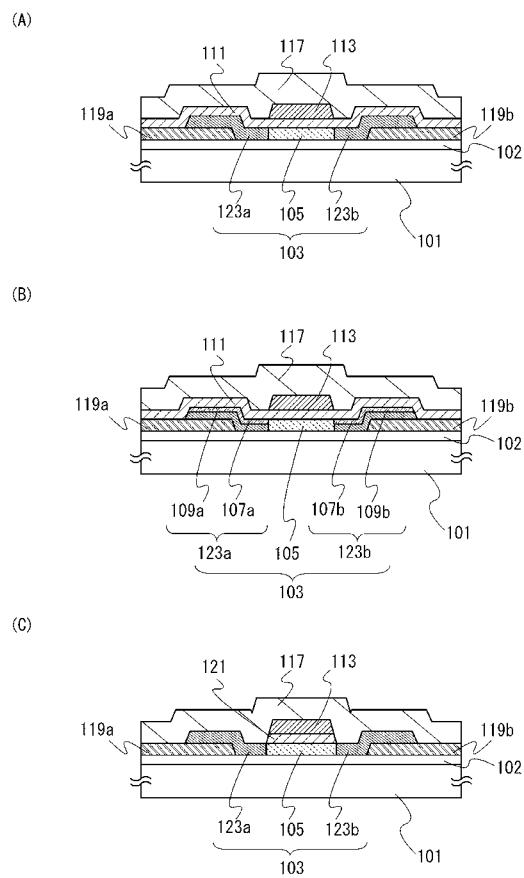
(D)



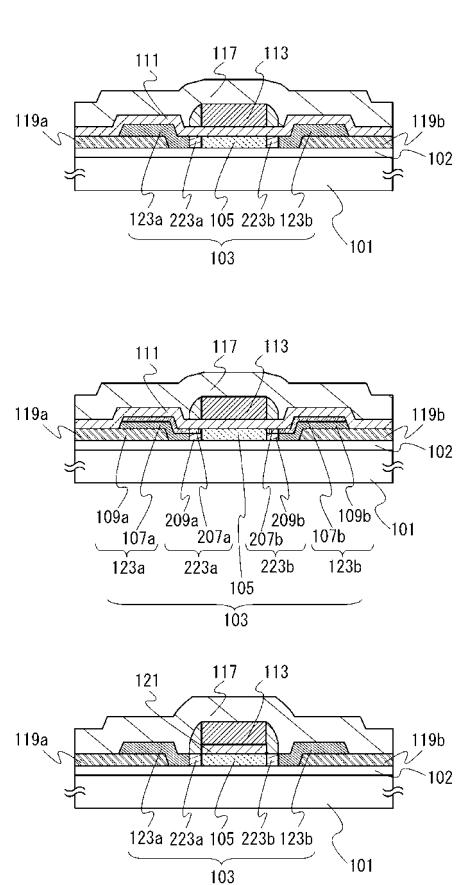
【図 1 4】



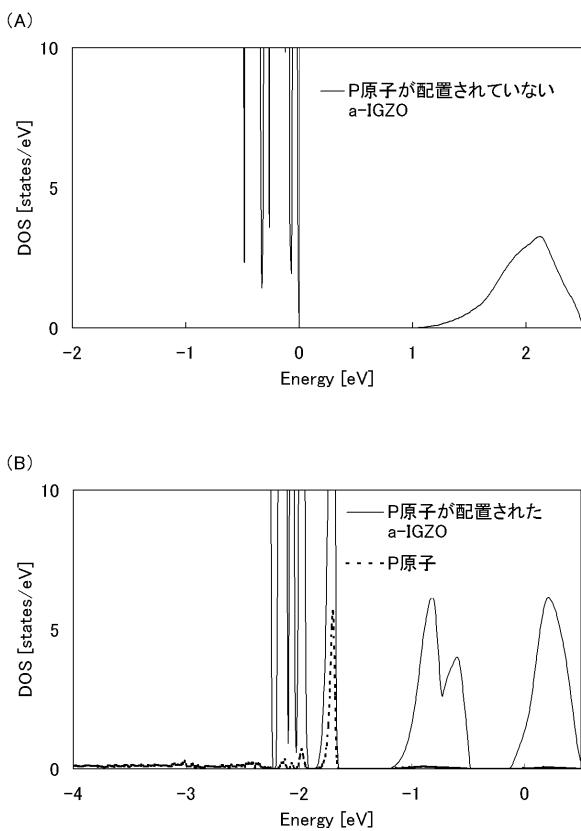
【図15】



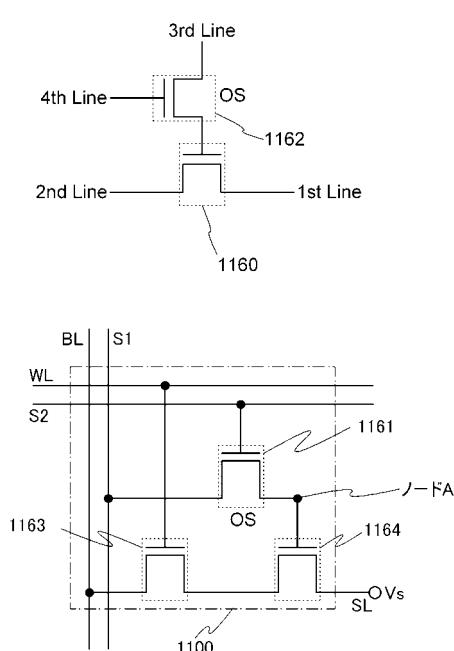
【図16】



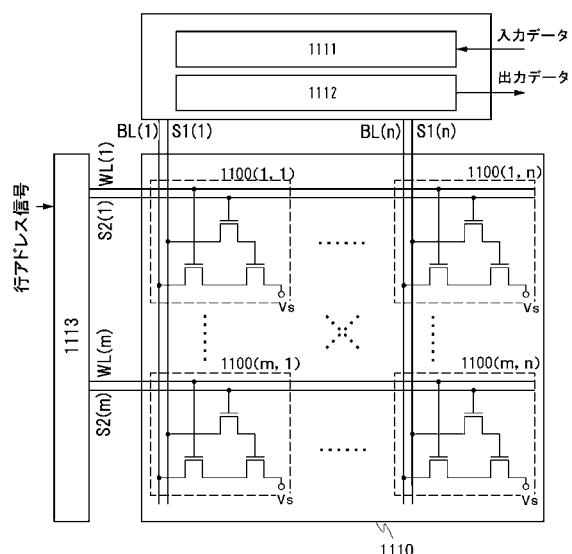
【図18】



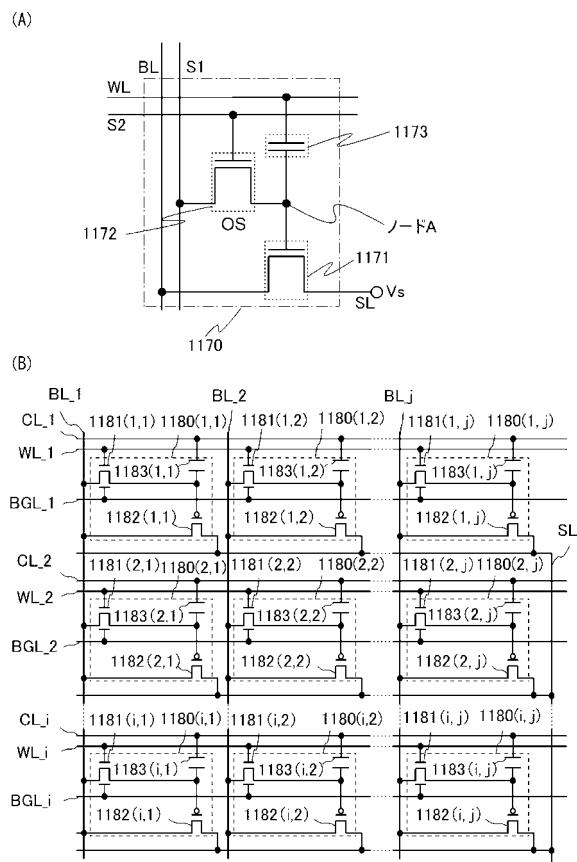
【図20】



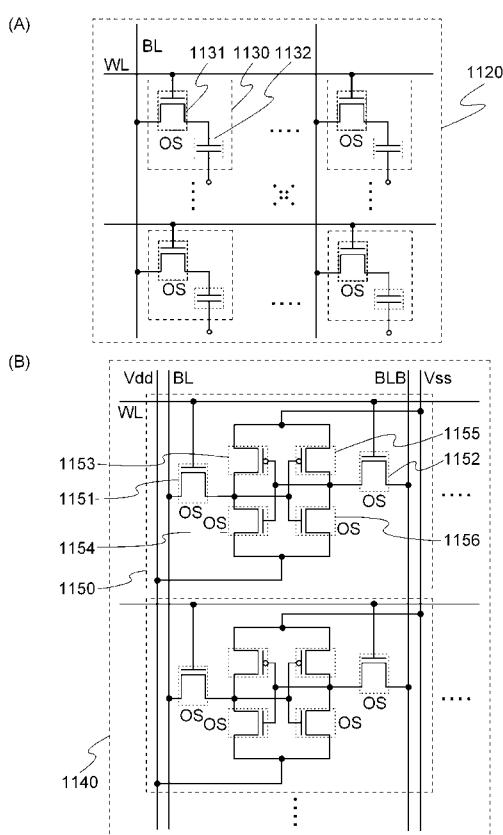
【図 2 1】



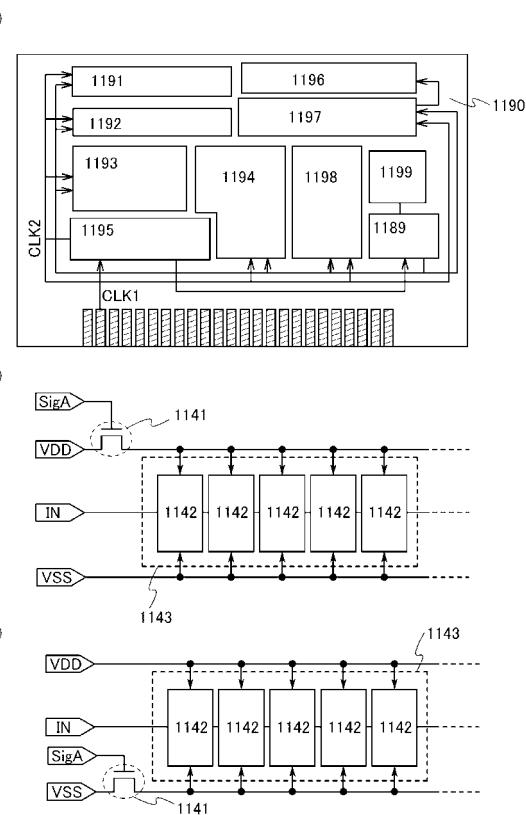
【図 2 2】



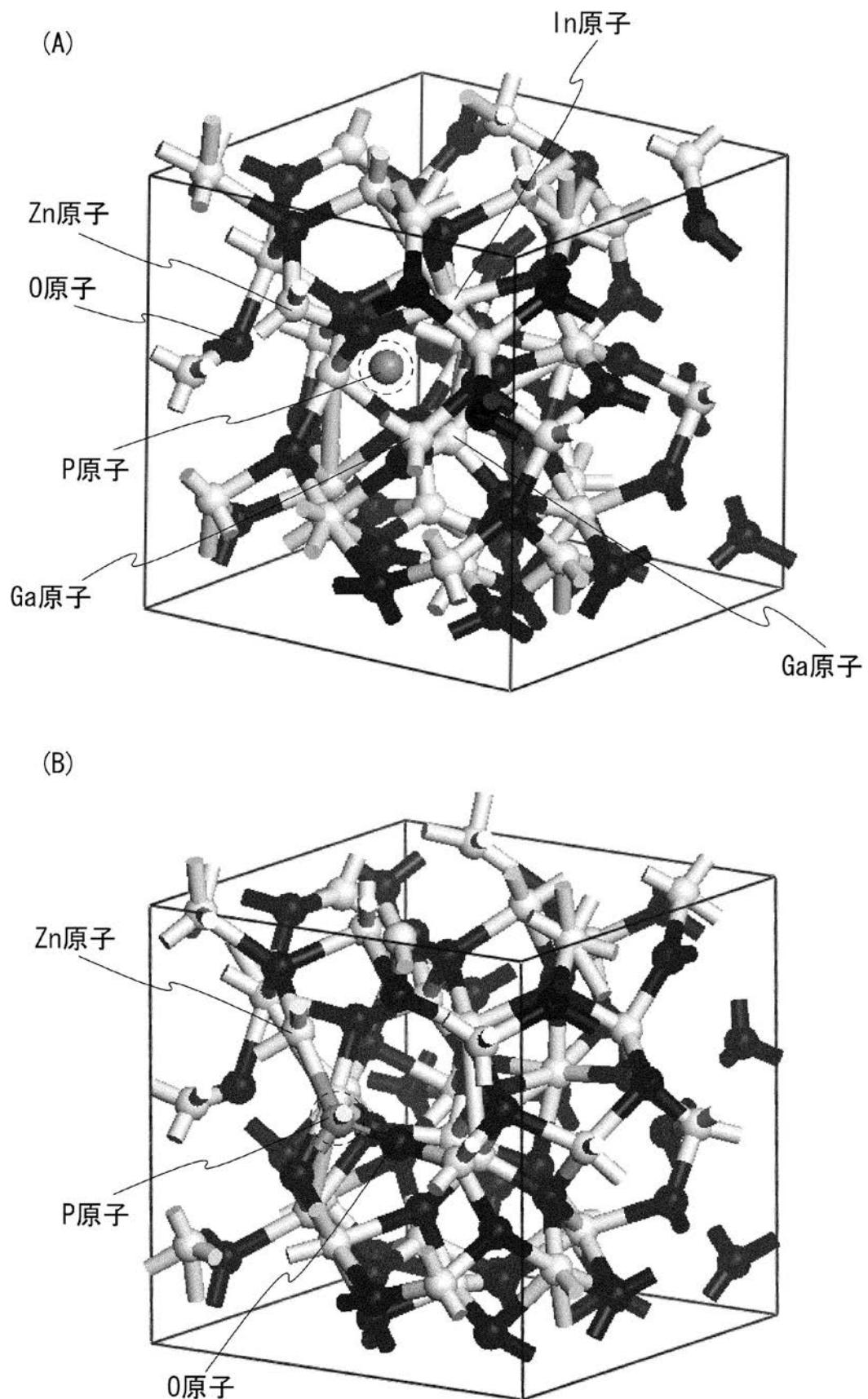
【図 2 3】



【図 2 4】

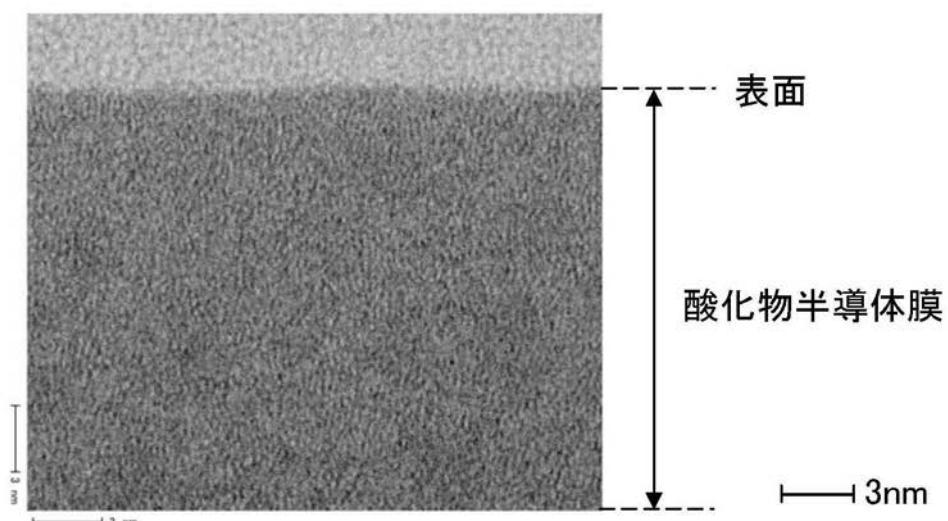


【図 17】

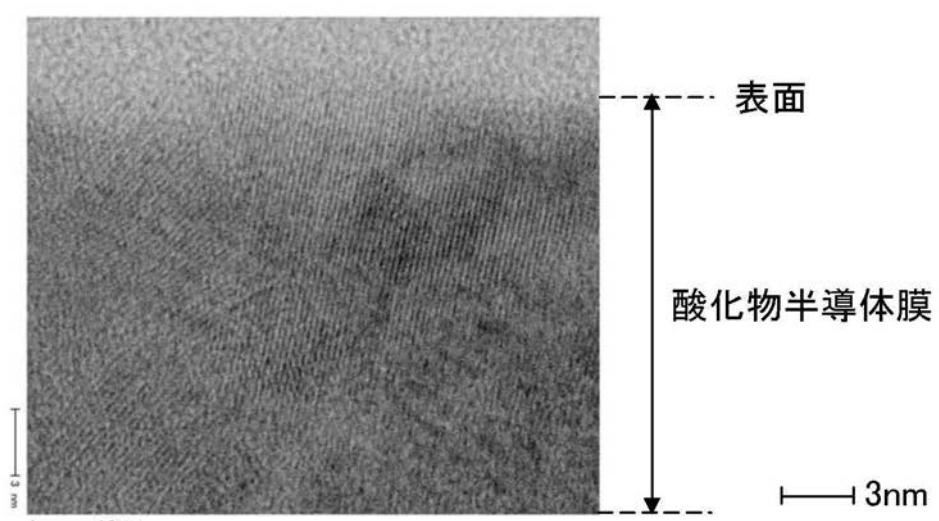


【図19】

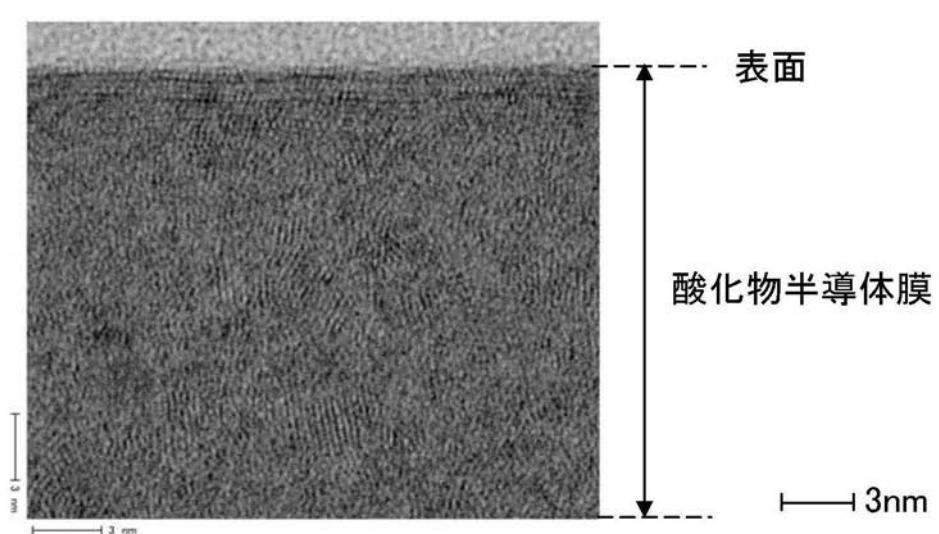
(A)



(B)



(C)



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 21/8247 (2006.01)	H 01 L 27/10	3 2 1
H 01 L 27/11 (2006.01)	H 01 L 27/10	4 3 4
H 01 L 21/8244 (2006.01)	H 01 L 27/10	6 7 1 C
H 01 L 29/792 (2006.01)	H 01 L 27/10	3 8 1
H 01 L 29/788 (2006.01)	H 01 L 29/78	3 7 1

(72)発明者 岸田 英幸

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

F ターム(参考) 5F083 AD02 AD69 BS02 BS14 BS27 EP02 EP22 EP30 ER01 GA06
5F101 BA01 BB02 BC20 BD02 BD30 BE05
5F110 AA04 BB03 BB05 BB06 BB07 CC02 CC06 DD01 DD02 DD03
DD04 DD05 DD12 DD13 DD14 DD15 DD17 EE02 EE03 EE04
EE06 EE07 EE08 EE14 EE15 EE32 FF01 FF02 FF03 FF04
FF09 FF36 GG01 GG06 GG12 GG13 GG17 GG19 GG25 GG33
GG34 GG42 GG43 GG58 HJ01 HJ04 HJ12 HJ13 HJ18 HJ22
HJ30 HL01 HL02 HL03 HL04 HL06 HL07 HL08 HL11 HL12
HM03 HM07 HM14 HM15 NN22 NN23 NN24 NN34 NN35 NN72
PP01 PP10 PP13 QQ09 QQ11