(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0200930
(24) 등록일자 1999년03월11일

(21) 출원번호 10-1996-0062415
(22) 출원일자 1996년12월06일
(65) 공개번호 특1998-0044336
(43) 공개일자 1998년09월05일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이진호
서울특별시 노원구 상계5동 벽산아파트 108동 404호
박희철
서울특별시 영등포구 문래동6가 45번지 현대아파트 202-1007
(74) 대리인 이건주

심사관 : 장현근

(54) 버스트 모드동작에 적합한 반도체 메모리 장치의 로우 디코더

요약

본 발명은 버스트 모드 기능을 가지는 반도체 메모리 장치에 적용 가능한 로우 디코더를 개시한다. 그러한 로우 디코더는 인가되는 노말 로우 어드레스에 응답하여 메인 워드라인을 인에이블시키며, 행 리던던시 리페어동작에서 리던던시 디코더에서 제공되는 리던던시 메인 워드라인 신호에 응답하여 상기 노말 로우 어드레스를 블록킹하는 메인 로우 디코더와; 상기 메인 로우 디코더의 출력과 버스트 모드에서 제공되는 버스트 어드레스를 수신하여 워드라인을 구동하는 섹션 로우 디코더를 가짐을 특징으로 한다.

대표도

도4

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래기술에 따른 디코딩 스킴을 설명하기 위해 제시한 도면.

도 4 내지 도 7은 본 발명의 실시예에 따른 디코딩 스킴의 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 버스트 모드 기능을 가지는 반도체 메모리 장치에 적용 가능한 로우 디코더에 관한 것이다.

일반적으로, 반도체 메모리 장치의 버스트 모드에서는 일회에 수신된 외부 어드레스에 의해 연속적으로 내부 어드레스를 발생시켜 데이터를 리드 또는 라이트할 수 있도록 동작이 설정되어 있다. 즉, 서로 다른 메모리 셀을 선택시 장치 외부의 제어부는 그 어드레스를 가리키는 외부 어드레스를 메모리장치에 순차로 각기 인가하지 않고, 버스트 모드하에서 정해진 특정한 어드레스를 노말 어드레스에 합하여 상기 외부 어드레스로서 한 번만 인가해 준다. 이에 따라 장치의 내부 카운터는 상기 외부 어드레스중 특정한 어드레스(버스트 어드레스)를 수신하고 조합함으로써 설정된 갯수의 내부 어드레스를 연속적으로 발생한다. 최근의 스태틱 램등에서는 2개의 특정한 어드레스를 카운터에 입력시켜 4개의 내부 어드레스를 생성하고 있는 것도 있다.

한편, 통상의 리던던시 스킴을 가지는 휘발성 반도체 메모리 장치에 어드레스를 인가시 상기 어드레스는 상기 장치내의 버퍼를 거쳐 노말 동작을 위한 어드레스 신호와 리던던시 동작을 위한 어드레스 신호로 분리된 후 각기 노말 디코더와 리던던시 디코더에 제공된다. 이 과정에서 상기 어드레스는 외부클럭에 동기된 내부클럭에 의해 흔히 제어되어진다.

종래의 기술로서 도시된 도 1을 참조하면, 외부 어드레스가 어드레스 버퍼 10에 인가되면 상기 내부클럭인 어드레스 콘트롤 클럭에 의해 노말 동작을 위한 어드레스 신호와 리던던시 동작을 위한 어드레스 신호로 분리된 후 각기 노말 디코더 14와 리던던시 디코더 12에 나뉘어 제공됨을 알 수 있다. 이러한 스킴에 따라 상기 노말 디코더 14는 메모리 셀 어레이 18내의 노말 메모리 셀과 연결된 노말 워드라인 16 중에서

선택된 하나의 워드라인을 인에이블 시키며, 상기 리던던시 디코더 12는 버스트 어드레스를 함께 수신하여 메모리 셀 어레이 18내의 리던던시 메모리 셀과 연결된 리던던시 워드라인 20 중에서 선택된 하나의 워드라인을 인에이블 시킨다. 도 2에는 도 1내의 상기 리던던시 디코더 12의 상세회로가 일예로서 나타나 있다.

마스터 퓨즈 MF 및 다수의 내부 퓨즈 F, 구동용 트랜지스터 N1-N3,N5,P1,P2, 디코딩용 트랜지스터 N6,N7, 출력반전용 인버터INV, 디코딩 출력용 낸드 게이트 NAN1로 이루어진 도 2를 참조하면, 결함있는 셀과 연결된 노말 워드라인을 리던던시 워드라인으로 대치하기 위해 리던던시 디코더 12는 외부 어드레스 A1-5 및 버스트 어드레스C1,2를 디코더 내의 리던던시 리페어 회로를 통해 모두 수신한다. 내부퓨즈 F들의 커팅 유무에 따라 낸드 게이트 NAN1의 출력단으로 출력된 리던던시 워드라인 인에이블 신호 RWL은 노말 워드라인을 대치하는 리던던시 워드라인을 인에이블 시키게 된다. 상기 도 1,2로서 나타난 구성을 가지는 디코딩 스킴에서는 상기 어드레스 콘트롤 클럭을 상기 리던던시 디코더 12의 내부회로에 사용하지 못하며 리던던시 디코더 12의 전단에 위치한 어드레스 버퍼 10에 입력시켜 사용함을 알 수 있다. 이러한 원인은 도 2의 리던던시 회로에 제공되는 어드레스의 종류가 2개이기 때문에 발생된다. 상기 종류중 하나는 노말 어드레스인 외부 어드레스 A1-5이고 다른 하나는 버스트 어드레스 C1,2인데, 이 두종류의 어드레스가 하나의 회로에 함께 인가되어 합쳐지는 구조에서는 노말 어드레스 콘트롤 클럭과 버스트 어드레스 콘트롤 클럭을 같이 사용할 수 없게 된다. 즉, 노말 어드레스 콘트롤 클럭과 버스트 어드레스 콘트롤 클럭은 서로 반대로 천이하는 신호이므로 도 2와 같은 구조에서는 사용할 수 없는 것이다. 따라서, 종래에는 도 3에 도시된 바와 같은 버스트 어드레스 제어회로를 상기 디코더 12의 전단에 설치한다.

어드레스 콘트롤 클럭 K1,K2, 입력 버스트 신호 RN1,RN2, RC1,RC2를 수신하고 조합하여 제어된 버스트 어드레스를 생성하기 위한 도 3의 버스트 어드레스 제어회로는 인버터 IN1-4, 낸드 게이트 NA1-4, 인버터 I10,11, I20,21를 포함하여 이루어진다. 도 3의 회로에 의해 반도체 메모리 장치가 노말모드로 설정된 경우에 상기 어드레스 콘트롤 클럭 K2에 의해 제어된 어드레스가 출력되고, 버스트 모드에서는 상기 클럭 K2를 오프시킨 상태에서 클럭 K1에 의해 제어된 버스트 어드레스가 출력단 C1,C2에 생성된다.

따라서, 종래의 리던던시 디코딩 스킴에서는 어드레스 콘트롤 클럭을 리던던시 디코더의 내부에 사용하지 못하고 버스트 어드레스 제어회로를 설치하고 이를 통해 제어된 버스트 어드레스를 리던던시 디코더에 인가하는 방식이었으므로, 리던던시 워드라인 인에이블 속도가 느린 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 반도체 메모리 장치의 디코더회로를 제공함에 있다.

본 발명의 다른 목적은 워드라인 인에이블 속도에 지장을 주지 않는 반도체 메모리 장치의 디코더회로를 제공함에 있다.

본 발명의 또 다른 목적은 리던던시 셀의 선택시 리던던시 디코더에 버스트 모드용 어드레스를 제공함이 없이 노말 어드레스 콘트롤 클럭을 제공하여 리던던시 워드라인 인에이블의 속도를 고속으로 함에 있다.

발명의 구성 및 작용

이하 본 발명에 따른 바람직한 실시예가 첨부된 도면을 참조하여 상세히 설명되어질 것이다.

도 4에는 어드레스 버퍼 11, 리던던시 디코더 120, 메인 로우 디코더 70, 섹션 로우 디코더 80, 리던던시 섹션 로우 디코더 90을 가지는 회로가 나타나 있다. 도 4의 구조는 리던던시 셀의 선택시 속도지연을 줄이기 위해 워드라인을 인에이블하는 디코더를 메인 로우 디코더 MRD 70와, 섹션 로우 디코더 SRD 80로 분리하고 버스트 어드레스를 상기 섹션 로우 디코더 SRD 80에 인가한다. 도 4의 리던던시 디코더 120의 구성은 도 5와 같이된다. 도 5는 마스터 퓨즈 MF 및 다수의 내부 퓨즈 F, 구동용 트랜지스터 N1-N3,N5,P1,P2, 디코딩용 트랜지스터 N6,N7, 출력반전용 인버터INV, 디코딩 출력용 낸드 게이트 NAN1외에 클럭 K3를 받는 낸드 게이트 N1이 추가되어 이루어진다. 따라서, 리페어되는 워드라인은 하나가 아니라 메인 워드라인 MWL이 리페어되는 것이어서 섹션 워드라인 4개로 된다. 2개의 버스트용 어드레스가 디코딩되어 상기 섹션 로우 디코더 SRD 80에 인가되기 전에 먼저 어드레스 버퍼를 통해 노말동작을 위한 어드레스 신호와 버스트 동작을 위한 어드레스 신호로 분리되는 동작이 선행된다. 도 6에는 버스트용 어드레스가 노말동작과 버스트동작을 할 수 있도록 하는 디코더 회로가 나타나 있다. 도 6의 디코더 회로는 4개의 디코딩 스킴중 하나를 보인 것으로, 신호의 반전을 위한 인버터 I1,I2, 디코딩용 낸드 게이트 NA1,NA2 및 래치동작을 위한 인버터 I3,I4로 이루어져 있다. 인가되는 신호중 C3는 노말동작을 위한 신호이고, CCi는 버스트 동작을 위해 버스트동작시 동작되는 카운터의 출력신호이다. 또한, K4는 노말 동작시 인에이블되는 클럭이고, K5는 버스트 동작시 인에이블되는 클럭이다. 따라서, 노말동작 모드인 경우에는 상기 C3가 낸드 게이트 NA1의 출력으로 나오게 되고 버스트 모드인 경우에는 상기 CCi가 출력된다. 상기 출력신호 C(i-1)이 도 7의 섹션 로우 디코더 SRD 80에 인가된다. 여기서, 상기 섹션 로우 디코더 SRD 80에 버스트 어드레스가 직접 인가되므로 상기 리던던시 디코더 120에는 노말 어드레스 콘트롤 클럭이 인가될 수 있다. 결국 버스트 모드에서 상기 리던던시 디코더 120의 RMWL과 상기 버스트 어드레스가 상기 섹션 로우 디코더 SRD 80에서 섞여 섹션 워드라인을 인에이블 시킨다. 그럼에 의해, 도 5와 같이 리던던시 디코더 120에는 노말 어드레스 콘트롤 클럭 K3을 인가할 수 있어 직접적인 콘트롤이 가능해진다. 따라서, 도 5의 회로에서 퓨즈들을 거치는 동안 스피드의 지연이 발생하나 상기 클럭에 의해 출력 RMWL을 제어하는 양태이므로 무시되고 스피드를 보다 빠르게 한다. 따라서, 이러한 디코더의 구조는 고속의 동기 메모리 장치에 더욱 유리하게 적용된다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 워드라인 인에이블 속도에 지장을 주지 않고 워드라인의 인에이블 속도가 빠른 반도체 메모리 장치의 디코더회로를 제공하는 효과가 있다.

(57) 청구의 범위

청구항 1

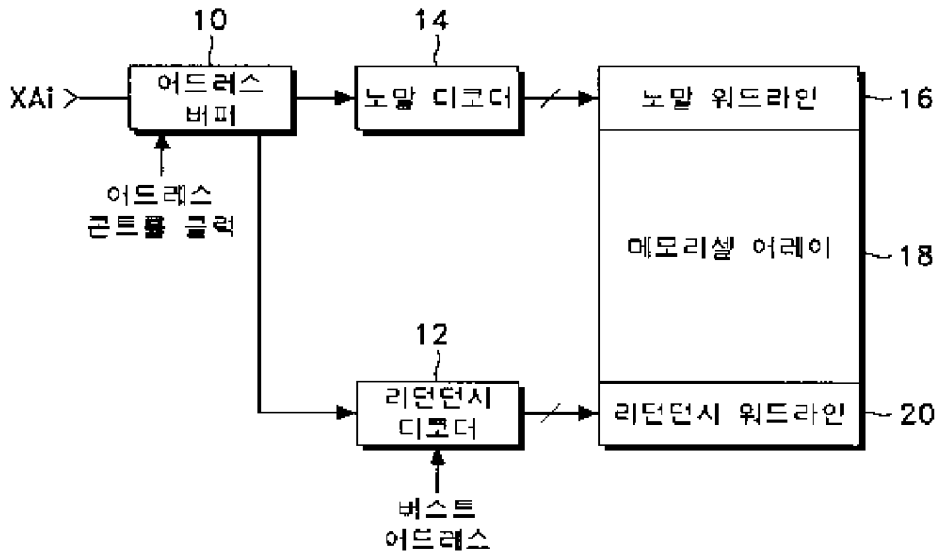
버스트 모드 동작을 가지는 반도체 메모리 장치에 있어서; 인가되는 노말 로우 어드레스에 응답하여 메인 워드라인을 인에이블시키며, 행 리던던시 리페어동작에서 리던던시 디코더에서 제공되는 리던던시 메인 워드라인 신호에 응답하여 상기 노말 로우 어드레스를 블록킹하는 메인 로우 디코더와; 상기 메인 로우 디코더의 출력과 버스트 모드에서 제공되는 버스트 어드레스를 수신하여 워드라인을 구동하는 섹션 로우 디코더를 가짐을 특징으로 하는 디코더 회로.

청구항 2

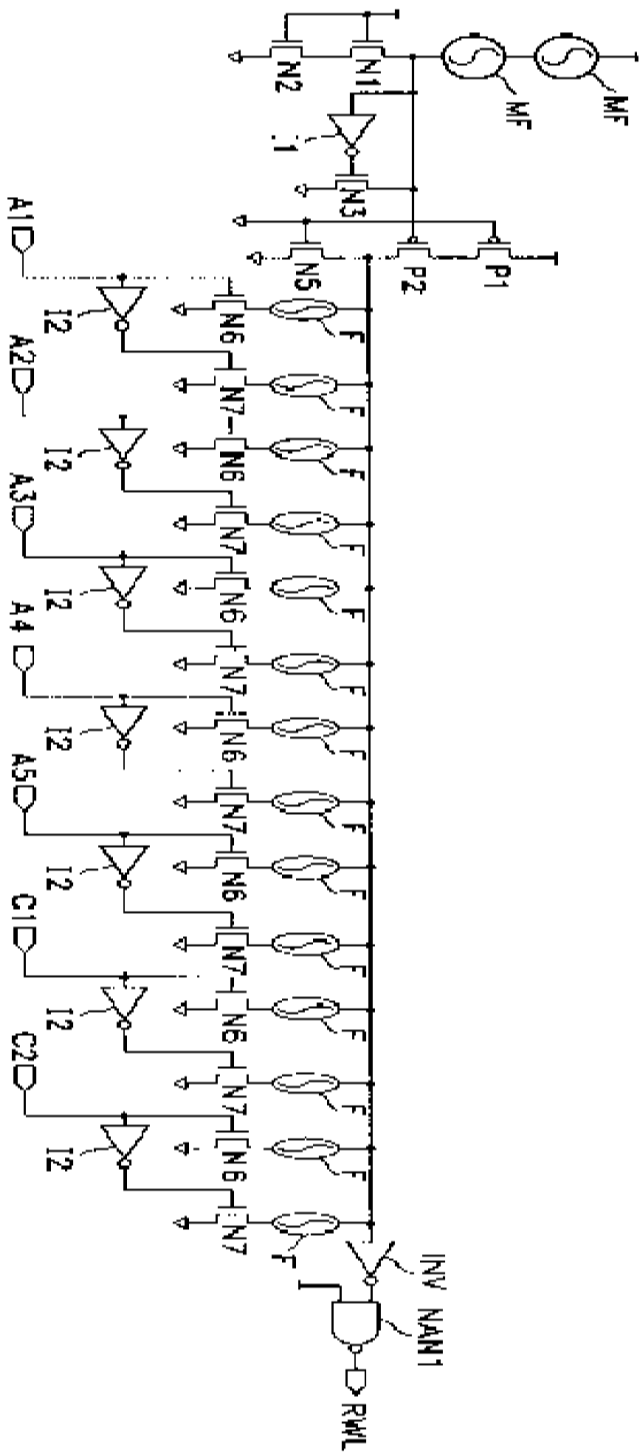
반도체 메모리장치의 워드라인 디코딩 회로에 있어서, 리던던시 메인 워드라인 신호에 응답하여 리던던시 섹션 워드라인을 선택하는 리던던시 섹션 로우 디코더와, 행 어드레스 디코더로부터 인가되는 노말 메인 워드라인 신호와 제공되는 리던던시 신호를 수신하여 섹션 워드라인을 선택하는 노말 섹션 로우 디코더와, 리던던시 사이클에서 천이하는 클럭에 응답하여 상기 노말 섹션 로우 디코더에 리페어 정보를 가리키는 상기 리던던시 신호를 제공시 상기 리던던시 사이클에 연속하는 다음 사이클이 시작되기 이전까지의 펄스폭을 가지는 신호를 상기 리던던시 신호로서 생성하여 제공하고 상기 리던던시 메인 워드라인 신호를 상기 리던던시 사이클동안 제공하는 로우 리던던시 어드레스 디코더를 가짐을 특징으로 하는 회로.

도면

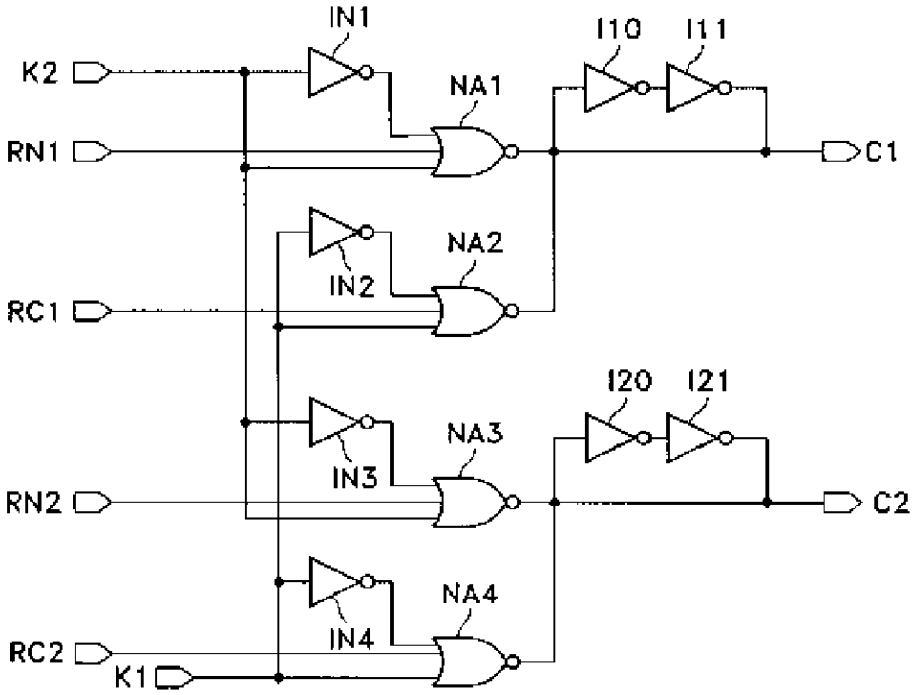
도면1



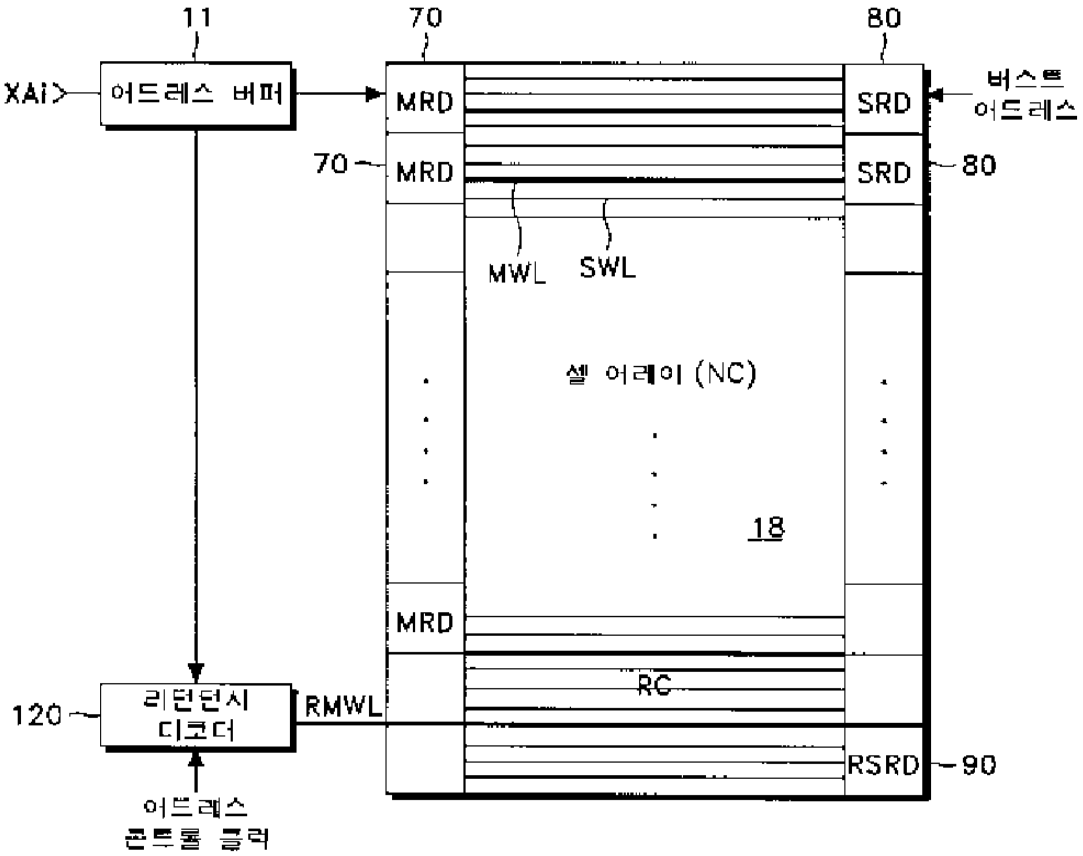
도면2



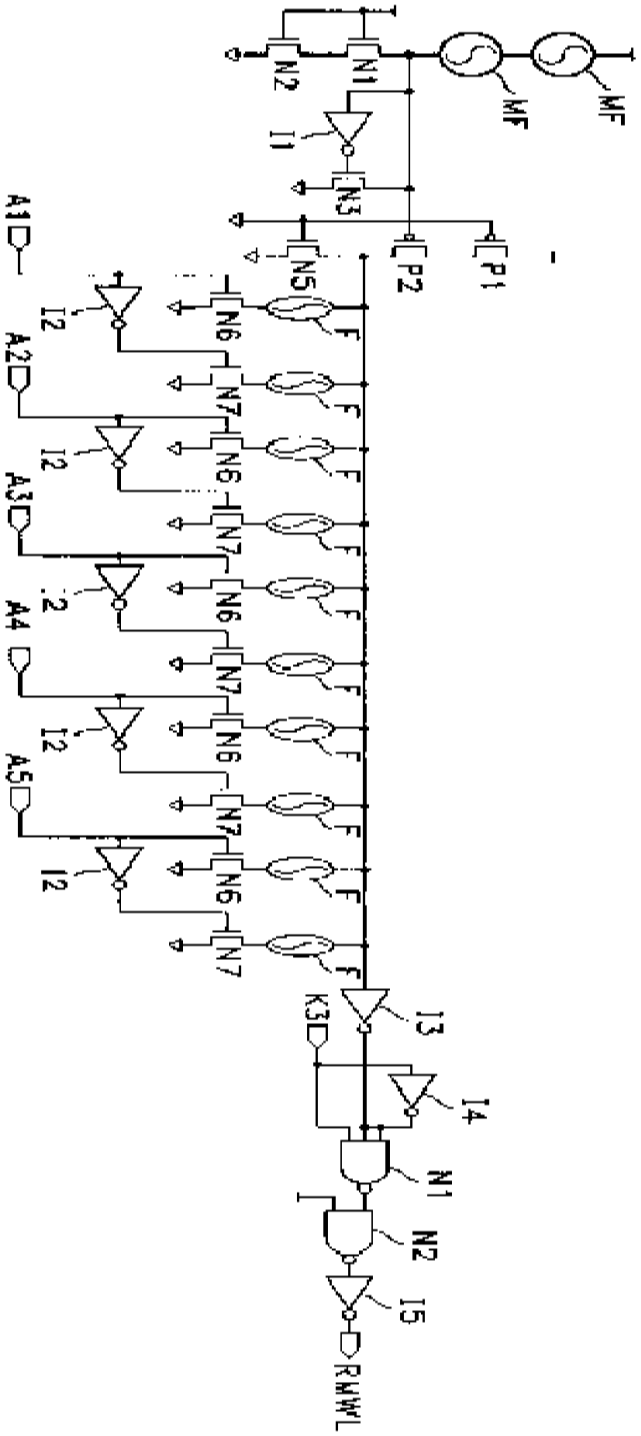
도면3


IN1
I10
I11
K2
NA1
RN1
C1
NA2
IN2
RC1
I20
I21
NA3
IN3
RN2
C2
NA4
IN4
RC2
K1

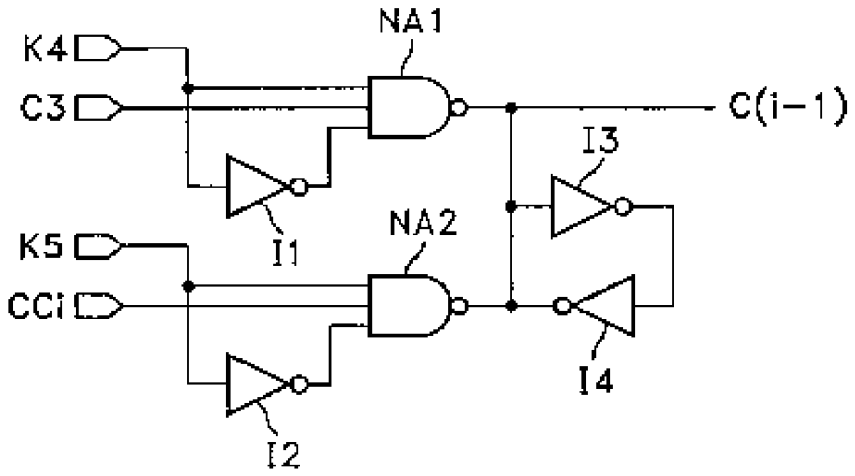
도면4


11
70
80
XAi
어드레스 버퍼
MRD
SRD
버스트 어드레스
70
MRD
SRD
80
MWL
SWL
셀 어레이 (NC)
18
MRD
RC
120
리던던시 디코더
RMWL
RSRD
90
어드레스 콘트롤 클럭

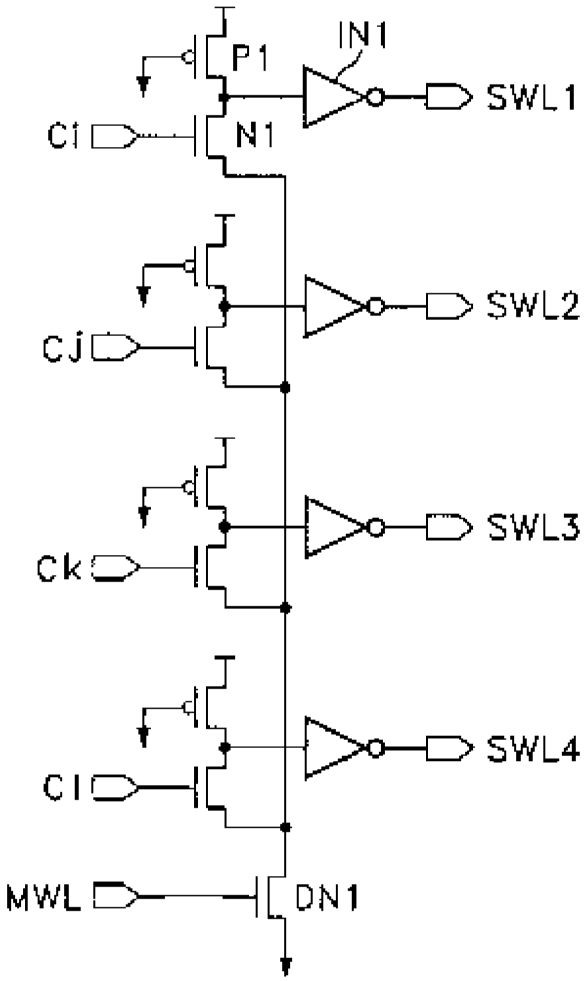
도면5


N2
N1
MF
MF
I1
N3
P2
P1
N5
N6
N7
I2
A1
A2
A3
A4
A5
F
K3
I3
I4
N1
N2
I5
RMWL

도면6


K4
C3
NA1
C(i-1)
I3
I1
K5
CCi
NA2
I4
I2

도면7


P1
IN1
SWL1
Ci
N1
SWL2
Cj
SWL3
Ck
SWL4
Cl
MWL
DN1