(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4018159号
(P4018159)
(45)発行日　平成19年12月5日(2007.12.5)　(24)登録日　平成19年9月28日(2007.9.28)

(51)Int.Cl.		F I		
G06F 15/78	(2006.01)	G06F	15/78	510P
G06F 1/04	(2006.01)	G06F	1/04	
G11C 7/00	(2006.01)	G11C	7/00	312B
G11C 11/41	(2006.01)	G11C	11/34	U

請求項の数 7　(全 15 頁)

(21)出願番号　特願平5-182061
(22)出願日　平成5年6月28日(1993.6.28)
(65)公開番号　特開平7-84987
(43)公開日　平成7年3月31日(1995.3.31)
審査請求日　平成11年12月10日(1999.12.10)
審判番号　不服2005-90(P2005-90/J1)
審判請求日　平成17年1月4日(2005.1.4)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　水上　雅雄
東京都青梅市今井２３２６番地　株式会社日立製作所デバイス開発センタ内
(72)発明者　佐藤　陽一
東京都小平市上水本町５丁目２０番１号　日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者　小崎　尚彦
東京都国分寺市東恋ケ窪一丁目４８０番地　株式会社日立製作所　中央研究所内
最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】
【請求項１】
複数のメモリアドレスが入力される複数の第１端子と、
データ入力される第２端子と、
データが出力される第３端子と、
第１クロック信号が入力される第４端子と、
上記第４端子より入力される上記第１クロック信号の周波数を逓倍することで上記第１クロックよりも周波数が高い第２クロック信号を形成して出力する逓倍クロック発生回路と、
メモリアドレスが入力される第５端子と、データが入力される第６端子と、データが出力される第７端子とを有するＲＡＭコアと、
複数の第１端子より上記第１クロック信号に応じて複数のメモリアドレスを並列に受け、並列に受けた複数のメモリアドレスを一つづつ上記第２クロック信号に応じて上記第５端子に出力するアドレス変換回路と、
上記第１クロック信号に応じて動作する更に別の回路と、が単一のチップに搭載され、
上記ＲＡＭコアはメモリセルアレイと、アドレスバッファと、デコーダと、ワードドライバと、カラムスイッチ回路と、カラムスイッチと、センスアンプとを具備し、
上記メモリアレイは、複数のワード線と、複数のデータ線と、複数のメモリセルを具備し、
上記第２クロック信号に応じて入力されたメモリアドレス一つに対して、メモリセル内

の一つのメモリセルがアクセスされる半導体集積回路。
【請求項２】
上記第２端子と上記第３端子とがそれぞれ複数設けられ、
上記複数の第２端子を介して入力された複数のデータを一つづつ上記第２クロック信号に応じて上記第６端子から出力するデータ変換回路と、
上記第７出力端子を介して出力されたデータを、上記第２クロック信号に応じて上記複数の第３端子から出力するデータ変換回路とを具備し、
上記メモリセルは、上記第１クロック信号の一周期の間に複数回アクセスされる請求項１記載の半導体集積回路。
【請求項３】
上記複数の第１入力端子は、上記メモリアドレスとして、メモリリードアドレスが入力される端子とメモリライトアドレスが入力される端子とを含み、
上記第１クロック信号の１周期の間に、リード動作とライト動作とが行われる請求項１記載の半導体集積回路。
【請求項４】
上記第１クロック信号の１周期の間に行われるリード動作とライト動作は、リード動作が先行される請求項３記載の半導体集積回路。
【請求項５】
上記逓倍クロック発生回路は、上記第１クロック信号の立ち上がりにのみ応じて、上記第２クロック信号を生成する請求項１乃至４の何れか１項記載の半導体集積回路。
【請求項６】
上記複数のメモリセルはそれぞれ一つのワード線に接続されるスタティック型メモリセルであり、
上記ＲＡＭコアはシングルポートのＲＡＭコアであって、
上記チップの端にはボンディングパッドが配置される請求項１乃至５の何れか１項記載の半導体集積回路。
【請求項７】
上記ＲＡＭコアと、上記逓倍クロック発生回路と上記アドレス変換回路とは、マクロセルを形成する請求項１乃至６の何れか１項記載の半導体集積回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体集積回路に関するものであり、例えばＡＳＩＣ（Ａｐｐｌｉｃａｔｉｏｎ　Ｓｐｅｃｉｆｉｃ　ＩＣ）などと称されるカスタム若しくはセミカスタム化された半導体集積回路に適用してその性能向上に有効な技術に関する。
【０００２】
【従来の技術】
最近の半導体集積回路における最近の微細集積技術の進歩により、回路動作の高速化も実現されている。斯く事情の下では、種々の半導体集積回路の性能をその応用システムレベルで、いかにバランス良く引き出して有効に使い切るかが重要な技術課題である。これを解決する一つの手法が特開平４－８７３６２号公報に記載されている。この技術は、複数個の半導体集積回路を回路基板に実装する、いわゆるマルチチップシステムに係わるものである。半導体集積回路間の信号伝送速度は当該集積回路が実装される回路基板の物理的条件、例えば信号配線の配線抵抗や寄生容量などによって決まるためそれ程向上しないが、半導体集積回路それ自体の動作速度は回路素子の微細化などによる半導体集積回路技術の進歩につれて著しく向上する。個々の半導体集積回路自体についてはそのような技術の進歩があっても、システム全体の性能は、半導体集積回路間の信号伝送速度に律則されて、充分に向上できなくなる。上記従来技術は、マルチチップ構成のシステム全体の性能を向上させるように、半導体集積回路間の信号伝送速度と半導体集積回路内部の速度との整合を図るための手法を提供するものである。すなわち、半導体集積回路間の信号伝送速度

は相対的に遅いことを前提に、半導体集積回路内部では高速動作できるように、第１の半導体集積回路の出力とそれを受ける別の第２の半導体集積回路の対応入力との間に当該出力信号毎に複数本の信号線を設け、第１の半導体集積回路の出力動作サイクル毎に当該出力を順次異なる信号線に切換え出力するデマルチプレクサと、そのデマルチプレクサの出力を上記第１の半導体集積回路の出力動作サイクルに同期する第２の半導体集積回路の入力動作サイクル毎に順次切換え選択して第２の半導体集積回路の入力端子に導くマルチプレクサとを設けたものである。マルチプレクサ及びデマルチプレクサによる時分割数、すなわち単一の入出力端子に対応して設けられる信号線の本数は、外部信号線を介して伝達できる信号周波数と半導体集積回路における入出力動作周波数との関係に従って決定される。

【０００３】

【発明が解決しようとする課題】

しかしながら上記従来技術は実装基板上の信号線を介して伝達できる信号周波数と半導体集積回路における入出力動作周波数との相違を吸収する技術であり、高集積化の一途をたどる半導体集積回路内部で将来起こるであろう回路ブロック間の動作速度のギャップを解決しようとするものではない。本発明者はそれについて以下のような検討を行った。

【０００４】

ＡＳＩＣと称されるような半導体集積回路などはユーザが要求する機能を実現するための回路領域として敷き詰めゲート領域を有する。敷き詰めゲート領域は例えば繰り返し的に多数配置された基本回路の接続態様によって所要の機能が実現される領域である。したがってその領域は、トランジスタサイズがほぼ一定にされ、所要の配線領域が予め随所に設けられ、比較的集積度が低く、動作速度の高速化にもある程度の限界がある。一方、そのような半導体集積回路においては高集積化のために所要のマクロセルを用いることができる。マクロセルはＲＡＭやＣＰＵなどといった一定の機能が予め決定されて回路配置若しくは動作速度などの点において最適化が施された回路ブロックである。マクロセルはＲＡＭ等の機能ブロック単位で作られ、例えば人手を主体とする設計によって敷き詰めゲート領域などの他の回路部分より高密度に作られる。回路技術とプロセス技術の進歩により、マクロセルのような部分は敷き詰めゲート領域に形成されるような他の回路部分よりも動作の高速化が得られる。

【０００５】

上記のようなマクロセルと敷き詰めゲート領域が併存する半導体集積回路全体の動作性能を最大限に引き出すには、それぞれの領域で可能な限り高速動作させればよいが、そのためには、マクロセルの動作速度に見合った複数動作サイクル分の情報を敷詰めゲート領域の動作サイクルに従って並列的に与えなければならず、また、このようにして並列的に与えられた複数動作サイクル分の情報をマクロセルの動作に最適なタイミングで与えることが必要になる。これに対処するには敷詰めゲート領域とマクロセルとのインタフェース部分に上記マルチプレクサやデマルチプレクサを単に挿入するだけでは済まない。

【０００６】

さらに、半導体集積回路内部における回路ブロック間の動作速度のギャップは、選択すべきマクロセルの機能によっても実質的に吸収することができる。例えば、敷詰めゲート領域における一つのメモリアクセスサイクル期間にマクロセルとしてのＲＡＭを並列的にリード及びライトするという仕様を満足させようとする場合、当該ＲＡＭにデュアルポートＲＡＭを採用すればその仕様を満足させることはできる。このときデュアルポートＲＡＭは敷詰めゲート領域と同一速度で動作させれば充分である。しかしながら、上述のようにマクロセルは高速動作可能であるから、このような利用形態は当該マクロセルの機能を充分に発揮させてはいない。しかも、複数ポート有するＲＡＭはその周辺回路がシングルポートＲＡＭの大凡２倍になってチップ占有面積が大きくなる。このようなときに、高速動作可能なマクロセルの動作速度を充分に発揮させようとする観点に立てば、敷詰めゲート領域から並列的に発生されたリード及びライトアクセスサイクルによってシングルポートのＲＡＭマクロセルが時系列的にリード及びライト動作できるようにする付加回路が必要

になる。

【０００７】

本発明の目的は、相互に異なる周波数のクロック信号に同期動作される複数の回路領域相互間において一方の回路領域からの並列的なアクセス指示とこれを受ける他方の回路領域における直列的なアクセス動作とを同期的に行うことができる半導体集積回路を提供することにある。

本発明の別の目的は、同一半導体基板に敷き詰めゲート領域と共に実装されたマクロセルの動作性能を充分に引き出すことができる半導体集積回路を提供することにある。

本発明の更に別の目的は、相対的に高速動作可能なＲＡＭの一つのポートを相対的に動作速度の遅い回路領域からはマルチポートとしてアクセスできる半導体集積回路を提供することにある。

【０００８】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【０００９】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【００１０】

すなわち、第１のクロック信号に同期動作される敷詰めゲート領域のような第１の回路領域と、上記第１のクロック信号よりも周波数の高いクロック信号に同期動作可能とされるマクロセルのような第２の回路領域とを備えた半導体集積回路において、これと同一の半導体基板に、上記第１の回路領域と第２の回路領域との間で情報の受け渡しを行うための速度変換回路領域を設け、当該速度変換回路領域を、上記第１のクロック信号に基づいて当該第１のクロック信号の周波数に対して逓倍された周波数の第２のクロック信号を形成して上記第２の回路領域に供給する逓倍クロック発生回路と、第１の回路領域における所定単位動作のサイクル期間にその複数動作サイクル分の情報を第１の回路領域から並列的に受け、斯る並列的な情報を第２のクロック信号に同期する複数動作サイクル期間に直列的に第２の回路領域に供給する並列・直列変換回路とによって構成するものである。

第２の回路領域から第１の回路領域への情報伝達を考慮したときの上記速度変換回路領域は、第２の回路領域が上記第２のクロック信号に同期動作してその複数動作サイクル期間によって得られる情報を第２の回路領域から直列的に受け、斯る直列的な情報を、第１のクロック信号で規定される所定単位動作のサイクル期間に並列的に上記第１の回路領域に供給する直列・並列変換回路を備える。或は、第２の回路領域が上記第２のクロック信号に同期する動作サイクル期間で得た情報を受け、斯る情報を、当該第２のクロック信号に同期する動作サイクル期間を越えて上記第１の回路領域に供給する引延ばし回路を備える。

【００１１】

上記マクロセルが、メモリアレイと、メモリアレイに対するデータの書込み及び読み出しを行うために上記速度変換回路領域に結合されたアクセスポートとを有するＲＡＭコアであるとき、このＲＡＭコアは、上記速度変換回路を通すことによって上記第１の回路領域からは見掛け上アクセスポートの数が上記第１のクロック信号に対する第２のクロック信号の逓倍数倍にされる。

例えば、第１のクロック信号に同期動作されるゲート敷き詰め領域のような第１の回路領域と、上記第１のクロック信号よりも周波数の高いクロック信号に同期動作可能にされると共に、メモリアレイ及び当該メモリアレイに対するデータの書込み及び読み出しを行うためのアクセスポートを有するＲＡＭコアのような第２の回路領域とを備えた半導体集積回路において、これと同一の半導体基板に、上記第１の回路領域と第２の回路領域との間で情報の受け渡しを行うための速度変換回路領域を設け、当該速度変換回路領域を、上記第１のクロック信号に基づいて当該第１のクロック信号の周波数に対して逓倍された周波

数の第２のクロック信号を形成し上記第２の回路領域に供給する逓倍クロック発生回路と、第１の回路領域におけるメモリアクセスの単位動作サイクル期間に複数動作サイクル分の複数のメモリアクセス情報を第１の回路領域から並列的に受け、斯る並列的な複数のメモリアクセス情報を第２のクロック信号に同期する複数のメモリ動作サイクル期間に直列的に第２の回路領域の一つのアクセスポートに供給する並列・直列変換回路とによって構成するものである。

このとき上記ＲＡＭコアが、データの書込み及び読み出しに兼用されるアクセスポートを有し、第１の回路領域にとってＲＡＭコアに対するアクセス動作の大半がデータ読み出しと書き込みとを交互に行う動作であるとき、そのようなアクセス態様の効率化に向けて上記速度変換回路を構成する場合、当該速度変換回路は、上記第１の回路領域から第２の回路領域へのアクセス制御信号と第１のクロック信号とを第１の回路領域から受け、上記アクセス制御信号によって読出し及び書込みが並列的に指示されたときに、上記第１のクロック信号に基づいて当該第１のクロック信号の周波数に対して逓倍された周波数の第２のクロック信号と、当該第２のクロック信号に同期する読出し動作とこれに続く書込み動作を順次指示するリード・ライト信号とを形成して、上記第２の回路領域に供給する逓倍クロック発生回路と、第１の回路領域におけるメモリアクセスの単位動作サイクル期間に書込み及び読出しのためのメモリアクセス情報を第１の回路領域から並列的に受け、斯る並列的な複数のメモリアクセス情報を第２のクロック信号に同期する複数のメモリ動作サイクル期間に直列的に第２の回路領域の一つのアクセスポートに供給する並列・直列変換回路と、第２の回路領域が上記第２のクロック信号に同期する読出し動作サイクル期間に上記メモリアレイから読出した情報を受け、斯る情報を、当該第２のクロック信号に同期する読出し動作サイクル期間を越えて上記第１の回路領域に供給する引延ばし回路とによって構成する。

【００１２】

上記マクロセル若しくはＲＡＭコアのような第２の回路領域は、速度変換回路領域と共に複合マクロセルと称する領域を構成する。これは、ＲＡＭコアのようなコアとなるマクロセルと上記速度変換に必要な回路を搭載するマクロセルを合体させたものである。双方のマクロセルはデータライブラリのような形態を以って予め数種類のものが用意されていて、半導体集積回路に実現すべき機能に応じて選択されることになる。

【００１３】

【作用】

上記した手段によれば、速度変換回路領域は、半導体集積回路の一部の回路領域として高速動作可能なマクロセルなどを採用する場合に、敷き詰めゲート領域のような周辺論理部分が高速に動作できなくても、チップ内部で信号速度の変換を行うので、マクロセルを限界近くの高速動作で使い切ることを可能にする。マクロセルがＲＡＭの場合には例えば敷き詰めゲート領域の動作速度に対して２倍の高速化を図ることができれば、原理的には２倍の面積分を以って当該ＲＡＭを一対採用し並列動作させるのと同じ機能を果たしていることになるので、チップの高密度化に寄与する。

【００１４】

【実施例】

図１には本発明に係る半導体集積回路の一実施例がチップイメージで示される。この半導体集積回路は、ＡＳＩＣ例えばゲートアレイの手法を部分的に採用して構成されるものであり、チップ１の周辺部には多数のボンディングパッド２と入出力バッファ３が配置され、その中央部分には敷き詰めゲート領域４と複合マクロセル５が配置される。

【００１５】

上記敷き詰めゲート領域４は、繰り返し的に多数配置された基本回路の接続態様によって所要の機能が実現される。例えばゲートアレイの相補型ＭＯＳ基本セルが多数配置されて構成される。６はクロックパルスジェネレータ（ＣＰＧ）であり、例えば外部から供給されるシステムクロック信号φを分周または単に整形して第１のクロック信号ＣＬＫを生成する。敷き詰めゲート領域４の回路は当該第１のクロック信号ＣＬＫに同期動作される。

本実施例において第１のクロック信号ＣＬＫの周波数はｆとされる。

【００１６】

上記複合マクロセル５は、ＲＡＭコア７と速度変換回路領域８を含み、夫々はマクロセルとされ、所要の機能を実現するために夫々選択されて合体された複合的なマクロセルである。マクロセルは、上記敷詰めゲート領域４よりも回路素子の集積密度が高くされ、その機能が予め決定されている機能ブロックである。また複合マクロセルの構造にしておけば、コアと周辺部分との組合わせにより、多様な機能を持った複合マクロセルを提供できることになり、マクロセル機能の充実化を図ることができる。

【００１７】

マクロセルとしてのＲＡＭコア７は、所定の機能が予め決定されて回路配置若しくは動作速度などの点において最適化が施されており、例えば人手を主体とする設計によって敷き詰めゲート領域などの他の回路部分より高密度に作られ、その結果として、敷き詰めゲート領域４に形成される他の回路部分よりも動作の高速化が得られる。このＲＡＭコア７は上記第１のクロック信号ＣＬＫよりも周波数の高いクロック信号に同期動作可能とされる。

【００１８】

上記速度変換回路領域８は、ＲＡＭコア７の同期クロック信号として第２のクロック信号ｃｋを第１のクロック信号ＣＬＫに基づいて形成する。第２のクロック信号ｃｋは、第１のクロック信号ＣＬＫの周波数に対して逓倍（例えばｎ倍）された周波数とされる。さらに速度変換回路領域８は、相互に異なる周波数のクロック信号に同期動作される敷き詰めゲート領域４とＲＡＭコア７相互間において敷き詰めゲート領域４からの並列的なアクセス指示とこれを受けるＲＡＭコア７における直列的なアクセス動作とを同期的に行うためのアクセス情報の伝達速度変換を行う。速度変換回路領域８と敷き詰めゲート領域４との回路的な接続は配線領域９を介して行われる。

【００１９】

上記半導体集積回路は、特に制限されないが、通信制御用の半導体集積回路であり、ＲＡＭコア７は通信用時間スイッチの主要構成要素として利用される。

【００２０】

図２には上記ＲＡＭコア７の一例ブロック図が示される。メモリアレイ１０は、リード・ライト可能なメモリセルＭＣがマトリクス配置され、メモリセルＭＣの選択端子が対応する行のワード線ＷＬに結合され、そのデータ入出力端子が対応する列のデータ線ＤＬに結合される。メモリセルＭＣを選択するためのアドレス信号はアドレス入力端子ａｉからアドレスバッファ１１に供給され、これがデコーダ１２にて解読されることにより、ワード線選択信号とデータ線選択信号が形成される。ワード線選択信号はワードドライバ１３に供給され、選択されるべきワード線がそれによって選択レベルに駆動される。データ線選択信号はカラムスイッチ回路１４に供給され、それによって選択されるべきデータ線をコモンデータ線１５に結合する。コモンデータ線１５はリード・ライト制御回路１６に結合される。リード・ライト制御回路１６は上記コモンデータ線１５に結合されたメモリセルＭＣに対して読み出しを行うか書き込みを行うかを選択する。その動作はリード・ライト信号ｒ／ｗによって指示される。外部からの書き込みデータはデータ入力端子ｄｉｎｊからデータ入力バッファ１７に供給され、所定のタイミングを以ってリード・ライト制御回路１６に供給される。メモリセルＭＣからコモンデータ線１５に読み出されたデータは所定のタイミングでリード・ライト制御回路１６を介してセンスアンプ１８に供給され、これによって増幅された読出しデータはその後段のデータ出力バッファ１９から所定のタイミングでデータ出力端子ｄｏｊに出力される。２０はＲＡＭコア７のタイミング発生回路であり、クロック信号ｃｋに同期して内部の各種動作タイミング信号を発生する。以上より明らかなように上記ＲＡＭコア７は書き込み及び読み出しが可能なシングルポートのＲＡＭとされ、クロック信号ｃｋに同期してダイナミックに動作される。

【００２１】

図３には上記速度変換回路領域８の一実施例ブロック図が示される。同図に示される速度

変換回路領域８は、敷き詰めゲート領域４の回路がＲＡＭコア７を見掛け上デュアルポートＲＡＭとしてアクセスできるようにするものである。特に、同図に示される構成は、敷き詰めゲート領域４の回路がメモリアクセスの単位動作サイクル期間に並列的な書き込みアクセス又は並列的な読み出しアクセスをＲＡＭコア７に対して行えるようにする。そのアクセスを受けるＲＡＭコア７は実際には直列的に動作し、高速処理される。

【００２２】

すなわち、速度変換回路８は、敷き詰めゲート領域４から並列的に供給される２種類のアドレス信号Ａ(A)i、Ａ(B)iを直列に変換してＲＡＭコア７のアドレス入力端子ａｉに供給するアドレス並列・直列変換回路３０と、敷き詰めゲート領域４から並列的に供給される２種類の書き込みデータＤin(A)j、Ｄin(B)jを直列に変換してＲＡＭコア７のデータ入力端子ｄinjに供給するライトデータ並列・直列変換回路３１と、ＲＡＭコア７のデータ出力端子ｄｏｊから直列的に出力された読み出しデータを並列に変換してデータＤo(A)j、Ｄo(B)jを出力するリードデータ直列・並列変換回路３２と、上記第１のクロック信号ＣＬＫに基づいて当該第１のクロック信号ＣＬＫの周波数（ｆ）に対して逓倍例えば2倍された周波数（２ｆ）の第２のクロック信号ｃｋを形成してＲＡＭコア７に供給する逓倍クロック発生回路３３とを備える。上記ライトデータ並列・直列変換回路３１はリード・ライト信号Ｒ／Ｗ（Ａ），Ｒ／Ｗ（Ｂ）によってリード動作が指示されるときその出力は高インピーダンス状態に制御される。上記リードデータ直列・並列変換回路３２はリード・ライト信号Ｒ／Ｗ（Ａ），Ｒ／Ｗ（Ｂ）によってライト動作が指示されるときその出力は高インピーダンス状態に制御される。尚、同図において３４はＲＡＭコア７のテスト回路であり、ＴＥＳＴＤinはテストデータ入力、ＴＥＳＴＤoはテストデータ出力である。

【００２３】

アドレス並列・直列変換回路３０はクロック信号ＣＬＫに同期してアドレス信号Ａ(A)i、Ａ(B)iを並列的に取り込む。クロック信号ＣＬＫのサイクルで規定される敷き詰めゲート領域側４のメモリアクセスサイクルにおいてリード・ライト信号Ｒ／Ｗ（Ａ），Ｒ／Ｗ（Ｂ）で示される動作モードがライト動作の時、ライトデータ並列・直列変換回路３１はクロック信号ＣＬＫに同期して書き込みデータＤin(A)j、Ｄin(B)jを並列的に取り込む。このようにして並列的に取り込まれたアドレス信号及び書き込みデータは、クロック信号ｃｋに同期して直列的にＲＡＭコア７に供給される。リード・ライト信号Ｒ／Ｗ（Ａ），Ｒ／Ｗ（Ｂ）によって書き込み動作が指示されたＲＡＭコア７において、クロック信号ＣＬＫの１サイクルに２サイクル変化されるクロック信号ｃｋの最初のサイクルではＡ系のアドレス信号Ａ(A)iによって選択されたメモリセルにＡ系の書き込みデータＤin(A)jが書き込まれ、クロック信号ｃｋの次のサイクルではＢ系のアドレス信号Ａ(B)iによって選択されたメモリセルにＢ系の書き込みデータＤin(B)jが書き込まれる。一方、クロック信号ＣＬＫのサイクルで示されるメモリアクセスサイクルにおいてリード・ライト信号Ｒ／Ｗ（Ａ），Ｒ／Ｗ（Ｂ）で示される動作モードがリード動作の時は、クロック信号ｃｋの最初のサイクルではＡ系のアドレス信号Ａ(A)iによって選択されたメモリセルからの読み出しデータがＲＡＭコア７のデータ出力端子ｄｏｊからリードデータ直列・並列変換回路３２に供給されてラッチされ、これに続くクロック信号ｃｋの次のサイクルではＢ系のアドレス信号Ａ(B)iによって選択されたメモリセルからの読み出しデータがリードデータ直列・並列変換回路３２にラッチされ、所定のタイミングを以ってデータ直列・並列変換回路３２から双方の読み出しデータＤo(A)j、Ｄo(Bj)が並列的に読み出される。

【００２４】

したがって、図３に示される速度変換回路領域８を採用することにより、敷き詰めゲート領域４の回路はシングルポートのＲＡＭコア７を見掛け上デュアルポートＲＡＭとしてアクセスできるようになる。特に、本実施例においては敷き詰めゲート領域４の回路による並列アクセスは読み出し又は書き込みの一方に限られているが、半導体集積回路全体としての利用形態がそれで充分であれば、デュアルポートを有するＲＡＭコアを採用する場合に比べて当該ＲＡＭのチップ占有面積を著しく低減でき、敷き詰めゲート領域４にとってはそれと同様のアクセス速度を得ることができる。

【００２５】
図４には上記速度変換回路領域８の別の実施例ブロック図が示される。同図に示される速度変換回路領域８も上記実施例同様に、敷き詰めゲート領域４の回路がＲＡＭコア７を見掛け上デュアルポートＲＡＭとしてアクセスできるようにするものであるが、敷き詰めゲート領域４からの並列アクセスは読み出しと書き込み動作が並列される態様とされる点で上記実施例と相違する。すなわち、見掛け上のデュアルポートの一方のポートはリード専用ポートとみなされ、他方のポートはライト専用ポートとみなされる。
【００２６】
図４の速度変換回路８は、敷き詰めゲート領域４から並列的に供給される読み出しアドレス信号Ａ(Ｒ)i及び書き込みアドレス信号Ａ(W)iを直列に変換してＲＡＭコア７のアドレス入力端子ａｉに供給するアドレス並列・直列変換回路４０と、敷き詰めゲート領域４から供給される書き込みデータＤinjを所定のタイミングを以ってＲＡＭコア７のデータ入力端子ｄinjに供給する書き込みデータ供給回路４１と、ＲＡＭコア７のデータ出力端子ｄｏｊから出力されたデータをラッチして読み出しデータＤojの出力期間を敷き詰めゲート領域の４にとって望ましい期間引き延ばしする引き延ばし回路４２と、逓倍クロック発生回路４３とを備える。
【００２７】
上記逓倍クロック発生回路４３は、上記第１のクロック信号ＣＬＫ、書き込み動作を指示するライトイネーブル信号ＷＥ、及び読み出し動作を指示するリードイネーブル信号ＲＥが供給され、ライトイネーブル信号ＷＥ及びリードイネーブル信号ＲＥによって書込み及び読出しが並列的に指示されたとき、上記第１のクロック信号ＣＬＫに基づいて当該第１のクロック信号ＣＬＫの周波数（ｆ）に対して逓倍（例えば２倍）された周波数（２ｆ）の第２のクロック信号ｃｋを形成し、さらに、当該第２のクロック信号ｃｋに同期する読出し動作とこれに続く書込み動作とを順次指示するリード・ライト信号ｒ／ｗとを形成してＲＡＭコア７に供給する。上記リード・ライト信号ｒ／ｗは、ＲＡＭコア７のリードサイクルとライトサイクルを切り換える切換えパルスとして機能され、アドレス並列・直列変換回路４０、書き込みデータ供給回路４１、及び引き延ばし回路４２にも供給される。
【００２８】
上記リード・ライト信号ｒ／ｗにてＲＡＭコア７にリードサイクルが指示されると、これに応じてアドレス並列・直列変換回路４０はリードアドレスＡ（Ｒ）ｉを読み込み、ライトサイクルが指示されるとライトアドレスＡ（Ｗ）ｉを読み込む。特に制限されないが、書き込みデータ供給回路４１はＲＡＭコア７のリードサイクルの指示に呼応して予め書き込みデータＤinjをデータ入力端子ｄinjに与える。この間にＲＡＭコア７からデータ出力端子ｄojに読み出されたデータは引き延ばし回路４２を介して次のライトサイクルに亘って出力が維持される。このライトサイクルにおいては、予めＲＡＭコア７に供給されて保持されている書き込みデータＤinjが書き込みアドレスＡ(Ｗ)iに従ったメモリセルに書き込まれる。
【００２９】
特に制限されないが、逓倍クロック発生回路４３に与えられるライトイネーブル信号ＷＥとリードイネーブル信号ＲＥの何れかが非活性状態にされているときは、ＲＡＭコア７における一連のリードサイクルとライトサイクルの一方が無効にされる。換言すれば、敷き詰めゲート領域４から読み出し及び書き込みの並列アクセスが指示されないとき、ＲＡＭコア７は第１のクロック信号ＣＬＫのサイクル動作期間にシングルポートのＲＡＭとして機能される。
【００３０】
図５には上記図４の詳細な一例論理回路図が示され、図６にはその動作タイミングチャートの一例が示される。
【００３１】
図５の逓倍クロック発生回路４３において第１のクロック信号ＣＬＫの入力段には２段のノンインバータ（論理反転を伴わない遅延成分若しくは波形整形又は増幅機能を持った回

路要素と理解されたい）ＮＩ１、ＮＩ２とインバータＩＶ１との直列回路によって遅延回路が形成される。一方の入力にクロック信号ＣＬＫを受けるアンドゲートＡＮ１はその遅延回路で得られる遅延時間をパルス幅とするクロック信号を出力する。アンドゲートＡＮ１の出力はアンドゲートＡＮ２を通してリードクロックｒｃｋとされる。アンドゲートＡＮ２の他方の入力には上記リードイネーブル信号ＲＥが供給され、リード動作を指示する時に“Ｈ”レベルにされる当該信号ＲＥが“Ｌ”レベルにされると、リードクロックｒｃｋは消滅し、リードサイクルが禁止される。

【００３２】

ライトクロックｗｃｋは、アンドゲートＡＮ１の出力をノンインバータＮＩ３、遅延要素ＤＬ、及びノンインバータＮＩ４を介してリードクロックｒｃｋから遅延させ、アンドゲートＡＮ３を通して生成される。アンドゲートＡＮ３の他方の入力には上記ライトイネーブル信号ＷＥが供給され、ライト動作を指示するときに”Ｈ”レベルにされる当該信号ＷＥが“Ｌ”レベルにされると、ライトクロックｗｃｋは消滅し、ライトサイクルが禁止される。

【００３３】

リードクロックｒｃｋとライトクロックｗｃｋはオアゲートＯＲ１へ与えられ、このオアゲートＯＲ１から上記第２のクロック信号ｃｋが出力される。したがってこの第２のクロック信号ｃｋは、リードクロックｒｃｋとライトクロックｗｃｋの双方が有効なとき、換言すれば、ライトイネーブル信号ＷＥとリードイネーブル信号ＲＥにて並列的にリード及びライト動作が指示されたとき、第１のクロック信号ＣＬＫの周波数の２倍に逓倍された周波数を持つことになる。一方、リード又ライトの何れか一方だけが指示されるときは、第２のクロック信号ｃｋは実質的にリードクロックｒｃｋ又はｗｃｋに等しいクロック信号とされ、その周波数は第１のクロック信号ＣＬＫに等しくされる。

【００３４】

上記リードクロックｒｃｋとライトクロックｗｃｋはインバータＩＶ２とＩＶ３を通して、ナンドゲートＮＡ１及びＮＡ２で構成されるスタティックラッチ回路へ入力され、切換えパルスが作られる。ノンインバータＮＩ５から出力される切換えパルスは、ＲＡＭコア７のリードサイクルとライトサイクルを切り換えるためのパルスであり、リード・ライト信号ｒ／ｗとされる。このリード・ライト信号ｒ／ｗは“Ｈ”レベルの時リード動作を指示し、“Ｌ”レベルの時ライト動作を指示する。

【００３５】

ノンインバータＮＩ５及びＮＩ６から出力される切換えパルスは、アドレス並列・直列変換回路４０のアンドゲートＡＮ４とＡＮ５に供給される。夫々のアンドゲートＡＮ４，ＡＮ５の他方の入力には、リードアドレスＡ(R)iとライトアドレスＡ(W)iが供給され、相補的に変化される上記切換えパルスによりリードアドレスＡ(R)iとライトアドレスＡ(W)iを選択する。アンドゲートＡＮ４とＡＮ５の出力はオアゲートＯＲ２で論理和が採られて多重化され、ＲＡＭコア７のアドレス入力端子ａｉに供給される。

【００３６】

上記書き込みデータ供給回路４１は、ノンインバータＮＩ５から出力される切換えパルスをアンドゲートＡＮ６に受ける。アンドゲートＡＮ６の他方の入力端子には書き込みデータＤinjが供給され、リード・ライト信号ｒ／ｗの”Ｈ”レベルに同期して書き込みデータＤｉｎｊをＲＡＭコア７のデータ入力端子ｄinjに供給する。

【００３７】

上記データ引き延ばし回路４２はインバータＩＶ４及びＩＶ５からなるスタティックラッチ回路を有し、インバータＩＶ５は、インバータＩＶ４より小さなトランジスタで構成されており、その出力インピーダンスが高いため、ＮＭＯＳトランジスタＱ１で構成されるトランスファゲートを介してのＲＡＭコアの読み出しデータｄｏｊのラッチが容易に行える。Ｑ１のゲートはリード・ライト信号ｒ／ｗでコントロールされる。すなわちｒ／ｗが“Ｈ”のときＱ１はオンし、ｒ／ｗが“Ｌ”になる直前の読み出しデータｄｏｊの状態をラッチする。これにより、ＲＡＭコア７のデータ出力端子ｄojから出力されるデータが

リードサイクルに続くライトサイクルに亘って出力期間が引き延ばされて複合マクロセルの出力信号Ｄｏｊが得られる。なお、図５においてアドレス並列・直列変換回路４０、書込みデータ供給回路４１、及びデータ引き伸ばし回路４２は夫々１ビット分の構成が代表的に示されている。

【００３８】

次に図５に示される実施例の動作を図６のタイミングチャートを参照しながら説明する。図６にはシングルポートのＲＡＭコア７を見掛け上リード専用ポートとライト専用ポートを有するデュアルポートＲＡＭとして動作させるときの動作タイミングが示される。

【００３９】

図６において時刻Ｔ０～Ｔ２までの期間（第１のクロック信号ＣＬＫの１周期）は敷き詰めゲート領域４の回路におけるメモリアクセス動作の単位サイクル期間とされる。敷き詰めゲート領域４は第１のクロック信号ＣＬＫに同期して時刻Ｔ０～Ｔ２の期間にメモリリードアクセスサイクルとメモリライトアクセスサイクルを並列的に起動する。すなわち、ライトイネーブル信号ＷＥ及びリードイネーブル信号ＲＥを”Ｈ”レベルに活性化すると共に、リードアドレスＡ(R)iとライトアドレスＡ(W)iを出力し、且つ書き込みデータＤinｊを出力する。これにより逓倍クロック発生回路４３は、ノンインバータＮＩ、ＮＩ２、及びインバータＩＶ１によって構成される遅延回路の遅延時間に相当する期間”Ｈ”レベルとされるリードクロックｒｃｋを生成し、更にノンインバータＮＩ３、遅延要素ＤＬ、及びノンインバータＮＩ４にて構成される遅延時間だけ遅れて”Ｈ”レベルにされるライトクロックｗｃｋを生成する。このリードクロックｒｃｋとライトクロックｗｃｋの論理和が第２のクロック信号ｃｋとしてＲＡＭコア７に供給される。ＲＡＭコア７において当該クロック信号ｃｋの１周期が基本的な単位動作サイクル期間とされ、最初のサイクル期間（時刻Ｔ０～Ｔ１）にはリード・ライト信号ｒ／ｗにてＲＡＭコア７にリード動作が指示され、次のサイクル期間（時刻Ｔ１～Ｔ２）にはリード・ライト信号ｒ／ｗにてＲＡＭコア７にライト動作が指示される。

【００４０】

上記リードサイクルにおいてはリードアドレスＡ(R)iがアドレス入力端子ａｉに供給されると共に、書き込みデータＤinｊが予めデータ入力端子ｄｉｎｊに供給される。これによってＲＡＭコア７は予め書き込みデータをデータ入力バッファ１７に保持する。これに並行してＲＡＭコア７はリードアドレスに従ったメモリセルのデータ入出力端子をコモンデータ線１５に結合し、リードライト信号ｒ／ｗにて制御されるリード・ライト制御回路１６を通して当該読み出しデータをセンスアンプ１８に供給し、出力端子ｄｏｊから読み出しデータを出力する。ＲＡＭコア７から読み出されたデータは、リードライト信号ｒ／ｗが”Ｌ”レベルにされるライトサイクルに亘って引き延ばし回路４２から敷き詰めゲート領域４に供給される。これによって敷き詰めゲート領域４の回路は時刻Ｔ１を越えたタイミングを以ってリードデータを取り込むことができる。換言すれば、クロック信号ＣＬＫに同期したアクセスサイクル期間でリードデータを取り込むことができる。

【００４１】

時刻Ｔ１にＲＡＭコア７にライトサイクルが指示されると、これに同期して書き込みアドレスＡ(W)iがアドレス入力端子ａｉに供給され、これによってＲＡＭコア７は当該アドレスに従ったメモリセルのデータ入出力端子をコモンデータ線１５に結合する。そして、リードライト信号ｒ／ｗにてライトサイクルが指示されるデータ入力バッファ１７は、予め取り込んだ書き込みデータをリード・ライト制御回路１６を介してコモンデータ線１５に供給することによって、上記選択されたメモリセルにデータを書き込む。

【００４２】

尚、図５の回路構成において、速度変換回路領域８とＲＡＭコア７は、敷き詰めゲート領域４におけるメモリアクセス動作の単位サイクル期間にリードアクセス又はライトアクセスだけを受け付けることができる。すなわち、リードイネーブル信号ＲＥが”Ｈ”レベル、ライトイネーブル信号ＷＥが”Ｌ”レベルにされ、更にリードアドレスＡ(R)iが供給されると、図６の時刻Ｔ０～Ｔ２の単位アクセスサイクル期間にリードクロックｒｃｋだけ

が生成され、これに応じてクロック信号ｃｋは１回だけクロック変化される。リード・ライト信号ｒ／ｗはその間”Ｈ”レベルに維持され、これによってＲＡＭコア７に対してリードアクセスだけが行われる。リードイネーブル信号ＲＥが”Ｌ”レベル、ライトイネーブル信号ＷＥが”Ｈ”レベルにされ、更にライトアドレスＡ(Ｗ)iが供給されると、リードクロックｒｃｋは変化されず（換言すれば時刻Ｔ０においてクロック信号ｃｋは変化されず）、図６の時刻Ｔ１のライトクロックｗｃｋの変化に同期してクロック信号ｃｋが形成される。これにより、時刻Ｔ１～Ｔ２の期間にＲＡＭコア７はライト動作を行う。尚、図５に従えば、書き込みデータ供給回路４１はリード・ライト信号ｒ／ｗの”Ｈ”レベル期間に書込みデータＤｉｎｊをデータ入力端子ｄｉｎｊに供給するようになっているから、当該単独ライト動作は単独リードアクセスの次に指示されなければならない。

【００４３】

図５に示される実施例によれば以下の作用効果がある。

（１）敷き詰めゲート領域４の回路は速度変換回路領域８を介することにより、シングルポートのＲＡＭコア７を見掛け上リード専用ポートとライト専用ポートの有るデュアルポートＲＡＭとしてアクセスできる。

（２）換言すれば、速度変換回路領域８は、高速動作可能なマクロセルとしてのＲＡＭコア７を採用する場合に、敷き詰めゲート領域４で構成されるその周辺論理部分が高速に動作できなくても、半導体集積回路チップ内部で信号速度の変換を行うので、ＲＡＭコア７を限界近くの高速動作で使い切ることができる。

（３）本実施例においてはシングルポートのＲＡＭコア７を見掛け上リード専用ポートとライト専用ポートの有るデュアルポートＲＡＭとしてアクセスできるに止み、読み出しの並列化や書き込みの並列化を行うことはできないが、半導体集積回路全体としての利用形態がそれで充分であれば、完全独立な２個のポートを有するデュアルポートのＲＡＭコアを採用する場合に比べて当該ＲＡＭのチップ占有面積を著しく低減でき、敷き詰めゲート領域４にとってはそれと同様のアクセス速度を得ることができる。

（４）ＲＡＭコア７におけるリードとライトの直列的なアクセスにおいてリード動作を先行させるので、この点においても全体としての動作の高速化を実現することができる。すなわち、データ読み出し動作時にはその動作の高速化を図るためにデータ線のレベルは電源電圧に対してフルスイングされることはない。例えば、メモリセルがスタティック型メモリセルである場合、データが読み出されるべき相補データ線はＶｃｃのような電源電圧寄りで変化され、その電位差がセンスアンプで増幅されてデータ出力バッファに伝達される。これに対して書き込み動作では相補データ線はＶｃｃのような電源電圧とＶｓｓのような電源電圧（接地電位）とに駆動される。したがって、書き込み後に読み出しを行うと、書き込みによってＶｓｓレベルにされたデータ線をＶｃｃのような電源電圧にプリチャージするのに少なからず時間を要し、即座に読み出し動作を開始できなくなるからである。

【００４４】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００４５】

例えば、第２の回路領域としてのマクロセルはＲＡＭコアに限定されず、レジスタのような記憶手段を入出力ポートとして有する回路やその他の回路に変更することができる。また、第１の回路領域はゲートアレイの基本セルを適用した敷き詰めゲート領域に限定されず、第２の回路領域に比べて動作の遅い回路領域であればよい。

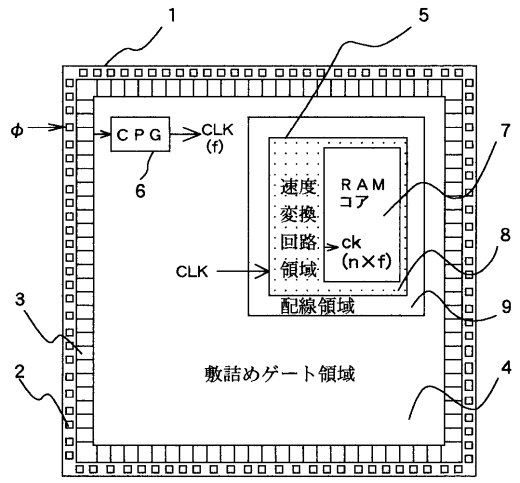
【００４６】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である通信用時間スイッチとして利用されるＲＡＭをマクロセルとする半導体集積回路の適用した場合について説明したが本発明はそれに限定されるものではなく、その他の通信制御用半導体集積回路やシングルチップマイクロコンピュータなどにも適用できる。

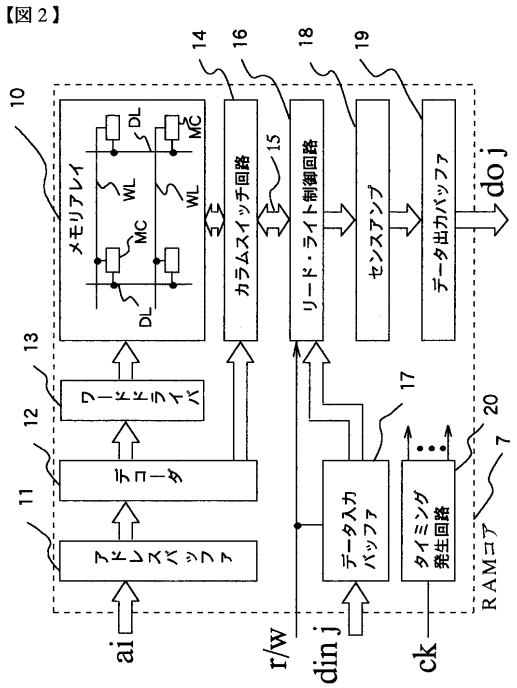
【００４７】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。
【００４８】
（１）すなわち、プロセスの進歩と回路技術の進歩によって第２の回路領域としてのマクロセルの動作速度は今後更に向上でき、ＡＳＩＣにおける敷き詰めゲート領域のような第１の回路領域の動作速度を充分に上廻るようになる。このために、半導体集積回路内部において第１の回路領域の動作クロック信号に対して逓倍周波数のクロック信号を発生させ、速度変換回路領域を介して第２の回路領域としてのマクロセルと第１の回路領域に形成された回路との間で情報のやり取りを行うようにすることにより、マクロセルのような第２の回路領域を限界近くの高速動作で使い切ることができる。
（２）例えば第２の回路領域のマクロセルがＲＡＭコアであるとき、敷き詰めゲート領域の回路は速度変換回路領域を介することにより、見掛け上マルチポートＲＡＭとしてアクセスできる。
（３）上記により、実際にマルチポートを有するデュアルポートのＲＡＭコアを採用する場合に比べて当該ＲＡＭのチップ占有面積を著しく低減でき、敷き詰めゲート領域にとってはそれと同様のアクセス速度を得ることができる。
（４）ＲＡＭコアにおけるリードとライトの直列的なアクセスにおいてリード動作を先行させることにより、直列的なリード及びライト動作の全体的な動作速度の高速化を実現することができる。
【図面の簡単な説明】
【図１】本発明の一実施例に係る半導体集積回路のチップイメージを示す平面図である。
【図２】ＲＡＭコアの一例ブロック図である。
【図３】速度変換回路領域の一実施例ブロック図である。
【図４】速度変換回路領域の別の実施例ブロック図である。
【図５】図４の速度変換回路領域の詳細を示す一例論理回路図である。
【図６】図５の論理回路にリードとライト動作が並列的に指示されたときの一例動作タイミングチャートである。
【符号の説明】
１　チップ
４　敷き詰めゲート領域
５　複合マクロセル
６　クロックパルスジェネレータ
７　ＲＡＭコア
８　速度変換回路領域
９　配線領域
ＣＬＫ　第１のクロック信号
ｃｋ　第２のクロック信号
１０　メモリアレイ
１１　アドレスバッファ
１２　デコーダ
１３　ワードドライバ
１４　カラムスイッチ回路
１５　コモンデータ線
１６　リード・ライト制御回路
１７　データ入力バッファ
１８　センスアンプ
１９　データ出力バッファ
２０　タイミング発生回路

ａｉ　　アドレス入力端子
ｒ／ｗ　　リード・ライト信号
ｄｉｎｊ　　データ入力端子
ｄｏｊ　　データ出力端子
３０　　アドレス並列・直列変換回路
Ａ(A)ｉ，Ａ(B)ｉ　　アドレス信号
３１　　ライトデータ並列・直列変換回路
Ｄｉｎ(A)ｊ，Ｄｉｎ(B)ｊ　書き込みデータ
Ｒ／Ｗ（Ａ），Ｒ／Ｗ（Ｂ）　　リード・ライト信号
３２　　リードデータ直列・並列変換回路
Ｄｏ(A)ｊ，Ｄｏ(B)ｊ　　出力データ
３３　　逓倍クロック発生回路
４０　　アドレス並列・直列変換回路
Ａ(R)ｉ　読み出しアドレス
Ａ(W)ｉ　書き込みアドレス
４１　　書き込みデータ供給回路
Ｄｉｎｊ　書き込みデータ
４２　　引き延ばし回路
Ｄｏｊ　　読み出しデータ
４３　　逓倍クロック発生回路
ＷＥ　　ライトイネーブル信号
ＲＥ　　リードイネーブル信号

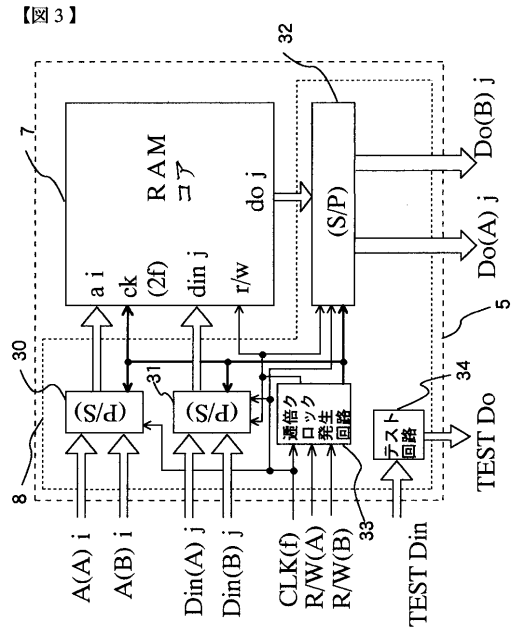
【図１】



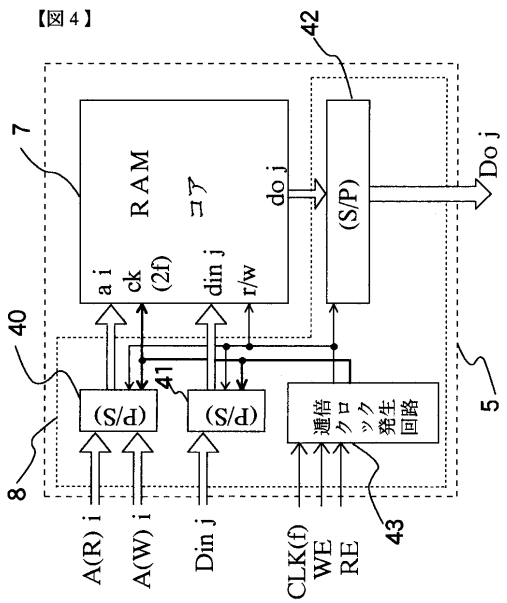
【図２】



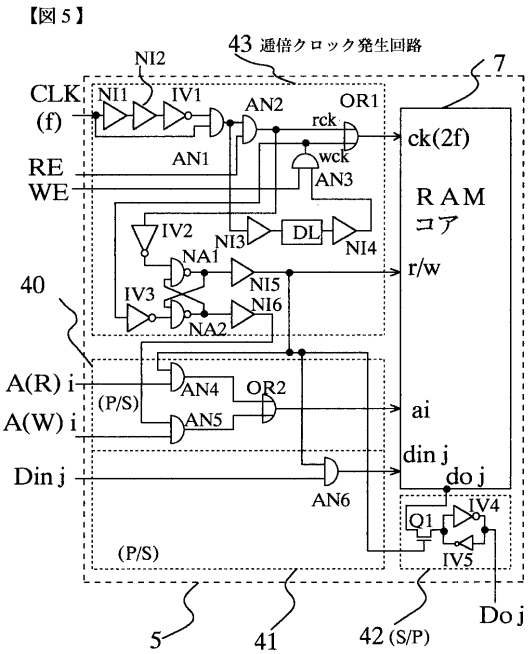
【図３】


【図３】
RAM コア
a i
ck (2f)
din j
r/w
do j
(S/P)
Do(B) j
Do(A) j
TEST Do
(S/d)
(S/d)
通倍クロック発生回路
テスト回路
A(A) i
A(B) i
Din(A) j
Din(B) j
CLK(f)
R/W(A)
R/W(B)
TEST Din

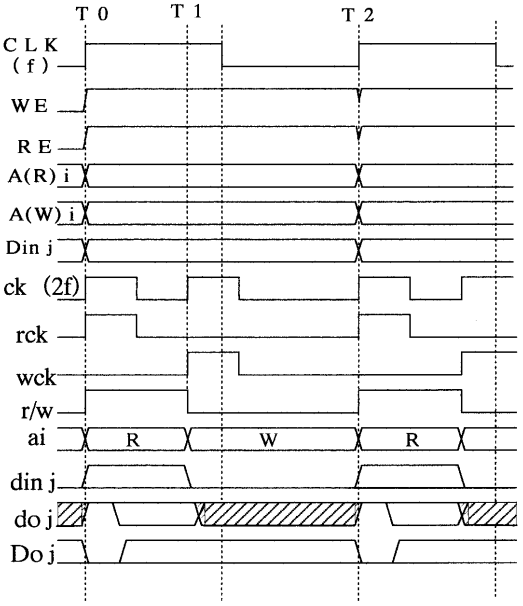
【図４】


【図４】
RAM コア
a i
ck (2f)
din j
r/w
do j
(S/P)
Do j
(S/d)
(S/d)
通倍クロック発生回路
A(R) i
A(W) i
Din j
CLK(f)
WE
RE

【図５】


【図５】
43 通倍クロック発生回路
CLK (f)
RE
WE
A(R) i
A(W) i
Din j
RAM コア
ck(2f)
r/w
ai
din j
do j
Do j
(P/S)
(P/S)
5
41
42 (S/P)

【図６】


【図６】
T 0
T 1
T 2
CLK (f)
WE
RE
A(R) i
A(W) i
Din j
ck (2f)
rck
wck
r/w
ai
R
W
R
din j
do j
Do j

フロントページの続き

(72)発明者　品川　敏
東京都小平市上水本町５丁目２０番１号　日立超エル・エス・アイ・エンジニアリング株式会社内

合議体
審判長　吉岡　浩
審判官　相崎　裕恒
審判官　小田　浩

(56)参考文献　米国特許第５２０４８４１（ＵＳ，Ａ）
特開平１－１３４５１７（ＪＰ，Ａ）
特開平４－２２９４８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 7/00,11/34
G06F 1/04,15/78